

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2004-234038
(P2004-234038A)

(43) 公開日 平成16年8月19日(2004.8.19)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
GO6F 1/32	GO6F 1/00 332Z	5B011
GO6F 1/04	GO6F 1/04 301C	5B013
GO6F 9/30	GO6F 9/30 310B	5B033
GO6F 9/38	GO6F 9/30 310C	5B079
	GO6F 9/30 330B	
審査請求 未請求 請求項の数 11 O L (全 26 頁) 最終頁に続く		

(21) 出願番号	特願2003-18106 (P2003-18106)	(71) 出願人	000005821
(22) 出願日	平成15年1月28日 (2003.1.28)		松下電器産業株式会社
			大阪府門真市大字門真1006番地
		(74) 代理人	100113859
			弁理士 板垣 孝夫
		(74) 代理人	100068087
			弁理士 森本 義弘
		(72) 発明者	笹川 幸宏
			大阪府門真市大字門真1006番地 松下電器産業株式会社内
		Fターム(参考)	5B011 EA08 LL02 LL12 LL13
			5B013 AA20
			5B033 AA13 BA01 BA05 BC01 BE00
			5B079 AA07 BA01 BB01 BC01

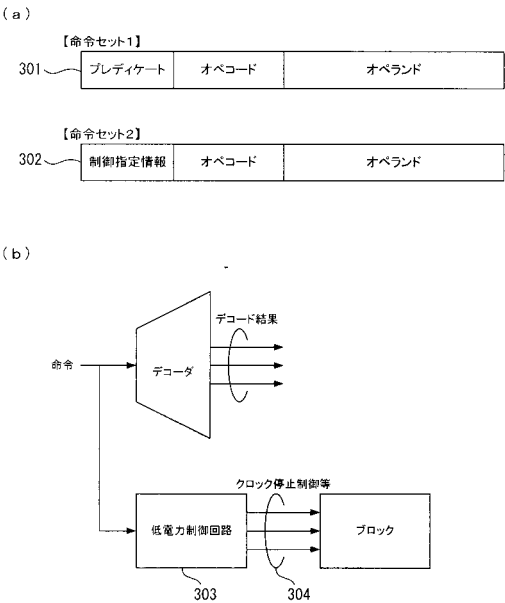
(54) 【発明の名称】 低電力動作制御装置、およびプログラム最適化装置

(57) 【要約】

【課題】回路規模の増加やデコード時間の増加をすることなく、命令デコードのパイプラインステージ、および時間的に先行しているパイプラインステージに対しても、マイクロプロセッサの低電力動作を実現することを目的とする。

【解決手段】命令を実行するプログラム毎の命令コードがブレディケート301を指定するフラグ含む第1の命令セットと制御指定情報302を含む1または2以上の第2の命令セットを備え、命令実行制御機能に応じて各制御回路の低電力動作を命令単位で行うことにより、回路規模の増加やデコード時間の増加をすることなく、命令デコードのパイプラインステージ、および時間的に先行しているパイプラインステージに対する制御を行い、マイクロプロセッサの低電力動作を実現することができる。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

条件フラグによる命令条件実行機能を備えるマイクロプロセッサに搭載されてマイクロプロセッサの低電力動作を制御する低電力動作制御装置であって、
マイクロプロセッサに入力される命令コードの特定ビットフィールドに命令実行制御機能のためのフラグを選択する命令実行制御機能情報を含む第 1 の命令セットと、前記特定ビットフィールドに低電力制御のための制御指定情報を含む 1 または 2 以上の第 2 の命令セットを備え、
通常動作時に第 1 の命令セットを実行し、低電力動作時に第 2 の命令セットを実行するように命令セットを切り替える動作モード切り替え回路と、
第 1 の命令セットモード時に前記命令実行制御機能情報に応じたフラグを読み込んで命令実行制御機能動作を識別するプレディケート判定回路と、
第 2 の命令セットモード時に前記制御指定情報を読み込んで低電力動作を行う制御回路の制御指定情報を抽出する制御指定情報抽出回路と、
前記制御指定情報を用い各制御回路の低電力動作を実施する制御動作実行手段と
を有し、あらかじめ命令を実行するプログラム単位に命令実行制御機能情報と制御指定情報を備え、制御指定情報に応じて各制御回路の低電力動作を命令単位で行うことにより、前記マイクロプロセッサの低電力動作を命令単位で制御することを特徴とする低電力動作制御装置。

10

【請求項 2】

20

条件フラグによる命令条件実行機能を備えるマイクロプロセッサに搭載されてマイクロプロセッサの低電力動作を制御する低電力動作制御装置であって、
マイクロプロセッサに入力される命令コードの特定ビットフィールドに命令実行制御機能のためのフラグを選択する命令実行制御機能情報を含む第 1 の命令セットと、前記特定ビットフィールドに低電力制御のための制御指定情報を含む 1 または 2 以上の第 2 の命令セットを備え、
通常動作時に第 1 の命令セットを実行し、低電力動作時に第 2 の命令セットを実行するように命令セットを切り替える動作モード切り替え回路と、
第 1 の命令セットモード時に前記命令実行制御機能情報に応じたフラグを読み込んで命令実行制御機能動作を識別するプレディケート判定回路と、
第 2 の命令セットモード時に前記制御指定情報を読み込んで前記制御指定情報に応じてイベントを発生するイベント発生手段と、
前記イベントを受けて前記イベントに応じた各制御回路の低電力動作を実施する制御動作実行手段とを有し、あらかじめ命令を実行するプログラム単位に命令実行制御機能情報と制御指定情報を備え、制御指定情報に応じて各制御回路の低電力動作を命令単位で行うことにより、前記マイクロプロセッサの低電力動作を命令単位で制御することを特徴とする低電力動作制御装置。

30

【請求項 3】

前記制御回路がプログラムの特定箇所における動作停止箇所を判定する動作停止判定手段であり、
前記制御動作実行手段が動作停止判定手段の判定結果からマイクロプロセッサの任意の箇所を動作停止制御する動作停止制御手段であり、
マイクロプロセッサの任意の箇所を動作停止制御にすることによりマイクロプロセッサの低電力動作を命令単位で制御することを特徴とする請求項 1 または請求項 2 記載の低電力動作制御装置。

40

【請求項 4】

前記制御回路がプログラムの特定箇所における電源電圧の制御実施を判定する電源電圧判定手段であり、
前記制御動作実行手段が電源電圧判定手段の判定結果からマイクロプロセッサの電源電圧制御を行う電源電圧制御手段であり、

50

マイクロプロセッサの電源電圧制御を行うことによりマイクロプロセッサの低電力動作を命令単位で制御することを特徴とする請求項 1 または請求項 2 記載の低電力動作制御装置。

【請求項 5】

前記制御回路がプログラムの特定箇所における基板電圧の制御実施を判定する基板電圧判定手段であり、

前記制御動作実行手段が基板電圧判定手段の判定結果からマイクロプロセッサの基板電圧を制御する基板電圧制御手段であり、

マイクロプロセッサの基板電圧を制御することによりマイクロプロセッサの低電力動作を命令単位で制御することを特徴とする請求項 1 または請求項 2 記載の低電力動作制御装置。 10

【請求項 6】

前記制御回路がプログラムの特定箇所におけるクロック周波数制御を判定するクロック周波数判定手段であり、

前記制御動作実行手段がクロック周波数判定手段の判定結果からクロック周波数制御を実施するクロック周波数制御手段であり、

マイクロプロセッサのクロック周波数を制御することによりマイクロプロセッサの低電力動作を命令単位で制御することを特徴とする請求項 1 または請求項 2 記載の低電力動作制御装置。

【請求項 7】

前記イベント発生手段を備えるマイクロプロセッサとは異なるマイクロプロセッサである 1 または 2 以上の対象マイクロプロセッサあるいはデータ処理手段に、前記制御動作実行手段として前記対象マイクロプロセッサあるいはデータ処理手段の低電力動作を制御する動作制御手段を備え、前記イベント発生手段を備えるマイクロプロセッサにより、前記対象マイクロプロセッサあるいはデータ処理手段の低電力制御動作を制御することを特徴とする請求項 2 記載の低電力動作制御装置。 20

【請求項 8】

前記イベント発生手段を備えるマイクロプロセッサとは異なるマイクロプロセッサである 1 または 2 以上の対象マイクロプロセッサあるいはデータ処理手段に、前記制御動作実行手段として前記対象マイクロプロセッサあるいはデータ処理手段の電源供給を制御することにより低電力制御動作を制御する電源供給制御手段を備え、前記イベント発生手段を備えるマイクロプロセッサにより、前記対象マイクロプロセッサあるいはデータ処理手段の低電力制御動作を制御することを特徴とする請求項 2 記載の低電力動作制御装置。 30

【請求項 9】

前記命令コードを生成するマイクロプロセッサプログラム最適化装置であって、マイクロプロセッサの消費電力情報により前記動作停止制御または前記電源電圧制御または前記基板電圧制御または前記クロック周波数制御における消費電力を算出する消費電力算出手段と、

前記消費電力を用いて各命令の動作制御回路候補における消費電力を算出する動作制御候補算出手段と、 40

前記消費電力が最も小さくなるように各命令の動作制御回路を選択する切り替え判定手段を備え、前記第 1 の命令セットと前記第 2 の命令セットを切り替える命令セット切り替え命令を挿入し、前記第 2 の命令セットの前記制御指定情報を決定すること

により、低電力動作制御動作を行うプログラムの構成を最適化することを特徴とする請求項 3 または請求項 4 または請求項 5 または請求項 6 または請求項 7 または請求項 8 記載の低電力動作制御装置用のプログラム最適化装置。

【請求項 10】

条件フラグによる命令条件実行機能を備えるマイクロプロセッサに搭載されてマイクロプロセッサの低電力動作を制御する低電力動作制御装置であって、

マイクロプロセッサに入力される命令コードの特定ビットフィールドに命令実行制御機能 50

のためのフラグを選択する命令実行制御機能情報を含む第1の命令セットと、前記特定ビットフィールドに低電力制御のための制御指定情報を含む1または2以上の第2の命令セットを備え、

通常動作時に第1の命令セットを実行し、低電力動作時に第2の命令セットを実行するように命令セットを切り替える動作モード切り替え回路と、

第1の命令セットモード時に前記命令実行制御機能情報に応じたフラグを読み込んで命令実行制御機能動作を識別するプレディケート判定回路と、

第2の命令セットモード時に前記制御指定情報を読み込んで低電力動作を行う制御回路の制御指定情報を抽出する制御指定情報抽出回路と、

前記制御指定情報を用いプログラムの特定箇所の処理量を測定するプログラム処理測定手段と、

前記処理量からプログラム毎の最適な消費電力を判定する処理量判定手段と、

前記最適な消費電力になるようにプログラム実行時の周波数や電源電圧を制御する周波数/電源制御手段と、

を有し、各命令に対応するプログラムにおける処理量を測定することにより、マイクロプロセッサの低電力動作を命令単位で制御することを特徴とする低電力動作制御装置。

【請求項11】

条件フラグによる命令条件実行機能を備えるマイクロプロセッサに搭載されてマイクロプロセッサの低電力動作を制御する低電力動作制御装置であって、

マイクロプロセッサに入力される命令コードの特定ビットフィールドに命令実行制御機能のためのフラグを選択する命令実行制御機能情報を含む第1の命令セットと、前記特定ビットフィールドに低電力制御のための制御指定情報を含む1または2以上の第2の命令セットを備え、

通常動作時に第1の命令セットを実行し、低電力動作時に第2の命令セットを実行するように命令セットを切り替える動作モード切り替え回路と、

第1の命令セットモード時に前記命令実行制御機能情報に応じたフラグを読み込んで命令実行制御機能動作を識別するプレディケート判定回路と、

第2の命令セットモード時に前記制御指定情報を読み込んで低電力動作を行う制御回路の制御指定情報を抽出する制御指定情報抽出回路と、

前記制御指定情報を用いプログラムの特定箇所の処理量を測定するプログラム処理測定手段と、

前記処理量をマイクロプロセッサのプログラム中の変数の形で参照する処理量参照手段と、

を有し、プログラム動作における命令単位毎に得られるプログラム処理量をプログラム実行中に参照することを特徴とする低電力動作制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、フラグによる命令実行制御機能（以下プレディケート機能と称す）を備えるマイクロプロセッサに対する低電力動作制御装置、およびプログラム最適化装置に関するものである。

【0002】

【従来の技術】

マイクロプロセッサにおける低電力動作化を実現する方式の一つに命令判別方式がある（例えば、特許文献1参照）。

【0003】

図1（a）は従来の命令判別による低電力動作制御装置の構成図であり、図1（b）は従来の命令判別による低電力動作制御装置の動作フローである。

図1において、入力された命令をデコーダ（101）でデコードし、デコード結果より低電力制御回路（102）によって低電力制御内容を判定し、判定結果によって特定ブロッ

10

20

30

40

50

クのクロック停止などの制御信号（１０３）により制御を実施する。

【０００４】

また、別の低電力動作を実現する方式の一つに、低電力命令セット判別方式がある（例えば、特許文献２参照）。

図２（ａ）は従来のマイクロプロセッサで用いられる命令セットの構成図，図２（ｂ）は従来の命令セット判別による低電力動作制御装置の構成図であり、図３は従来の命令セット判別による低電力動作制御装置の動作フローである。

【０００５】

図２，図３において、通常命令セットと切り替え可能な低電力命令セットにおいて、命令数を限定して命令コードフォーマットの空きを作り、その命令コードの空きに低電力制御内容を定義する形式とし、通常命令セットと低電力命令セットそれぞれの命令デコード（２０１）を備え、低電力命令セット使用時には低電力制御回路（２０２）にて低電力制御内容を判定し、判定結果によって特定ブロックのクロック停止などの制御信号（２０３）により制御を実施する。

10

【０００６】

【特許文献１】

特許番号 第２７７８５８３号 公報（第１－３頁、第１図）

【０００７】

【特許文献２】

特開２００１－１８４２０８号 公報（第２頁、第２図）

20

【０００８】

【発明が解決しようとする課題】

しかしながら上記方法のうち、図１（ｂ）に示すように命令判別方式では、命令をデコードして制御実施する原理上、命令デコードのパイプラインステージ、および時間的に先行しているパイプラインステージに対する制御を実施する事が困難、あるいは不可能である。

【０００９】

また、低電力命令セット判別方式では、低電力制御を実施するための情報を命令デコード以外から取得し、命令デコードのパイプラインステージ、および時間的に先行しているパイプラインステージに対する制御を実現する事ができるが、複数の命令デコード、および、使用する命令セットに応じた命令デコード結果の選択回路を備える必要があるため、回路規模増大による信号伝達経路（２０４）の増加により、消費電力の増加、デコード時間の増加が問題となる。

30

【００１０】

本発明は上記問題点を鑑みて、回路規模の増加やデコード時間の増加をすることなく、命令デコードのパイプラインステージ、および時間的に先行しているパイプラインステージに対する制御を行い、マイクロプロセッサの低電力動作を実現することを目的とする。

【００１１】

【課題を解決するための手段】

上記目的を達成するために、本発明の請求項１記載の低電圧動作制御装置は、条件フラグによる命令条件実行機能を備えるマイクロプロセッサに搭載されてマイクロプロセッサの低電力動作を制御する低電力動作制御装置であって、マイクロプロセッサに入力される命令コードの特定ビットフィールドに命令実行制御機能のためのフラグを選択する命令実行制御機能情報を含む第１の命令セットと前記特定ビットフィールドに低電力制御のための制御指定情報を含む１または２以上の第２の命令セットを備え、通常動作時に第１の命令セットを実行し、低電力動作時に第２の命令セットを実行するように命令セットを切り替える動作モード切り替え回路と、第１の命令セットモード時に前記命令実行制御機能情報に応じたフラグを読み込んで命令実行制御機能動作を識別するプレディケート判定回路と、第２の命令セットモード時に前記制御指定情報を読み込んで低電力動作を行う制御回路の制御指定情報を抽出する制御指定情報抽出回路と、前記制御指定情報に応じた各制御回

40

50

路の低電力動作を実施する制御動作実行手段とを有し、あらかじめ命令を実行するプログラム単位に命令実行制御機能情報と制御指定情報を備え、制御指定情報に応じて各制御回路の低電力動作を命令単位で行うことにより、前記マイクロプロセッサの低電力動作を命令単位で制御することを特徴とする。

【0012】

請求項2記載の低電力動作制御装置は、条件フラグによる命令条件実行機能を備えるマイクロプロセッサに搭載されてマイクロプロセッサの低電力動作を制御する低電力動作制御装置であって、マイクロプロセッサに入力される命令コードの特定ビットフィールドに命令実行制御機能のためのフラグを選択する命令実行制御機能情報を含む第1の命令セットと前記特定ビットフィールドに低電力制御のための制御指定情報を含む1または2以上の第2の命令セットを備え、通常動作時に第1の命令セットを実行し、低電力動作時に第2の命令セットを実行するように命令セットを切り替える動作モード切り替え回路と、第1の命令セットモード時に前記命令実行制御機能情報に応じたフラグを読み込んで命令実行制御機能動作を識別するプレディケート判定回路と、第2の命令セットモード時に前記制御指定情報を読み込んで前記制御指定情報に応じてイベントを発生するイベント発生手段と、前記イベントを受けて前記イベントに応じた各制御回路の低電力動作を実施する制御動作実行手段とを有し、あらかじめ命令を実行するプログラム単位に命令実行制御機能情報と制御指定情報を備え、制御指定情報に応じて各制御回路の低電力動作を命令単位で行うことにより、前記マイクロプロセッサの低電力動作を命令単位で制御することを特徴とする。

10

20

【0013】

請求項3記載の低電力動作制御装置は、請求項1または請求項2記載の低電力動作制御装置において、前記制御回路がプログラムの特定箇所における動作停止箇所を判定する動作停止判定手段であり、前記制御動作実行手段が動作停止判定手段の判定結果からマイクロプロセッサの任意の箇所を動作停止制御する動作停止制御手段であり、マイクロプロセッサの任意の箇所を動作停止制御にすることによりマイクロプロセッサの低電力動作を命令単位で制御することを特徴とする。

【0014】

請求項4記載の低電力動作制御装置は、請求項1または請求項2記載の低電力動作制御装置において、前記制御回路がプログラムの特定箇所における電源電圧の制御実施を判定する電源電圧判定手段であり、前記制御動作実行手段が電源電圧判定手段の判定結果からマイクロプロセッサの電源電圧制御を行う電源電圧制御手段であり、マイクロプロセッサの電源電圧制御を行うことによりマイクロプロセッサの低電力動作を命令単位で制御することを特徴とする。

30

【0015】

請求項5記載の低電力動作制御装置は、請求項1または請求項2記載の低電力動作制御装置において、前記制御回路がプログラムの特定箇所における基板電圧の制御実施を判定する基板電圧判定手段であり、前記制御動作実行手段が基板電圧判定手段の判定結果からマイクロプロセッサの基板電圧を制御する基板電圧制御手段であり、マイクロプロセッサの基板電圧を制御することによりマイクロプロセッサの低電力動作を命令単位で制御することを特徴とする。

40

【0016】

請求項6記載の低電力動作制御装置は、請求項1または請求項2記載の低電力動作制御装置において、前記制御回路がプログラムの特定箇所におけるクロック周波数制御を判定するクロック周波数判定手段であり、前記制御動作実行手段がクロック周波数判定手段の判定結果からクロック周波数制御を実施するクロック周波数制御手段であり、マイクロプロセッサのクロック周波数を制御することによりマイクロプロセッサの低電力動作を命令単位で制御することを特徴とする。

【0017】

請求項7記載の低電力動作制御装置は、請求項2記載の低電力動作制御装置において、前

50

記イベント発生手段を備えるマイクロプロセッサとは異なるマイクロプロセッサである 1 または 2 以上の対象マイクロプロセッサあるいはデータ処理手段に、前記制御動作実行手段として前記対象マイクロプロセッサあるいはデータ処理手段の低電力動作を制御する動作制御手段を備え、前記イベント発生手段を備えるマイクロプロセッサにより、前記対象マイクロプロセッサあるいはデータ処理手段の低電力制御動作を制御することを特徴とする。

【0018】

請求項 8 記載の低電力動作制御装置は、請求項 2 記載の低電力動作制御装置において、前記イベント発生手段を備えるマイクロプロセッサとは異なるマイクロプロセッサである 1 または 2 以上の対象マイクロプロセッサあるいはデータ処理手段に、前記制御動作実行手段として前記対象マイクロプロセッサあるいはデータ処理手段の電源供給を制御することにより低電力制御動作を制御する電源供給制御手段を備え、前記イベント発生手段を備えるマイクロプロセッサにより、前記対象マイクロプロセッサあるいはデータ処理手段の低電力制御動作を制御することを特徴とする。

10

【0019】

請求項 9 記載の低電力動作制御装置用のプログラム最適化装置は、請求項 3 または請求項 4 または請求項 5 または請求項 6 または請求項 7 または請求項 8 記載の低電力動作制御装置に用いられ、前記命令コードを生成するマイクロプロセッサプログラム最適化装置であって、マイクロプロセッサの消費電力情報により前記動作停止制御または前記電源電圧制御または前記基板電圧制御または前記クロック周波数制御における消費電力を算出する消費電力算出手段と、前記消費電力を用いて各命令の動作制御回路候補における消費電力を算出する動作制御候補算出手段と、前記消費電力が最も小さくなるように各命令の動作制御回路を選択する切り替え判定手段を備え、前記第 1 の命令セットと前記第 2 の命令セットを切り替える命令セット切り替え命令を挿入し、前記第 2 の命令セットの前記制御指定情報を決定することにより、低電力動作制御動作を行うプログラムの構成を最適化することを特徴とする。

20

【0020】

請求項 10 記載の低電力動作制御装置は、条件フラグによる命令条件実行機能を備えるマイクロプロセッサに搭載されてマイクロプロセッサの低電力動作を制御する低電力動作制御装置であって、マイクロプロセッサに入力される命令コードの特定ビットフィールドに命令実行制御機能のためのフラグを選択する命令実行制御機能情報を含む第 1 の命令セットと前記特定ビットフィールドに低電力制御のための制御指定情報を含む 1 または 2 以上の第 2 の命令セットを備え、通常動作時に第 1 の命令セットを実行し、低電力動作時に第 2 の命令セットを実行するように命令セットを切り替える動作モード切り替え回路と、第 1 の命令セットモード時に前記命令実行制御機能情報に応じたフラグを読み込んで命令実行制御機能動作を識別するプレディケート判定回路と、第 2 の命令セットモード時に前記制御指定情報を読み込んで低電力動作を行う制御回路の制御指定情報を抽出する制御指定情報抽出回路と、前記制御指定情報を用いプログラムの特定箇所の処理量を測定するプログラム処理測定手段と、前記処理量からプログラム毎の最適な消費電力を判定する処理量判定手段と、前記最適な消費電力になるようにプログラム実行時の周波数や電源電圧を制御する周波数 / 電源制御手段と、前記制御指定情報を用い前記命令実行制御機能に応じた各制御回路の周波数 / 電源制御手段に応じた制御を実施する制御動作実行手段とを有し、各命令に対応するプログラムにおける処理量を測定することにより、マイクロプロセッサの低電力動作を命令単位で制御することを特徴とする。

30

40

【0021】

請求項 11 記載の低電力動作制御装置は、条件フラグによる命令条件実行機能を備えるマイクロプロセッサに搭載されてマイクロプロセッサの動作を制御する動作制御装置であって、マイクロプロセッサに入力される命令コードの特定ビットフィールドに命令実行制御機能のためのフラグを選択する命令実行制御機能情報を含む第 1 の命令セットと前記特定ビットフィールドに低電力制御のための制御指定情報を含む 1 または 2 以上の第 2 の命令

50

セットを備え、通常動作時に第 1 の命令セットを実行し、低電力動作時に第 2 の命令セットを実行するように命令セットを切り替える動作モード切り替え回路と、第 1 の命令セットモード時に前記命令実行制御機能情報に応じたフラグを読み込んで命令実行制御機能動作を識別するプレディケート判定回路と、第 2 の命令セットモード時に前記制御指定情報を読み込んで低電力動作を行う制御回路の制御指定情報を抽出する制御指定情報抽出回路と、前記制御指定情報を用いプログラムの特定箇所の処理量を測定するプログラム処理測定手段と、前記処理量をマイクロプロセッサのプログラム中の変数の形で参照する処理量参照手段と、を有し、プログラム動作における命令単位毎に得られるプログラム処理量をプログラム実行中に参照することを特徴とする。

【 0 0 2 2 】

10

以上により、回路規模の増加やデコード時間の増加をすることなく、命令デコードのパイプラインステージ、および時間的に先行しているパイプラインステージに対する制御を行い、マイクロプロセッサの低電力動作を実現することができる。

【 0 0 2 3 】

【 発明の実施の形態 】

本発明の概念を図 4 (a) , 図 4 (b) , 図 5 を用いて説明する。

図 4 (a) は本発明の低電力動作制御装置におけるマイクロプロセッサで用いられる命令セットの構成図, 図 4 (b) は本発明の命令セット判別による低電力動作制御装置の構成図であり、図 5 は本発明の命令セット判別による低電力動作制御装置の動作フローである。

20

【 0 0 2 4 】

マイクロプロセッサの命令実行形式としてプレディケート動作と呼ばれるものがある。これは、過去に決定しているフラグ情報に依存して命令の実行 / 不実行を決定するというものである。一般にプレディケート動作を実装する場合は命令コードの構成中に、実行 / 不実行を依存させるフラグを設定するための識別情報 (プレディケートビット) を格納するビットフィールドであるプレディケートフィールド (3 0 1) が存在する。本発明は図 4 に示すように、命令モードとして当該ビットフィールドにプレディケート指定情報を定義する命令セット 1 と、当該ビットフィールドにプレディケート以外の制御指定情報 (3 0 2) を定義する 2 種類以上の命令セット 2 とを備え、マイクロプロセッサ動作中に前記命令セット 1 と命令セット 2 を切り替え命令によって切り替え、低電力制御回路 (3 0 3) より出力する制御信号 (3 0 4) を用いて、プログラム動作における命令単位毎に低電力制御を実施することを実現する。

30

【 0 0 2 5 】

図 5 では、制御信号 (3 0 4) が [n + 2] の時点の命令パイプラインにおける命令フェッチ、命令デコードステージのパイプラインレジスタ、論理回路の制御として使用されている概念を表している。制御信号 (3 0 4) は命令デコードではなく、低電力制御回路 (3 0 3) で生成され、かつ、[n + 2] の時点の命令パイプラインの命令デコードステージ、および時間的に先行しているパイプラインステージ (命令フェッチステージ) に対して余裕を持って制御が実現できることがわかる。

【 0 0 2 6 】

40

また、命令セット 1 と命令セット 2 との関係において、命令デコードが参照するオペコード、オペランドは同一のため、命令デコードを複数備える必要がない。

【 0 0 2 7 】

これにより、回路規模の増加、デコード時間の増加をすることなく、低電力制御を実施するための情報を命令デコード以外から取得し、命令デコードのパイプラインステージ、および時間的に先行しているパイプラインステージに対する制御を実現する事ができる。

【 0 0 2 8 】

以下、本発明の実施の形態について、図面を参照しながら説明する。

(実施の形態 1)

まず、本発明の実施の形態 1 における低電力動作制御装置について、図 6 , 図 7 , 図 8 ,

50

図 9 , 図 10 , 図 11 を用いて説明する。

【 0 0 2 9 】

図 6 は本発明の低電力動作制御装置を搭載するマイクロプロセッサの構成図である。

図 6 において、本発明のマイクロプロセッサは、命令メモリ (4 0 1)、命令メモリ (4 0 1) から取得した命令コードを格納する命令レジスタ (4 2 0)、命令コードデコーダ (4 0 2)、演算器 (4 0 3)、プレディケート動作に使用するフラグ生成用演算器 (4 0 4)、フラグ生成用演算器 (4 0 4) の演算結果を格納するフラグレジスタ (4 0 5)、演算結果を格納するレジスタファイル (4 0 6)、命令コード中のプレディケートフィールド内容とフラグ生成用演算器 (4 0 4) の出力からプレディケート動作を判定するプレディケート判定回路 (4 0 7)、命令コード中のプレディケートフィールド内容から制御指定情報を取り出す制御指定情報抽出回路 (4 0 8)、プレディケートフィールド内容のうちプレディケート動作に割り当てる情報と制御指定情報に割り当てる情報の区分や動作モードからプレディケート判定回路 (4 0 7) や制御指定情報抽出回路 (4 0 8) の動作を指示するプレディケート制御回路 (4 0 9)、制御指定情報によってクロックや論理マスクなどの動作停止制御を実施する動作停止制御回路 (4 1 0)、クロック制御回路 (4 1 1)、論理回路の入力を 0 または 1 に固定する論理マスク回路 (4 1 2)、制御指定情報によって電源電圧制御を実施する電源電圧制御回路 (4 1 3)、電源 (4 1 4)、制御指定情報によって基板電圧制御を実施する基板電圧制御回路 (4 1 5)、基板電圧 (4 1 6)、制御指定情報によってクロック周波数制御を実施するクロック周波数制御回路 (4 1 7)、クロック発生回路 (4 1 8)、動作モードを定義する動作モード設定レジスタ (4 1 9) で構成されている。

【 0 0 3 0 】

フラグ生成用演算器 (4 0 4) の結果を格納するフラグレジスタ (4 0 5) には、図 7 のフラグレジスタの構造図に示すように、8 個のフラグ (C 0 ~ C 7) が定義されており、演算結果によって各フラグがセット、またはクリアされる。ただし、C 7 は常に 1 となるフラグとして定義されている。

【 0 0 3 1 】

ここで、フラグ生成用演算器 (4 0 4) に入力される 2 つのデータをそれぞれ A , B として、演算に対応するフラグの設定例を以下に示す。

C m p . E Q C 0 , A , B

: レジスタ A とレジスタ B の内容を比較し、一致していれば 1、不一致であれば 0 が C 0 に格納される。

【 0 0 3 2 】

C m p . G T C 0 , A , B

: レジスタ A とレジスタ B の内容を比較し、A > B であれば 1、A ≤ B であれば 0 が C 0 に格納される。

【 0 0 3 3 】

命令コードの構成は、図 8 の本発明の低電力動作制御装置の命令選択フロー説明図に示すように、プレディケートフィールドが 3 ビット存在して、C 0 ~ C 7 の 8 通りのフラグの設定が可能となっている。命令毎にプレディケート番号を指定することでフラグを選択し、選択したフラグの内容が 0 であるか 1 であるかによって対応する命令を実行するか否かを設定する。C 7 は前述したように常に 1 となるフラグとして定義されているため、プレディケート番号として C 7 を指定すると、「常に実行する」という意味になる。

【 0 0 3 4 】

動作モード設定レジスタ (4 1 9) には、通常動作、および、2 つ以上の低電力モードのいずれかを指定するためのビットが設けられている。プレディケートフィールド 3 ビット分の組合せと動作モード設定レジスタの内容組合せを合わせることによって、低電力モードで制御できる種類を多様化できる。低電力モードの例としては以下のものがある。

【 0 0 3 5 】

低電力モード 1

10

20

30

40

50

：プレディケートフィールドの制御情報を用いて、命令種別毎に関連する機能ブロックのクロック、電源供給を停止、論理マスクを実施する。

【 0 0 3 6 】

低電力モード 2

：プレディケートフィールドの制御情報を用いて、クロック周波数、電源電圧を制御する。

【 0 0 3 7 】

また、動作モード設定レジスタ (4 1 9) の情報はプレディケート制御回路 (4 0 9) に供給され、プレディケート判定、および、制御指定情報の制御に使用される。

【 0 0 3 8 】

図 9 の本発明の低電力モード説明図に示すように、低電力モードでは、8 種類のプレディケート番号の使用が制限され、ここでは、C 0、C 4、C 6、C 7 のみを使用できるように構成されている。代わりに、電力制御情報として、P 1、P 2、P 3、P 5 が指定できる。プレディケートフィールドに格納される情報としては見かけ上変わらないが、低電力モード中は、プレディケート判定回路 (4 0 7) に入力されるプレディケート番号が C 1、C 2、C 3、C 5 の時に、強制的に C 7 の値に変更される。プレディケートフィールドは制御指定情報抽出回路 (4 0 8) にも参照されており、C 1、C 2、C 3、C 5 の時に、制御情報として使用される。これらの一連の動作によって、プレディケートフィールドにプレディケート番号、電力制御情報を混在して指定することができる。なお、プレディケートフィールドの指定方法としては前述以外の組み合わせも存在する。

【 0 0 3 9 】

低電力モード 1 の例として、動作停止制御回路 (4 1 0)、クロック制御回路 (4 1 1)、論理マスク回路 (4 1 2)、基板電圧制御回路 (4 1 5)、基板電源 (4 1 6) による制御動作は図 1 0 の本発明の実施の形態 1 における制御動作を説明する図に示すように実現する。動作モードとして P 1、P 2、P 3、P 5 を用いた制御動作を実施する低電力モードが設定されているとする。本動作モードでの電力制御情報 (P 1、P 2、P 3、P 5) の意味を以下のように定義する。

【 0 0 4 0 】

P 1 : 3 命令後にロード・ストア命令が存在。

P 2 : 3 命令後に転送命令が存在。

P 3 : 3 命令後に演算命令が存在。

【 0 0 4 1 】

P 5 : 3 命令後に分岐命令が存在。

これらの電力制御情報に基づき、機能ブロックのクロック固定や論理マスクを実施し、機能ブロックの動作を停止させる。また機能ブロックの動作を停止させている間、トランジスタのリーク電流を低減するために基板電圧を制御し、閾値電圧 (V_t) を上昇させる。

【 0 0 4 2 】

このマイクロプロセッサのパイプライン構成は、命令フェッチ (I F)、デコード (D C)、演算 (E M)、ライトバック (W B) となっており、各命令の実行パイプラインステージが以下のようになっているとする。

ロード・ストア命令 (8 0 4) : E M、W B の 2 ステージ

転送命令 (8 0 3) : E M ステージ

演算命令 (8 0 2) : E M ステージ

分岐命令 (8 0 5) : I F ステージ

それぞれのステージにおける制御は図 5 と同様の概念で実施する。

【 0 0 4 3 】

図 1 0 の構成においてクロック制御、論理マスク、基板電圧制御を実施する場合、遅延時間を考慮して、数サイクル前に制御信号が確定している必要がある。本実施の形態では 1 サイクル前に制御信号が確定している必要があるとする。そのためには、パイプラインステージを考慮すると 3 命令前より制御信号の状態を指定する必要があるが、前述の通り、

10

20

30

40

50

電力制御情報が 3 命令後の制御内容を指示しているため、制御信号が確定し、クロック制御、論理マスク、および基板電圧制御の実施動作 (8 0 6) が実施できる。

【 0 0 4 4 】

低電力モード 2 の例として、電源電圧制御回路 (4 1 3)、電源 (4 1 4)、クロック周波数制御回路 (4 1 7)、クロック発生回路 (4 1 8) による電源電圧 / クロック周波数制御は図 1 1 の本発明の実施の形態 1 における電源電圧 / クロック周波数制御動作を説明する図に示すように実現する。動作モードとして P 1、P 2、P 3、P 5 を用いた電源電圧 / クロック周波数制御を実施する低電力モードが設定されているとする。本動作モードでの電力制御情報 (P 1、P 2、P 3、P 5) の意味を以下のように定義する。

【 0 0 4 5 】

10

P 1 : 5 命令後に電源電圧、クロック周波数を基本電圧の 1 0 0 % にする。

P 2 : 5 命令後に電源電圧、クロック周波数を基本電圧の 5 0 % にする。

【 0 0 4 6 】

P 3 : 5 命令後に電源電圧、クロック周波数を 5 % 下げる。

P 4 : 5 命令後に電源電圧、クロック周波数を 5 % 上げる。

これらの電力制御情報に基づき、電源電圧、クロック周波数を制御する。

このマイクロプロセッサのパイプライン構成は、図 8 と同一とする。

それぞれのステージにおける制御は図 5 と同様の概念で実施する。

【 0 0 4 7 】

図 1 1 の構成においてクロック周波数を制御する場合、一般に周波数安定化のための時間を確保する必要がある。

20

周波数切り替え時に安定化時間を確保する手段として、クロック発生回路 (4 1 8) を 2 つ備え、周波数安定化後にクロック発生回路を切り替える場合、数サイクル前に制御信号が確定している必要がある。本実施の形態では 4 サイクル前に制御信号が確定している必要があるとする。そのためにはパイプラインステージを考慮すると 5 命令前より制御信号の状態を指定する必要があるが、前述の通り、電力制御情報 (9 0 2) が 5 命令後の制御内容を指示しているため、制御信号が確定し、電源電圧制御、クロック周波数制御が実施できる。

【 0 0 4 8 】

以上により、回路規模の増加やデコード時間の増加をすることなく、命令デコードのパイプラインステージ、および時間的に先行しているパイプラインステージに対する制御を行い、マイクロプロセッサの低電力動作を実現することができる。

30

(実施の形態 2)

次に、本発明の実施の形態 2 における低電力動作制御装置によるプレディケート情報を有する最適化後プログラムの生成方法について、図 1 2、図 1 3、図 1 4、図 1 5、図 1 6 を用いて説明する。

【 0 0 4 9 】

図 1 2 は本発明の実施の形態 2 におけるプログラム最適化装置を説明する図である。

図 1 2 において、マイクロプロセッサのプログラム最適化装置は、停止対象候補算出手段 (1 0 0 1)、切り替え判定手段 (1 0 0 2)、命令セット切り替え命令挿入手段 (1 0 0 3)、制御指定情報付加手段 (1 0 0 4) で構成されている。停止対象候補算出手段 (1 0 0 1) には最適化対象のプログラム (1 0 0 5) と、マイクロプロセッサあるいはマルチプロセッサシステム構成回路の消費電力一覧 (1 0 0 6) と、マイクロプロセッサあるいはマルチプロセッサシステム構成回路の命令別動作一覧 (1 0 1 1) が入力され、停止対象候補一覧 (1 0 0 7) が出力される。切り替え判定手段 (1 0 0 2) には停止対象候補一覧 (1 0 0 7) が入力され、切り替え判定結果 (1 0 0 8) が出力される。命令セット切り替え命令挿入手段 (1 0 0 3) には切り替え判定結果 (1 0 0 8) と、動作モード一覧 (1 0 1 2) が入力され、命令セット切り替え命令挿入結果 (1 0 0 9) が出力される。制御指定情報付加手段 (1 0 0 4) には、命令セット切り替え命令挿入結果 (1 0 0 9) と、制御指定情報一覧 (1 0 1 3) が入力され、最適化後プログラム (1 0 1 0)

40

50

が出力される。

【 0 0 5 0 】

図 1 3 は停止対象候補算出手段の動作フローチャートであり、3つのステップで構成される。

図 1 3 において、最適化対象のプログラム (1 0 0 5) は、マイクロプロセッサの命令列 (1 1 0 1) で構成されている。マイクロプロセッサあるいはマルチプロセッサシステム構成回路の消費電力一覧 (1 0 0 6) は、マイクロプロセッサの命令毎にマイクロプロセッサあるいはマルチプロセッサシステム構成回路別の消費電力が網羅され、例えば、図 1 3 に示される構成回路別の消費電力の一例 (1 1 0 2) に示されるように構成されている。

10

【 0 0 5 1 】

まず、動作第 1 ステップ (1 1 0 3) は、消費電力一覧 (1 0 0 6) を用いて最適化対象のプログラム (1 0 0 5) の命令毎におけるマイクロプロセッサあるいはマルチプロセッサシステム構成回路別の消費電力を検索し、プログラム消費電力情報 (1 1 0 4) を算出する。

【 0 0 5 2 】

このプログラム消費電力情報 (1 1 0 4) は、プログラムの各行についてマイクロプロセッサあるいはマルチプロセッサシステム構成回路の各々が動作した場合の消費電力を表すことになる。例として図 1 3 のプログラム消費電力情報 1 1 0 4 における Line 0 1 0 1 では、

20

回路 A : 0 . 0 0 5 m W

回路 B : 0 . 0 0 3 m W

回路 C : 0 . 0 0 1 m W

...

となる。

【 0 0 5 3 】

マイクロプロセッサあるいはマルチプロセッサ構成回路の命令別動作一覧 (1 0 1 1) はマイクロプロセッサの命令毎におけるマイクロプロセッサあるいはマルチプロセッサシステム構成回路別の動作必要箇所 (1 1 0 5) が網羅されている。ここで動作必要箇所 (1 1 0 5) とは命令機能を実現するために最低限動作が必要な回路部分を意味する。

30

【 0 0 5 4 】

次に、動作第 2 ステップ (1 1 0 6) は、命令別動作一覧 (1 0 1 1) を用いて最適化対象のプログラム (1 0 0 5) の命令毎にマイクロプロセッサあるいはマルチプロセッサシステム構成回路別の動作要否を検索し、停止対象候補回路情報 (1 1 0 7) を算出する。

【 0 0 5 5 】

この停止対象候補回路情報 (1 1 0 7) は、プログラムの各行についてマイクロプロセッサあるいはマルチプロセッサシステム構成回路の各々が停止可能かどうかを表すことになる。例として図 1 3 の停止対象候補回路情報 1 1 0 7 における Line 0 1 0 1 では、

回路 A : 動作が必要 (停止不可能)

40

回路 B : 停止可能

回路 C : 停止可能

...

を意味する。

【 0 0 5 6 】

ここで停止対象候補回路情報 (1 1 0 7) における停止可能な構成回路について、消費電力情報 (1 1 0 4) から得られる消費電力と組み合わせることで、「停止可能な構成回路が停止したと仮定した場合」のプログラムの各行についての消費電力が見積もれることがわかる。

【 0 0 5 7 】

50

つまり、図 13 の 1104、1107 における Line 0101 では、回路 B、回路 C が停止可能

回路 B の消費電力は 0.003 mW であるが、「回路 B が停止したと仮定した場合」の Line 0101 の消費電力は、回路 B の消費電力を 0 mW と仮定して、回路 A、回路 C、... の各回路の消費電力の総和と見積もることができる。

回路 C の消費電力は 0.001 mW であるが、「回路 C が停止したと仮定した場合」の Line 0101 の消費電力は、回路 C の消費電力を 0 mW と仮定して、回路 A、回路 C、... の各回路の消費電力の総和と見積もることができる。

ということが判断できる。

【0058】

このことを利用して、動作第 3 ステップ (1108) は、停止対象候補回路情報 (1107) とプログラム消費電力情報 (1104) を用いて停止対象候補回路の消費電力がそれぞれ 0 になったと仮定した場合の最適化対象のプログラム (1005) の命令毎におけるマイクロプロセッサあるいはマルチプロセッサシステム構成回路別の消費電力を検索し、停止対象候補一覧 (1007) を算出する。

【0059】

この停止対象候補一覧 (1007) は、プログラムの各行についてマイクロプロセッサあるいはマルチプロセッサシステム構成回路のうち停止可能な回路をそれぞれ停止したと仮定した場合の消費電力の総和を表すことになる。例として図 13 の 1007 における Line 0101 では、

回路 B は停止可能な候補 1 :

回路 B が停止した場合は Line 0101 の消費電力の総和は 0.40 mW

回路 C は停止可能な候補 2 :

回路 C が停止した場合は Line 0101 の消費電力の総和は 0.77 mW

を意味する。

【0060】

図 14 は切り替え判定手段の動作フローチャートであり、1つのステップで構成される。動作ステップ (1201) は、停止対象候補一覧 (1007) を用いて、消費電力が最も少ない停止対象候補回路 (1202、1203、1204) を検索し、最適化対象のプログラム (1005) の命令毎に停止対象となる回路とその消費電力 (1205) を選択し、切り替え判定結果 (1008) を算出する。

【0061】

図 15 は命令セット切り替え命令挿入手段の動作フローチャートであり、2つのステップで構成される。

動作第 1 ステップ (1301) は、切り替え判定結果 (1008) と、動作モード一覧 (1012) を用いて、最適化対象のプログラム (1005) の動作モードに対応する対象回路の関係 (1304) と命令と対象回路の関係 (1305) より、命令毎の停止対象を指定することができる動作モード、および同一動作モードを適用できる命令列範囲を算出し、動作モード判定結果 (1302) を出力する。

【0062】

動作第 2 ステップ (1303) は、動作モード判定結果 (1302) における動作モードが切り替わる動作モード変化点 (1306) を検索し、最適化対象のプログラム (1005) の命令列毎に動作モードを指定する命令セット切り替え命令 (1307) を挿入し、命令セット切り替え命令挿入結果 (1009) を算出する。

【0063】

図 16 は制御指定情報付加手段の動作フローチャートであり、3つのステップで構成される。

動作第 1 ステップ (1401) は、命令セット切り替え命令挿入結果 (1009) と、制御指定情報一覧 (1013) を用いて、命令セット切り替え命令挿入結果 (1009) の命令毎に停止対象回路と動作モードに対応する制御指定情報 (1406) を検索し、制御

10

20

30

40

50

指定情報判定結果（１４０２）を出力する。

【００６４】

動作第２ステップ（１４０３）は、制御指定情報判定結果（１４０２）を用いて、一定サイクル前に制御情報が確定できる命令列（１４０７）を検索し、制御指定情報位置（１４０４）を算出する。なお、このステップの検索ルールは図１０、図１１で説明した制御情報のサイクル関係に従う。

【００６５】

動作第３ステップ（１４０５）は、制御指定情報判定結果（１４０２）、および制御指定情報位置（１４０４）を用いて、命令セット切り替え命令挿入結果の命令毎に制御指定情報を挿入し、最適化後プログラム（１０１０）を算出する。

10

【００６６】

以上により、プレディケート情報を有する最適化後プログラムを生成することにより命令単位毎に低電力制御を行い、回路規模の増加やデコード時間の増加をすることなく、命令デコードのパイプラインステージ、および時間的に先行しているパイプラインステージに対する制御を行うことができ、マイクロプロセッサの低電力動作を実現することができる。

（実施の形態３）

次に、本発明の実施の形態３における低電力動作制御装置について、図１７、図１８を用いて説明する。

【００６７】

20

図１７は本発明の実施の形態３における低電力動作制御装置を有するマイクロプロセッサおよびデータ処理手段の構成図であり、ここでは、データ処理手段もマイクロプロセッサにより構成される例を示している。

【００６８】

図１７において、本発明のマルチプロセッサシステムは、命令メモリ（１５０１）、命令メモリから取得した命令コードを格納する命令レジスタ（１５１６）、命令コードデコーダ（１５０２）、演算器（１５０３）、プレディケート動作に使用するフラグ生成用演算器（１５０４）、フラグ生成用演算器の結果を格納するレジスタ（１５０５）、演算結果を格納するレジスタファイル（１５０６）、命令コード中のプレディケートフィールド内容とフラグ生成用演算器（１５０４）の出力からプレディケート動作を判定するプレディケート判定回路（１５０７）、命令コード中のプレディケートフィールド内容から制御指定情報を取り出す制御指定情報抽出回路（１５０８）、プレディケートフィールド内容のうちプレディケート動作に割り当てる情報と制御指定情報に割り当てる情報の区分や動作モードからプレディケート判定回路（１５０７）、制御指定情報抽出回路（１５０８）の動作を指示するプレディケート制御回路（１５０９）、制御指定情報によってイベント発生要否を判定して、イベントを発生するイベント発生回路（１５１０）、動作モードを定義する動作モード設定レジスタ（１５１１）で構成されるマイクロプロセッサＡ（１５１２）と、イベント発生回路（１５１０）のイベントによって制御される動作制御回路（１５１３）、電源供給制御回路（１５１４）、および動作制御回路（１５１３）、電源供給制御回路（１５１４）で制御されるマイクロプロセッサＢ（１５１５）で構成されている。

30

40

【００６９】

マイクロプロセッサＡ（１５１２）におけるレジスタ、プレディケート動作、動作モード、およびパイプライン構成は図６、図７、図８、図９、図１０と同様であるが、低電力モード中に制御指定情報に基づいてイベント回路からイベントを発生し、マイクロプロセッサＢ（１５１５）の制御を実施する点が異なる。つまり、マイクロプロセッサＢの低電力動作制御をマイクロプロセッサＡによっておこなう。ここでは、マイクロプロセッサＢの低電力動作制御をマイクロプロセッサＡによって行う場合について説明するが、マイクロプロセッサ以外のデータ処理手段にて行う事も可能である。

【００７０】

50

また、ここでは、異なるマイクロプロセッサの低電力動作を制御する場合について説明しているが、イベントを発生するマイクロプロセッサ自身の制御を行う事も可能である。

【0071】

イベント発生回路によるマイクロプロセッサ B (1515) の制御は図 18 の本発明の実施の形態 3 におけるイベント発生回路による低電圧動作制御を説明する図に示すように実現する。マイクロプロセッサ A の動作モードとして P1、P2、P3、P5 を用いた制御を実施する低電力モードが設定されているとする。本動作モードでの電力制御情報 (P1、P2、P3、P5) の意味を以下のように定義する。

【0072】

P1 : 5 命令後にマイクロプロセッサ B を起動。

10

P2 : 5 命令後にマイクロプロセッサ B を停止。

P3 : 5 命令後にマイクロプロセッサ B の電源を供給。

【0073】

P5 : 5 命令後にマイクロプロセッサ B の電源を停止。

これらの電力制御情報に基づき、マイクロプロセッサ B の動作や電源の供給を制御する。マイクロプロセッサ B の動作や電源の供給を制御する場合、一般に起動動作や電源の供給安定化のための時間が必要であり、数サイクル前にイベントを発生している必要がある。本実施の形態では、制御信号タイミング (1601) に示すようにイベントを発生してマイクロプロセッサ B (1515) が起動開始してから起動完了するまでに 4 サイクル必要であるとする。そのためにはパイプラインステージを考慮すると 5 命令前よりイベントの状態を指定する必要があるが、前述の通り、電力制御情報が 5 命令後のイベント内容を指示しているため、イベントが発生し、マイクロプロセッサ B の動作および電源の供給制御動作 (1602) が実施できる。

20

【0074】

以上により、回路規模の増加やデコード時間の増加をすることなく、命令デコードのパイプラインステージ、および時間的に先行しているパイプラインステージに対する制御を行うことができ、マイクロプロセッサの低電力動作を実現することができる。

(実施の形態 4)

次に、本発明の実施の形態 4 における低電力動作制御装置について、図 19、図 20、図 21、図 22 を用いて説明する。

30

【0075】

図 19 は本発明の実施の形態 4 における低電力動作制御装置を有するマイクロプロセッサの構成図である。

本発明におけるマイクロプロセッサは、命令メモリ (1701)、命令メモリ (1701) から取得した命令コードを格納する命令レジスタ (1717)、命令コードデコード (1702)、演算器 (1703)、プレディケート動作に使用するフラグ生成用演算器 (1704)、フラグ生成用演算器 (1704) の結果を格納するレジスタ (1705)、演算結果を格納するレジスタファイル (1706)、命令コード中のプレディケートフィールド内容とフラグ生成用演算器 (1704) の出力からプレディケート動作を判定するプレディケート判定回路 (1707)、命令コード中のプレディケートフィールド内容から制御指定情報を取り出す制御指定情報抽出回路 (1708)、プレディケートフィールド内容のうちプレディケート動作に割り当てる情報と制御指定情報に割り当てる情報の区分や動作モードからプレディケート判定回路 (1707)、制御指定情報抽出回路 (1708) の動作を指示するプレディケート制御回路 (1709)、制御指定情報によってプログラム処理量を測定するプログラム処理測定回路 (1710)、測定結果を参照できるプログラム処理測定結果参照レジスタ (1711)、測定結果を用いてプログラム必要処理量を判定して結果を出力するプログラム処理判定回路 (1712)、動作モードを定義する動作モード設定レジスタ (1713)、プログラム必要処理量判定結果によって制御されるクロック周波数 / 電源電圧制御回路 (1714)、クロック発生回路 (1715)、および電源 (1716) で構成されている。

40

50

【 0 0 7 6 】

本マイクロプロセッサにおけるレジスタ、プレディケート動作、動作モード、およびパイプライン構成は図 6、図 7、図 8、図 9、図 10 と同様であるが、低電力モード中に制御指定情報に基づいてプログラム処理量判定回路から必要プログラム処理量を算出し、クロック周波数 / 電源電圧制御を実施する点が異なる。

【 0 0 7 7 】

プログラム必要処理量判定回路 (1 7 1 2) によるクロック周波数 / 電源電圧制御は図 20 の本発明の実施の形態 4 におけるプログラム処理量を測定することによる低電圧動作制御を説明する図、図 2 1 (a) の本発明の実施の形態 4 におけるプログラム処理量測定結果を示す図、図 2 1 (b) の本発明の実施の形態 4 における処理量制御を示す図に示すように実現する。ここでは、動作モードとして P 1、P 2、P 3、P 5 を用いた処理量測定を実施する低電力モードが設定されているとする。本動作モードでの電力制御情報 (P 1、P 2、P 3、P 5) の意味を以下のように定義する。

10

【 0 0 7 8 】

P 1 : 処理量カウンタをリセット。

P 2 : 処理量カウンタのインクリメント開始。

P 3 : 処理量カウンタのインクリメント停止。

【 0 0 7 9 】

P 5 : 5 命令後に処理量カウンタの値によるクロック周波数 / 電源電圧制御更新。

まず、プログラム処理量測定回路 (1 7 1 0) には処理量カウンタ (1 8 0 1) を設けており、電力制御情報によって処理量カウンタを制御し、プログラム処理量をプログラム処理量測定結果 (1 8 0 2) のように測定する。

20

【 0 0 8 0 】

次に、プログラム処理量判定回路 (1 7 1 2) にはプログラムがいつの時点までに実行を終了している必要があるかの情報、すなわち完了期限情報 (1 8 0 3) を設定しておく。この完了期限情報 (1 8 0 3) と処理量測定結果を用いてプログラム動作の必要最低限処理量 (1 8 0 4) を算出することで、クロック周波数 / 電源電圧制御回路 (1 7 1 4) から出力する制御信号タイミング (1 8 0 5) による延長処理 (1 8 0 7) 等の制御が実施できる。また、クロック周波数 / 電源電圧制御には一般に起動や電源安定化のための時間が必要であり、数サイクル前にイベントを発生している必要がある。本実施の形態では、クロック周波数 / 電源電圧制御タイミング (1 8 0 6) のように 4 サイクル前よりイベントを発生している必要があるとする。そのためにはパイプラインステージを考慮すると 5 命令前よりクロック周波数 / 電源電圧の制御更新を指定する必要があるが、前述の通り、電力制御情報 (P 5) が 5 命令後の制御更新を指示しているため制御が可能となる。

30

【 0 0 8 1 】

またプログラム処理量測定結果はプログラム処理量測定結果参照レジスタ (1 7 1 1) によってプログラム動作中に参照することができ、図 2 2 (a) の本発明の実施の形態 4 におけるプログラム処理量測定結果により動作を制御することを説明する図、図 2 2 (b) の本発明の実施の形態 4 におけるプレディケート動作の実行有無も考慮した処理量判定を示す図に示すように、処理量によってプログラム動作を決定することも実現できる。図 2 2 (a) では、モジュール A、B、C で構成されるプログラムにおいて、モジュール A の処理量に基づいてモジュール B、C のどちらを起動するかの判定に参照レジスタのオペランド R E F (1 9 0 1) を使用している例を表している。

40

【 0 0 8 2 】

なお、図 2 2 (b) では動作モードとして、P 0、P 1、P 2、P 3、P 4、P 5、P 6、P 7 を用いて以下のように定義することでプレディケート動作の実行有無も考慮した処理量判定も実現できる例を表している。

【 0 0 8 3 】

P 0 : C 0 プレディケート動作、および実行時に処理量カウンタをインクリメント。

P 1 : C 1 プレディケート動作、および実行時に処理量カウンタをインクリメント。

50

【 0 0 8 4 】

P 2 : C 2 プレディケート動作、および実行時に処理量カウンタをインクリメント。

P 3 : C 3 プレディケート動作、および実行時に処理量カウンタをインクリメント。

【 0 0 8 5 】

P 4 : C 4 プレディケート動作、および実行時に処理量カウンタをインクリメント。

P 5 : C 5 プレディケート動作、および実行時に処理量カウンタをインクリメント。

【 0 0 8 6 】

P 6 : C 6 プレディケート動作、および実行時に処理量カウンタをインクリメント。

P 7 : C 7 プレディケート動作、および実行時に処理量カウンタをインクリメント。

【 0 0 8 7 】

【 発明の効果 】

本発明によれば、命令を実行するプログラム毎の命令コードが命令実行制御機能を指定するフラグ含む第 1 の命令セットと制御指定情報を含む 1 または 2 以上の第 2 の命令セットを備え、命令実行制御機能に応じて各制御回路の低電力動作を命令単位で行うことにより、回路規模の増加やデコード時間の増加をすることなく、命令デコードのパイプラインステージ、および時間的に先行しているパイプラインステージに対する制御を行い、マイクロプロセッサの低電力動作を実現することができる。

【 図面の簡単な説明 】

【 図 1 】 (a) 従来の命令判別による低電力動作制御装置の構成図

(b) 従来の命令判別による低電力動作制御装置の動作フロー

【 図 2 】 (a) 従来の命令セットの構成図

(b) 従来の命令セット判別による低電力動作制御装置の構成図

【 図 3 】 従来の命令セット判別による低電力動作制御装置の動作フロー

【 図 4 】 (a) 本発明の低電力動作制御装置におけるマイクロプロセッサで用いられる命令セットの構成図

(b) 本発明の命令セット判別による低電力動作制御装置の構成図

【 図 5 】 本発明の命令セット判別による低電力動作制御装置の動作フロー

【 図 6 】 本発明の低電力動作制御装置を搭載するマイクロプロセッサの構成図

【 図 7 】 フラグレジスタの構造図

【 図 8 】 本発明の低電力動作制御装置の命令選択フロー説明図

【 図 9 】 本発明の低電力モード説明図

【 図 1 0 】 本発明の実施の形態 1 における制御動作を説明する図

【 図 1 1 】 本発明の実施の形態 1 における電源電圧 / クロック周波数制御動作を説明する図

【 図 1 2 】 本発明の実施の形態 2 における低電力動作制御装置が備えるプログラム最適化装置を説明する図

【 図 1 3 】 停止対象候補算出手段の動作フローチャート

【 図 1 4 】 切り替え判定手段の動作フローチャート

【 図 1 5 】 命令セット切り替え命令挿入手段の動作フローチャート

【 図 1 6 】 制御指定情報付加手段の動作フローチャート

【 図 1 7 】 本発明の実施の形態 3 における低電力動作制御装置を有するマイクロプロセッサおよび周辺回路の構成図

【 図 1 8 】 本発明の実施の形態 3 におけるイベント発生回路による低電圧動作制御を説明する図

【 図 1 9 】 本発明の実施の形態 4 における低電力動作制御装置を有するマイクロプロセッサの構成図

【 図 2 0 】 本発明の実施の形態 4 におけるプログラム処理量を測定することによる低電圧動作制御を説明する図

【 図 2 1 】 (a) 本発明の実施の形態 4 におけるプログラム処理量測定結果を示す図

(b) 本発明の実施の形態 4 における処理量制御を示す図

10

20

30

40

50

【図 2 2】(a) 本発明の実施の形態 4 におけるプログラム処理量測定結果により動作を制御することを説明する図

(b) 本発明の実施の形態 4 におけるプレディケート動作の実行有無も考慮した処理量判定を示す図

【符号の説明】

1 0 1	デコーダ	
1 0 2	低電力制御回路	
1 0 3	制御信号	
2 0 1	命令デコーダ	
2 0 2	低電力制御回路	10
2 0 3	制御信号	
2 0 4	信号伝達経路	
3 0 1	プレディケートフィールド	
3 0 2	制御指定情報	
3 0 3	低電力制御判定	
3 0 4	制御信号	
4 0 1	命令メモリ	
4 0 2	命令コードデコーダ	
4 0 3	演算器	
4 0 4	フラグ生成用演算器	20
4 0 5	フラグレジスタ	
4 0 6	レジスタファイル	
4 0 7	プレディケート判定回路	
4 0 8	制御指定情報抽出回路	
4 0 9	プレディケート制御回路	
4 1 0	動作停止制御回路	
4 1 1	クロック制御回路	
4 1 2	論理マスク回路	
4 1 3	電源電圧制御回路	
4 1 4	電源	30
4 1 5	基板電圧制御回路	
4 1 6	基板電圧	
4 1 7	クロック周波数制御回路	
4 1 8	クロック発生回路	
4 1 9	動作モード設定レジスタ	
4 2 0	命令レジスタ	
8 0 2	演算命令	
8 0 3	転送命令	
8 0 4	ロード・ストア命令	
8 0 5	分岐命令	40
8 0 6	クロック制御、論理マスク、および基板電圧制御の実施動作	
9 0 2	電力制御情報	
1 0 0 1	停止対象候補算出手段	
1 0 0 2	切り替え判定手段	
1 0 0 3	命令セット切り替え命令挿入手段	
1 0 0 4	制御指定情報付加手段	
1 0 0 5	最適化対象のプログラム	
1 0 0 6	消費電力一覧	
1 0 0 7	停止対象候補一覧	
1 0 0 8	切り替え判定結果	50

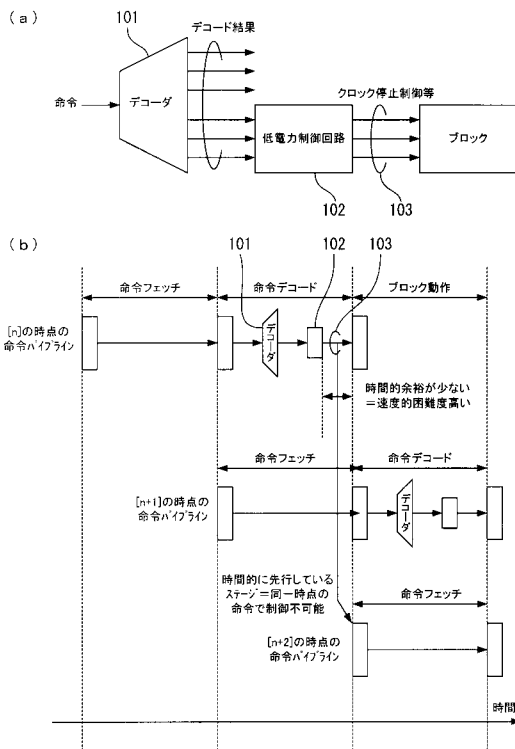
1 0 0 9	命令セット切り替え命令挿入結果	
1 0 1 0	最適化後プログラム	
1 0 1 1	命令別動作一覧	
1 0 1 2	動作モード一覧	
1 0 1 3	制御指定情報一覧	
1 1 0 1	マイクロプロセッサ命令列	
1 1 0 2	構成回路別の消費電力の一例	
1 1 0 3	動作第 1 ステップ	
1 1 0 4	プログラム消費電力情報	
1 1 0 5	動作必要箇所	10
1 1 0 6	動作第 2 ステップ	
1 1 0 7	停止対象候補回路情報	
1 1 0 8	動作第 3 ステップ	
1 2 0 1	動作ステップ	
1 2 0 2	停止対象候補回路	
1 2 0 3	停止対象候補回路	
1 2 0 4	停止対象候補回路	
1 2 0 5	停止対象となる回路とその消費電力	
1 3 0 1	動作第 1 ステップ	
1 3 0 2	動作モード判定結果	20
1 3 0 3	動作第 2 ステップ	
1 3 0 4	動作モードに対応する対象回路の関係	
1 3 0 5	命令と対象回路の関係	
1 3 0 6	動作モード変化点	
1 3 0 7	命令列毎に動作モードを指定する命令セット切り替え命令	
1 4 0 1	動作第 1 ステップ	
1 4 0 2	制御指定情報判定結果	
1 4 0 3	動作第 2 ステップ	
1 4 0 4	制御指定情報位置	
1 4 0 5	動作第 3 ステップ	30
1 4 0 6	制御指定情報	
1 4 0 7	命令列	
1 5 0 1	命令メモリ	
1 5 0 2	命令コードデコーダ	
1 5 0 3	演算器	
1 5 0 4	フラグ生成用演算器	
1 5 0 5	フラグレジスタ	
1 5 0 6	レジスタファイル	
1 5 0 7	プレディケート判定回路	
1 5 0 8	制御指定情報抽出回路	40
1 5 0 9	プレディケート制御回路	
1 5 1 0	イベント発生回路	
1 5 1 1	動作モード設定レジスタ	
1 5 1 2	マイクロプロセッサ A	
1 5 1 3	動作制御回路	
1 5 1 4	電源供給制御回路	
1 5 1 5	マイクロプロセッサ B	
1 5 1 6	命令レジスタ	
1 6 0 1	制御信号タイミング	
1 6 0 2	動作および電源供給制御動作	50

1 7 0 1	命令メモリ
1 7 0 2	命令コードデコーダ
1 7 0 3	演算器
1 7 0 4	フラグ生成用演算器
1 7 0 5	フラグレジスタ
1 7 0 6	レジスタファイル
1 7 0 7	プレディケート判定回路
1 7 0 8	制御指定情報抽出回路
1 7 0 9	プレディケート制御回路
1 7 1 0	プログラム処理量測定回路
1 7 1 1	プログラム処理量測定結果参照レジスタ
1 7 1 2	プログラム処理量判定回路
1 7 1 3	動作モード設定レジスタ
1 7 1 4	クロック周波数 / 電源電圧制御回路
1 7 1 5	クロック発生回路
1 7 1 6	電源
1 7 1 7	命令レジスタ
1 8 0 1	処理量カウンタ
1 8 0 2	プログラム処理測定結果
1 8 0 3	完了期限情報
1 8 0 4	必要最低限処理量
1 8 0 5	制御信号タイミング
1 8 0 6	クロック周波数 / 電源電圧制御タイミング
1 8 0 7	延長処理
1 9 0 1	オペランド R E F

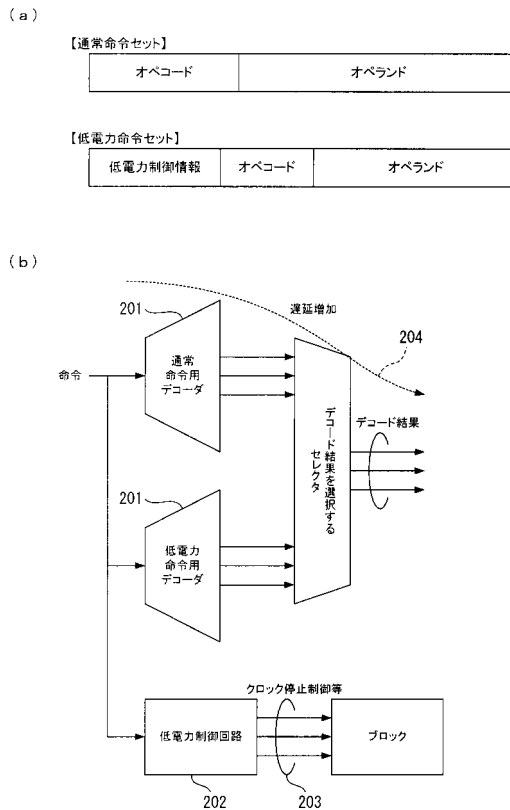
10

20

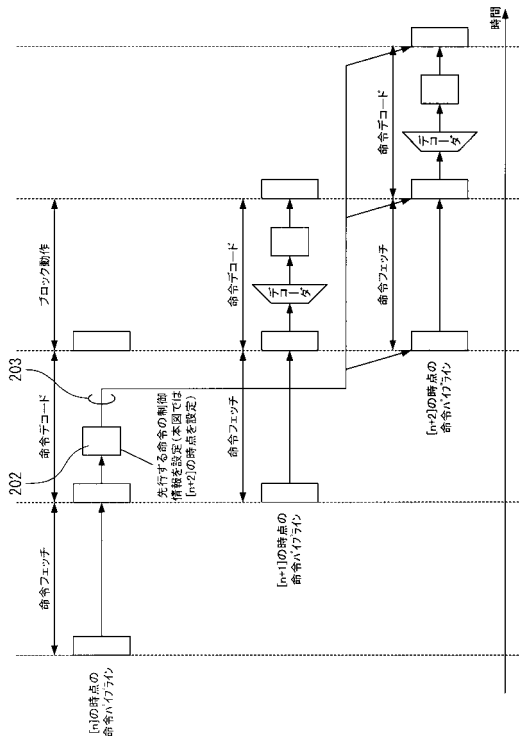
【図 1】



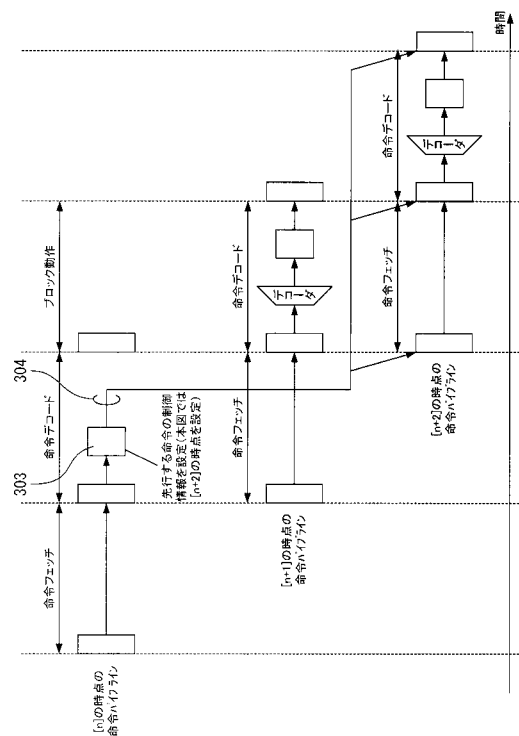
【図 2】



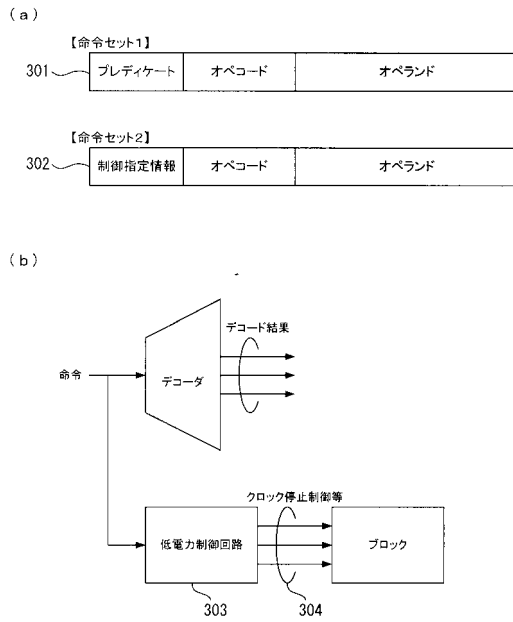
【図 3】



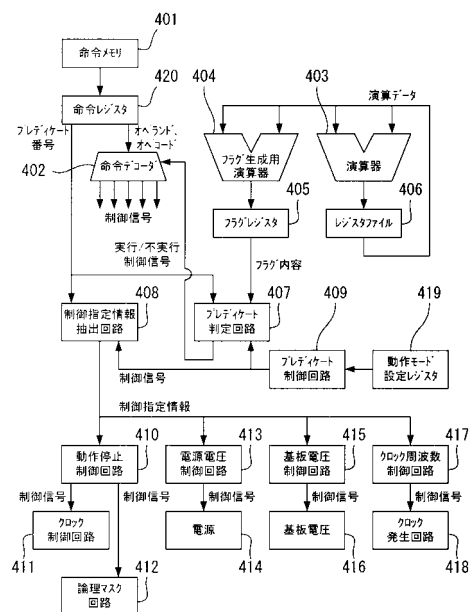
【図 5】



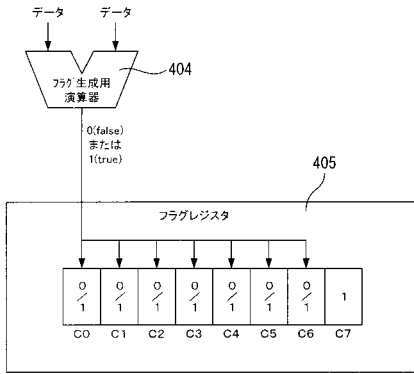
【図 4】



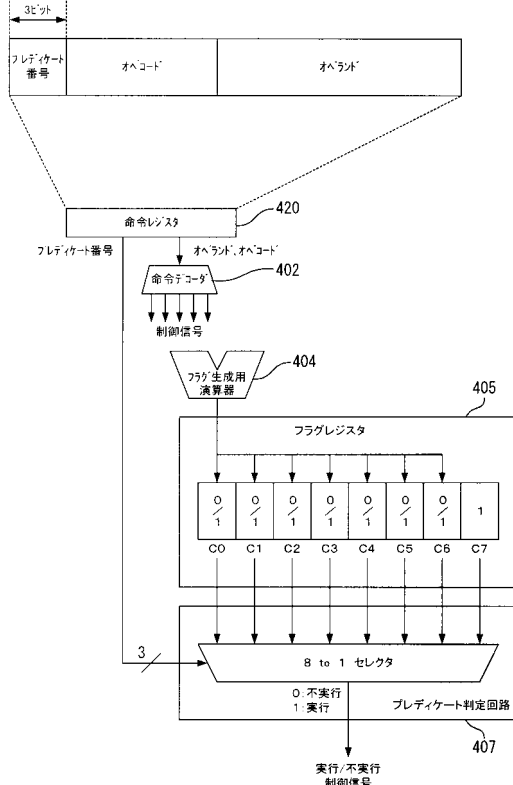
【図 6】



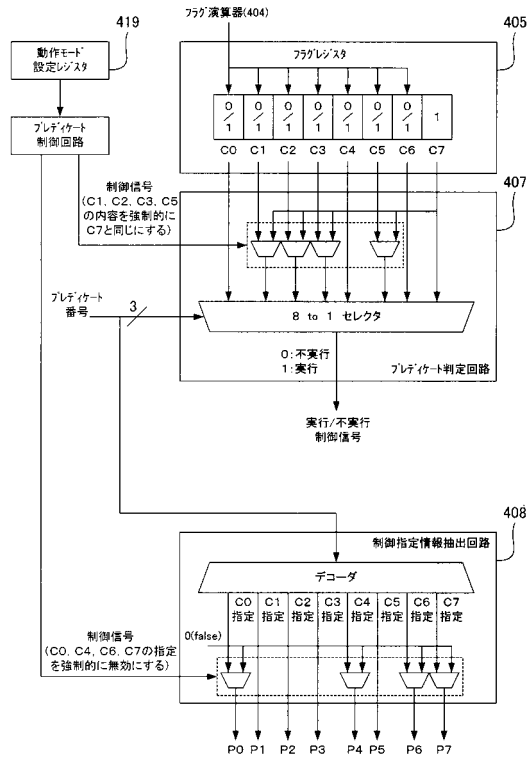
【図 7】



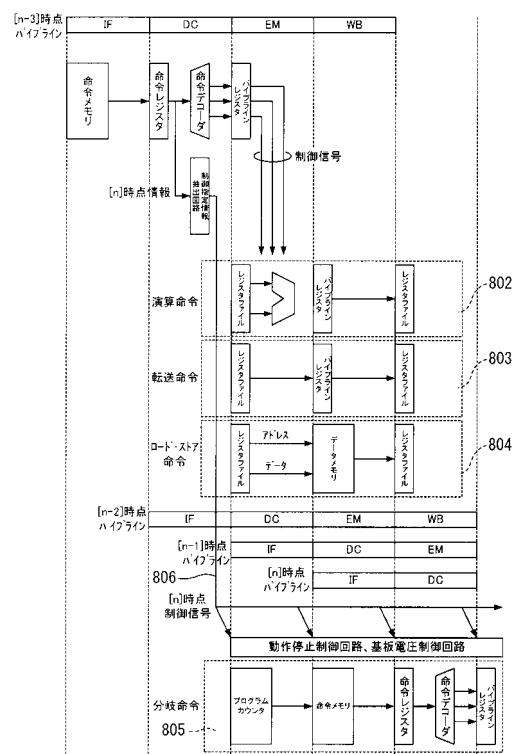
【図 8】



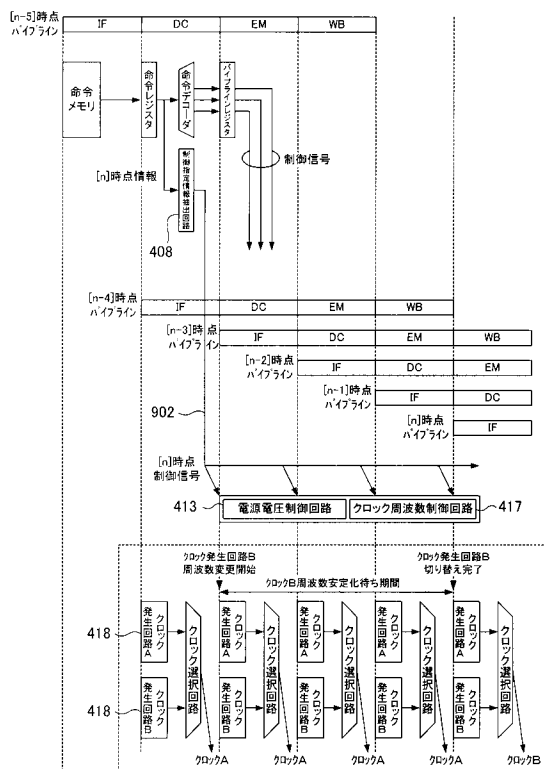
【図 9】



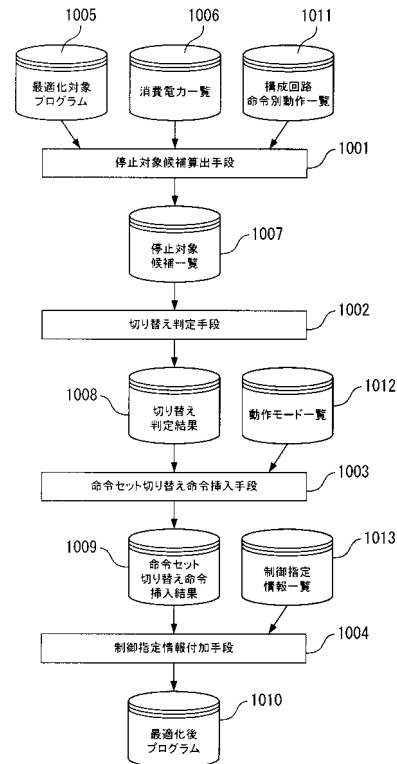
【図 10】



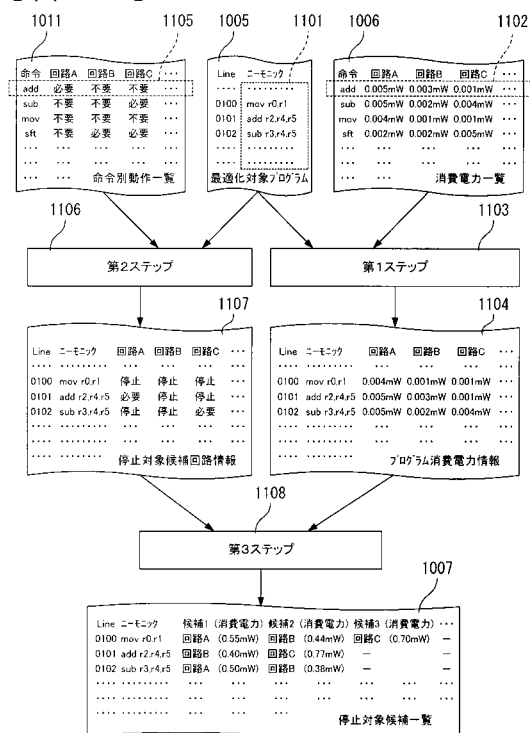
【 図 1 1 】



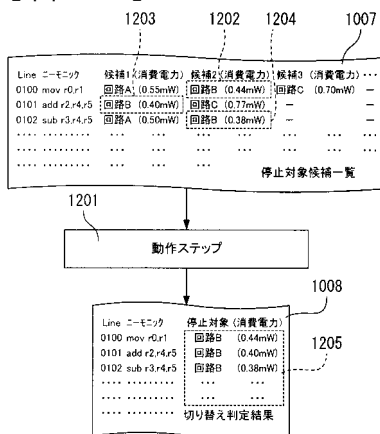
【 図 1 2 】



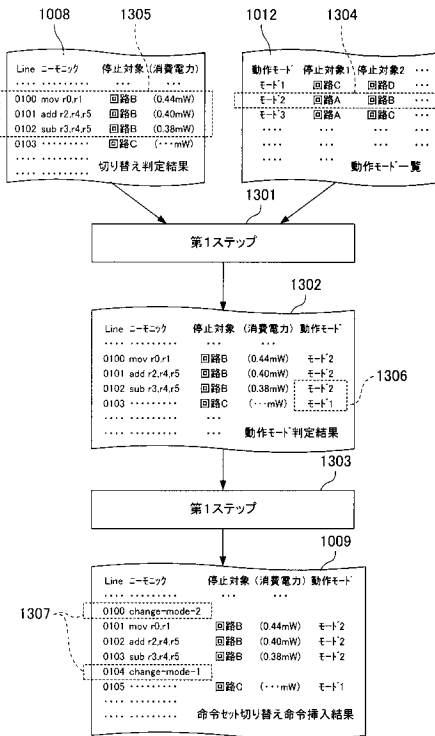
【 図 1 3 】



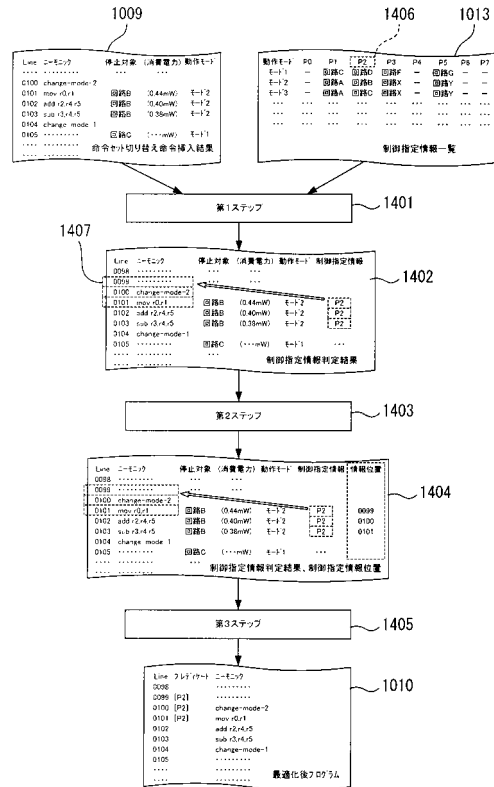
【 図 1 4 】



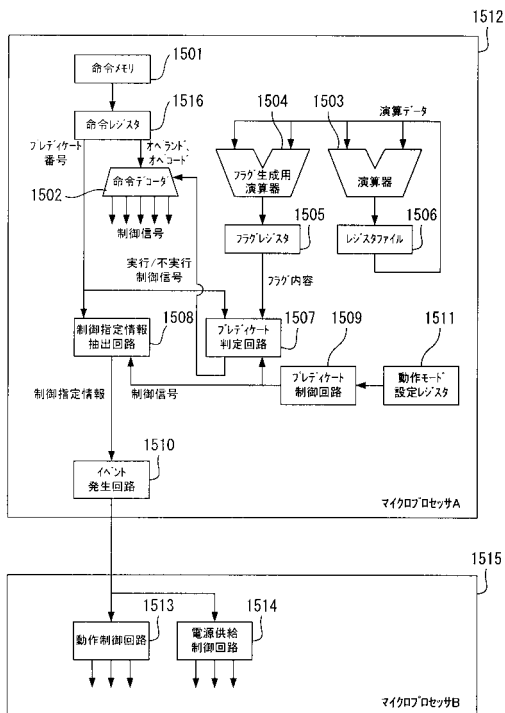
【図 15】



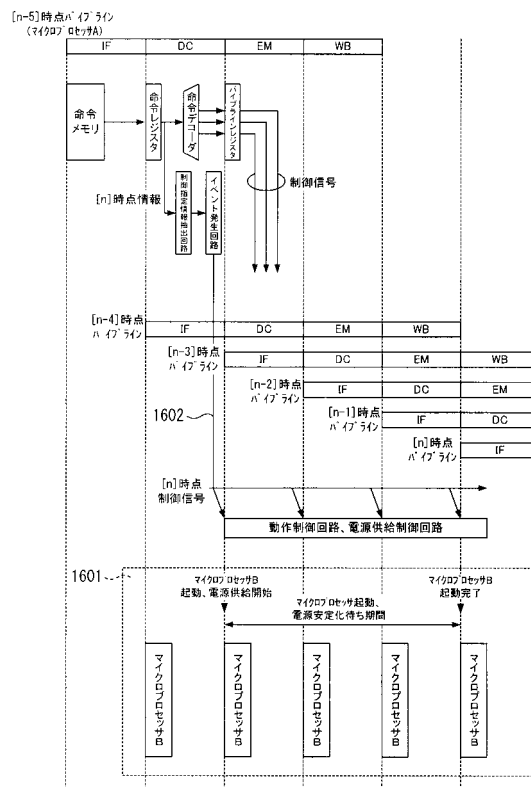
【図 16】



【図 17】



【図 18】



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード(参考)

G 0 6 F 9/30 3 5 0 A

G 0 6 F 9/38 3 1 0 X