



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0081632
(43) 공개일자 2013년07월17일

(51) 국제특허분류(Int. Cl.)
G11B 5/02 (2006.01) *G11B 11/105* (2006.01)
(21) 출원번호 10-2012-0109883
(22) 출원일자 2012년10월04일
심사청구일자 없음
(30) 우선권주장 13/346, 102 2012년01월09일 미국(US)

(71) 출원인
엘에스아이 코포레이션
미국 캘리포니아주 95131, 새너제이, 라이더 파크
드라이브 1320
(72) 발명자
윌슨 로스 에스
미국 캘리포니아주 94025 멘로 파크 우드랜드 애
비뉴 695
콜드버그 제이슨 에스
미국 미네소타주 55105 세인트 폴 페어마운트 애
비뉴 1052
(74) 대리인
제일특허법인

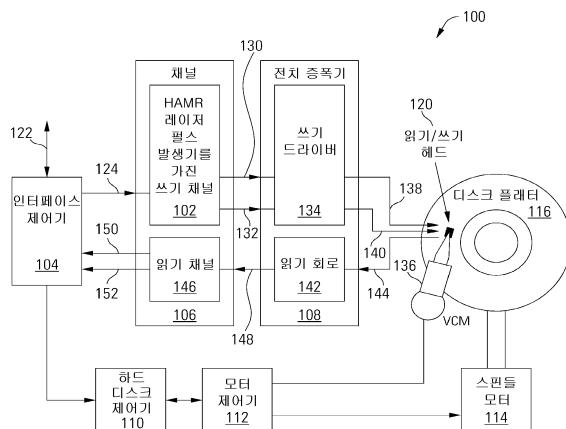
전체 청구항 수 : 총 22 항

(54) 발명의 명칭 열 지원 자기 기록 시스템

(57) 요 약

본 발명의 다양한 실시예들은 열 지원 자기 기록을 위한 장치, 시스템 및 방법을 제공한다. 예를 들어 자기적 쓰기 데이터 신호의 전환 레이트로 레이저 트리거 펄스들을 생성하도록 동작하는 신호 발생기, 레이저 펄스 제어 신호 및 자기적 쓰기기 신호 사이의 열라인먼트를 제어하도록 동작하는 가변 지연 요소, 가변 지연 요소를 제어하도록 동작하는 위상차 검출기, 레이저 트리거 펄스들에 기초하여 레이저 펄스 제어 신호를 생성하도록 동작하는 트리거 가능 펄스 발생기 회로, 자기적 쓰기기 데이터 신호의 제어 하에서 자기 저장 매체에 데이터를 기록하도록 동작하는 자기적 쓰기기 헤드, 및 레이저 펄스 제어 신호의 제어 하에서 자기 저장 매체를 가열하도록 동작하는 레이저 다이오드를 포함하는 장치가 개시된다.

대 표 도 - 도1



특허청구의 범위

청구항 1

열 지원 자기 기록을 위한 장치로서,

자기적 쓰기 데이터 신호를 클록킹하는데 사용된 동일한 클록 신호를 사용하여 레이저 트리거 펄스 신호를 생성하도록 동작하는 신호 발생기와,

상기 레이저 트리거 펄스 신호 및 상기 자기적 쓰기 신호 사이의 얼라인먼트를 제어하도록 동작하는 가변 지연 요소와,

상기 가변 지연 요소를 제어하도록 동작하는 위상차 검출기와,

상기 레이저 트리거 펄스 신호에 기초하여 레이저 펄스 제어 신호를 생성하도록 동작하는 트리거 가능 펄스 발생기 회로와,

상기 자기적 쓰기 데이터 신호의 제어 하에서 자기 저장 매체에 데이터를 기록하도록 동작하는 자기적 쓰기 헤드와,

상기 레이저 펄스 제어 신호의 제어 하에서 상기 자기 저장 매체를 가열하도록 동작하는 레이저 다이오드를 포함하는

장치.

청구항 2

제1항에 있어서,

상기 신호 발생기는 쓰기 채널 회로 안에 위치하며, 상기 트리거 가능 펄스 발생기 회로는 전치 증폭기 안에 위치하는

장치.

청구항 3

제2항에 있어서,

상기 레이저 트리거 펄스 신호는 상기 쓰기 채널 회로와 상기 전치 증폭기 사이에서 연성(flexible) 전송 라인을 거쳐 전송되는

장치.

청구항 4

제3항에 있어서,

상기 레이저 트리거 펄스 신호는 상기 자기적 쓰기 데이터 신호와 함께 상기 연성 전송 라인 상에서 멀티플렉싱되는

장치.

청구항 5

제2항에 있어서,

상기 레이저 트리거 펄스 신호는 상기 자기적 쓰기 데이터 신호의 전환 레이트(transition rate)로 발생되는 장치.

청구항 6

제5항에 있어서,

상기 트리거 가능 펄스 발생기 회로는 상기 레이저 트리거 펄스 신호의 각각의 에지에서 펄스를 생성하는 장치.

청구항 7

제5항에 있어서,

상기 트리거 가능 펄스 발생기 회로는 상기 레이저 펄스 제어 신호의 펄스 폭을 프로그램적으로 조정하도록 동작하는

장치.

청구항 8

제1항에 있어서,

상기 레이저 펄스 제어 신호에 전치 보상(precompensation) 쉬프트를 적용하도록 동작하는 레이저 전치 보상 회로를 더 포함하는

장치.

청구항 9

제8항에 있어서,

상기 가변 지연 요소는 상기 자기적 쓰기 데이터 신호에 지연을 적용하도록 동작하는

장치.

청구항 10

제8항에 있어서,

상기 자기적 쓰기 데이터 신호에 전치 보상 쉬프트를 적용하도록 동작하는 자기적 전치 보상 회로를 더 포함하는

장치.

청구항 11

제8항에 있어서,

상기 가변 지연 요소는 상기 레이저 펄스 제어 신호와 상기 자기적 쓰기 데이터 신호 사이의 위상차를 보상하도록 동작하는

장치.

청구항 12

제11항에 있어서,

상기 가변 지연 요소는 상기 자기적 쓰기 데이터 신호의 비트 주기보다 큰 범위에 걸쳐서 위상차를 보상하도록 동작하는

장치.

청구항 13

제1항에 있어서,

상기 자기적 쓰기 데이터 신호를 직렬 형식으로 산출하기 위해 별도 쓰기 데이터 신호를 변환하도록 동작하는 직렬기(serializer)를 더 포함하는

장치.

청구항 14

제1항에 있어서,

상기 장치는 접적 회로로서 구현되는

장치.

청구항 15

제1항에 있어서, 상기 장치는 저장 장치 안에 병합되는

장치.

청구항 16

제1항에 있어서,

상기 장치는 RAID(redundant array of independent disks)를 포함하는 저장 시스템 안에 병합되는

장치.

청구항 17

열 지원 자기 기록을 위한 방법으로서,

쓰기 채널에서 레이저 트리거 펄스를 생성하는 단계와,

상기 레이저 트리거 펄스를 전치 증폭기로 전송하는 단계와,

상기 전치 증폭기에서 상기 레이저 트리거 펄스들에 기반하여 레이저 펄스 제어 신호를 생성하는 단계- 상기 레이저 펄스 제어 신호는 상기 레이저 트리거 펄스들의 각각의 예지에서 펄스를 포함함- 와,

자기적 쓰기 데이터 신호와 상기 레이저 펄스 제어 신호의 시간 얼라인먼트를 조정하는 단계와,

상기 자기적 쓰기 데이터 신호를 자기 저장 매체에 쓰는 동안 상기 자기 저장 매체를 가열하도록 상기 레이저 펄스 제어 신호에 의해 레이저 다이오드를 제어하는 단계를 포함하는

방법.

청구항 18

제17항에 있어서,

상기 레이저 펄스 제어 신호에 대한 레이저 펄스 전치 보상을 산출하는 단계와,

상기 자기적 쓰기 데이터 신호에 지연을 적용하는 단계와,

상기 자기적 쓰기 데이터 신호에 대한 자기적 쓰기 전치 보상을 산출하는 단계를 더 포함하고,

상기 시간 얼라인먼트를 조정하는 단계는 상기 레이저 펄스 제어 신호 내 펄스와 상기 자기적 쓰기 데이터 신호 내 해당 데이터 비트 사이의 상관을 유지하도록 동작하는

방법.

청구항 19

제17항에 있어서,

상기 레이저 트리거 펄스는 상기 자기적 쓰기 데이터 신호를 포함하며, 상기 레이저 펄스 제어 신호는 애지 감지형 위상 검출기를 사용하여 생성되는

방법.

청구항 20

데이터 집합을 보유한 저장 매체와,

자기 채널 회로와,

전치 증폭기 회로와,

상기 데이터 집합을 나타내는 자기적 쓰기 데이터 신호의 제어 하에서 자기 저장 매체에 데이터를 기록하도록 동작하는 자기적 쓰기 헤드와,

레이저 펄스 제어 신호의 제어 하에서 상기 자기 저장 매체를 가열하도록 동작하는 레이저 다이오드를 포함하고,

상기 쓰기 채널 회로는

상기 자기적 쓰기 데이터 신호의 전환 레이트로 레이저 트리거 펄스를 생성하도록 동작하는 신호 발생기와,

상기 레이저 트리거 펄스들과 상기 자기적 쓰기 신호 사이의 얼라인먼트를 제어하도록 동작하는 가변 지연 요소를 포함하며,

상기 전치 증폭기 회로는

상기 가변 지연 요소를 제어하도록 동작하는 위상차 검출기와,

상기 레이저 트리거 펄스들에 기초하여 레이저 펄스 제어 신호를 생성하도록 동작하는 트리거 가능 펄스 발생기 회로를 포함하는

저장 시스템.

청구항 21

제20항에 있어서,

상기 쓰기 채널 회로는

상기 자기적 쓰기 데이터 신호에 전치 보상 쉬프트를 적용하도록 동작하는 자기적 전치 보상 회로와,

상기 레이저 펄스 제어 신호에 전치 보상 쉬프트를 적용하도록 동작하는 레이저 펄스 전치 보상 회로를 더 포함하며,

상기 가변 지연 요소는 상기 자기적 쓰기 데이터 신호의 비트 주기보다 큰 범위에 걸쳐 상기 레이저 펄스 제어 신호와 상기 자기적 쓰기 데이터 신호 사이의 위상차를 보상하도록 동작하는

저장 시스템.

청구항 22

제20항에 있어서,

상기 레이저 펄스 제어 신호는 상기 레이저 트리거 펄스들의 각각의 에지에서 펄스를 포함하는

저장 시스템.

명세서

배경기술

- [0001] 하드 디스크 드라이버들과 같은 다양한 자기 저장 시스템은 자기 매체 상에 데이터를 기록하기 위해 쓰기 헤드를 이용한다. 기록될 데이터는 교류 전류로서 쓰기 헤드에 제공된다. 전류는 쓰기 헤드 안의 금속 코일을 통과하여, 자계를 발생시킨다. 쓰기 헤드 내 폴 텁(pole tip)의 자화 상태가 그 자계에 의해 스위칭된다. 자화된 폴 텁이 자기 매체, 예컨대 회전하는 강자성 플래터(ferromagnetic platter) 위를 통과되게 될 때, 폴 텁에 인접한 자기 매체 영역들의 자성이 바뀌게 되며 나중에 데이터를 가져오기 위해 다시 읽혀질 수 있다.
- [0002] 고밀도 자기 기록은 열적 동요 하에서 파인 그레인드(fine-grained)로 기록된 정보의 쇠퇴에 대해 민감성이 높은 작은 입도 사이즈를 내포한다. 따라서, 기록 밀도를 높이기 위해 입도 사이즈가 감축될 때, 기록된 정보의 안정성 역시 줄게 된다. 기록 매체의 강자기 비등방성을 높이는 것은 열적으로 유도되는 쇠퇴에 대한 민감도를 낮추지만, 종래의 쓰기 헤드들을 사용해 획득 가능한 것들 이상의 쓰기 필드들을 필요로 한다. 자기 저장 시스템에 있어서 쓰기 성능 대 수명이라는 딜레마에 대한 하나의 해법이 열 지원 자기 기록(Heat Assisted Magnetic Recording)인데, 이것은 쓰여진 데이터 비트 근처의 자기 매체를 레이저를 사용하여 큐리(Curie) 포인트 근처까지 가열함으로써, 쓰기 헤드가 매체 상의 자기 방위(magnetic orientation)를 데이터 비트를 저장하도록 스위칭할 수 있게 한다. 따라서, 데이터가 기록될 때 자기 매체를 스팟 히어링(spot-hearing)함으로써, 보다 높은 열적 안정성을 가진 매체가 제한된 헤드 필드를 가지고 사용될 수 있다.
- [0003] 이 기술 분야에서는 고밀도 및 고 비트율 자기 저장 시스템들에서 열 지원 자기 기록의 이용을 개선시키기 위한 수요가 존재한다.

발명의 내용

과제의 해결 수단

- [0004] 본 발명의 다양한 실시예들은 열 지원 자기 기록을 위한 장치, 시스템 및 방법을 제공한다. 예를 들어, 자기적 쓰기 데이터 신호의 전환 레이트(transition rate)로 레이저 트리거 펄스들을 생성하도록 동작하는 신호

발생기, 레이저 펄스 제어 신호 및 자기적 쓰기 신호 사이의 얼라인먼트를 제어하도록 동작하는 가변 지연 요소, 가변 지연 요소를 제어하도록 동작하는 위상차 검출기, 레이저 트리거 펄스들에 기초하여 레이저 펄스 제어 신호를 생성하도록 동작하는 트리거 가능 펄스 발생기 회로, 자기적 쓰기 데이터 신호의 제어 하에서 자기 저장 매체에 데이터를 기록하도록 동작하는 자기적 쓰기 헤드, 및 레이저 펄스 제어 신호의 제어 하에서 자기 저장 매체를 가열하도록 동작하는 레이저 다이오드를 포함하는 장치가 개시된다. 상술한 실시예들의 일부 경우들에서, 신호 발생기는 쓰기 채널 회로 안에 위치하며, 트리거 가능 펄스 발생기 회로는 전치 증폭기 안에 위치되고, 레이저 트리거 펄스들은 쓰기 채널 회로와 전치 증폭기 사이에서 연성(flexible) 전송 라인을 통해 전송된다. 일부 경우들에서, 트리거 가능 펄스 발생기 회로는 레이저 펄스 제어 신호의 펄스 폭을 프로그램에 따라 조정하도록 동작된다.

[0005] 일부 실시예들은 레이저 펄스 제어 신호로 전치 보상 쉬프트를 적용하도록 동작하는 레이저 전치 보상 회로, 및 자기적 쓰기 데이터 신호로 전치 보상 쉬프트를 적용하도록 동작하는 자기적 전치 보상 회로를 포함한다. 상술한 실시예들 중 일부의 경우, 가변 지연 요소는 레이저 트리거 펄스들 및 자기적 쓰기 데이터 사이의 상대적 위상(phasing)을 조정한다; 그러한 위상은 자기적 쓰기 데이터 신호의 비트 주기보다 큰 주기(span)를 보유할 수 있다.

[0006] 본 발명의 다른 실시예들은 열 지원 자기 기록을 위한 방법을 제공한다. 이들 중 일부는 쓰기 채널에서 레이저 트리거 펄스들을 생성하는 단계, 레이저 트리거 펄스들을 전치 증폭기로 전송하는 단계, 레이저 트리거 펄스들에 기반하여 레이저 펄스 제어 신호를 발생하는 단계, 자기적 쓰기 데이터 신호와 레이저 펄스 제어 신호의 시간 얼라인먼트를 조정하는 단계, 및 자기적 쓰기 데이터 신호를 자기 저장 매체에 쓰는 동안 자기 저장 매체를 가열하도록 레이저 펄스 제어 신호를 가지고 레이저 다이오드를 제어하는 단계를 포함한다. 일부의 경우들은 또한 레이저 펄스 제어 신호의 레이저 펄스 전치 보상을 계산하고, 자기적 쓰기 데이터 신호에 벌크 지연(bulk delay)을 적용하며, 자기적 쓰기 데이터 신호의 자기적 쓰기 전치 보상을 계산하는 단계들을 포함한다. 시간 얼라인먼트의 조정은 레이저 펄스 제어 신호 내 펄스 및 자기적 쓰기 데이터 신호 내 해당 데이터 비트 사이의 상관을 유지한다.

[0007] 본 발명의 또 다른 실시예들은 데이터 집합을 보유하는 저장 매체, 쓰기 채널 회로, 전치 증폭기 회로, 데이터 집합을 나타내는 자기적 쓰기 데이터 신호의 제어 하에 자기 저장 매체로 데이터를 기록하도록 동작하는 자기적 쓰기 헤드, 및 레이저 펄스 제어 신호의 제어 하에서 자기 저장 매체를 가열하도록 동작하는 레이저 다이오드를 포함하는 저장 시스템을 제공한다. 쓰기 채널 회로는 자기적 쓰기 데이터 신호의 전환 레이트에서 레이저 트리거 펄스 신호를 생성하도록 동작하는 신호 발생기, 및 레이저 트리거 펄스 신호 및 자기적 쓰기 데이터 신호 사이의 얼라인먼트를 제어하도록 동작하는 가변 지연 요소를 포함한다. 전치 증폭기 회로는 가변 지연 요소를 제어하도록 동작하는 위상차 검출기 및 레이저 트리거 펄스 신호에 기초하여 레이저 펄스 제어 신호를 생성하도록 동작하는 트리거 가능 펄스 발생기 회로를 포함한다. 일부 경우들에서, 쓰기 채널 회로는 자기적 쓰기 데이터 신호에 전치 보상 쉬프트를 적용하도록 동작하는 자기적 전치 보상 회로, 및 레이저 펄스 제어 신호에 전치 보상 쉬프트를 적용하도록 동작하는 레이저 펄스 전치 보상 회로를 또한 포함한다. 가변 지연 요소는 자기적 쓰기 데이터 신호의 비트 주기보다 큰 범위에 걸친 레이저 펄스 제어 신호 및 자기적 쓰기 데이터 신호 사이의 위상차를 보상하도록 동작한다.

[0008] 이러한 개요는 본 발명에 따른 일부 실시예들의 일반적인 윤곽만을 제공한다. 본 발명의 여러 다른 목적, 특징, 장점 및 기타 실시예들은 이하의 상세한 설명, 부가된 청구범위 및 첨부된 도면으로부터 보다 충분히 자명하게 이해될 수 있을 것이다.

도면의 간단한 설명

[0009] 본 발명의 여러 실시예들에 대한 보다 나은 이해는 명세서의 나머지 부분들에 기술된 도면들에 대한 참조를 통해 실현될 수 있을 것이다. 도면에서 동일한 참조 부호는 일부 도면들에 걸쳐서 유사한 구성요소들을 나타내기 위해 사용될 수 있다. 도면에서 동일한 참조 부호는 일부 도면들 모두에서 유사한 구성요소들을 나타내기 위해 사용된다. 어떤 경우, 소문자로 이루어진 하위 표식은 다수의 유사한 구성요소들 중 하나를 표시하기 위한 참조 부호와 관련된다. 기준 하위 표식에 대한 특정 없이 어떤 참조 부호에 대한 참조가 이루어질 때, 모든 그와 같은 다수의 유사한 구성요소들을 나타내도록 되어 있다.

도 1은 본 발명의 일부 실시예들에 따른 트리거 가능 HAMR 레이저 펄스 발생기를 가진 쓰기 채널을 포함하는 자기 저장 시스템을 도시한다.

도 2는 도 1의 자기 저장 시스템에 사용하기 적합하고 본 발명의 일부 실시예들에 따른 자기적 쓰기 전치 보상을 포함하는 쓰기 채널, 전치 증폭기 및 자기적 쓰기 헤드의 구현예를 도시한다.

도 3(a)는 본 발명의 일부 실시예들에 따라 도 2의 쓰기 채널에 사용하기 적합한 레이저 펄스 데이터 프로세서 및 레이저 드라이버의 구현예를 도시한다.

도 3(b)는 본 발명의 일부 실시예에 따라 도 3(a)의 레이저 펄스 데이터 프로세서 내 다양한 신호들의 타이밍도를 도시한다.

도 4는 도 1의 자기 저장 시스템에 사용하기 적합하며 본 발명의 일부 실시예들에 따른 자기적 쓰기 전치 보상 및 레이저 펄스 전치 보상을 포함하는 쓰기 채널, 전치 증폭기 및 자기적 쓰기 헤드의 구현예를 도시한다.

도 5는 본 발명의 일부 실시예들에 따라 도 4의 쓰기 채널에 사용하기 적합한 레이저 펄스 전치 보상 회로의 구현예를 도시한다.

도 6은 본 발명의 일부 실시예들에 따라 도 4의 쓰기 채널에 사용하기 적합한 가변 지연 요소의 구현예를 도시한다.

도 7은 본 발명의 일부 실시예들에 따라 도 6의 가변 지연 요소 내 몇몇 위치들에서의 파형 예들을 도시한다.

도 8은 본 발명의 일부 실시예들에 따른 열 지원 자기 기록을 위한 방법을 보이는 흐름도를 도시한다.

도 9는 본 발명의 일부 실시예들에 따라 레이저 펄스 전치 보상 및 자기적 쓰기 전치 보상을 포함하는 열 지원 자기 기록을 위한 방법을 보이는 흐름도를 도시한다.

발명을 실시하기 위한 구체적인 내용

[0010] 본 발명의 다양한 실시예들은 HAMR 레이저 펄스 발생기를 포함하여 열 지원 자기 기록을 위한 장치, 시스템, 및 방법을 제공한다. 일부 실시예들에서, 레이저 전치 보상이 자기적 전치 보상과 연계되어 적용되며 정렬된다.

[0011] 여기 개시된 펄스형 쓰기 HAMR 시스템은 데이터가 쓰기 헤드에 의해 자기 기록 매체에 쓰여질 때 레이저 다이오드를 펄싱하여 자기 기록 매체를 가열시킨다. 레이저 다이오드를 펄싱함으로서, 쓰기 헤드가 탑재된 슬라이더의 온도가 레이저가 지속적으로 조사되었을 때 추정될 수 있는 온도에 비해 낮아지고, 그에 따라 폴 텁(pole tip) 돌출부에 대한 레이저 다이오드의 영향이 줄어든다. 광 기울기 및 자기 기울기(gradient)가 나란히 정렬되면, 기록 밀도 역시 레이저 펄싱으로부터 혜택을 받을 수 있다.

[0012] 레이저 트리거 펄스들은 쓰기 채널 회로에서 발생되어, 쓰기 헤드 내 레이저 다이오드를 구동하는 데 사용되기 위해 연성 전송 라인을 통해 전치 증폭기로 전송된다. 일부 실시예들에서, 플렉스 회로(flex-circuit) 상의 시그널링 주파수를 줄이기 위해 레이저 트리거 펄스는 쓰기 데이터와 동일한 비트(전환) 레이트로 발생된다. 펄싱되는 기록을 위해, 레이저 조사(illumination)는 각각의 데이터 비트 셀에서 온전한 온/오프 사이클을 거치고, 그에 따라 레이저 트리거 펄스들이 쓰기 채널 회로에서 발생되어 데이터 신호 주파수의 두 배의 주파수를 가지는 레이저 펄스 제어 신호를 전치 증폭기에서 발생하는데 사용된다. 일부 실시예들에서, 레이저 펄스 제어 신호는 레이저 다이오드 가열의 시간 전치 보상(time precompensation)을 가능하게도 할 수 있다. 이러한 실시예들 중 일부 경우에는, 전치 보상된 레이저 펄스 제어 신호들은 자기 전치보상된 데이터 신호와 상관된다.

[0013] 도 1을 참조하면, 자기 저장 시스템(100)은 본 발명의 일부 실시예들에 따라 트리거 가능 HAMR 레이저 펄스 발생기를 생성하는 쓰기 채널(102)을 포함하는 것으로 도시된다. 저장 시스템(100)은 예컨대 하드 디스크 드라이브일 수 있다. 저장 시스템(100)은 인터페이스 제어기(104), 채널 회로(106), 전치 증폭기(108), 하드 디스크 제어기(110), 모터 제어기(112), 스펀들 제어기(114), 디스크 플래터(116), 및 읽기/쓰기 헤드 어셈블리(120)를 포함한다. 인터페이스 제어기(104)는 디스크 플래터(116)로로부터 어드레싱 및 데이터 타이밍을 제어한다. 인터페이스 제어기(104)는 프로세서, 버퍼 메모리, 포맷 제어, 에러 정정 회로, 및 인터페이스 회로 같은 장치들을 포함할 수 있다. 디스크 플래터(116) 상의 데이터는 읽기/쓰기 어셈블리(120)가 디스크 플래터(116) 위에 적절히 위치될 때 읽기/쓰기 어셈블리(120)에 의해 쓰여지고 검출될 수 있는 자기 신호들의 그룹으로 이루어진다. 일 실시예에서, 디스크 플래터(116)는 세로 방향 또는 수직 방향 기록 체계에 따라 기록된 자기 신호들을 포함한다.

[0014] 쓰기 동작 중에, 인터페이스 제어기(104)는 디스크 플래터(116) 상에 저장될 디지털 데이터(122)를 수신하며 상응하는 디지털 쓰기 데이터(124)를 채널 회로(106) 내 쓰기 채널(102)로 제공한다. 디지털 데이터(122)는

SATA(Serial Advanced Technology Attachment) 인터페이스와 같은 표준형 장치 인터페이스 상에서 직렬 형식으로 수신될 수 있다. 쓰기 동작 중에, 디지털 데이터(122)는 로컬 버퍼 메모리에 저장되고 에러 정정 코드들을 이용해 포맷되고 확대된다.

- [0015] 쓰기 채널(102)은 데이터를 직렬화하는 방식, 데이터를 변조 코딩한 후 패리티 비트를 추가하는 방식, 원하는 비트 레이트로 데이터를 직렬화하는 방식, 및 자기적 쓰기 전치 보상을 수행하는 방식과 같은 많은 방식들에 따라 디지털 쓰기 데이터(124)를 처리할 수 있다. 쓰기 채널(102)은 또한 레이저 트리거 펄스들을 생성한다. 쓰기 채널(102)은 인코딩된 쓰기 데이터(130) 및 레이저 트리거 펄스 신호(132)를 전치 증폭기(108) 안의 쓰기 드라이버(134)로 제공한다. 일부 실시예에서, 전치 증폭기(108)는 액츄에이터 아암(136) 위에 탑재되고, 인코딩된 쓰기 데이터(130) 및 레이저 트리거 펄스 신호(132)는 전송기들에 의해 채널 회로(106)로부터 나와서 차동 PECL(positive emitter-coupled logic) 포맷에 따라 플렉스 케이블을 통해 아암이 탑재된 전치 증폭기(108) 내 쓰기 및 레이저 드라이버(133)로 전달된다. 전치 증폭기(108)는 인코딩된 쓰기 데이터(130)를 아날로그 신호로 변환하고, 레이저 트리거 펄스 신호(132)에 기반하여 레이저 펄스 제어 신호를 생성하며, PECL 입력(132)의 것에 의해 결정된 극성의 바이풀라 프로그래머를 쓰기 전류(138)를 읽기/쓰기 헤드 어셈블리(120)에 인가한다. 동시에, PECL 레이저 트리거 펄스 신호 입력(132)은 라인(140) 상으로 읽기/쓰기 헤드 어셈블리(120)에 가해지는 레이저 펄스 제어 신호의 생성을 유발한다.
- [0016] 통상의 읽기 동작 시, 읽기/쓰기 헤드 어셈블리(120)는 모터 제어기(112)에 의해 디스크 플래터(116) 상의 원하는 데이터 트랙 위에 정확하게 위치된다. 모터 제어기(112)는 하드 디스크 제어기(110)의 명령 하에서 디스크 플래터(116) 상의 정확한 데이터 트랙으로 읽기/쓰기 헤드 어셈블리(120)를 이동시킴으로써 읽기/쓰기 헤드 어셈블리(120)을 디스크 플래터(116)에 대해 위치시키고 스픬들 모터(114)를 구동하는 두 가지 일을 수행한다. 스픬들 모터(114)는 디스크 플래터(116)를 소정 스픬 레이트(RPM)에서 회전시킨다. 전치 증폭기(108) 안의 읽기 회로(142)는 자기 저항성 읽기/쓰기 헤드 어셈블리(120) 내 바이어스 전류를 설정한다. 읽기/쓰기 헤드 어셈블리(120)가 정확한 데이터 트랙 가까이 위치되면, 디스크 플래터(116)가 스픬들 모터(114)에 의해 회전할 때 디스크 플래터(116) 상의 데이터를 나타내는 자기 신호들이 읽기/쓰기 헤드 어셈블리(120)에 의해 감지된다. 감지된 자기 신호들은 디스크 플래터(116) 상의 자기 데이터를 나타내는 연속적인 미세 아날로그 신호(144)로서 제공된다. 이 미세 아날로그 신호(142)는 읽기/쓰기 헤드 어셈블리(120)로부터 전치 증폭기(106) 안의 읽기 회로(142)로 전달되며, 그 안에서 증폭된 후 채널 회로(106) 안의 읽기 채널(146)로 아날로그 읽기 데이터(148)로서 전달된다. 그러면, 읽기 채널(146)은 수신된 아날로그 신호를 디코딩 및 디지털화하여 원래 디스크 플래터(116)에 쓰여졌던 사용자 데이터를 재생시킬 뿐 아니라 서버 정보를 추출한다.
- [0017] 아날로그 읽기 데이터(148) 처리의 일환으로서, 읽기 채널 회로(146)는 아날로그 필터링, 가변 이득 증폭, 아날로그-디지털 변환, 이퀄라이제이션, 타이밍 복구, 데이터 검출, 디코딩, 역직렬화(deserialization), 및 데이터 및 서보 정보를 얻기 위한 서보 복조와 같은 동작들 중 한 개 이상을 수행할 수 있다. 사용자 데이터는 읽기 채널(146)에 의해 디지털 읽기 데이터(150)로서 인터페이스 제어기(104)로 제공되며, 인터페이스 제어기(104) 안에서 에러 정정되고, 특별한 포맷팅 필드들을 없애고, 사용자 장치에 디지털 데이터(122)로서 제공되기 위해 버퍼 메모리 안에서 재어셈블링된다. 읽기 채널(146)은 또한 하드 디스크 제어기(110) 및 모터 제어기(112)를 구동할 때 사용하기 위한 인터페이스 제어기(104)로 서보 데이터(152)를 제공한다. 읽기 및 쓰기 양 동작들 중에, 인터페이스 제어기(104) 안의 마이크로코드가 스픬들 속도를 제어하고, 정확한 트랙 추적을 유지하며, 트랙들 사이를 탐색하기 위해 헤드 위치를 조정한다. 이러한 기능들을 위한 서보 위치 정보는 디스크 플래터(116) 상에 미리 기록된 전용 필드들로부터 읽기 채널(146)에 의해 데이터 레코드들 사이의 인터벌로 복조된다.
- [0018] 저장 시스템(100)이 예컨대 RAID(redundant array of inexpensive disks or redundant array of independent disks) 기반 저장 시스템과 같은 보다 큰 저장 시스템 안에 병합될 수 있다는 것을 알아야 한다.
- [0019] 또한 저장 시스템(100)의 다양한 기능들이나 블록들이 소프트웨어나 펌웨어로 구현될 수 있고, 다른 기능들이나 블록들은 하드웨어로 구현될 수 있다는 것 역시 알아야 한다. 여기 개시된 다양한 블록들은 다른 기능성과 함께 집적 회로들 안에 구현될 수 있다. 그러한 집적 회로들은 소정 블록, 시스템이나 회로의 기능들 전부, 또는 그 블록, 시스템이나 회로의 부분 집합만을 포함할 수 있다. 또한, 블록, 시스템이나 회로의 구성요소들은 다수의 집적 회로들에 걸쳐 구현될 수 있다. 그러한 집적 회로들은 모노리티 집적 회로, 플립 칩 집적 회로, 멀티칩 모듈 집적 회로, 및/또는 혼합 신호 집적 회로를 포함하나 그에 국한되지 않는 이 분야에 알려진 임의 타입의 집적 회로일 수 있다. 여기에서 논의되는 블록, 시스템 또는 회로의 다양한 기능들이 소프트웨어나 펌웨어로 구현될 수 있다는 것 역시 알아야 한다. 일부 그러한 예들에서, 전체 시스템, 블록 또는 회로는 소프트웨어나 펌웨어 균등물을 이용해 구현될 수 있다. 다른 예들에서, 소정 시스템, 블록 또는 회로의 한 부분은 소프

트웨어나 펌웨어로 구현될 수 있고, 다른 부분들은 하드웨어 구현된다.

- [0020] 도 2를 참조할 때, 본 발명의 일부 실시예들에 따라 도 1의 자기 저장 시스템에 사용하기 적합한 쓰기 채널(200), 전치 증폭기(202), 및 쓰기 헤드 어셈블리(204)의 구현예가 도시된다. 인코딩된 쓰기 데이터(206)가 쓰기 채널(200)로 제공되고, 거기에서 런 령스(run-length) 인코딩되고, 직렬기(208)에서 직렬화되며, 마스터 쓰기 클록 오실레이터(212)로부터의 클록 신호(210)에 동기된다. 마스터 쓰기 클록 오실레이터(202)는 기준 크리스탈 소스나 디스크 플래터 상에 미리 기록된 서보 정보에 동기되는 주파수 합성기의 다상 링 오실레이터 형성 부분과 같이 클록 신호(210)를 생성하기 위한 어떤 회로 또는 장치일 수 있다. 직렬기(208)는 병렬 데이터 입력을 직렬 데이터 스트림으로 변환한다. 직렬기(208)는 병렬 데이터 입력을 단일 출력으로 멀티플렉싱하고, 동등하게 360도가 넘는 동상으로 배포되는 여러 개의 선택 클록 신호들을 생성하며, 클록 신호(210)로부터 파생될 수 있는 다상(multi-phase) 클록 회로에 의해 제어되는 시분할 데이터 멀티플렉서일 수 있으나, 그것에 국한되는 것은 아니다. 다수의 선택 클록 신호들은 병렬 데이터 입력의 개개 비트들을 특정 순서에 따라 선택하는데 사용된다. 여기에 개시된 사항에 기초할 때, 당업자라면 인코딩된 쓰기 데이터(206)를 직렬화하는 데 사용될 수 있는 다양한 회로들, 예컨대 쉬프트 레지스터를 인지할 수 있을 것이다.
- [0021] 인코딩된 쓰기 데이터(206)는 쓰기 헤드 어셈블리(204)에 의해 자기 저장 매체로 쓰여지기 위해 쓰기 채널(200) 안에서 준비된다. 자기 저장 매체로 정보를 쓰는 동작은 쓰여질 저장 매체에 가까이 근접하여 자계를 발생시키는 동작을 포함한다. 자기 저장 매체에 쓰기를 수행할 때 일어날 수 있는 한 가지 문제는 이전의 비트 패턴에 의해 발생되는 자계가 다음 비트 패턴의 쓰기 중에 발생되는 자계를 방해하거나 그렇지 않으면 영향을 미칠 수 있다는 것이다. 특히, 현재의 비트 패턴을 쓰기 위해 발생된 자계는 고밀도 자기 기록 시 쓰기 상태(write-held)의 전환 및 이미 쓰여진 전환(transitions) 사이의 자기 상호작용들에 의해 유도되는 NLTS(non-linear transition shift)를 보일 수 있다. NLTS는 다시 판독되는 신호에 데이터 종속적 비선형 왜곡을 가져옴으로써 데이터 복구 성능의 저하를 유발할 수 있으며, 쓰기 데이터 경로에서 자기적 전치 보상 회로(214)의 사용에 의해 거역된다. 자기적 전치 보상 회로(214)는 쓰기 데이터의 각각의 비트가 저장 매체 상의 원하는 위치에 쓰여지도록 NLTS를 보상하기 위해, 자기적 쓰기 헤더 안에 인가될 때 패턴 종속적 지연들을 쓰기 데이터에 인가한다.
- [0022] 쓰기 채널(200) 및 전치 증폭기(202)의 다양한 구성요소들은 그들이 전자 회로나 소프트웨어/펌웨어 회로로서 구현될 수 있는 "회로들"이라고 기술된다는 것을 알아야 한다. 그러한 소프트웨어/펌웨어 회로들은 여기 기술된 특정 기능들을 수행하기 위해 프로세서에 의해 실행될 수 있는 명령어들을 포함하는 메모리 장치와 연관된 상기 프로세서를 포함한다. 그러한 프로세서들은 범용 프로세서들이거나, 특정 구현 요건에 따른 소정 기능을 수행하기 위해 특정하게 맞춤화된 프로세서들일 수 있다. 어떤 경우, 프로세서는 한 개가 넘는 특정 모듈과 관련된 기능들을 수행하도록 설계될 수 있다. 여기 제공된 개시사항에 기초할 때, 당업자라면 본 발명의 각종 실시예들에 따라 사용될 수 있는 전용 전자 회로 및 소프트웨어/펌웨어의 다양한 조합들을 인지할 수 있을 것이다.
- [0023] 일부 실시예들에서 쓰기 전치 보상된 자기적 쓰기 데이터(216)가 드라이버(220)로 제공되고, 드라이버(220)는 자기적 쓰기 데이터(216)를 차별적이거나 다른 형식으로 다중 전도체 액츄에이터 아암 연성 전송 라인(222)을 거쳐 아암이 탑재된 전치 증폭기(202)로 전송한다. 수신기(224)는 전송된 자기적 쓰기 데이터를 수신하고, 자기적 쓰기 데이터를 변환하며, 그 데이터를 디스크 플래터로 기록하도록 자기적 쓰기 헤드(230)를 구동하는 쓰기 데이터 프로세서(226) 및 쓰기 드라이버(230)로 수신된 자기적 쓰기 데이터를 제공한다. 쓰기 데이터 프로세서(226) 및 쓰기 드라이버(230)는 자기 저장 시스템의 각종 실시예들에서 다양한 기능들을 수행할 수 있으며, 당업자라면 이러한 기능들을 수해하는데 사용될 수 있는 여러 회로들을 인지할 수 있을 것이다.
- [0024] HAMR의 원리에 따라 매체 상에 데이터의 고밀도 기록을 지원하기 위해, 레이저 펄스 제어 신호(240)가 쓰기 채널(200)에서 생성되어 데이터 비트들이 자기적 쓰기 헤드(232)에 의해 쓰여질 때 자기 헤드 어셈블리(204) 안의 데이터 디아오드(202)를 구동하도록 한다. 레이저 디아오드(242)는 자기적 쓰기 헤더(232)에 의해 쓰여진 데이터 비트들과 연계하여 펄싱되고, 연성 전송 라인(222) 및/또는 쓰기 헤드 어셈블리(404) 내에서의 전력 소비 및 열을 낮추며, 영역 밀도 향상을 돋는다. 레이저 디아오드(242)의 펄스들은 자기적 쓰기 헤드(232)에 의해 쓰여질 때 시스템 요건을 충족하고 기록된 데이터의 판독성 및 안정성을 향상시키기 위해 다양한 기법들에 따라 데이터 비트들과 상관될 수 있다. 쉬프트된 클록 신호(244)가 일부 실시예들에서 자기 데이터에 대한 레이저 펄스-데이터의 위상 설정을 가능하게 하는 프로그래머블 위상 보간기 또는 에지 선택기 스위치로서 구현되는 가변 지연 요소(246)에 의해 제공된다. 이 실시예들에서 가변 지연 요소(246)는 자기적 쓰기 클록 신호(210)의 주파수와 동일하나 프로그래머블 위상 관계를 가진 주파수의 쉬프트된 클록 신호(244)를 생성하기 위해 마스터 쓰기

클록 오실레이터(212) 내 다상 링 오실레이터의 적절한 위상들을 믹싱 및/또는 선택한다. 다른 지연 방법들 역시 사용될 수 있다.

- [0025] 쉬프트된 클록 신호(244)에 기초하여 신호 발생기에 의해 자기적 쓰기 데이터(216)의 전환 레이트로 레이저 트리거 펄스 신호(240)가 생성됨으로써, 레이저 트리거 펄스 신호(240)로 인한 연성 전송 라인(222) 내 열 및 대역폭 요건을 감축시킬 수 있다. 일부 실시예들에서, 신호 발생기는 D 플립 플롭(250)을 포함한다. 비트 당 한 개의 레이저 펄스는 자기적 쓰기 데이터(216) 내 런 햄스 코딩된 비트 셀에서 온전한 온/오프 사이클이 일어날 것을 요하기 때문에, 레이저 펄스 제어 신호(264)는 자기적 쓰기 데이터(216) 주파수의 2배인 주파수를 가진다. 플립 플롭(250)은 쉬프트된 클록 신호(244)를 쓰여진 비트 당 한 개의 전기 사이클을 가진 형식에서 비트 당 한 개의 에지를 가진 것으로 변환하여, 연성 전송 라인(222) 내 대역폭 요건을 최소화한다. 그 결과가 전치 증폭기(202) 내 수신기(254)에 의해 수신되도록 드라이버(252)에 의해 연성 전송 라인(222) 상으로 차동적으로 구동되어 나간다. 여기에 개시된 사항에 기초할 때, 당업자라면 쉬프트된 클록 신호(244)에 기반하여 레이저 트리거 펄스 신호(240)를 생성하는 데 사용될 수 있는 다양한 회로들을 인지할 수 있을 것이다.
- [0026] 다른 실시예들에서, 연성 전송 라인(222) 안의 전도체들의 수를 최소화하기 위해, 쓰기 동작 도중에는 사용되지 않는 라인들 상으로 예컨대 읽기 데이터 전송 라인들(가령, 도 1의 148)을 이용하여 데이터를 멀티플렉싱함으로써, 레이저 트리거 펄스 신호(240)가 드라이버(252)에 의해 전치 증폭기(202)로 전송된다. 멀티플렉싱 시, 읽기 동작 중 도 1의 라인 148은 채널(146)을 읽기 위해 전치 증폭기(108)로부터 읽기 데이터를 운반한다. 반대로, 쓰기 동작 중에 라인 148은 쓰기 채널(102)로부터 쓰기 및 레이저 드라이버(134)로 레이저 트리거 펄스들을 운반한다.
- [0027] 전치 증폭기(202) 안의 수신기(254)는 레이저 트리거 펄스 신호(240)를 수신하여 그것을 레이저 펄스 데이터 프로세서(256)로 전달하며, 레이저 펄스 데이터 프로세서(256)의 출력이 레이저 드라이버(260)를 통해 레이저 다이오드(242)를 제어한다. 레이저 펄스 데이터 프로세서(256)는 쓰기 채널(200)로부터 레이저 트리거 펄스들에 기반하여 데이터 레이트 레이저 펄스 제어 신호(264)를 생성하는 트리거 가능 펄스 발생기를 포함한다. 트리거 가능 펄스 발생기는 레이저 트리거 펄스들의 각각의 에지, 양-음 모두의 변화를 통해 활성화된다. 레이저 펄스 데이터 프로세서(256)는 또한 레이저 펄스 제어 신호(264)의 펄스폭을 제어할 수 있다. 레이저 드라이버(260)는 저레벨 레이저 펄스 제어 신호(264)를 풀-온(full-on) 범위로의 점멸(extinction)을 넘어 문턱치 및 펄스-온 상태들 사이에서 레이저 다이오드(242)를 구동하기 충분한 프로그래머블 증폭도로 증폭한다.
- [0028] 레이저 드라이버(260)의 출력이 쓰기 드라이버(230)의 출력에 대해 적절히 시간 열리인되게 하기 위해, 위상차를 측정하고 쓰기 채널(200) 안의 가변 지연 요소(246)를 제어하기 위해 위상차 검출기(262)가 전치 증폭기(202) 안에 제공될 수 있다. 일부 실시예들에서, 위상차 검출기(262)는 레이저 펄스 데이터 프로세서(256)를 제어한다. 위상차 검출기(262)는 로컬 위상 검출기 또는 루프백 회로일 수 있으나 그에 국한되지 않는다.
- [0029] 도 3(a)를 참조할 때, 본 발명의 일부 실시예들에 따라 도 2의 레이저 펄스 데이터 프로세서(256) 및 레이저 드라이버(260) 대신 각기 사용하기 적합한 레이저 펄스 데이터 프로세서(300) 및 레이저 드라이버(302)의 구현예가 도시된다. 일부 예들에서 가변 지연 요소(246 또는 446)에 의해 제공되는 지연 액션을 증대하기 위해 연속 가변 지연 요소(304)가 포함된다. 연속 가변 지연 요소(304)가 레이저 펄스 데이터 프로세서(300) 안에 포함될 때, 가변 지연 요소(246 또는 446)는 디지털 위상 선택기일 수 있고, 연속 가변 지연 요소(304)는 거친(coarse) 위상 스텝들 사이의 보조장치로서의 역할을 한다.
- [0030] 가변 지연 요소(306) 및 XOR 게이트(310)는 데이터 레이트 레이저 펄스 제어 신호(314)를 생성하기 위해 함께 동작한다. 가변 지연 요소(306)의 드레이션(duration)은 도 3(b)의 과정도에 도시된 바와 같이 레이저 다이오드(242)를 통해 레이저 펄스 제어 신호(314) 및 그에 따른 전류(316)의 '온(on)' 인터벌의 펄스폭 Tpw를 설정한다. 응통성을 위해, Tpw는 $0 \leq Tpw \leq T_{BIT}$ 와 같은 범위 안에서 가변될 수 있으며, TBIT는 시스템의 비트 시간이다. '온' 펄스는 레이저 문턱치 베이스라인 레벨(320)로부터 레이저 다이오드(242)를 턴 온하기 위해 선택된 펄스 레벨(322)로 상승시킨다. 레이저 문턱치 베이스라인 레벨(320) 및 펄스 레벨(322)의 크기는 레이저 드라이버(302) 내 레이저 문턱치 레지스터(324) 및 레이저 펄스 레지스터(326)에 의해 레이저 드라이버(302) 안에서 세팅될 수 있다. 문턱치 레벨(320)은 통상적으로 레이저 다이오드 턴 온/턴 오프 상승 시간을 개선하기 위해 레이저 다이오드가 점멸 직전에 켜져 있게 하는 전류로서 선택된다. 수신기(332)(도 2 및 4의 수신기(254)에 해당)는 연성 전송 라인(가령, 222)을 통해 전송되는 레이저 트리거 펄스 신호(312)를 수신하는 데 사용될 수 있다.
- [0031] 실제로, 연속 가변 지연 요소(304) 및 가변 지연 요소(306)는 전치 증폭기 레지스터로부터 디시털 입력을 수신

하는 지연 설정 디지털-아날로그 컨버터에 의해 가변되는 프로그래머블 로드를 가지는 스타브드(starved) 인버터들의 캐스케이드들로서, 혹은 전치 증폭기 내 로컬 위상 동기 주파수 배수기 루프 등으로서 구현될 수 있다. 예지 감지형 위상 검출기를 가지는 위상 동기 구성이 사용되면, 수신기(332)는 레이저 트리거 라인들(312)이 생략될 수 있게 하는 도 2의 블록(220)에 의해 전송되는 쓰기 데이터 신호들을 입력으로서 수신할 수 있다.

[0032] 도 4를 참조할 때, 쓰기 채널(400), 전치 증폭기(402) 및 쓰기 헤드 어셈블리(404)의 일부 실시예들은 자기적 쓰기 전치 보상을 이용하거나 이용하지 않고 레이저 펄스 전치 보상을 지원한다. 도 4에 도시된 것과 같이, 레이저 펄스 전치 보상 및 자기적 쓰기 전치 보상 둘 모두를 이용하는 경우, 쓰기 전치 보상을 이용하는 레이저 펄스들 및 데이터 비트들이 상관되어 각각의 레이저 펄스가 특정 데이터 비트에 대응하게 된다. 한편, 쓰기 전치 보상이 레이저 펄스들 및 데이터 비트들에 적용되는 방법은 수많은 다양한 기법들에 적응될 수 있다. 직렬화된 데이터 비트들(470)을 자기적 전치 보상 회로(214)에 도달하기 전에 가변 지연 요소(446)를 통과시킴으로써, 각각의 레이저 펄스 및 대응하는 데이터 비트 사이의 관계가 도 3의 전형적 실시예에서 유지된다. 가변 지연 요소(446)는 레이저 트리거 펄스 및 자기적 쓰기 데이터 사이의 상대적 위상을 조정하여, 지연된 직렬 데이터 비트들(472)을 산출한다. 그러한 위상은 자기적 쓰기 데이터 신호의 주기보다 큰 기간을 보유할 수 있다. 자기적 전치 보상 회로(214)는 따라서 전치 보상되며 지연된 자기적 쓰기 데이터(416)를 산출한다. 가변 지연 요소(446) 역시 레이저 트리거 펄스 생성시 사용되도록 예정된 전치 보상 쉬프트된 클록(480)을 생성하기 위해 레이저 펄스 전치 보상 회로(476) 내 쉬프트된 클록 신호(244)와 연계하여 처리되는 지연된 직렬 데이터 비트들(474)을 산출한다. 지연된 직렬 데이터 비트들(474)은 일부 실시예들에서 쉬프트된 클록 신호(244)와 동일한 가변 지연 요소(446)에 의해 인가된 위상 지연을 가진다. 플립 플롭(250)은 전치 보상된 쉬프트된 클록(480)에 기초하여 레이저 트리거 펄스 신호(440)를 생성하며, 레이저 트리거 펄스 신호(440)는 쓰기 프로세스 시 비선형 전환 쉬프트를 보상하기 위해 시간 전치 보상된다. 레이저 펄스 전치 보상은 단순히 슬라이더 가열을 줄이기 위한 것이기 보다 매체에 비트를 새기기 위해 펄싱된 레이저 조사를 이용하는 고밀도 시스템에 사용될 수 있다. 레이저 펄스 전치보상 회로(476)는 전치 보상된 쉬프트된 클록(480) 및 그에 따라 레이저 트리거 펄스 신호(440) 및 레이저 펄스 데이터 프로세서(456)에 의해 생성된 레이저 펄스 제어 신호에 전치 보상을 적용한다.

[0033] 레이저 트리거 펄스 신호(440) 및 자기적 쓰기 데이터(416)는 전치 증폭기(402)로 전송되고, 전치 증폭기(402)는 도 2와 관련해 위에서 개시된 기능들을 수행한다. 예를 들어, 레이저 경로 상의 신호들이 자기 경로에 있는 것들과 적절히 시간 얼라이드하게 보장하기 위해, 전치 증폭기(402) 내 위상차 검출기(262) 옵션은 레이저 펄스들 및 데이터 비트들 사이의 위상차를 측정하여 가변 지연 요소(446)에서의 위상 설정을 가이드한다.

[0034] 도 5를 참조할 때, 본 발명의 일부 실시예들에 따라 도 4의 쓰기 채널에 사용하기 적합한 레이저 펄스 전치 보상 회로의 구현예가 도시된다. 지연된 직렬 데이터 비트들(474)은 가변 지연 요소(446)에 의해 생성된 직렬화된 데이터 비트들(470)의 위상 쉬프트된 복제물이다. 지연된 직렬 데이터 비트들(474)은 병렬 출력(504)을 산출하는 직렬 입력 병렬 출력(SIPO) 쉬프트 레지스터(502) 안으로 수신된다. 병렬 출력(504)은 레이저 다이오드 전치 보상 패턴을 계산하는 레이저 전치 보상 결합 로직 요소(506)로 제공된다. 입력 A_0 는 기준 비트이거나 도 5에서 굵은 선으로 나타낸 검증되는 비트이다. 입력들 $A1(512)$, $A2(514)$, $A-1(516)$ 및 $A-2(518)$ 은 각기 입력 루크백(look-back) 및 루어헤드(look-ahead) 쌍들을 나타낸다. 기준 비트의 타이밍은 레이저 전치 보상 로직 블록(506)에 의해 관리되는 바와 같이, 인접 비트들의 상태에 따라 가변된다. 도 5에 도시된 전형적 실시예는 기준 비트 $A0(510)$ 의 각 옆에 인접한 두 개의 비트들의 상태에 기초하여 보상을 결정한다. 더 적거나 더 많은 비트들이 사용될 수 있다. 출력 $Q_{E0}(520)$, $Q_{E1}(522)$ 은 이른 레이저 펄스 타이밍 쉬프트들을 점증적으로 선택한다; 출력들 $Q_{L0}(524)$, $Q_{L1}(526)$ 은 명목상의 비쉬프트된 타이밍 $QN(528)$ 에 대한 이후의 타임 쉬프트들을 점증적으로 선택한다. 레이저 전치 보상 결합 로직 요소(506)로부터의 출력들 $Q_{E0}(520)$, $Q_{E1}(522)$, $Q_{L0}(524)$, $Q_{L1}(526)$ 및 $QN(528)$ 이 로직 리플 스루우(ripple-through)에 대해 거의 전체 비트 주기를 고려하는 병렬 입력 병렬 출력(PIPO) 레지스터(530)에서 파이프라이닝된다. 다른 실시예들에서는 로직 리플 스루우에 대해 다른 지연들이 제공될 수 있다.

[0035] PIPO 레지스터(530)의 병렬 출력들(532)은 AND 게이트들(536) 및 OR 게이트(540)를 이용하여 선택된 지연 라인(534)의 출력 텁을 식별한다. 각각의 비트 주기에서, PIPO 레지스터(530)의 한 출력이 액티브되고, 그에 따라 단일 레이저 펄스가 각각의 비트 셀 안에서 발생되도록 보장할 수 있다. 기준 위치(542)(명목상의 타이밍)는 출력 $Q_2(546)$ 의 영향 아래에서 지연 라인(534)의 중심점(544)으로부터 태평된다. 엄선된 지연 라인(534)의 전환 시간들은 기록 채널에서 프로그래머블 레지스터들(550)의 콘텐츠에 의해 특정된다. 환경 상의 프로세스 변동에 걸친 지연 안정성을 보장하기 위해, 지연 라인(534)은 마스터 쓰기 클록 오실레이터(212)의 전압 제어형

링 오실레이터에서 사용되는 것들과 매치되는 인버터들의 직렬 연결로서 구현될 수 있으나, 그에 국한되지 않는다.

[0036] 지연 라인(534)에 의해 구동되는 AND 게이트들(536)의 단자들 상에서의 극성 변환은 쉬프트된 클록 신호(244)의 음의 부분에 의한 게이트들의 충족을 나타내고, 가장 이른 전치 보상 에지의 발생 전에 PIP0 레지스터(530)가 안정될 시간을 허용한다(클록의 저 진행(low-going) 부분을 줄임으로써 확대가 가능함).

[0037] 레이저 전치 보상 결합 로직 요소(506)의 전형적인 부분적 진리 테이블이 표 1에서 제공되며, 여기서 A_0 는 기준 입력이고, Q_N 은 명목상의 출력이며; 실제 상에서는 다른 규칙들이 채택될 수 있다.

표 1

입력 < $A_{-2} A_{-1} A_0 A_1$ $A_2>$	출력 < $Q_{E1} Q_{E0} Q_N Q_{L0}$ $Q_{L1}>$	해설
0 0 0 0 0	0 0 1 0 0	규칙적 0들(자기적 WD xsns 없음); 쉬프트 없음
1 1 1 1 1	0 0 1 0 0	규칙적 1들(자기적 WD xsns 없음); 쉬프트 없음
0 0 1 1 1	0 0 1 0 0	고립된 자기적 WD xsn; 쉬프트 없음
1 1 0 0 0	0 0 1 0 0	고립된 자기적 WD xsn; 쉬프트 없음
0 0 1 0 0	0 0 0 1 0	고립된 1T 자기적 dbit 리딩 에지; 최초 에지 뒤로 쉬프트
0 0 0 1 0	0 1 0 0 0	고립된 1T 자기적 dbit 리딩 에지; 최초 에지 앞으로 쉬프트

[0038]

[0039] 도 6을 참조할 때, 본 발명의 일부 실시예들에 따라 도 4의 쓰기 채널 내 가변 지연 요소(446) 대신 사용하기 적합한 가변 지연 요소(600)의 구현예가 도시된다. 전치 증폭기 자기적 쓰기 드라이버 및 레이저 드라이버 경로 지연들은 통상적으로, 경로들 사이에서 프로세스- 및 환경적으로 유도된 지연 스큐(skew)는 4Gb/s에서의 폴비트 시간인 25%를 초과할 수 있는 ~1ns에 접근할 수 있다. 쓰기 채널(가령, 400) 및 연성 전송 라인(가령, 222) 안의 지연 변경은 스큐를 더 악화시킨다. 레이저 펄스 전치 보상을 이용하는 고 비트 레이트 시스템들에서의 이러한 지연 스큐를 보상하기 위해, 가변 지연 요소(600)의 일부 실시예들은 여러 비트 시간대들에서 위상 보간을 확대한다. 가변 지연 요소(600)는 또한 보간된 쉬프트된 클록 신호(244) 및 그에 동기된 부수 지연된 직렬 데이터 비트들(474)을 레이저 펄스 전치 보상 회로(476)로 제공한다. 따라서 레이저 펄스 전치 보상 회로(476)에 예정된 데이터를 지연된 직렬 데이터 비트들(472)에 적용된 벌크(bulk) 지연 보다 짧거나 긴 지연을 겹게 함으로써 레이저 펄스 정보가 자기 데이터에 대해 프로그램 가능하게 앞서거나 지연될 수 있다.

[0040]

4 단계 링 오실레이터(602)가 네 개의 출력 위상들(604, 606, 608 및 610)을 생성하고, 크리스탈 소스나 디스크로부터 읽혀진 서보 데이터에 동기되는 위상 동기 루프(PLL)의 주파수 생성 요소로서 마스터 쓰기 클록 오실레이터(212)와 공유될 수 있다. 예를 들어, 클록 신호(210)는 직렬기(208) 및 자기적 전치 보상 회로(214)를 클로킹(clock)하기 위해 4 단계 링 오실레이터(602)로부터 태핑될 수 있다. 위상 선택기/인버터(612)는 인접한 오실레이터 위상들(604-610)의 쌍을 프로그램적으로 선택하고 그 쌍을 차동방식에 따라 혼합하여, 레이저 펄스 전치 보상 회로(476)에 사용하기 위해서나 바로 사용할 고해상도 위상 쉬프트된 클록인 쉬프트된 클록 신호(244) 및 레이저 펄스 전치 보상이 사용되지 않을 경우 레이저 펄스 신호로서 주파수 분할을 산출한다.

[0041]

위상 선택기/인버터(612)로의 거친 선택 입력(614)은 디지털-아날로그 컨버터(DAC)(620)로의 정교한 선택 입력과 협력하여 동작해, 1/32번째 사이클의 통상적 해상도나 더 나은 해상도에서 360도 위상 쉬프트를 허용하도록 위상 믹서(622)를 제어한다. 도시된 4 단계 링 오실레이터(602)를 이용할 때, 각각의 거친 선택 입력(614) 코드는 그 안에 라인 선택 입력(616) 코드가 버너어(vernier)를 제공하는 45도 단계에 대응한다. 위상 보간은 잘 알려져 있으므로 도 6에서 단순화된 형태로만 보여진다. 당업자라면 쉬프트된 클록 신호(244)를 산출하기 위해 클록 신호를 위상 쉬프트하는데 사용하기 적합한 여러 회로들을 알고 있을 것이다.

[0042]

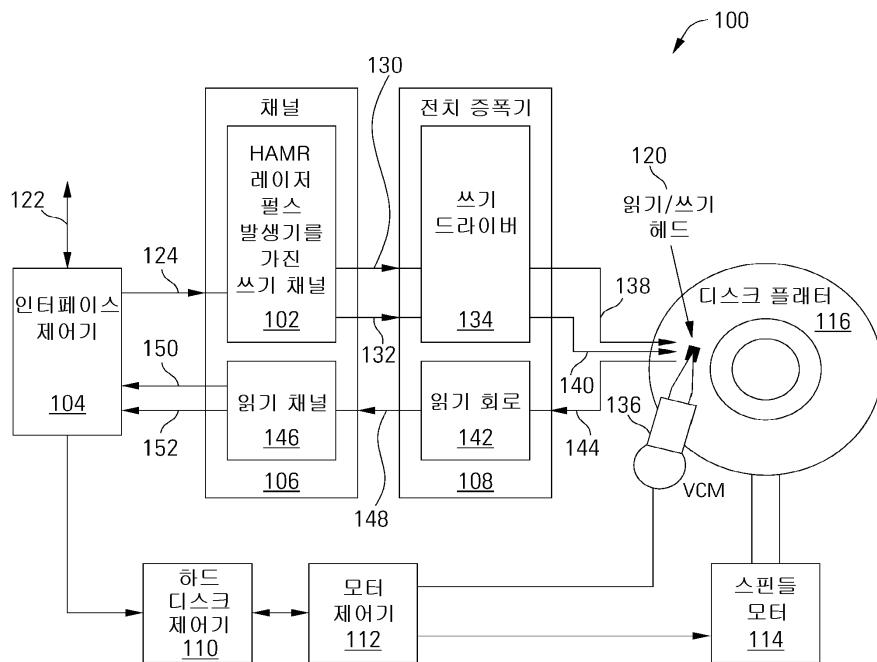
자기 데이터에 대한 레이저 펄스 데이터의 양방향 위상 쉬프트를 지원하기 위해, 일련의 D 플립 플롭들(630, 632 및 634)이 직렬 데이터 비트들(470)에 벌크 지연을 적용하여 지연된 직렬 데이터 비트들(472)을 도출한다.

최초의 D 플립 플롭(630)의 D 입력은 직렬기(208)로부터 직렬화된 데이터 비트들(470)에 의해 구동된다.

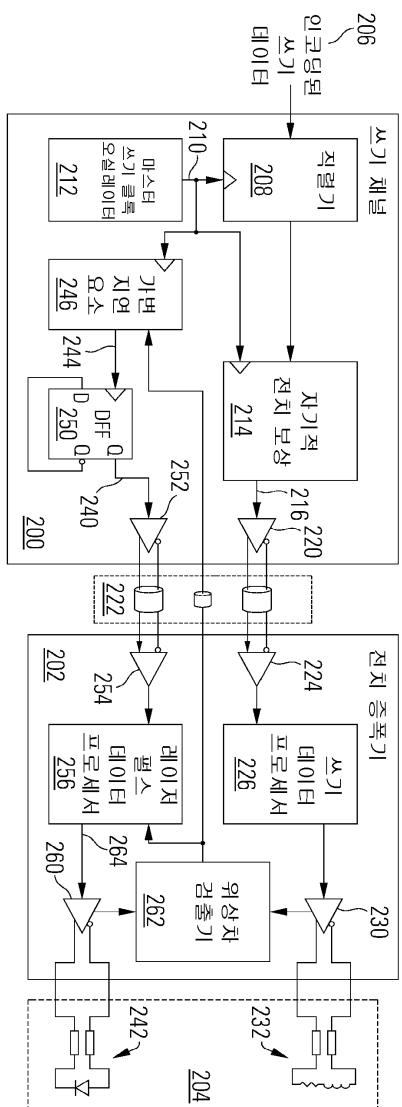
- [0043] 가변 지연 요소(600)는 또한 전치 보상된 쉬프트된 클록(480)을 생성하기 위해 레이저 펄스 전치 보상 회로(500)에 사용되는 지연된 직렬 데이터 비트들(474)을 생성한다. 쉬프트 레지스터(640)는 들어오는 직렬 데이터 비트들(470)의 두 개의 시간 스큐원(time-skewed) 표현들(642 및 644)을 생성한다. 선택기 스위치(646)를 통해, 쉬프트 레지스터(652)의 최초 D 플립 플롭(650)에서 캡처된 데이터에 대한 충분한 설정 및 홀드 타임을 산출할 수 있는 채널이 선택된다. 선택기 스위치(646)의 위치는 위상 선택기/인버터(612)에 대한 거친 선택 입력(614)의 디코딩을 통해 결정된다. 따라서, 직렬 데이터 비트들(470)은 위상 선택기/인버터(612)에 의해 생성되는 쉬프트된 클록 신호(244)에 대해 명백하게 재타이밍된다. 쉬프트 레지스터(652) 및 그와 관련된 출력 선택기 스위치(654)는 위에서 개시된 것과 같이 비트 셀들에 걸치는 레이저-대-자기 데이터의 도입을 지원한다.
- [0044] 도 7을 참조할 때, 과형들의 예는 본 발명의 일부 실시예들에 따라 도 6의 가변 지연 요소의 동작을 도시한다. 과형들은 4 단계 링 오실레이터(602)의 출력 단계들(604-610)에 대해 예시된 것이다. 직렬 데이터 비트들(470)의 상승 클록 에지(702) 및 전환(704) 사이의 관계 뿐 아니라, 쉬프트 레지스터(640)에 의해 시간 스큐원 표현들(642 및 644)에 인가된 지연들이 예시된다. 거친 선택 입력 614=225도, 파인 선택 입력 616=mid인 설정 예가 주어진 쉬프트된 클록 신호(244) 및 최좌측 위치에서 세팅된 선택기 스위치(654)를 사용해 지연된 직렬 데이터 비트들(474)에 대한 과형 역시 도시된다.
- [0045] 상기 개시 내용은 간결성을 위해 단일 클록 위상 시스템만을 다뤘다. 당업자라면 아주 높은 데이터 레이트를 위해 열 지원 자기 기록 시스템이 다상 클록에도 적용될 수 있다는 것을 알 수 있을 것이다.
- [0046] 도 8을 참조할 때, 흐름도(800)는 본 발명의 일부 실시예들에 따른 열 지원 자기 기록을 위한 방법을 도시한다. 도 8의 방법이나 그 변형 방법들은 도 1-7에 도시된 것들과 같이 HAMR 회로들에서 수행될 수 있다. 흐름도(800)를 따라 레이저 트리거 펄스들이 기록 채널에서 생성된다(블록 802). 어떤 실시예들에서, 레이저 트리거 펄스들은 자기적 쓰기 데이터 신호의 전환 레이트(transition rate)에서 생성된다. 레이저 트리거 펄스들을 전 치 증폭기로 전송된다(블록 804). 레이저 펄스 제어 신호가 레이저 트리거 펄스들에 기반하여 생성된다(블록 806). 레이저 펄스 제어 신호 및 자기적 쓰기 데이터는 시간 열라인된다(블록 810). 이것은 예컨대 자기적 쓰기 데이터를 전진시키거나 지연시켜 레이저 펄스들과 데이터 비트들 사이의 상관을 유지시키기 위해 전치 보상이 적용될 때 유용하다. 레이저 다이오드는 데이터 비트들을 디스크 플래터에 자기적으로 기록하면서 디스크 플래터를 가열시키기 위해 레이저 펄스 제어 신호를 사용하여 펠싱 방식으로 구동된다(블록 812).
- [0047] 도 9를 참조할 때, 흐름도(900)는 본 발명의 일부 실시예들에 따라 레이저 펄스 전치 보상 및 자기적 쓰기 전치 보상을 포함하는 열 지원 자기 기록을 위한 방법을 도시한다. 도 9의 방법이나 그 변형 방법들은 도 1-7에 도시된 것들과 같이 HAMR 회로들에서 수행될 수 있다. 흐름도(900)를 따라, 쓰기 전치 보상을 이용한 직렬 자기 데이터가 클록 신호에 기반하여 생성된다(블록 902). 레이저 펄스 전치 보상을 이용한 레이저 트리거 펄스들이 클록 신호에 기반해 생성된다(블록 904). 어떤 실시예들에서, 레이저 트리거 펄스들은 직렬 자기 데이터의 전환 레이트(transition rate)에서 생성된다. 직렬 자기 데이터에 벌크 지연이 적용된다(블록 906). 레이저 트리거 펄스들 및 직렬 자기 데이터 사이의 관계를 유지하기 위해 직렬 자기 데이터에 대해 레이저 트리거 펄스들로 위상 쉬프트가 적용된다(블록 910). 일부 실시예들에서, 레이저 트리거 펄스들이 쉬프트될 수 있는 범위는 비트 주기를 초과한다. 일부 실시예들에서 직렬 자기 데이터는 레이저 트리거 펄스들에 대해 위상 쉬프트된다. 또 다른 실시예들에서, 레이저 트리거 펄스들 및 직렬 자기 데이터 모두는 그들 둘 사이에 원하는 관계를 유지하기 위해 위상 쉬프트된다. 특히, 레이저 트리거 펄스들 및 자기적 쓰기 데이터는 별별로 처리된다. 직렬 자기 데이터 및 레이저 트리거 펄스들은 전치 증폭기로 전송된다(블록 912). 일부 실시예들에서, 이들은 연성 전도체를 통해 전송된다. 레이저 트리거 펄스들에 기반하여 레이저 펄스 제어 신호가 생성된다(블록 914). 일부 실시예들에서 레이저 펄스 제어 신호의 펄스폭 역시 조정된다. 레이저 다이오드는 직렬 자기 데이터를 디스크 플래터에 기록하면서 디스크 플래터를 가열시키기 위해 레이저 펄스 제어 신호를 사용하여 펠싱 방식으로 구동된다(블록 916). 특히, 이 방법들의 단계들은 위에서 개시한 순서의 예에 국한되지 않는다.
- [0048] 결론적으로, 본 발명은 열 지원 자기 기록을 위한 새로운 장치, 시스템, 및 방법을 제공한다. 본 발명의 한 개 이상의 실시예들에 대한 상세한 설명이 위에서 주어졌지만, 본 발명의 개념에서 달라지지 않으면서 다양한 치환, 변경, 및 균등물들이 있을 수 있다는 것이 당업자에게 자명할 것이다. 따라서, 상기 내용을 첨부된 청구 범위에 의해 정의되는 발명의 범위를 한정하는 것으로 받아들여서는 안된다.

도면

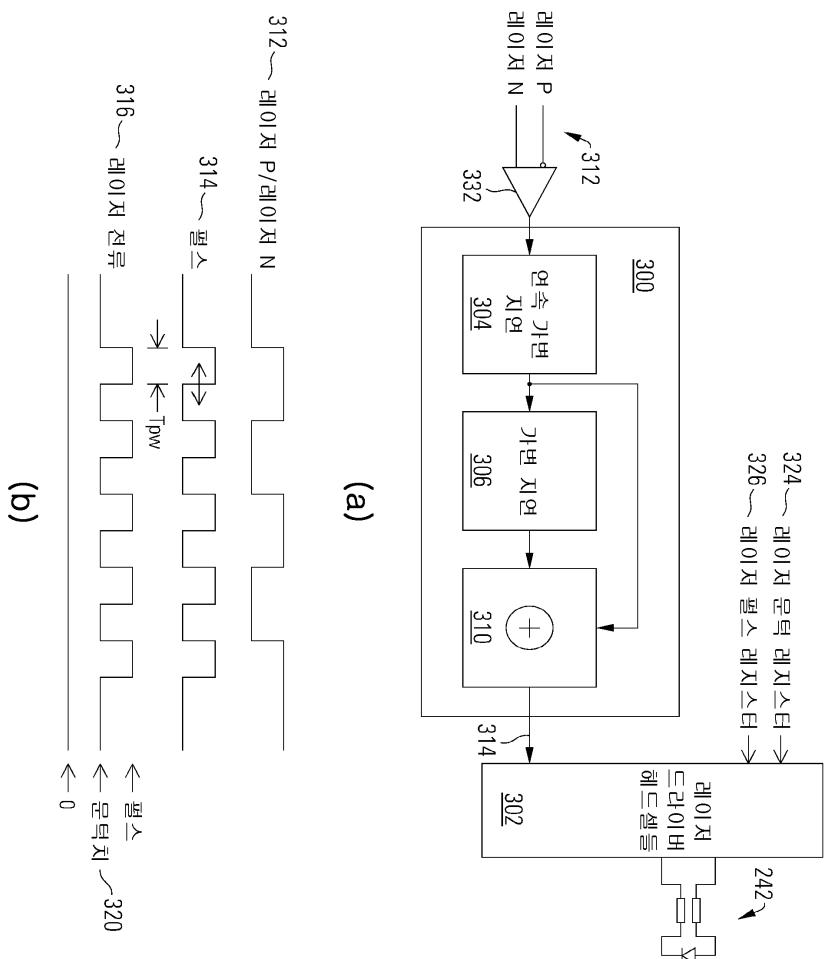
도면1



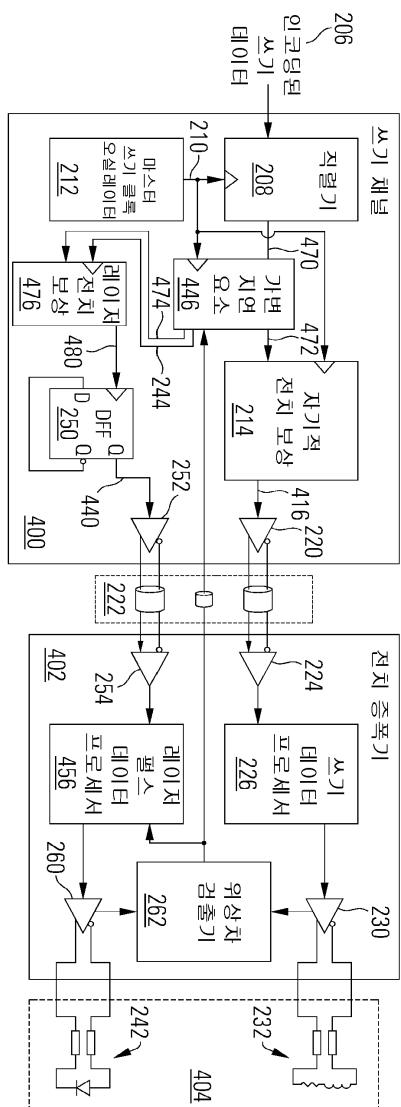
도면2



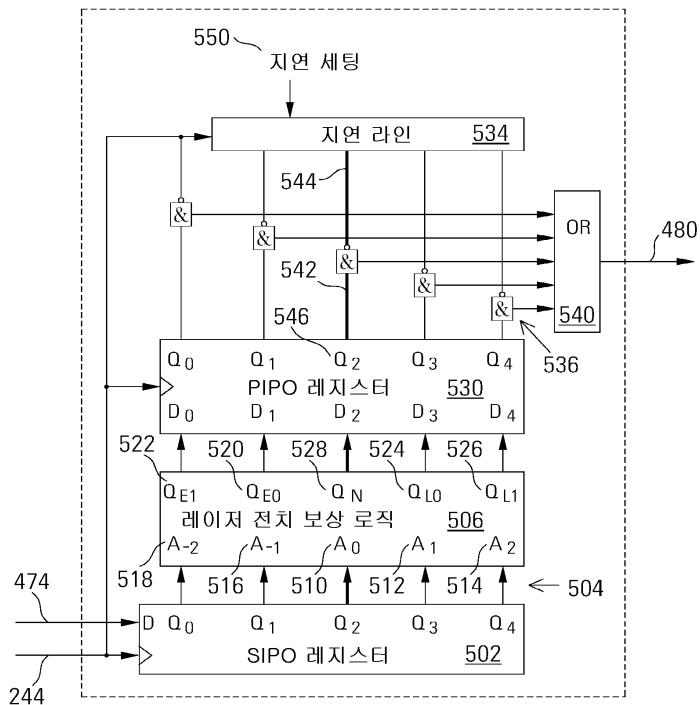
도면3



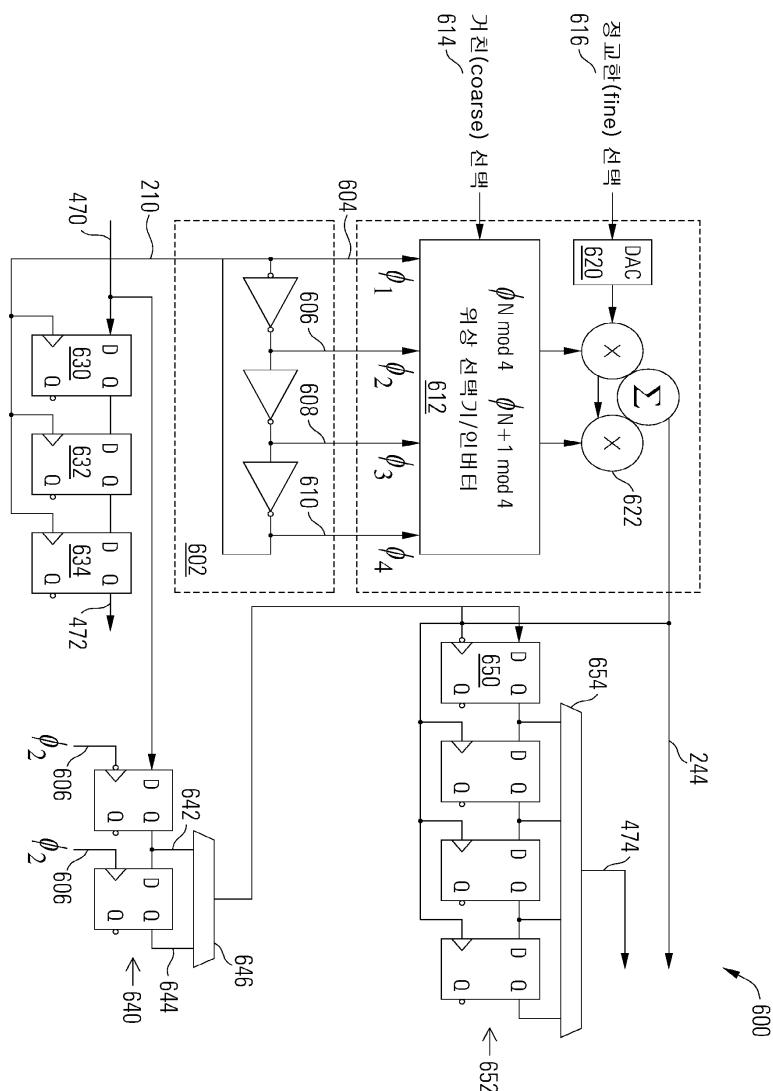
도면4



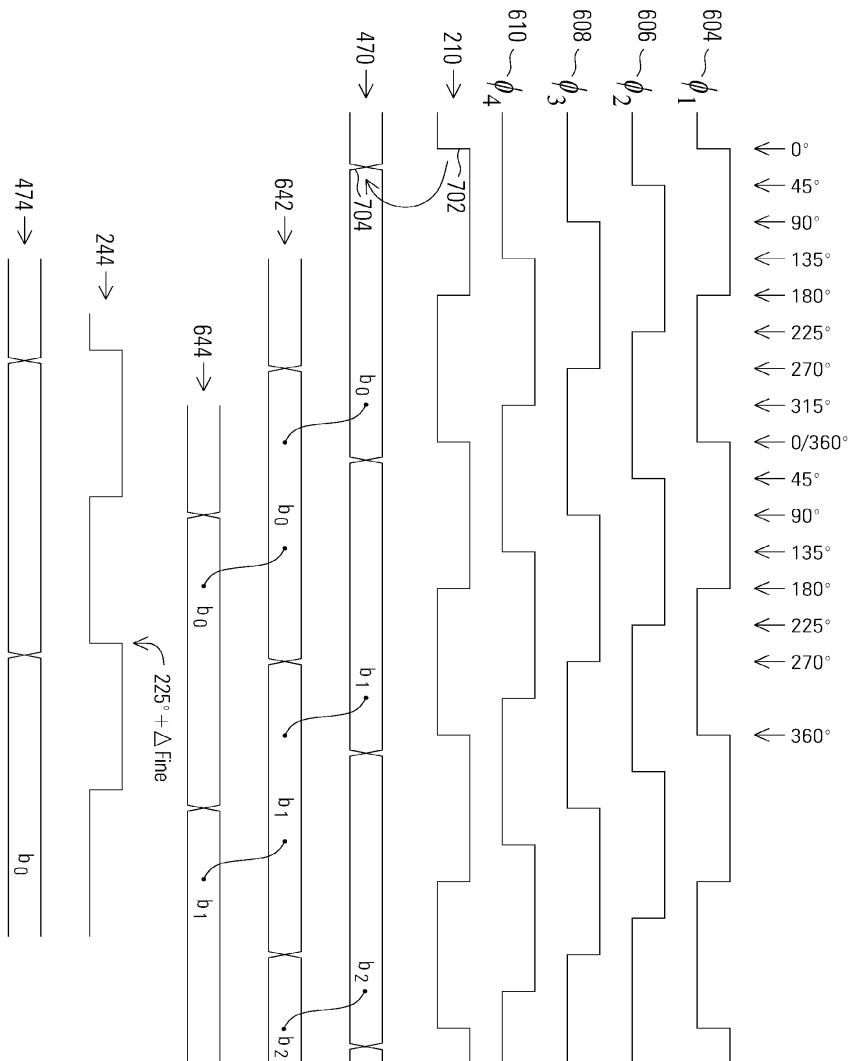
도면5



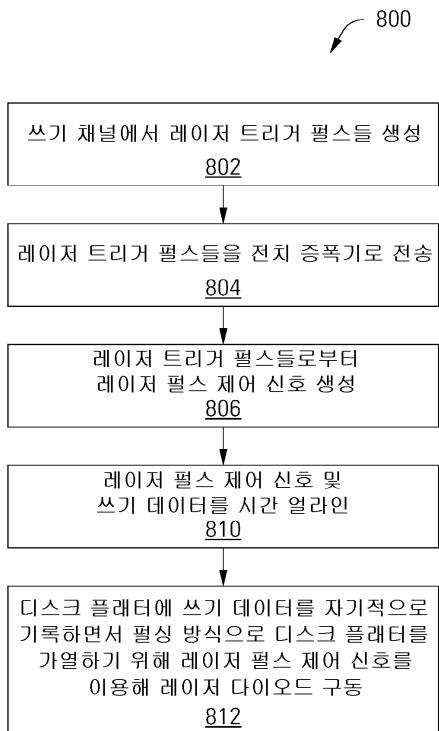
도면6



도면7



도면8



도면9

