



(12)发明专利

(10)授权公告号 CN 105047127 B

(45)授权公告日 2017.12.22

(21)申请号 201510605123.2

审查员 陈相南

(22)申请日 2015.09.21

(65)同一申请的已公布的文献号

申请公布号 CN 105047127 A

(43)申请公布日 2015.11.11

(73)专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 何敏 袁广才 鲍文超

(74)专利代理机构 北京清亦华知识产权代理事

务所(普通合伙) 11201

代理人 张润

(51)Int.Cl.

G09G 3/20(2006.01)

G11C 19/28(2006.01)

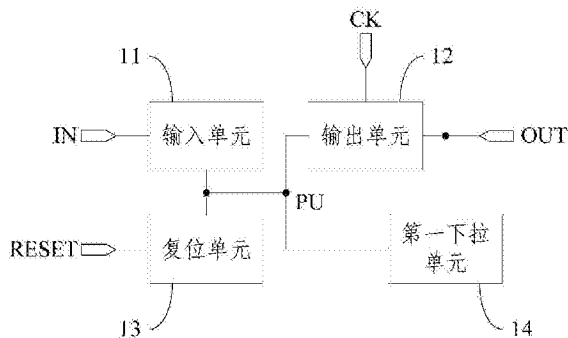
权利要求书2页 说明书7页 附图3页

(54)发明名称

移位寄存器单元及驱动方法、行扫描驱动电路、显示装置

(57)摘要

本发明提供了一种移位寄存器单元及驱动方法、行扫描驱动电路、显示装置,其中的移位寄存器单元包括输入端、复位端和输出端,还包括:与输入端及第一节点相连的输入单元,用于在输入端处为有效电平时上拉第一节点处的电位;与第一节点及输出端相连的输出单元,用于在第一节点处为高电位时利用第一时钟信号上拉输出端处的电位;与复位端及第一节点相连的复位单元,用于在复位端处为有效电平时下拉第一节点处的电位;与输出端相连的第一下拉单元,用于在控制端为有效电平时下拉输出端处的电位;控制端连接外部控制信号,或者,控制端与第一节点相连且控制端的有效电平为低电平。本发明可以解决行扫描驱动电路因浮接状态影响输出稳定性的问题。



1. 一种移位寄存器单元,其特征在于,包括输入端、复位端和输出端,还包括:

与所述输入端及第一节点相连的输入单元,所述输入单元用于在所述输入端处为有效电平时上拉所述第一节点处的电位;

与所述第一节点及所述输出端相连的输出单元,所述输出单元用于在所述第一节点处为高电位时利用第一时钟信号上拉所述输出端处的电位;

与所述复位端及所述第一节点相连的复位单元,所述复位单元用于在所述复位端处为有效电平时下拉所述第一节点处的电位;

与所述输出端相连的第一下拉单元,所述第一下拉单元用于在控制端接入有效电平时下拉所述输出端处的电位;

其中,所述控制端与所述第一节点相连且所述控制端的有效电平为低电平。

2. 根据权利要求1所述的移位寄存器单元,其特征在于,所述输入单元包括第一晶体管,所述第一晶体管的栅极连接所述输入端,源极和漏极中的一个连接所述输入端,另一个连接所述第一节点。

3. 根据权利要求1所述的移位寄存器单元,其特征在于,所述复位单元包括第二晶体管,所述第二晶体管的栅极连接所述复位端,源极和漏极中的一个连接所述第一节点,另一个连接低电平电压线。

4. 根据权利要求1所述的移位寄存器单元,其特征在于,所述输出单元包括第三晶体管和第一电容,其中:

所述第三晶体管的栅极连接所述第一节点,源极和漏极中的一个连接所述第一时钟信号,另一个连接所述输出端;

所述第一电容的第一端连接所述第一节点,第二端连接所述输出端。

5. 根据权利要求1所述的移位寄存器单元,其特征在于,所述第一下拉单元包括第四晶体管,所述第四晶体管的栅极连接所述第一下拉单元的控制端,源极和漏极中的一个连接所述输出端,另一个连接低电平电压线。

6. 根据权利要求1所述的移位寄存器单元,其特征在于,还包括第二电容;所述第二电容的第一端连接第二时钟信号,第二端连接所述第一节点。

7. 根据权利要求1至6中任意一项所述的移位寄存器单元,其特征在于,还包括:

与所述输入端及所述输出端相连的第二下拉单元,用于在所述输入端处为有效电平时下拉所述输出端处的电位。

8. 根据权利要求7所述的移位寄存器单元,其特征在于,所述第二下拉单元包括第五晶体管,所述第五晶体管的栅极连接所述输入端,源极和漏极中的一个连接所述输出端,另一个连接低电平电压线。

9. 根据权利要求1至6中任意一项所述的移位寄存器单元,其特征在于,还包括:

与所述复位端及所述输出端相连的第三下拉单元,所述第三下拉单元用于在所述复位端处为有效电平时下拉所述输出端处的电位。

10. 根据权利要求9所述的移位寄存器单元,其特征在于,所述第三下拉单元包括第六晶体管,所述第六晶体管的栅极连接所述复位端,源极和漏极中的一个连接所述输出端,另一个连接低电平电压线。

11. 一种行扫描驱动电路,其特征在于,包括多级移位寄存单元,所述移位寄存单元具

有如权利要求1至10中任意一项所述的移位寄存器单元的电路结构。

12. 一种显示装置,其特征在于,包括如权利要求11所述的行扫描驱动电路。

13. 一种如权利要求1至10中任意一项所述的移位寄存器单元的驱动方法,其特征在于,包括:

在所述第一时钟信号为低电平的第一阶段内,向所述输入端接入有效电平,以使所述第一节点处的电位被所述输入单元上拉;

在所述第一阶段之后所述第一时钟信号为高电平的第二阶段内,停止向所述输入端接入有效电平,以使所述输出端处的电位被所述输出单元利用所述第一时钟信号上拉;

在所述第二阶段之后的第三阶段内,向所述复位端接入有效电平,以使所述第一节点处的电位被所述复位单元下拉。

移位寄存器单元及驱动方法、行扫描驱动电路、显示装置

技术领域

[0001] 本发明涉及显示技术领域,具体涉及一种移位寄存器单元及驱动方法、行扫描驱动电路、显示装置。

背景技术

[0002] 阵列基板行驱动 (Gate driver On Array,GOA) 技术作为新技术的代表,是将行扫描驱动电路集成在阵列基板上,以去掉行扫描驱动集成电路,从而节省材料并且减少工艺步骤,达到降低产品成本的目的。然而,现有的行扫描驱动电路中,行扫描信号的输出端会在很大一部分电路时序中都处于浮接状态。在此状态下,GOA输出的行扫描信号很容易受其他信号的耦合影响而产生不稳定的情况,从而影响行扫描驱动电路的输出性能。

发明内容

[0003] 针对现有技术中的缺陷,本发明提供一种移位寄存器单元及驱动方法、行扫描驱动电路、显示装置,可以解决行扫描驱动电路因行扫描信号输出端处于浮接状态影响输出稳定性的问题。

[0004] 第一方面,本发明提供了一种移位寄存器单元,包括输入端、复位端和输出端,还包括:

[0005] 与所述输入端及第一节点相连的输入单元,所述输入单元用于在所述输入端处为有效电平时上拉所述第一节点处的电位;

[0006] 与所述第一节点及所述输出端相连的输出单元,所述输出单元用于在所述第一节点处为高电位时利用第一时钟信号上拉所述输出端处的电位;

[0007] 与所述复位端及所述第一节点相连的复位单元,所述复位单元用于在所述复位端处为有效电平时下拉所述第一节点处的电位;

[0008] 与所述输出端相连的第一下拉单元,所述第一下拉单元用于在控制端为有效电平时下拉所述输出端处的电位;

[0009] 其中,所述控制端连接外部控制信号,或者,所述控制端与所述第一节点相连且所述控制端的有效电平为低电平。

[0010] 可选地,所述输入单元包括第一晶体管,所述第一晶体管的栅极连接所述输入端,源极和漏极中的一个连接所述输入端,另一个连接所述第一节点。

[0011] 可选地,所述复位单元包括第二晶体管,所述第二晶体管的栅极连接所述复位端,源极和漏极中的一个连接所述第一节点,另一个连接低电平电压线。

[0012] 可选地,所述输出单元包括第三晶体管 and 第一电容,其中:

[0013] 所述第三晶体管的栅极连接所述第一节点,源极和漏极中的一个连接所述第一时钟信号,另一个连接所述输出端;

[0014] 所述第一电容的第一端连接所述第一节点,第二端连接所述输出端。

[0015] 可选地,所述第一下拉单元包括第四晶体管,所述第四晶体管的栅极连接所述第

一下拉单元的控制端,源极和漏极中的一个连接所述输出端,另一个连接低电平电压线。

[0016] 可选地,还包括第二电容;所述第二电容的第一端连接第二时钟信号,第二端连接所述第一节点。

[0017] 可选地,所述移位寄存器单元还包括:

[0018] 与所述输入端及所述输出端相连的第二下拉单元,用于在所述输入端处为有效电平时下拉所述输出端处的电位。

[0019] 可选地,所述第二下拉单元包括第五晶体管,所述第五晶体管的栅极连接所述输入端,源极和漏极中的一个连接所述输出端,另一个连接低电平电压线。

[0020] 可选地,所述移位寄存器单元还包括:

[0021] 与所述复位端及所述输出端相连的第三下拉单元,所述第三下拉单元用于在所述复位端处为有效电平时下拉所述输出端处的电位。

[0022] 可选地,所述第三下拉单元包括第六晶体管,所述第六晶体管的栅极连接所述复位端,源极和漏极中的一个连接所述输出端,另一个连接低电平电压线。

[0023] 第二方面,本发明还提供了一种行扫描驱动电路,包括多级移位寄存器单元,每一级移位寄存器单元均具有上述任意一种移位寄存器单元的电路结构。

[0024] 第三方面,本发明还提供了一种显示装置,包括上述任意一种行扫描驱动电路。

[0025] 第四方面,本发明还提供了一种上述任意一种移位寄存器单元的驱动方法,包括:

[0026] 在所述第一时钟信号为低电平的第一阶段内,向所述输入端接入有效电平,以使所述第一节点处的电位被所述输入单元上拉;

[0027] 在所述第一阶段之后所述第一时钟信号为高电平的第二阶段内,停止向所述输入端接入有效电平,以使所述输出端处的电位被所述输出单元利用所述第一时钟信号上拉;

[0028] 在所述第二阶段之后的第三阶段内,向所述复位端接入有效电平,以使所述第一节点处的电位被所述复位单元下拉。

[0029] 由上述技术方案可知,本发明可以通过第一下拉单元的设置,使得在第一节点处为有效电平时下拉输出端处的电位,或者可以在外部控制信号的作用下下拉输出端处的电位,可以有效避免在此期间输出端的浮接,并防止输出信号受电路其他部分的影响,从而保证信号输出的高稳定性。

附图说明

[0030] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作一简单的介绍,显而易见地,下面描述中的附图是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0031] 图1是本发明一个实施例中一种移位寄存器单元的结构框图;

[0032] 图2是本发明一个实施例中一种移位寄存器单元的电路结构图;

[0033] 图3是图2所示的移位寄存器单元的电路时序图;

[0034] 图4是本发明又一实施例中一种移位寄存器单元的电路结构图;

[0035] 图5是本发明另一实施例中一种移位寄存器单元的电路结构图。

具体实施方式

[0036] 为使本发明实施例的目的、技术方案和优点更加清楚,下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0037] 图1是本发明一个实施例中一种移位寄存器单元的结构框图。参见图1,该移位寄存器单元包括输入端IN、复位端RESET和输出端OUT,还包括:

[0038] 与输入端IN及第一节点PU相连的输入单元11,用于在输入端IN处为有效电平时上拉第一节点PU处的电位;

[0039] 与第一节点PU及输出端OUT相连的输出单元12,用于在第一节点PU处为高电位时利用第一时钟信号CK上拉输出端OUT处的电位;

[0040] 与复位端RESET及第一节点PU相连的复位单元13,用于在复位端RESET处为有效电平时下拉第一节点PU处的电位;

[0041] 与输出端OUT相连的第一下拉单元14,用于在控制端为有效电平时下拉输出端OUT处的电位;其中,上述控制端与上述第一节点PU相连,且所述控制端的有效电平为低电平。

[0042] 需要说明的是,本文中的“高电平”和“低电平”分别指的是某一电路节点位置处由电位高度范围代表的两种逻辑状态。举例来说,第一节点PU处的高电平可以具体指代高于公共端电压3V以上的电位,第一节点PU处的低电平可以具体指代低于公共端电压3V以上的电位;而同时输出端OUT处的高电平可以具体指代高于公共端电压6V以上的电位,输出端OUT处的低电平可以具体指代低于公共端电压6V以上的电位。可以理解的是,具体的电位高度范围可以在具体应用场景下根据需要进行设置,本发明对此不做限制。

[0043] 与之对应的,本文中的“上拉”指的是使相应的电路节点处的电平上升至高电平,本文中的“下拉”指的是使相应的电路节点处的电平下降至低电平。可以理解的是,上述“上拉”与“下拉”均可以通过电荷的定向移动实现,因此可以具体藉由具有相应功能的电子元器件或其组合实现,本发明对此不做限制。

[0044] 进一步地,本文中的“有效电平”和“无效电平”指的是某一电路节点位置处两种互不交叉的电位高度范围,例如可以分别为高电平和低电平中的一个,本发明对此不做限制。

[0045] 为了更清楚地说明上述各单元的结构与功能,下面对该移位寄存器单元的工作原理作一简述,参见图1:

[0046] 一般状态下,输入端IN处和复位端RESET处均为无效电平,而第一节点PU保持为低电平,从而在第一下拉单元14的下拉作用下,输出端OUT也被保持为低电平。

[0047] 此后,当输入端IN处由无效电平转为有效电平的期间内,第一时钟信号CK可以为低电平,输入单元11可以将第一节点PU处的电位上拉至高电平,在第一下拉单元14停止对输出端OUT处电位的下拉,而输出单元12可以向输出端输出来自第一时钟信号CK的低电平。而在第一时钟信号CK转为高电平后,输出单元12可以在第一时钟信号CK的高电平的作用下上拉输出端OUT处的电位为高电平。

[0048] 此后,复位端RESET处由无效电平转为有效电平的期间内,复位单元13可以下拉第一节点PU处的电位至低电平,而输出单元12停止对输出端OUT处电位的上拉。而且,在第一

节点PU处被下拉至低电平之后,第一下拉单元14恢复对输出端OUT处电位的下拉,使得输出端OUT保持为低电平。

[0049] 可以看出,本发明实施例基于第一下拉单元14的设置,使得在第一节点PU处为低电平时下拉输出端OUT处的电位,或者可以在外部控制信号的作用下下拉输出端处的电位,可以有效避免在此期间输出端的浮接。当然,在本发明的其他实施例中,上述第一下拉单元14的控制端可以不与第一节点PU相连而连接外部控制信号,该外部控制信号可以在时序上与该输出端OUT处的电位相互配合,比如该外部控制信号可以在该输出端OUT处为高电平之外的所有时间内向第一下拉单元14的控制端施加有效电平,以避免输出端的浮接。然而,无论采用哪一种方式,在上述移位寄存器单元的工作流程中,输出端OUT基本都没有处于浮接状态,因此本发明实施例可以防止该移位寄存器单元的输出信号受电路其他部分的影响,从而保证信号输出的高稳定性。

[0050] 作为一种更具体的示例,图2是本发明一个实施例中一种移位寄存器单元的电路结构图,参见图2:

[0051] 本发明实施例中,上述输入单元11包括第一晶体管T1,第一晶体管T1的栅极连接输入端IN,源极和漏极中的一个连接输入端IN,另一个连接第一节点PU。从而,在输入端IN为高电平时,第一晶体管T1内部可以形成由输入端IN流向第一节点PU的电流,以实现第一节点PU的上拉。可以看出,本发明实施例可通过一个晶体管实现上述输入单元11的功能。

[0052] 需要说明的是,图2所示的第一晶体管T1为N型晶体管(栅极为高电平时源极与漏极导通),因此输入端IN处的有效电平为高电平。而在本发明的其他实施例中,上述第一晶体管T1可以用P型晶体管(栅极为低电平时源极与漏极导通,而输入端IN处的有效电平为低电平)来代替,本发明对此不作限制。另外,晶体管源极与漏极的连接方式可以根据所选用的晶体管的类型确定,而在晶体管具有源极与漏极对称的结构时源极与漏极可以视为不作特别区分的两个电极,其是本领域技术人员所熟知的,在此不再赘述。

[0053] 本发明实施例中,上述复位单元13包括第二晶体管T2,第二晶体管T2的栅极连接复位端RESET,源极和漏极中的一个连接第一节点PU,另一个连接低电平电压线VGL。从而,在复位端RESET为高电平的有效电平时,第二晶体管T2内部可以形成由第一节点PU流向低电平电压线VGL的电流,以实现第一节点PU的下拉。可以看出,本发明实施例可通过一个晶体管实现上述复位单元13的功能。

[0054] 本发明实施例中,输出单元12包括第三晶体管T3和第一电容C1,其中的第三晶体管T3的栅极连接第一节点PU,源极和漏极中的一个连接第一时钟信号CK,另一个连接输出端OUT;第一电容C1的第一端连接第一节点PU,第二端连接输出端OUT。由此,在第一节点PU处为高电平、第一电容C1在两端具有电位差的状态下存储了一定量的电荷时,第一时钟信号CK上的电位由低电平转为高电平会使得输出端OUT处的电位会被来自第一时钟信号CK的电流上拉,而在第一电容C1的作用下第一节点PU处的电位会被进一步抬升,加快输出端OUT处电位被上拉的速度。可以看出,本发明实施例可通过一个晶体管和一个电容实现上述输出单元12的功能。

[0055] 本发明实施例中,第一下拉单元14包括第四晶体管T4,第四晶体管T4的栅极连接第一节点PU,源极和漏极中的一个连接输出端OUT,另一个连接低电平电压线VGL。由此,在第四晶体管T4为P型晶体管时,第一节点PU处的低电平可以使在第四晶体管T4内形成由输

出端OUT流向低电平电压线VGL的电流,以实现输出端OUT处的下拉。可以看出,本发明实施例可通过一个晶体管实现上述第一下拉单元14的功能。

[0056] 此外,本发明的移位寄存器单元还包括第二电容C2;第二电容C2的第一端连接第二时钟信号CKB,第二端连接第一节点PU。需要说明的是,第一时钟信号CK与第二时钟信号CKB是分别为正相时钟信号与反相时钟信号中的一个的一对时钟信号,其中的正相时钟信号与反相时钟信号可以来自于外部输入。由此,第二电容C2可以滤除第一节点PU处的噪声、稳定第一节点PU处的电位。

[0057] 可以理解的是,任一电路节点处的高电平或低电平都可以由相应的偏置电压线或者其他电路节点来提供,例如上述第一晶体管T1与输入端IN相连的一端也可以改为与高电平的偏置电压线相连、上述第二晶体管T2与低电平电压线VGL相连的一端也可以改为与复位端RESET相连(此时第二晶体管T2改为P型晶体管,有效电平变为低电平)等等,其均属于电路结构的等同替换,本发明对此不做限制。

[0058] 基于图2所示的电路结构,图3是图2所示的一种移位寄存器单元的电路仿真时序图。可以理解的是,图3所示的电路时序与图2中各单元的结构与功能,以及图1所示的移位寄存器单元的工作原理均是一致的,在此不再赘述。然而需要指出的是,在图3虚线圆圈所标注的位置处,输出端OUT处会在一小段的时间内处于浮接状态,具体来说:在输入端IN处的信号由低电平转为高电平时,第一节点PU处的电位在第一电容C1的点位保持的作用下存在一段由低电平上升至高电平的阶段。在此阶段开始时,第四晶体管T4会立刻停止对输出端OUT处电位的下拉,但是第三晶体管T3却不会立刻处于开启状态。从而,在第四晶体管T4关闭之后、第三晶体管T3开启之前的这一小段时间内,输出端OUT实际上是处于浮接状态的。

[0059] 为解决上述输出端OUT处的浮接问题,在图2所示的移位寄存器单元的结构的基础之上,图4是本发明又一实施例中一种移位寄存器单元的电路结构图。参见图4,本发明实施例在图2所示的移位寄存器单元的基础上添加了一第二下拉单元15,该第二下拉单元15用于在输入端IN处为有效电平时下拉输出端OUT处的电位。由此,在输入端IN处为高电平的期间内,第二下拉单元15可以将输出端OUT处的电位保持为低电平,避免在第三晶体管T3未开启之前的时间段内输出端OUT处的浮接。作为一种具体的示例,该第二下拉单元15可包括第五晶体管T5,该第五晶体管T5的栅极连接输入端IN,源极和漏极中的一个连接输出端OUT,另一个连接低电平电压线VGL。由此,第二下拉单元15的上述功能可由一晶体管实现。

[0060] 作为另一种移位寄存器单元的电路结构示例,图5是本发明另一实施例中一种移位寄存器单元的电路结构图。参见图5,与图2所示的移位寄存器单元的不同之处在于,本发明实施例的移位寄存器单元包括第三下拉单元16,并且第一下拉单元14的控制端连接上述外部控制信号CON而非第一节点PU。其中,第三下拉单元16用于在复位端RESET处为有效电平时下拉输出端OUT处的电位,从而可以在复位端RESET为高电平的期间内将输出端OUT处的电位下拉为低电平。作为一种具体的示例,该第三下拉单元16可以包括第六晶体管T6,第六晶体管T6的栅极连接复位端RESET,源极和漏极中的一个连接输出端OUT,另一个连接低电平电压线VGL。由此,可以实现上述第三下拉单元16的功能。

[0061] 可以理解的是,该第三下拉单元16可以在复位端RESET所接信号的作用下完成输出端OUT处电位的下拉,但是仅包括第三下拉单元16的移位寄存器单元仍会使得输出端OUT

在例如复位端RESET所接信号转为无效电平之后的期间内处于浮接状态。对此,上述外部控制信号CON可以在除了输出端OUT为高电平之外的全部时间内都向第一下拉单元14的控制端提供有效电平,避免输出端OUT在任意时间段内的浮接。当然,外部控制信号CON在输出端OUT未处于浮接状态的期间内的任意时间段为无效电平。举例来说,本发明实施例中的外部控制信号CON也可以在复位端RESET处为有效电平的期间为无效电平,因为在此期间内第三下拉单元16可以避免输出端OUT的浮接。

[0062] 需要说明的是,上述任意一种结构的第一下拉单元14、第二下拉单元15和第三下拉单元16都是用于在一定时间段内下拉输出端OUT处的电位的,彼此间并不存在功能上的冲突,因此本领域技术人员可以选取其中的一个或多个设置在移位寄存器单元,本发明对此不做限制。

[0063] 基于同样的发明构思,本发明实施例提供一种行扫描驱动电路,该行扫描驱动电路包括多级移位寄存器单元,每一级移位寄存器单元均具有上述任意一种移位寄存器单元的电路结构。在本发明的一个实施例中,上述多级移位寄存器单元可以按照如下方式进行连接:除第一级移位寄存器单元之外,任一级移位寄存器单元的输入端均与上一级移位寄存器单元的输出端相连;除第一级移位寄存器单元之外,任一级移位寄存器单元的输出端均与上一级移位寄存器单元的复位端相连。可以理解的是,该行扫描驱动电路可以实现逐级的信号传递与输出,并具有上述任意一种移位寄存器单元所具有的优点。

[0064] 基于同样的发明构思,本发明实施例提供一种显示装置,该显示装置包括上述任意一种的行扫描驱动电路。例如,该行扫描驱动电路可以设置在显示装置的阵列基板上的显示区之外,以形成GOA电路结构。由此,该显示装置包括上述任意一种的行扫描驱动电路,因而具有上述任意一种阵列基板所具有的优点。需要说明的是,本实施例中的显示装置可以为:电子纸、手机、平板电脑、电视机、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0065] 在本发明的描述中需要说明的是,术语“上”、“下”等指示的方位或位置关系为基于附图所示的方位或位置关系,仅是为了便于描述本发明和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本发明的限制。除非另有明确的规定和限定,术语“安装”、“相连”、“连接”应做广义理解,例如,可以是固定连接,也可以是可拆卸连接,或一体地连接;可以是机械连接,也可以是电连接;可以是直接相连,也可以通过中间媒介间接相连,可以是两个元件内部的连通。对于本领域的普通技术人员而言,可以根据具体情况理解上述术语在本发明中的具体含义。

[0066] 本发明的说明书中,说明了大量具体细节。然而,能够理解,本发明的实施例可以在没有这些具体细节的情况下实践。在一些实例中,并未详细示出公知的方法、结构和技術,以便不模糊对本说明书的理解。

[0067] 类似地,应当理解,为了精简本发明公开并帮助理解各个发明方面中的一个或多个,在上面对本发明的示例性实施例的描述中,本发明的各个特征有时被一起分组到单个实施例、图、或者对其的描述中。然而,并不应将该公开的方法解释呈反映如下意图:即所要求保护的本发明要求比在每个权利要求中所明确记载的特征更多的特征。更确切地说,如权利要求书所反映的那样,发明方面在于少于前面公开的单个实施例的所有特征。因此,遵循具体实施方式的权利要求书由此明确地并入该具体实施方式,其中每个权利要求本身都

作为本发明的单独实施例。

[0068] 应该注意的是上述实施例对本发明进行说明而不是对本发明进行限制,并且本领域技术人员在不脱离所附权利要求的范围的情况下可设计出替换实施例。在权利要求中,不应将位于括号之间的任何参考符号构造成对权利要求的限制。单词“包含”不排除存在未列在权利要求中的元件或步骤。位于元件之前的单词“一”或“一个”不排除存在多个这样的元件。本发明可以借助于包括有若干不同元件的硬件以及借助于适当编程的计算机来实现。在列举了若干装置的单元权利要求中,这些装置中的若干个可以是通过同一个硬件项来具体体现。单词第一、第二、以及第三等的使用不表示任何顺序。可将这些单词解释为名称。

[0069] 最后应说明的是:以上各实施例仅用以说明本发明的技术方案,而非对其限制;尽管参照前述各实施例对本发明进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分或者全部技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本发明各实施例技术方案的范围,其均应涵盖在本发明的权利要求和说明书的范围当中。

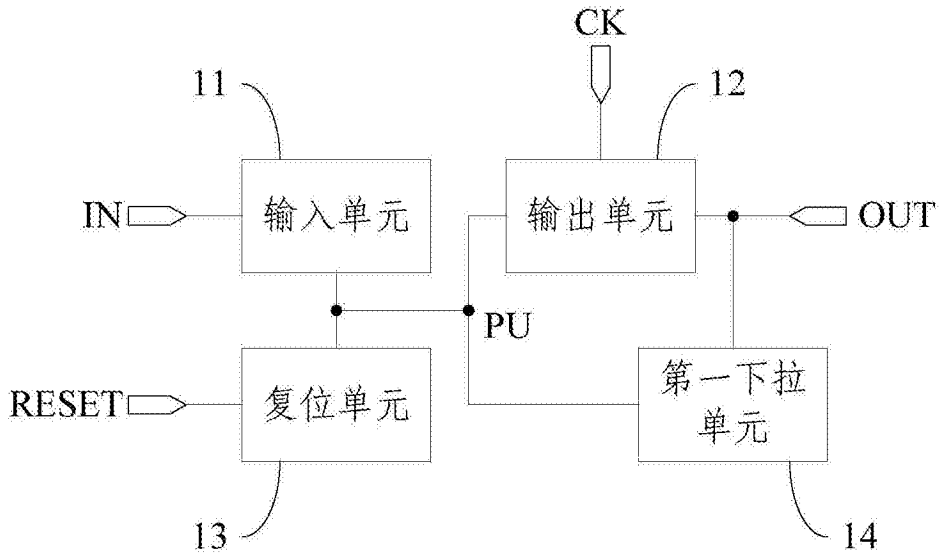


图1

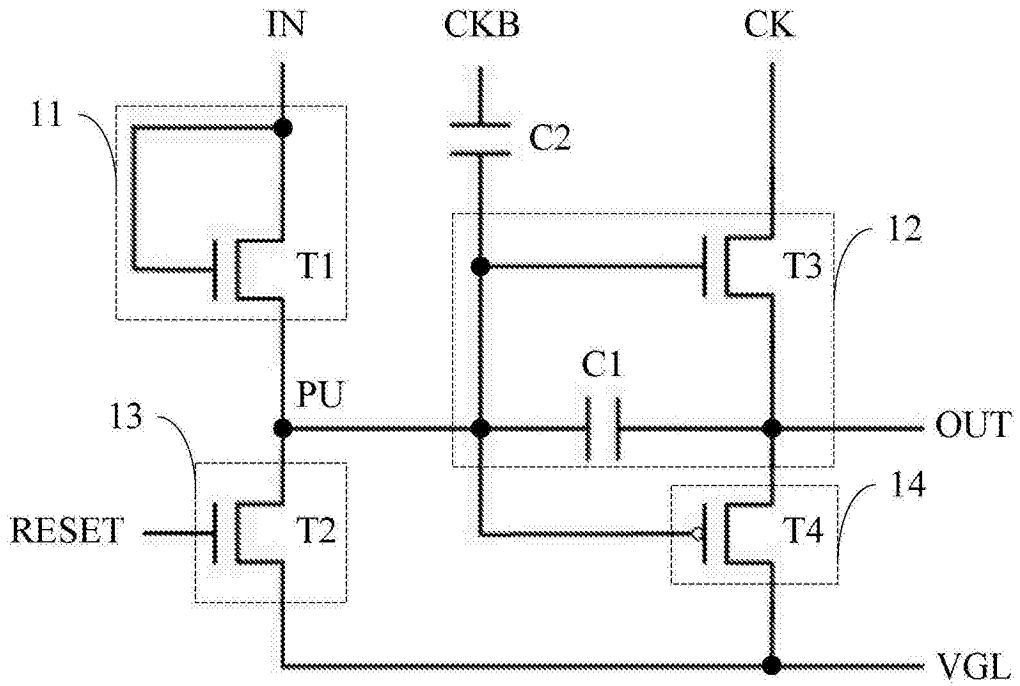


图2

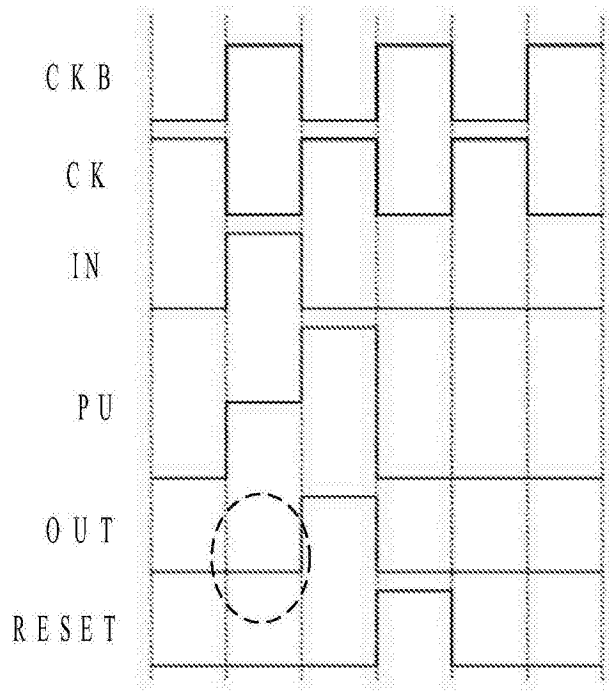


图3

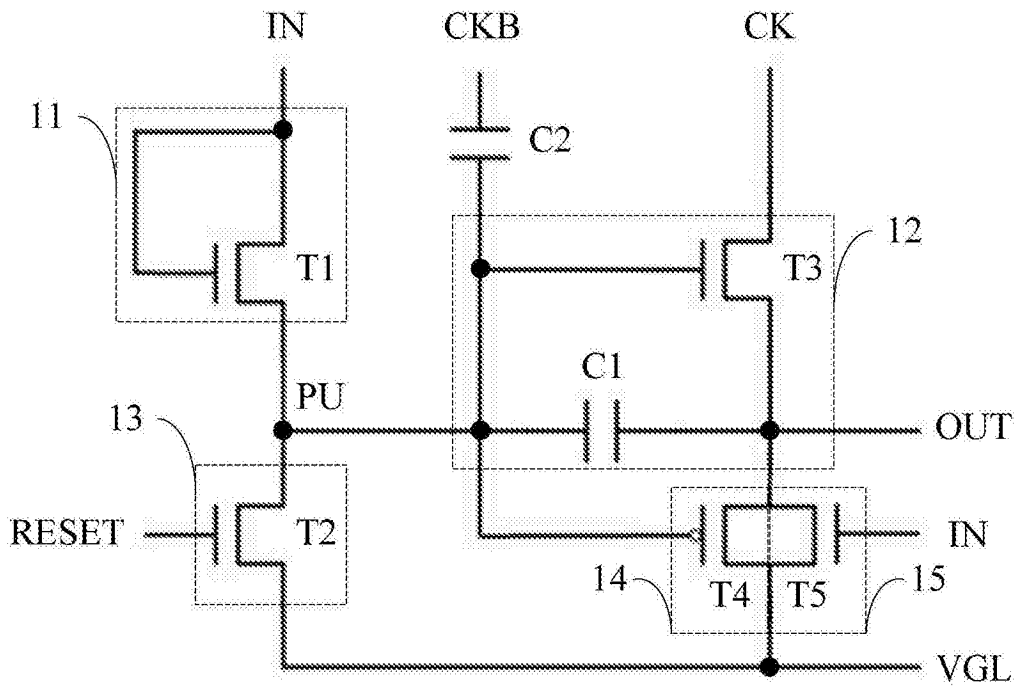


图4

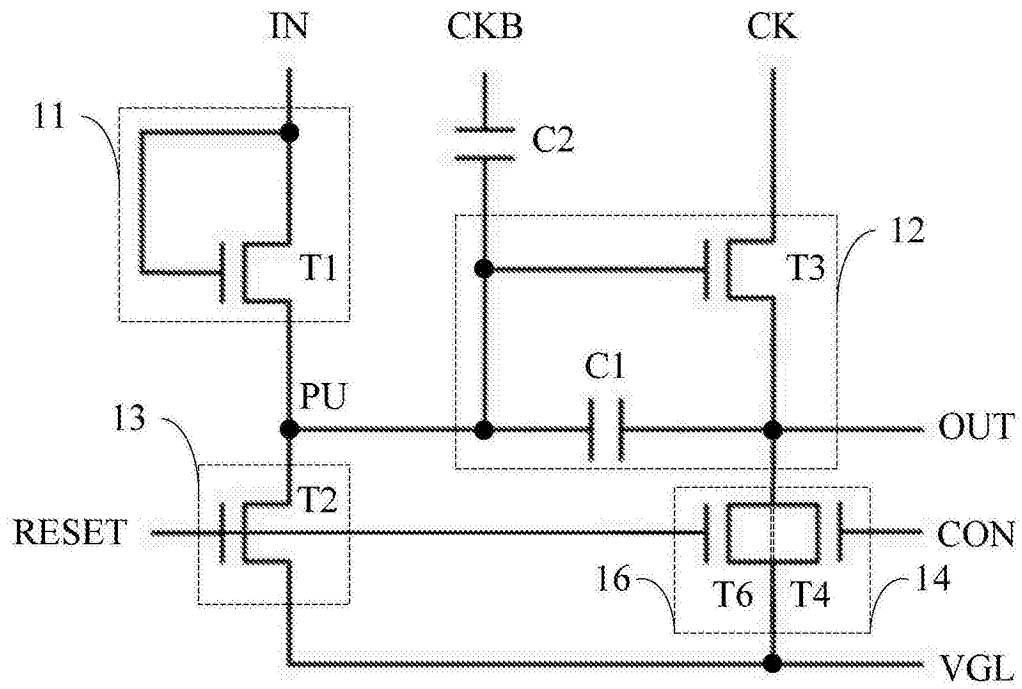


图5