

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6282823号
(P6282823)

(45) 発行日 平成30年2月21日 (2018. 2. 21)

(24) 登録日 平成30年2月2日 (2018. 2. 2)

(51) Int. Cl.	F I
G09G 3/3233 (2016.01)	G09G 3/3233
G09G 3/20 (2006.01)	G09G 3/20 611H
H01L 51/50 (2006.01)	G09G 3/20 624B
	H05B 33/14 A

請求項の数 9 (全 18 頁)

(21) 出願番号	特願2013-181387 (P2013-181387)	(73) 特許権者	502356528
(22) 出願日	平成25年9月2日 (2013. 9. 2)		株式会社ジャパンディスプレイ
(65) 公開番号	特開2015-49385 (P2015-49385A)		東京都港区西新橋三丁目7番1号
(43) 公開日	平成27年3月16日 (2015. 3. 16)	(74) 代理人	110000154
審査請求日	平成28年9月1日 (2016. 9. 1)		特許業務法人はるか国際特許事務所
		(72) 発明者	宮沢 敏夫
			東京都港区西新橋三丁目7番1号 株式会
			社ジャパンディスプレイ内
		(72) 発明者	宮本 光秀
			東京都港区西新橋三丁目7番1号 株式会
			社ジャパンディスプレイ内
		審査官	武田 悟

最終頁に続く

(54) 【発明の名称】 駆動回路、表示装置、及び駆動方法

(57) 【特許請求の範囲】

【請求項 1】

第1基準電圧が与えられる第1配線と、
 前記第1基準電圧より高い電圧である第2基準電圧が与えられる第2配線と、
 前記第1配線と前記第2配線との間に配置され、電流が流れることによって発光する発
 光素子と、
 前記発光素子と前記第2配線との間に配置され、前記発光素子へ流れる電流の量を制御
 するための駆動トランジスタと、
 前記発光素子と前記駆動トランジスタとの間に配置される、第1スイッチング素子と、
 前記駆動トランジスタと前記第2配線との間に配置される、第2スイッチング素子と、
 前記駆動トランジスタのゲートとドレインとの間に接続される、第3スイッチング素子
 と、
 前記駆動トランジスタのソースに接続されるとともに、信号書込み期間にオン状態とな
 って、信号電圧を前記駆動トランジスタのソースに供給する、第4スイッチング素子と、
 前記駆動トランジスタのゲートに一方の端子が電氣的に接続される第1容量と、
 前記駆動トランジスタのゲートに一方の端子が電氣的に接続される第2容量と、
 を備え、
 前記第1スイッチング素子と前記第3スイッチング素子の一方がp型トランジスタであ
 り、他方がn型トランジスタであり、
 前記第1スイッチング素子のゲートと、前記第3スイッチング素子のゲートは、ともに

10

20

第 1 制御線に接続される、
ことを特徴とする、駆動回路。

【請求項 2】

請求項 1 に記載の駆動回路であって、

第 1 の期間に、前記第 1 スイッチング素子及び前記第 2 スイッチング素子はオン状態にあって、前記第 3 スイッチング素子及び前記第 4 スイッチング素子はオフ状態にあり、

前記第 1 の期間の後であって前記信号書込み期間の前の期間である第 2 の期間に、前記第 1 スイッチング素子がオフ状態となるとともに、前記第 3 スイッチング素子がオン状態となり、

前記信号書込み期間に、前記第 2 スイッチング素子がオフ状態となるとともに、前記第 1 スイッチング素子がオフ状態で前記第 3 スイッチング素子がオン状態で維持され、

前記信号書込み期間の後に、前記第 3 スイッチング素子及び前記第 4 スイッチング素子がともにオフ状態となり、前記第 1 スイッチング素子及び前記第 2 スイッチング素子がともにオン状態となる、

ことを特徴とする、駆動回路。

【請求項 3】

請求項 1 又は 2 に記載の駆動回路であって、

前記第 2 スイッチング素子と前記第 4 スイッチング素子の一方が p 型トランジスタであり、他方が n 型トランジスタである、

ことを特徴とする、駆動回路。

【請求項 4】

請求項 3 に記載の駆動回路であって、

前記第 2 スイッチング素子のゲートと、前記第 4 スイッチング素子のゲートは、ともに第 2 制御線に接続される、

ことを特徴とする、駆動回路。

【請求項 5】

請求項 1 乃至 4 のいずれかに記載の駆動回路であって、

前記第 1 容量の他方の端子に定電源電位が入力される、

ことを特徴とする、駆動回路。

【請求項 6】

請求項 1 乃至 5 のいずれかに記載の駆動回路であって、

第 3 スイッチング素子は、マルチゲート構造を有するトランジスタである、

ことを特徴とする、駆動回路。

【請求項 7】

請求項 1 乃至 6 のいずれかに記載の駆動回路であって、

第 4 スイッチング素子は、マルチゲート構造を有するトランジスタである、

ことを特徴とする、駆動回路。

【請求項 8】

請求項 1 乃至 7 のいずれかに記載の駆動回路、を備える、表示装置。

【請求項 9】

第 1 基準電圧と前記第 1 基準電圧より高い電圧である第 2 基準電圧との間に接続される配線と、

前記配線上に配置され、電流が流れることによって発光する発光素子と、

前記配線上の、前記発光素子より前記第 2 基準電圧側に配置され、前記発光素子へ流れる電流の量を制御するための駆動トランジスタと、

前記配線上の、前記発光素子と前記駆動トランジスタとの間に配置される、第 1 スイッチング素子と、

前記配線上の、前記駆動トランジスタより前記第 2 基準電圧側に配置される、第 2 スイッチング素子と、

前記駆動トランジスタのゲートとドレインとの間に接続される、第 3 スイッチング素子

10

20

30

40

50

と、

前記駆動トランジスタのソースに接続される、第4スイッチング素子と、
を備え、

前記第1スイッチング素子と前記第3スイッチング素子の一方がp型トランジスタであり、他方がn型トランジスタであり、

前記第1スイッチング素子のゲートと、前記第3スイッチング素子のゲートは、ともに第1制御線に接続される、駆動回路の駆動方法であって、

第1の期間に、前記第1スイッチング素子及び前記第2スイッチング素子をオン状態にするとともに、前記第3スイッチング素子及び前記第4スイッチング素子をオフ状態にして、

10

前記第1の期間の後の期間である第2の期間に、前記第1スイッチング素子をオフ状態とするとともに、前記第3スイッチング素子をオン状態として、

前記第2の期間の後の期間である信号書込み期間に、前記第2スイッチング素子をオフ状態として前記第4スイッチング素子をオン状態とするとともに、前記第1スイッチング素子をオフ状態に前記第3スイッチング素子をオン状態に維持し、オン状態となる前記第4スイッチング素子に、信号電圧を前記駆動トランジスタのソースに供給させ、

前記信号書込み期間の後に、前記第3スイッチング素子及び前記第4スイッチング素子をとともにオフ状態として、前記第1スイッチング素子及び前記第2スイッチング素子をとともにオン状態とする、

ことを特徴とする、駆動回路の駆動方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、発光素子の駆動回路、及びそれを備える表示装置に関する。

【背景技術】

【0002】

例えば有機EL素子(OLED)など、発光素子が画像表示に用いられている。かかる発光素子に流れる電流の量を制御することによって、発光素子は発光動作を行う。かかる発光素子の発光駆動を行う駆動回路は、駆動トランジスタを含んでいる。かかる駆動トランジスタには閾値電圧が発生し、かかる閾値電圧は、製造される駆動トランジスタによってばらつきが生じている。特に、駆動トランジスタを低温ポリシリコン薄膜トランジスタ(TFT:Thin Film Transistor)で形成する場合、半導体層にレーザアニールを施す工程で、形成されるポリシリコンの結晶ばらつきに起因して、駆動トランジスタの閾値電圧にばらつきが発生することとなる。その結果、駆動トランジスタの閾値電圧やそのばらつきにより、発光素子の表示品質は低下することとなる。それゆえ、発光素子の発光時に駆動トランジスタのゲートに印加される電圧を、駆動トランジスタの閾値電圧に応じて補正することが、表示品質の低下を抑制する観点から必要となる。例えば、特許文献1に、駆動トランジスタの閾値電圧(スレシヨルド電圧)を補正する機能を有する有機電界発光表示装置の画素回路が開示されている。

30

【先行技術文献】

40

【特許文献】

【0003】

【特許文献1】特許第4391857号

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献1に開示される画素回路では、電源電圧VDDと接地電圧VSSとの間に、駆動トランジスタ(トランジスタT31)と発光素子(EL素子EL11)とを配置し、駆動トランジスタのゲートに印加される電圧を、コンデンサC11の電圧によって制御している。かかる画素回路では、表示データに応じて信号電圧を書き込む動作(データプログ

50

ラム動作)の前に、駆動トランジスタのゲートに印加される電圧(コンデンサC11に格納されているデータ信号)を初期化するリセット動作(初期化動作)が必要となる。特許文献1に開示される画素回路は、リセット電源(初期化電圧 V_{inti})に接続されている。リセット動作(初期化動作)時に、コンデンサC11の一方の端子をリセット電源(初期化電圧 V_{inti})に接続させることにより、コンデンサC11に格納されるデータ信号が初期化される。このように、駆動トランジスタの閾値電圧を補正することが可能な駆動回路では、駆動トランジスタのゲートに印加する電圧をリセットする際に、リセット電源が必要である。また、リセット電源を必要としない従来技術に係る駆動回路もある。かかる駆動回路では、正電源と負電源との間に駆動トランジスタや発光素子が配置され、リセット動作時に、正電源又は負電源のいずれかを变化させている。すなわち、リセット電源を削除する代わりに、正電源又は負電源のいずれかを、定電圧ではなく、電圧変化を制御する必要があるが生じる。リセット動作にリセット電源を用いると、専用のリセット電源の配線のスペースを画素回路の中に確保する必要がある、高精細化に関して不利になる。また、正電源又は負電源の電圧を变化させる場合も、かかる電圧を供給する電源回路と電圧変化を制御する制御回路が必要となり、同様に、回路増大とともに省電力化の妨げとなる。

10

【0005】

本発明は、かかる課題を鑑みてなされたものであり、リセット電源を必要とすることなく、2つの基準電圧を用いて、駆動トランジスタの閾値電圧の補正を可能とする発光素子の駆動回路の提供を目的とする。

20

【課題を解決するための手段】

【0006】

(1)上記課題を解決するために、本発明に係る駆動回路は、第1基準電圧と前記第1基準電圧より高い電圧である第2基準電圧との間に接続される配線と、前記配線上に配置され、電流が流れることによって発光する発光素子と、前記配線上の、前記発光素子より前記第2基準電圧側に配置され、前記発光素子へ流れる電流の量を制御するための駆動トランジスタと、前記配線上の、前記発光素子と前記駆動トランジスタとの間に配置される、第1スイッチング素子と、前記配線上の、前記駆動トランジスタより前記第2基準電圧側に配置される、第2スイッチング素子と、前記駆動トランジスタのゲートとドレインとの間に接続される、第3スイッチング素子と、前記駆動トランジスタのソースに接続されるとともに、信号書込み期間にオン状態となって、信号電圧を前記駆動トランジスタのソースに供給する、第4スイッチング素子と、前記駆動トランジスタのゲートと前記第2スイッチング素子の前記第2基準電圧側の端子との間に接続される第1容量と、を備える。

30

【0007】

(2)上記(1)に記載の駆動回路であって、第1の期間に、前記第1スイッチング素子及び前記第2スイッチング素子はオン状態にあって、前記第3スイッチング素子及び前記第4スイッチング素子はオフ状態にあり、前記第1の期間の後であって前記信号書込み期間の前の期間である第2の期間に、前記第1スイッチング素子がオフ状態となるとともに、前記第3スイッチング素子がオン状態となり、前記信号書込み期間に、前記第2スイッチング素子がオフ状態となるとともに、前記第1スイッチング素子がオフ状態で前記第3スイッチング素子がオン状態で維持され、前記信号書込み期間の後に、前記第3スイッチング素子及び前記第4スイッチング素子がともにオフ状態となり、前記第1スイッチング素子及び前記第2スイッチング素子がともにオン状態となってもよい。

40

【0008】

(3)上記(1)又は(2)に記載の駆動回路であって、前記第1スイッチング素子と前記第3スイッチング素子の一方がp型トランジスタであり、他方がn型トランジスタであってもよい。

【0009】

(4)上記(1)乃至(3)のいずれかに記載の駆動回路であって、前記第2スイッチング素子と前記第4スイッチング素子の一方がp型トランジスタであり、他方がn型トラン

50

ンジスタであってもよい。

【0010】

(5) 上記(3)に記載の駆動回路であって、前記第1スイッチング素子のゲートと、前記第3スイッチング素子のゲートは、ともに第1制御線に接続されてもよい。

【0011】

(6) 上記(4)に記載の駆動回路であって、前記第2スイッチング素子のゲートと、前記第4スイッチング素子のゲートは、ともに第2制御線に接続されてもよい。

【0012】

(7) 上記(1)乃至(6)のいずれかに記載の駆動回路であって、前記駆動トランジスタのゲートと第1基準電圧側の端子との間に接続される第2容量を、さらに備えてもよい。

10

【0013】

(8) 上記(1)乃至(7)のいずれかに記載の駆動回路であって、第3スイッチング素子は、マルチゲート構造を有するトランジスタであってもよい。

【0014】

(9) 上記(1)乃至(8)のいずれかに記載の駆動回路であって、第4スイッチング素子は、マルチゲート構造を有するトランジスタであってもよい。

【0015】

(10) 本発明に係る表示装置は、上記(1)乃至(9)のいずれかに記載の駆動回路、を備えてもよい。

20

【0016】

(11) 本発明に係る駆動回路の駆動方法は、第1基準電圧と前記第1基準電圧より高い電圧である第2基準電圧との間に接続される配線と、前記配線上に配置され、電流が流れることによって発光する発光素子と、前記配線上の、前記発光素子より前記第2基準電圧側に配置され、前記発光素子へ流れる電流の量を制御するための駆動トランジスタと、前記配線上の、前記発光素子と前記駆動トランジスタとの間に配置される、第1スイッチング素子と、前記配線上の、前記駆動トランジスタより前記第2基準電圧側に配置される、第2スイッチング素子と、前記駆動トランジスタのゲートとドレインとの間に接続される、第3スイッチング素子と、前記駆動トランジスタのソースに接続される、第4スイッチング素子と、前記駆動トランジスタのゲートと前記第2スイッチング素子の前記第2基準電圧側の端子との間に接続される第1容量と、を備える、駆動回路の駆動方法であって、第1の期間に、前記第1スイッチング素子及び前記第2スイッチング素子をオン状態にするとともに、前記第3スイッチング素子及び前記第4スイッチング素子をオフ状態にして、前記第1の期間の後の期間である第2の期間に、前記第1スイッチング素子をオフ状態とするとともに、前記第3スイッチング素子をオン状態として、前記第2の期間の後の期間である信号書込み期間に、前記第2スイッチング素子をオフ状態として前記第4スイッチング素子をオン状態とするとともに、前記第1スイッチング素子をオフ状態に前記第3スイッチング素子をオン状態に維持し、オン状態となる前記第4スイッチング素子に、信号電圧を前記駆動トランジスタのソースに供給させ、前記信号書込み期間の後に、前記第3スイッチング素子及び前記第4スイッチング素子とともにオフ状態として、前記第1

30

40

【発明の効果】

【0017】

本発明により、リセット電源を必要とすることなく、2つの基準電圧を用いて、駆動トランジスタの閾値電圧の補正を可能とする発光素子の駆動回路が提供される。

【図面の簡単な説明】

【0018】

【図1】 本発明の第1の実施形態に係る表示装置を示す図である。

【図2】 本発明の第1の実施形態に係る表示装置の等価回路を示す図である。

【図3】 本発明の第1の実施形態に係る駆動回路の回路図である。

50

【図４】本発明の第１の実施形態に係る駆動回路の駆動方法を示すタイミングチャートである。

【図５】本発明の第２の実施形態に係る駆動回路の回路図である。

【図６】本発明の第３の実施形態に係る駆動回路の回路図である。

【図７】本発明の第３の実施形態に係る駆動回路の駆動方法を示すタイミングチャートである。

【図８】本発明の第４の実施形態に係る駆動回路の回路図である。

【図９】本発明の第４の実施形態に係る他の実施例の駆動回路の回路図である。

【図１０】本発明の第５の実施形態に係る駆動回路の回路図である。

【図１１】本発明の第５の実施形態に係る他の実施例の駆動回路の回路図である。

10

【発明を実施するための形態】

【００１９】

以下に、図面に基づき、本発明の実施形態を具体的かつ詳細に説明する。なお、実施形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下に示す図は、あくまで、実施形態の実施例を説明するものであって、図の大きさと本実施例記載の縮尺は必ずしも一致するものではない。

【００２０】

〔第１の実施形態〕

図１は、本発明の第１の実施形態に係る表示装置を示す図である。当該実施形態に係る表示装置は、発光素子として有機ＥＬ素子を用いる有機ＥＬ表示装置１００である。図１に示すように、有機ＥＬ表示装置１００は、有機ＥＬパネルを有するＴＦＴ基板１０５を挟むように固定する上フレーム１０１及び下フレーム１０２と、表示する情報を生成する回路素子を備える回路基板１０４と、当該回路基板において生成されたＲＧＢの情報をＴＦＴ基板１０５に伝えるフレキシブル基板１０３と、により構成される。

20

【００２１】

図２は、当該実施形態に係る表示装置の等価回路を示す図である。図２は、有機ＥＬ表示装置１００のうち特に有機ＥＬパネルについて示している。有機ＥＬパネルは、図中縦方向に延在するとともに横方向に並んで配置される複数の信号線ＳＩＧと、図中横方向に延在するとともに縦方向に並んで配置される複数の第１制御線１と、各第１制御線１と並んで配置される複数の第２制御線２と、信号線ＳＩＧと第１制御線１（第２制御線２）との交点に対応してマトリクス状に配置されている複数の画素回路ＰＣと、信号線駆動回路ＸＤＶと、走査線駆動回路ＹＤＶとを含んでいる。信号線ＳＩＧは、上端が信号線駆動回路ＸＤＶに接続されている。第１制御線１及び第２制御線２は、走査線駆動回路ＹＤＶに接続されている。複数の画素回路ＰＣは表示領域ＤＰを構成している。信号線駆動回路ＸＤＶと走査線駆動回路ＹＤＶは互いに連携して各画素回路ＰＣを駆動する。

30

【００２２】

接地電圧ＧＮＤに接続される第１電源線は第１基準電圧 V_S に維持されている。また、電圧源ＰＳは接続される第２電源線に第２基準電圧 V_D を供給しており、第２基準電圧 V_D は第１基準電圧 V_S より高い電圧である。第１電源線及び第２電源線それぞれは、各画素回路ＰＣに接続されている。すなわち、当該実施形態において、第１基準電圧 V_S は接地電圧であるが、これに限定されることがないのは言うまでもない。また、図２には、画素回路ＰＣは 2×2 の４つのみ示されているが、実際は表示解像度に応じた数の画素回路ＰＣが存在する。一般に、 n 行目、 m 列目に位置する画素回路は $PC(m, n)$ と表される。例えば左上に存在する画素回路は $PC(1, 1)$ と表される。また、 m 列目の画素回路に接続される信号線は、 $SIG(m)$ と表され、 n 行目の画素回路に接続される第１制御線及び第２制御線はそれぞれ１（ n ）及び２（ n ）と表される。

40

【００２３】

図３は、当該実施形態に係る駆動回路の回路図である。図３に示す駆動回路は、発光素子である有機ＥＬ素子ＯＬＥＤの駆動回路であり、図２に示す画素回路ＰＣである。当該

50

実施形態に係る駆動回路は、5トランジスタ及び1容量からなる駆動回路である。有機EL素子OLEDは、電流が流れることによって発光する発光素子である。図に示す5つのトランジスタのうち、3つのトランジスタはn型MOS-TFTであり、2つのトランジスタはp型MOS-TFTである。すなわち、CMOS回路を採用している。トランジスタNTDは、有機EL素子OLEDへ流れる電流の量を制御するための駆動トランジスタであり、n型MOS-TFTである。トランジスタPT1及びトランジスタPT2は、それぞれ、第1スイッチングトランジスタ(第1スイッチング素子)及び第2スイッチングトランジスタ(第2スイッチング素子)であり、ともにp型MOS-TFTである。トランジスタNT1及びトランジスタNT2は、それぞれ、第3スイッチングトランジスタ(第3スイッチング素子)及び第4スイッチングトランジスタ(第4スイッチング素子)であり、ともにn型MOS-TFTである。第1基準電圧 V_S と第2基準電圧 V_D との間に接続される配線上に、有機EL素子OLEDと、トランジスタPT1と、トランジスタNTDと、トランジスタPT2とが、第1基準電圧 V_S 側からこの順で、直列に接続するように配置されている。すなわち、トランジスタPT1は、配線上の、有機EL素子OLEDとトランジスタNTDとの間に配置され、トランジスタPT2は、配線上の、トランジスタNTDより第2基準電圧 V_D 側に配置される。なお、トランジスタPT1のゲートは、第1制御線1に接続されており、トランジスタPT2のゲートは、第2制御線2に接続されている。トランジスタNTDのゲートと、トランジスタPT2の第2基準電圧 V_D 側の端子(ここでは、ソース)との間には、第1容量である容量C1が接続されている。

【0024】

トランジスタNT1は、トランジスタNTDのゲートとドレインとの間に接続されている。トランジスタNT2は、トランジスタNTDのソースと信号線SIGとの間に接続されている。トランジスタNT1のゲートは、第1制御線1に接続されており、トランジスタNT2のゲートは、第2制御線2に接続されている。トランジスタNTDのドレイン(トランジスタPT1のドレイン:第1基準電圧 V_S 側の端子)の電圧がノードN1であり、トランジスタNTDのゲートの電圧がノードN2であり、トランジスタNTDのソース(トランジスタPT1のソース:第2基準電圧 V_D 側の端子)の電圧がノードN3である。

【0025】

図4は、当該実施形態に係る駆動回路の駆動方法を示すタイミングチャートである。図4には、信号線SIG、第1制御線1、第2制御線2、ノードN1、ノードN2、及びノードN3の電圧の変化が時系列に示されている。図に示す時刻をそれぞれ時刻t1~時刻t7とすると、時刻t3~時刻t4の期間が、当該駆動回路に備えられる駆動トランジスタ(トランジスタNTD)に表示データに対応する信号電圧 V_a を書き込む信号書き込み期間であり、時刻t4以降の期間が、当該有機EL素子OLEDが当該表示データを表示する発光期間(表示期間)である。なお、時刻t2以前の期間は、第1の期間であり、前の表示データを表示する発光期間であり、時刻t2~時刻t3の期間が、第2の期間であり、当該駆動回路に備えられる駆動トランジスタ(トランジスタNTD)に書き込まれた電圧をリセットするリセット期間である。図4では、信号線SIGの電圧は、順に変化しているが、それぞれの電圧は、順に信号を書き込む複数の画素回路PC(駆動回路)の信号電圧を表しており、複数の画素回路は図3に縦方向に1列に並ぶ画素回路PCに対応している。

【0026】

時刻t2以前(第1の期間)には、第1制御線1及び第2制御線2は、ともにロー電圧 V_L に維持されている。ここで、駆動回路に含まれるn型MOS-TFTにとって、ロー電圧 V_L はオフ電圧であり、ハイ電圧 V_H はオン電圧である。特に、ハイ電圧 V_H は、n型MOS-TFTをオンすることが出来る十分に高い電圧である。また、駆動回路に含まれるp型MOS-TFTにとって、ハイ電圧 V_H はオフ電圧であり、ロー電圧 V_L はオン電圧である。特に、ロー電圧 V_L は、p型MOS-TFTをオンすることが出来る十分に低い電圧である。簡単のために、駆動回路に含まれる4つのスイッチング素子(トラ

ンジスタ)の閾値電圧の絶対値が等しく、電圧 V_{TH0} とする。ハイ電圧 V_H は、第2基準電圧 V_D と電圧 V_{TH0} に対して、 $V_H > V_D + V_{TH0}$ の関係を満たしている。なお、ハイ電圧 V_H は $V_D + V_{TH0}$ よりも十分に高いのが望ましい。同様に、ロー電圧 V_L は、第1基準電圧 V_S と電圧 V_{TH0} に対して、 $V_L < V_S - V_{TH0}$ の関係を満たしている。なお、ロー電圧 V_L は $V_S - V_{TH0}$ よりも十分に低いのが望ましい。第1制御線1及び第2制御線2がともにロー電圧 V_L に維持されていることにより、時刻 t_2 以前には、トランジスタPT1及びトランジスタPT2はオン状態に、トランジスタNT1及びトランジスタNT2はオフ状態に、それぞれ維持されている。トランジスタPT2が十分にオンされているので、ノードN1は、第2基準電圧 V_D となっている。また、ノードN2は電圧 V_{bp} に、ノードN3は電圧 V_{1p} に、それぞれ維持されている。

10

【0027】

リセット期間(第2の期間)開始時である時刻 t_2 に、第1制御線1の電圧がロー電圧 V_L からハイ電圧 V_H に変化する。これにより、トランジスタPT1はオフ状態に、トランジスタNT1はオン状態となる。なお、リセット期間には、第2制御線2はロー電圧 V_L に維持されており、トランジスタPT2はオン状態に、トランジスタNT2はオフ状態に、それぞれ維持される。トランジスタPT1がオフ状態となることにより、有機EL素子OLEDへの電流供給が遮断される。トランジスタNT1がオン状態となることにより、ノードN1とノードN2が接続する。トランジスタNT1は十分にオンされており、容量C1が放電をされる方向に電流がトランジスタNT1に流れ、ノードN2は、ノードN1と等しくなり、第2基準電圧 V_D へ上昇して、安定状態となる。安定状態になると、トランジスタNT1に流れる電流は0である。ここで、駆動トランジスタであるトランジスタNTDの閾値電圧の絶対値を V_{th} とする。ノードN2が第2基準電圧 V_D へ上昇するのに伴って、ノードN3は、 $V_D - V_{th}$ まで上昇する。

20

【0028】

信号書込み期間開始時である時刻 t_3 に、第2制御線2の電圧がロー電圧 V_L からハイ電圧 V_H に変化する。これにより、トランジスタPT2はオフ状態に、トランジスタNT2はオン状態となる。なお、信号書込み期間には、第1制御線1はハイ電圧 V_H に維持されており、トランジスタPT1はオフ状態に、トランジスタNT1はオン状態に、それぞれ維持される。トランジスタPT2がオフ状態となることにより、ノードN1が第2基準電圧 V_D から遮断される。時刻 t_3 に、次の発光期間に当該有機EL素子OLEDが表示する表示データに対応する信号電圧 V_a が信号線SIGに印加される。よって、オン状態となるトランジスタNT2を介して、トランジスタNTDのソース(ノードN3)が信号電圧 V_a となっている信号線SIGと接続され、ノードN3は信号電圧 V_a へ低下する。すなわち、トランジスタNT2は、信号書込み期間にオン状態となって、信号電圧 V_a をトランジスタNTDのソースに供給する。ノードN3が信号電圧 V_a に低下するのに伴って、容量C1が充電をされる方向に電流がトランジスタNT1に流れ、トランジスタNTDのゲート(ノードN2)は、 $V_a + V_{th}$ となる電圧へ低下して、安定状態となる。安定状態になると、トランジスタNT1に流れる電流は0である。このとき、ノードN1はノードN2と短絡しているので、ノードN1はノードN2と同様に、 $V_a + V_{th}$ となる電圧となっている。すなわち、信号線SIGに印加される信号電圧 V_a がトランジスタNTDのソースに供給され、それに伴って、トランジスタNTDのゲートが $V_a + V_{th}$ となる電圧に変化する。ここで、信号電圧 V_a の最大値を V_{max} とすると、第2基準電圧 V_D は、信号書込み期間(そして、後の発光期間)におけるノードN2の最大値である $V_{max} + V_{th}$ より高い電圧である必要がある。すなわち、 $V_D > V_{max} + V_{th}$ を満たす必要がある。

30

40

【0029】

信号書込み期間終了後、発光期間の開始時である時刻 t_4 に、第1制御線1及び第2制御線2がともに、ハイ電圧 V_H からロー電圧 V_L に変化する。これにより、トランジスタPT1及びトランジスタPT2はともにオン状態となり、トランジスタNT1及びトランジスタNT2はともにオフ状態となる。トランジスタNT1がオフ状態となることに

50

より、ノードN2はノードN1から遮断され、ノードN2はフローティングノードとなる。また、トランジスタNT2がオフ状態となることにより、ノードN3は信号線SIGから遮断される。トランジスタPT1及びトランジスタPT2がともにオン状態となることにより、第2基準電圧 V_D と駆動トランジスタであるトランジスタNTD、及びトランジスタNTDと有機EL素子OLEDが、それぞれ接続され、駆動トランジスタであるトランジスタNTDのゲートに印加される電圧により、有機EL素子OLEDに流れる電流量が制御される。

【0030】

このとき、トランジスタNTDのソース(ノードN3)は、電圧 V_1 であり、電圧 V_1 は、次に示す(数式1)によって表される。

【0031】

$$V_1 \sim V_S + V_{OLED} + V_{PT1} \cdots (\text{数式1})$$

【0032】

ここで、 V_{OLED} は、有機EL素子OLEDのダイオードとしての閾値電圧であり、 V_{PT1} は、オン状態にあるトランジスタPT1の抵抗(ON抵抗)による電圧降下量である。

【0033】

また、トランジスタNTDのゲート(ノードN2)は、容量C1の電圧により、電圧 V_b に維持される。トランジスタNTDのソース・ゲート間に発生する容量を容量 C_{gs} とする。信号書込み期間に信号電圧 V_a となっているノードN3が、発光期間に電圧 V_1 に変化したことに伴って、容量 C_{gs} により、ノードN2の電圧 V_b は、厳密には、次に示す(数式2)によって表される。

【0034】

$$V_b \sim V_a + V_{th} - (V_a + V_{th} - V_1) \times \{C_{gs} / (C_{gs} + C_1)\} \cdots (\text{数式2})$$

【0035】

しかしながら、簡単のために、容量 C_{gs} は容量C1よりも十分に小さい($C_{gs} \ll C_1$)と仮定すれば、電圧 V_b は、 $V_a + V_{th}$ に近似される。よって、信号書込み期間と同様に、時刻t4以降も、ノードN2の電圧 V_b は、 $V_b = V_a + V_{th}$ に維持される。

【0036】

以上より、駆動トランジスタであるトランジスタNTDのソース・ゲート間の電圧 V_{gs} は、次に示す(数式3)によって表される。

【0037】

$$V_{gs} = V_b - V_1 = V_a + V_{th} - V_1 \cdots (\text{数式3})$$

【0038】

すなわち、トランジスタNTDの実効的なチャネル電圧 V_{ch} は、閾値電圧 V_{th} を減じて、 $V_{ch} = V_a - V_1$ となり、トランジスタNTDの閾値電圧 V_{th} 及びそのばらつきを補正することが出来る。

【0039】

本発明に係る駆動回路では、駆動トランジスタのソースに第4スイッチング素子が接続されており、信号書込み期間に、オン状態となる第4スイッチング素子が信号電圧を駆動トランジスタのソースに供給している。信号電圧が駆動トランジスタのゲートに供給されない構成とすることにより、定電圧である第2基準電圧 V_D (有機EL素子OLEDへの電源)を用いて、駆動トランジスタのゲートに印加される電圧をリセット(初期化)することを可能としている。これにより、第1基準電圧 V_S 及び第2基準電圧 V_D を定電圧としつつ、リセット電源を削除することが出来ている。

【0040】

当該実施形態に係る駆動回路では、駆動トランジスタに加えて、4つのスイッチング素子と、1つの容量と、簡単な回路構成で、発光素子を駆動することが出来ている。さらに

10

20

30

40

50

、当該実施形態に係る駆動回路の駆動方法では、4つのスイッチング素子を以下の通り駆動している。すなわち、図4に示す時刻 t_2 に、第1スイッチング素子をオフ状態とし、第3スイッチング素子をオン状態とし、時刻 t_3 に、第2スイッチング素子をオフ状態とし、第4スイッチング素子をオフ状態とし、時刻 t_4 に、第1スイッチング素子及び第2スイッチング素子をオン状態とし、第3スイッチング素子及び第4スイッチング素子をオフ状態とする。当該実施形態に係る駆動回路が簡単な回路構成で実現出来ているにもかかわらず、かかる簡単な駆動方法により、駆動トランジスタの閾値電圧の補正を含む駆動回路の駆動を可能としている。

【0041】

特に、当該実施形態に係る駆動回路では、第1スイッチング素子と第2スイッチング素子にp型トランジスタを用いて、第3スイッチング素子と第4スイッチング素子に、n型トランジスタを用いている。第1スイッチング素子をオン（オフ）するタイミングと、第3スイッチング素子をオフ（オン）するタイミングは、同じでも構わないので、第1スイッチング素子をp型トランジスタと、第3スイッチング素子をn型トランジスタとすることにより、第1スイッチング素子の制御端子（ゲート）と第3スイッチング素子の制御端子（ゲート）に、第1制御線1を接続し、第1制御線1を用いて、第1スイッチング素子及び第3スイッチング素子を制御することが出来る。なお、第1スイッチング素子をn型トランジスタと、第3スイッチング素子をp型トランジスタとしてもよい。この場合、第1制御線1は、図4に示す第1制御線1の電圧と逆相の電圧とすればよい。すなわち、第1スイッチング素子と第3スイッチング素子的一方がp型トランジスタであり、他方がn型トランジスタであるのが望ましい。

【0042】

第2スイッチング素子と第4スイッチング素子についても同様である。第2スイッチング素子をオン（オフ）するタイミングと、第4スイッチング素子をオフ（オン）するタイミングは、同じでも構わないので、第2スイッチング素子と第4スイッチング素子的一方がp型トランジスタであり、他方がn型トランジスタであるのが望ましい。第2スイッチング素子の制御端子（ゲート）と第4スイッチング素子の制御端子（ゲート）に、第2制御線2を接続し、第2制御線2を用いて、第2スイッチング素子及び第4スイッチング素子を制御することが出来る。

【0043】

当該実施形態に係る駆動回路では、2本の制御線により、4つのスイッチング素子の駆動を可能としており、制御線の本数削減が実現出来ている。制御線の本数を削減することにより、回路規模を縮小することができ、表示装置の高精細化が実現される。なお、制御線の本数削減の観点からは、第1スイッチング素子と第3スイッチング素子が同じタイミングで制御され、第2スイッチング素子と第4スイッチング素子が同じタイミングで制御されるのが望ましい。しかし、これに限定されることはなく、第1スイッチング素子と第3スイッチング素子は独立に制御されてもよい。また、第2スイッチング素子と第4スイッチング素子は独立に制御されてもよい。

【0044】

[第2の実施形態]

本発明の第2の実施形態に係る表示装置は、発光素子の駆動回路の構成が異なる以外は、第1の実施形態に係る表示装置と同じ構造をしている。

【0045】

図5は、当該実施形態に係る駆動回路の回路図である。図5に示す駆動回路は、発光素子である有機EL素子OLEDの駆動回路であり、図2に示す画素回路PCである。図3に示す第1の実施形態に係る駆動回路と異なり、駆動トランジスタにp型MOS-TFTであるトランジスタPTDが用いられている。第1基準電圧 V_S と第2基準電圧 V_D との間に接続される配線上に、有機EL素子OLEDと、トランジスタPT1と、トランジスタPTDと、トランジスタPT2とが、第1基準電圧 V_S 側からこの順で、直列に接続されるよう配置されている。

【 0 0 4 6 】

トランジスタ P T D は、p 型トランジスタであるので、トランジスタ P T D のドレインは、第 1 基準電圧 V_s 側の端子であり、トランジスタ P T 1 と接続している。トランジスタ P T D のソースは第 2 基準電圧 V_b 側の端子であり、トランジスタ P T 2 と接続している。それゆえ、トランジスタ P T D のドレインの電圧であるノード N 1 と、トランジスタ P T D のソースの電圧であるノード N 3 は、図 3 に示すノード N 1 とノード N 3 と比べて、それぞれ、上下逆に位置している。それゆえ、トランジスタ P T D のゲートとドレインとの間に接続されるトランジスタ N T 1 の配置と、トランジスタ P T D のソースに接続されるトランジスタ N T 2 の配置とが、第 1 の実施形態と異なっている。当該実施形態に係る駆動回路において、駆動トランジスタに p 型トランジスタを用いているが、かかる場合であつても、第 1 の実施形態と同様の効果を奏している。

10

【 0 0 4 7 】

当該実施形態に係る駆動方法は、第 1 の実施形態と同様であり、図 4 に示す第 1 制御線 1 と第 2 制御線 2 の電圧変化と同じ制御によって、信号電圧が書き込まれる。ただし、駆動トランジスタが p 型トランジスタであることにより、ある表示データを表示するための信号電圧の値が第 1 の実施形態と異なっている。

【 0 0 4 8 】

[第 3 の実施形態]

本発明の第 3 の実施形態に係る表示装置は、発光素子の駆動回路の構成が異なる以外は、第 1 又は第 2 の実施形態に係る表示装置と同じ構造をしている。

20

【 0 0 4 9 】

図 6 は、当該実施形態に係る駆動回路の回路図である。図 6 に示す駆動回路は、発光素子である有機 E L 素子 O L E D の駆動回路であり、図 2 に示す画素回路 P C である。図 6 に示す当該実施形態に係る駆動回路は、図 3 に示す第 1 の実施形態に係る駆動回路に、駆動トランジスタ (トランジスタ N T D) のゲートとソース (第 2 基準電圧 V_s 側の端子) との間に接続される容量 C 2 (第 2 容量) を追加したものである。

【 0 0 5 0 】

図 7 は、当該実施形態に係る駆動回路の駆動方法を示すタイミングチャートである。図 7 には、図 4 と同様に、信号線 S I G、第 1 制御線 1、第 2 制御線 2、ノード N 1、ノード N 2、及びノード N 3 の電圧の変化が時系列に示されている。第 1 制御線 1 及び第 2 制御線 2 の電圧変化は、図 4 に示す第 1 の実施形態に係る駆動回路の駆動方法と同じである。時刻 t_2 以前 (第 1 の期間)、リセット期間 (第 2 の期間)、及び信号書き込み期間それぞれにおける、ノード N 1、ノード N 2、及びノード N 3 の電圧変化も、図 4 に示す第 1 の実施形態に係るノード N 1、ノード N 2、及びノード N 3 の電圧変化と同じである。

30

【 0 0 5 1 】

信号書き込み期間終了後、発光期間の開始時である時刻 t_4 に、第 1 制御線 1 及び第 2 制御線 2 がともに、ハイ電圧 V_H からロー電圧 V_L に変化する。これにより、トランジスタ P T 1 及びトランジスタ P T 2 はともにオン状態となり、トランジスタ N T 1 及びトランジスタ N T 2 はともにオフ状態となる。第 1 の実施形態と同様に、トランジスタ N T D のソース (ノード N 3) は (数式 1) で表される電圧 V_1 となる。ノード N 3 が電圧 V_a から電圧 V_1 へ変化するのに伴って、容量 C 1 及び容量 C 2 により、トランジスタ N T D のゲート (ノード N 2) は変化して、電圧 V_b となる。簡単のため、第 1 の実施形態と同様に、トランジスタ N T D の容量 C_{gs} が容量 C 1 (及び容量 C 2) よりも十分に小さい ($C_{gs} \ll C_1$, $C_{gs} \ll C_2$) と仮定すると、電圧 V_b は、次に示す (数式 4) によって表される。

40

【 0 0 5 2 】

$$V_b \sim V_a + V_{th} - (V_a - V_1) \times \{C_2 / (C_1 + C_2)\} \quad \cdots$$

・ (数式 4)

【 0 0 5 3 】

50

(数式4)を整理すると、次に示す(数式5)となる。

【0054】

$$V_b \sim V_a \times \{C1 / (C1 + C2)\} + V_{th} + V_1 \times \{C2 / (C1 + C2)\} \cdots \text{(数式5)}$$

【0055】

以上より、駆動トランジスタであるトランジスタNTDのソース・ゲート間の電圧 V_{gs} は、次に示す(数式6)によって表される。

【0056】

$$V_{gs} = V_b - V_1 = (V_a - V_1) \times \{C1 / (C1 + C2)\} + V_{th} \cdots \text{(数式6)}$$

10

【0057】

すなわち、トランジスタNTDの実効的なチャネル電圧 V_{ch} は、閾値電圧 V_{th} を減じて、次に示す(数式7)によって表される。

【0058】

$$V_{ch} = (V_a - V_1) \times \{C1 / (C1 + C2)\} \cdots \text{(数式7)}$$

【0059】

よって、当該実施形態に係る駆動回路では、第1の実施形態と同様に、駆動トランジスタ(トランジスタNTD)の閾値電圧およびそのばらつきを補正することが出来る。

【0060】

さらに、当該実施形態に係る駆動回路では、第1の実施形態に係る駆動回路によって実現されるチャネル電圧 V_{ch} と比べると、チャネル電圧 V_{ch} が $\{C1 / (C1 + C2)\}$ 倍に圧縮されている。表示装置が高精細化し、各画素回路が専有できる面積が小さくなると、駆動トランジスタであるトランジスタNTDの素子サイズを小さく(チャネル長Lを短く)せざるを得なくなる。この場合、電圧変化に対する電流効率が上昇するので、使用できる信号電圧範囲が小さくなる。それに伴って、外部(信号線駆動回路XDV)から供給される信号電圧の範囲を小さくすると、該範囲に階調数それぞれに応じた階調電圧が割り当てられるので、隣り合う階調値の電圧の差が小さくなり、階調表示が困難となる。しかし、当該実施形態では、外部から供給される信号電圧の範囲を大きくすることが出来、階調表示が安定化されるという顕著な効果を奏する。

20

【0061】

なお、当該実施形態に係る駆動回路は、駆動トランジスタにp型トランジスタを用いてもよい。その場合、当該実施形態に係る駆動回路は、図5に示す第2の実施形態に係る駆動回路に、駆動トランジスタ(トランジスタPTD)のゲートとドレイン(第2基準電圧 V_s 側の端子)との間に接続される容量C2を追加したものである。

30

【0062】

[第4の実施形態]

本発明の第4の実施形態に係る表示装置は、発光素子の駆動回路の構成が異なる以外は、第1乃至第3のいずれかの実施形態に係る表示装置と同じ構造をしている。また、発光素子の駆動方法も同じである。

【0063】

図8は、当該実施形態に係る駆動回路の回路図である。図3に示す第1の実施形態に係る駆動回路は、第3スイッチング素子としてトランジスタNT1を、第4スイッチング素子としてトランジスタNT2を、それぞれ備えている。これに対して、当該実施形態に係る駆動回路では、第3スイッチング素子及び第4スイッチング素子がマルチゲート構造を有するトランジスタで構成されている。当該実施形態では、マルチゲート構造を有するトランジスタの一例として、第3スイッチング素子及び第4スイッチング素子に、ダブルゲート構造を有する薄膜トランジスタを用いている。図8には、第3スイッチング素子として、直列に接続されている2個のトランジスタNT1A、NT1Bが、第4スイッチング素子として、直列に接続されている2個のトランジスタNT2A、NT2Bが、それぞれ示されている。それ以外については、当該実施形態に係る駆動回路は、第1の実施形態に

40

50

係る駆動回路と同じである。

【 0 0 6 4 】

ここで、図 3 に示す第 1 の実施形態に係る駆動回路について考察する。発光期間において、トランジスタ N T 1 はオフ状態となっており、ノード N 2 はノード N 1 から遮断され、フローティングノードとなっている。また、トランジスタ N T 2 はオフ状態となっており、ノード N 3 は信号線 S I G から遮断されている。トランジスタ N T 1 にリーク電流が流れると、ノード N 2 (トランジスタ N T D のゲート) の電圧が変化するので、表示品質が低下することとなる。また、トランジスタ N T 2 にリーク電流が流れると、ノード N 3 (トランジスタ N T D のソース) の電圧が変化するので、同様に表示品質が低下することとなる。特に、トランジスタ N T 1 及びトランジスタ N T 2 を低温ポリシリコン T F T で形成する場合、リーク電流が問題となる。これに対して、当該実施形態に係る駆動回路では、ダブルゲート構造を有する薄膜トランジスタで第 3 スイッチング素子及び第 4 スイッチング素子を構成することにより、発光期間におけるリーク電流が抑制される。それにより、トランジスタ N T D の電流制御の安定化が実現し、スミア等の画質不良を低減することが出来るという格別の効果を奏する。

10

【 0 0 6 5 】

リーク電流低減の観点からは、第 3 スイッチング素子及び第 4 スイッチング素子がともに、マルチゲート構造を有するトランジスタで構成されていることが望ましい。しかし、いずれか一方のスイッチング素子がマルチゲート構造を有するトランジスタで構成されていてもよい。かかるスイッチング素子について、リーク電流の低減が実現されるという効果を奏する。

20

【 0 0 6 6 】

図 8 に示す駆動回路は、図 3 に示す第 1 の実施形態に係る駆動回路の第 3 スイッチング素子及び第 4 スイッチング素子を、マルチゲート構造を有するトランジスタに置き換えたものであるが、これに限定されることはない。第 2 又は第 3 の実施形態に係る駆動回路の第 3 スイッチング素子及び第 4 スイッチング素子を、マルチゲート構造を有するトランジスタに置き換えたものであってもよい。また、第 3 スイッチング素子又は第 4 スイッチング素子のいずれか一方を、マルチゲート構造を有するトランジスタに置き換えたものであってもよい。かかる駆動回路においても、リーク電流の低減が実現されるという効果を奏する。

30

【 0 0 6 7 】

図 9 は、当該実施形態に係る他の実施例の駆動回路の回路図である。図 9 に示す駆動回路は、図 6 に示す第 3 の実施形態に係る駆動回路の第 3 スイッチング素子及び第 4 スイッチング素子を、マルチゲート構造を有するトランジスタに置き換えたものである。また、図示はしないが、図 5 に示す第 2 の実施形態に係る駆動回路や、第 3 の実施形態に係る駆動回路であって駆動トランジスタに p 型トランジスタを用いる駆動回路についても、同様である。

【 0 0 6 8 】

[第 5 の実施形態]

本発明の第 5 の実施形態に係る表示装置は、発光素子の駆動回路の構成が異なる以外は、第 4 の実施形態に係る表示装置と同じ構造をしている。

40

【 0 0 6 9 】

図 10 は、当該実施形態に係る駆動回路の回路図である。図 8 に示す第 4 の実施形態に係る駆動回路は、第 4 スイッチング素子として、直列に接続されるトランジスタ N T 2 A 及びトランジスタ N T 2 B を有している。トランジスタ N T 2 A のゲート及びトランジスタ N T 2 B のゲートはともに、第 2 制御線 2 に接続されている。これに対して、当該実施形態に係る駆動回路では、2 個のトランジスタのうち、トランジスタ N T 2 A のゲートが第 1 制御線 1 に接続されている。それ以外については、当該実施形態に係る駆動回路は、図 8 に示す第 4 の実施形態に係る駆動回路と同じである。

【 0 0 7 0 】

50

当該実施形態に係る駆動回路の駆動方法は、図４や図７に示す駆動方法と同様であり、第１制御線１は、時刻 t_2 ～時刻 t_4 の期間にハイ電圧 V_H となり、それ以外の期間ではロー電圧 V_L となっており、第２制御線２は、時刻 t_3 ～時刻 t_4 の期間にハイ電圧 V_H となり、それ以外の期間ではロー電圧 V_L となっている。第４スイッチング素子がオン状態となるのは、直列に接続されているトランジスタ $NT2A$ 及びトランジスタ $NT2B$ の両方がオン状態となっているときであり、時刻 t_3 ～時刻 t_4 の期間である。また、それ以外の期間では、第４スイッチング素子はオフ状態となっている。

【００７１】

当該実施形態に係る駆動回路においても、第４の実施形態に係る駆動回路と同様に、リーク電流の低減が実現されるという効果を奏する。さらに、当該実施形態に係る駆動回路では、設計の自由度が増加しており、高精細画素レイアウト時に有用となる配置を可能にするという格別の効果を奏する。図１０に示す駆動回路は、図８に示す第４の実施形態に係る駆動回路のトランジスタ $NT2A$ のゲートの接続先を第２制御線２から第１制御線１に変更したものであるが、これに限定されることはない。

【００７２】

図１１は、当該実施形態に係る他の実施例の駆動回路の回路図である。図１１に示す駆動回路は、図９に示す第４の実施形態に係る駆動回路のトランジスタ $NT2A$ のゲートの接続先を第１制御線１に変更したものであり、高精細画素レイアウト時に有用となる配置を可能にするという格別の効果を奏している。また、図示しないが、駆動トランジスタに p 型トランジスタを用いる駆動回路についても、同様である。

【００７３】

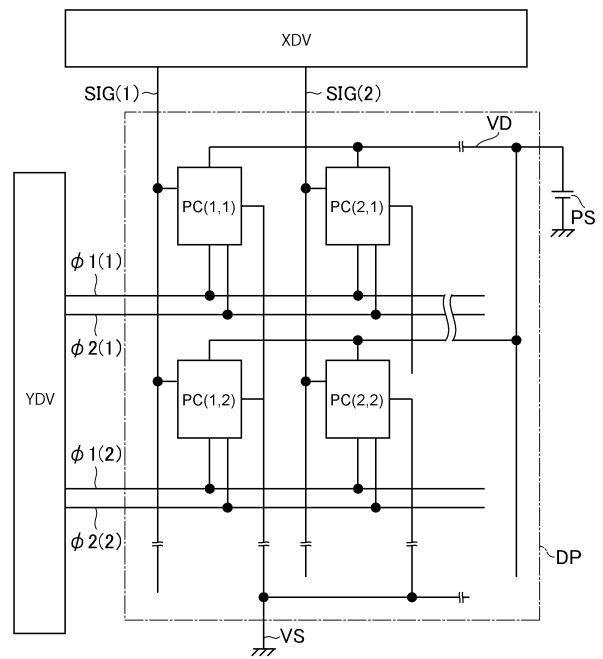
以上、本発明の実施形態に係る駆動回路、表示装置、及び、駆動方法について、説明した。ＣＭＯＳ回路を採用することにより、駆動回路に備えられるトランジスタは p 型ＭＯＳ－ＴＦＴ又は n 型ＭＯＳ－ＴＦＴとしているが、これに限定されることはなく、他のトランジスタであってもよいし、他のスイッチング素子であってもよい。なお、実施形態において、有機ＥＬ素子ＯＬＥＤを発光素子の例として説明したが、これに限定されることはなく、本発明に係る駆動回路は、流れる電流の量によって発光量が制御される発光素子の駆動回路に、広く適用することが出来る。本発明に係る駆動回路を表示装置が備えることにより、高精細化に対応する表示装置の小型化が実現する。しかし、本発明に係る駆動回路は、表示装置に限定されることなく、他の装置にも適用することが出来る。

【符号の説明】

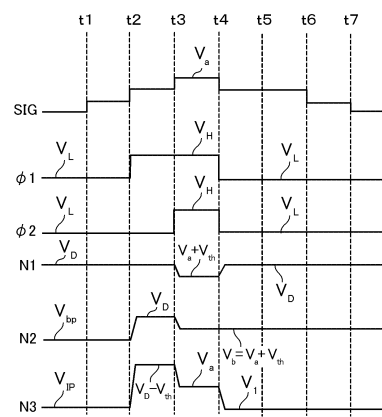
【００７４】

１００ 有機ＥＬ表示装置、１０１ 上フレーム、１０２ 下フレーム、１０３ フレキシブル基板、１０４ 回路基板、１０５ ＴＦＴ基板、Ｃ１，Ｃ２ 容量、ＤＰ 表示領域、Ｎ１，Ｎ２，Ｎ３ ノード、 $NT1$ ， $NT1A$ ， $NT1B$ ， $NT2$ ， $NT2A$ ， $NT2B$ ， NTD トランジスタ、ＯＬＥＤ 有機ＥＬ素子、ＰＣ 画素回路、ＰＳ 電圧源、 $PT1$ ， $PT2$ ， PTD トランジスタ、ＳＩＧ 信号線、 VD 第１基準電圧、 VS 第２基準電圧、 XDV 信号線駆動回路、 YDV 走査線駆動回路、１ 第１制御線、２ 第２制御線。

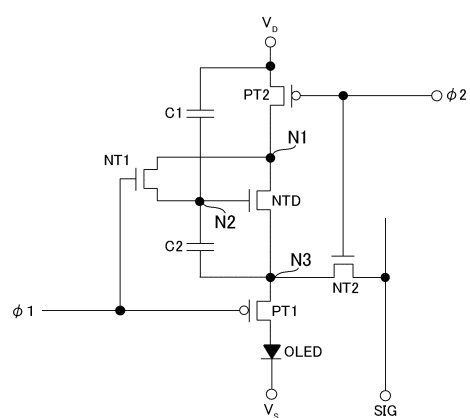
【 図 2 】



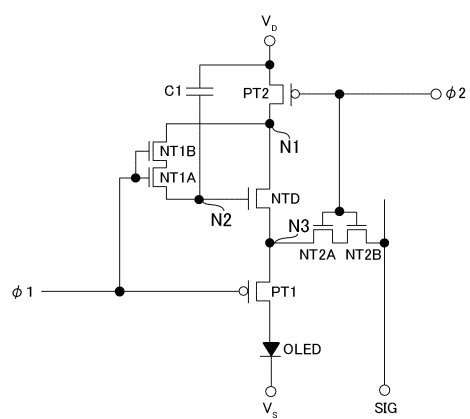
【圖 4】

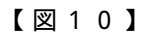


【 図 6 】



【 図 8 】





フロントページの続き

(56)参考文献 特開2009-265328(JP,A)
特開2012-47894(JP,A)
特開2006-11428(JP,A)
特開2005-62794(JP,A)
特開2013-164573(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00 - 3/38

H01L 51/50