



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H03H 7/38 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년06월21일 10-0730672 2007년06월14일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2006-0079679 2006년08월23일 2006년08월23일	(65) 공개번호 (43) 공개일자	10-2007-0026027 2007년03월08일
----------------------------------	---	------------------------	--------------------------------

(30) 우선권주장 JP-P-2005-00252596 2005년08월31일 일본(JP)

(73) 특허권자 후지쯔 가부시끼가이샤  
일본국 가나가와켄 가와사끼시 나카하라꾸 가미코다나카 4초메 1-1

(72) 발명자 미 시아오유  
일본 가나가와켄 가와사끼시 나카하라꾸 가미코다나카 4초메 1-1후지  
쯔 가부시끼가이샤 내

미즈노 요시히로  
일본 가나가와켄 가와사끼시 나카하라꾸 가미코다나카 4초메 1-1후지  
쯔 가부시끼가이샤 내

마쯔모토 쓰요시  
일본 가나가와켄 가와사끼시 나카하라꾸 가미코다나카 4초메 1-1후지  
쯔 가부시끼가이샤 내

오쿠다 히사오  
일본 가나가와켄 가와사끼시 나카하라꾸 가미코다나카 4초메 1-1후지  
쯔 가부시끼가이샤 내

우에다 사토시  
일본 가나가와켄 가와사끼시 나카하라꾸 가미코다나카 4초메 1-1후지  
쯔 가부시끼가이샤 내

(74) 대리인 구영창  
이중희  
장수길

(56) 선행기술조사문헌 JP06334137 A KR1020010026587 A KR101998044524 A	KR1019990006532 A KR1020030040690 A KR1020030013191 A
--	---

심사관 : 장석환

전체 청구항 수 : 총 10 항

## (54) 집적형 전자 부품 및 집적형 전자 부품 제조 방법

### (57) 요약

높은 Q값 및 양호한 고주파 특성을 실현하는 데에 적합한 집적형 전자 부품을 제공한다. 본 발명의 집적형 전자 부품(X)은, 기관(S)과, 복수의 수동 부품과, 외부 접속용의 복수의 패드부(40A, 40C)와, 입체 배선(30)을 구비한다. 복수의 수동 부품은, 기관(S) 상에 형성된 다단 코일 인덕터(10A)를 포함하고, 해당 다단 코일 인덕터(10A)는, 다단 배치된 복수의 코일(11, 12)을 갖고, 또한, 인접하는 코일 도선이 공극을 개재하여 이격한다. 입체 배선(30)은, 기관(S)에 접하여 연장되는 제1 배선부(31)와, 기관(S)으로부터 이격하여 해당 기관(S)을 따라 연장되는 제2 배선부(32)와, 이들 제1 배선부(31) 및 제2 배선부(32)에 접속하는 제3 배선부(33)를 포함한다.

### 대표도

도 3

### 특허청구의 범위

#### 청구항 1.

기관과,

복수의 수동 부품과,

외부 접속용의 복수의 패드부와,

입체 배선

을 구비하고,

상기 복수의 수동 부품은, 상기 기관 상에 형성된 다단 코일 인덕터를 포함하고, 해당 다단 코일 인덕터는, 다단 배치된 복수의 코일을 갖고, 또한, 인접하는 코일 도선이 공극을 개재하여 이격하고,

상기 입체 배선은, 상기 기관에 접하여 연장되는 제1 배선부와, 상기 기관으로부터 이격하여 해당 기관을 따라 연장되는 제2 배선부와, 해당 제1 및 제2 배선부에 접속하는 제3 배선부를 포함하는 집적형 전자 부품.

#### 청구항 2.

제1항에 있어서,

상기 다단 코일 인덕터는, 공극을 개재하여 서로 이격하는 복수의 스파이럴 코일을 갖는 집적형 전자 부품.

#### 청구항 3.

제1항 또는 제2항에 있어서,

상기 복수의 수동 부품은, 캐패시터 및/또는 저항을 포함하는 집적형 전자 부품.

#### 청구항 4.

제3항에 있어서,

상기 캐패시터는, 서로 대향하는 제1 전극 및 제2 전극을 갖고, 상기 제1 전극은, 상기 기판 상에 형성되고, 상기 제2 전극은, 상기 기판으로부터 이격하여 상기 기판을 따라 형성되어 있는 집적형 전자 부품.

#### 청구항 5.

제1항 또는 제2항에 있어서,

상기 다단 코일 인덕터에서의, 상기 기판에 가장 가까운 코일은, 상기 기판으로부터 이격하고 있는 집적형 전자 부품.

#### 청구항 6.

제1항 또는 제2항에 있어서,

상기 다단 코일 인덕터에서의, 상기 기판에 가장 가까운 코일은, 상기 기판 상에 패턴 형성되어 있는 집적형 전자 부품.

#### 청구항 7.

제1항 또는 제2항에 있어서,

상기 복수의 수동 부품 및 상기 입체 배선을 상기 기판 상에서 밀봉하기 위한 밀봉 수지를 더 구비하는 집적형 전자 부품.

#### 청구항 8.

제7항에 있어서,

상기 밀봉 수지는, 상기 다단 코일 인덕터에서의 인접하는 코일 도선 사이에 들어가는 부위를 갖는 집적형 전자 부품.

#### 청구항 9.

제1항 또는 제2항에 있어서,

상기 기판은 오목부를 갖고, 상기 다단 코일 인덕터는 해당 오목부에 형성되어 있는 집적형 전자 부품.

#### 청구항 10.

전기 도금법에 의해 하위 도체부를 형성하는 공정과,

상기 하위 도체부의 상위에 상위 도체부를 형성하기 위한, 개구부를 갖는 제1 레지스트 패턴을, 상기 하위 도체부의 일부가 상기 개구부에서 노출되도록, 형성하는 공정과,

상기 제1 레지스트 패턴의 표면, 및, 상기 하위 도체부에서 상기 개구부에서 노출되는 표면에 걸쳐, 시드층을 형성하는 공정과,

개구부를 갖는 제2 레지스트 패턴을 제1 레지스트 패턴의 상위에 형성하는 공정과,

전기 도금법에 의해, 상기 제2 레지스트 패턴의 상기 개구부에서 상위 도체부를 형성하는 공정과,

상기 제2 레지스트 패턴을 제거하는 공정과,

상기 시드층을 제거하는 공정과,

상기 제1 레지스트 패턴을 제거하는 공정

을 포함하는 집적형 전자 부품 제조 방법.

## 명세서

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 인덕터를 포함하는 복수의 수동 부품이 집적화된 집적형 전자 부품 및 그 제조 방법에 관한 것이다.

휴대 단말기 등이 구비하는 RF(radio frequency) 시스템 내지 RF 회로에서는, 일반적으로, 고성능화, 소형화, 경량화 등을 도모하기 위해, 고주파 모듈용 디바이스로서 IPD(integrated passive device)가 채용된다. IPD는, 필요한 소정의 수동 부품(인덕터, 캐패시터, 저항, 필터 등)이 집적화된 것이며, 수동 부품으로서 인덕터를 포함하는 경우가 많다. 인덕터는, 예를 들면 캐패시터와 비교하여 Q값이 낮은 경향에 있어, IPD가 인덕터를 포함하는 경우, 해당 IPD 전체의 Q값도 낮아지기 쉽다. 그 때문에, 인덕터를 포함하는 종래의 IPD에 대해서는, 고Q값화への 요망이 있다. 한편, RF 시스템의 이용 주파수 대역의 고주파수화에 수반하여, IPD에 대해서는, 해당 고주파수화への 대응도 요구되고 있다. 이와 같은 IPD에 관한 기술에 대해서는, 예를 들면 상기의 특허 문헌1, 2 및 비특허 문헌1, 2에 기재되어 있다.

예를 들면 비특허 문헌1에 기재되어 있는 바와 같이, LTCC(low-temperature co-fired ceramic) 기술을 이용하여 제조되는 IPD가 알려져 있다. LTCC 기술을 이용하여 제조되는 IPD에서는, 다층 세라믹 기판 내에 복수의 수동 부품이 내장되어 집적화된다. 인덕터에 대해서는, 그 인덕턴스의 증대를 목적으로 하여, 다층 세라믹 기판의 복수층에 걸쳐 복수의 코일이 다단 배치된 형태로 형성되는 경우가 있다. 인덕터의 인덕턴스가 높을수록, 해당 인덕터의 Q값은 높은 경향에 있으며, 따라서, 해당 인덕터를 포함하는 IPD 전체의 Q값의 향상의 관점에서 바람직하다.

#### 발명이 이루고자 하는 기술적 과제

그러나, LTCC 기술을 이용하여 제조되는 IPD에서의 인덕터의 각 코일은, 세라믹에 포위되어 있고 또한 세라믹의 유전율은 비교적 크므로, 해당 인덕터에 대해서는, 유의한 기생 용량이 발생하게 된다. 인덕터의 기생 용량이 클수록, 해당 인덕터의 Q값의 향상의 관점에서는 바람직하지 않은 것이 알려져 있다. 그 때문에, LTCC 기술을 이용하여 제조되는 IPD에서는, 그것에 내장되는 인덕터에 대해, 충분히 Q값을 향상시킬 수 없는 경우가 있다.

또한, 일반적으로 Q값은 주파수 의존성을 나타내는 데, 인덕터의 기생 용량이 클수록, 해당 인덕터의 자기 공진 주파수나, 해당 인덕터의 Q값이 피크를 나타내는 주파수는, 저주파측으로 시프트하게 되는 경향에 있으며, IPD 자체의 고주파 특성을 저해하는 경향에 있다. 그 때문에, LTCC 기술을 이용하여 제조되는 IPD에서는, 그것에 내장되는 인덕터에 대해 충분히 Q값을 향상시킬 수 없는 것에 기인하여, 목적으로 하는 고주파수 영역에 사용 주파수 대역을 설정할 수 없는 경우, 즉, 양호한 고주파 특성을 실현할 수 없는 경우가 있다.

본 발명은, 이상과 같은 사정 하에서 생각해 낸 것으로, 높은 Q값 및 양호한 고주파 특성을 실현하는 데에 적합한 IPD(집적형 전자 부품) 및 그 제조 방법을 제공하는 것을 목적으로 한다.

## 발명의 구성

본 발명의 제1 측면에 따르면 집적형 전자 부품이 제공된다. 이 집적형 전자 부품은, 기판과, 복수의 수동 부품과, 외부 접속용의 복수의 패드부와, 입체 배선을 구비한다. 복수의 수동 부품은, 기판 상에 형성된 다단 코일 인덕터를 포함한다. 해당 다단 코일 인덕터는, 다단 배치된 복수의 코일을 갖고, 또한, 인접하는 코일 도선이 공극을 개재하여 이격한다. 입체 배선은, 기판에 접하여 연장되는 제1 배선부와, 기판으로부터 이격하여 해당 기판을 따라 연장되는 제2 배선부와, 해당 제1 및 제2 배선부에 접속하는 제3 배선부를 포함한다. 제1 배선부 및/또는 제2 배선부가 복수 존재하는 경우에는, 1조의 제1 및 제2 배선부는, 제3 배선부를 개재하여 전기적으로 접속하고 있는 경우도 있고, 제3 배선부를 개재하지 않고 직접적으로 접속하고 있는 경우도 있다.

이와 같은 구성의 집적형 전자 부품에서 기판 상에 형성된 다단 코일 인덕터에 대해서는, 도 1에 도시하는 바와 같은 집중상수 등가 회로로 나타낼 수 있고, 또한, 하기의 수학적 식 1로 Q값을 표현할 수 있다. 도 1 및 수학적 식 1에서, L은 인덕터의 인덕턴스이고,  $R_i$ 는 인덕터의 저항이며,  $R_s$ 는 기판의 저항이며, C는 인덕터의 기생 용량이며,  $\omega$ 는 각 진동수로서  $2\pi f$ (f는 주파수)와 동일하다. 수학적 식 1은 3개의 인자의 곱으로 표현되어 있는 데, 2번째의 인자는 기판 손실 인자(substrate loss factor)로 불리는 것이며, 3번째의 인자는 자기 공진 인자(self-resonance factor)로 불리는 것이다.

### 수학적 식 1

$$Q = \frac{\omega L}{R_i} \cdot \frac{R_s}{R_s + [(\omega L / R_i + 1) R_i]} \cdot \left[ 1 - \frac{R_i^2 C}{L} - \omega^2 LC \right]$$

본 집적형 전자 부품의 다단 코일 인덕터에서는, 교류 전류 통전 시에 코일끼리의 상호 전자 유도에 의해 각 코일에서 상호 인덕턴스가 발생하므로, 인덕터 전체에 대해 큰 인덕턴스 L을 얻기 쉽다. 그 때문에, 본 집적형 전자 부품의 다단 코일 인덕터에서는, 인덕터를 구성하는 도선에 대해, 소정의 인덕턴스 L을 실현하는 데에 필요한 전체 길이는 짧은 경향에 있다(혹은, 소정 전체 길이의 도선으로 실현할 수 있는 인덕턴스 L은 큰 경향에 있음). 한편, 다단 코일 인덕터를 구성하는 도선의 전체 길이가 짧을수록, 해당 다단 코일 인덕터의 저항  $R_i$ 는 작은 경향에 있다. 따라서, 본 집적형 전자 부품의 다단 코일 인덕터는, 작은 저항  $R_i$ 로 소정의 인덕턴스 L을 실현하는 데에 적합하다. 작은 저항  $R_i$ 로 소정의 인덕턴스 L을 실현하는 것은, 수학적 식 1의 특히 1번째의 인자에 주목하면 이해할 수 있는 바와 같이, Q값의 증대에 이바지한다.

또한, 본 집적형 전자 부품의 다단 코일 인덕터에서는, 인접하는 코일 도선에 같은 방향의 교류 전류를 흘림으로써, 해당 인접하는 코일 도선간에 형성되는 자장 강도를 억제하여, 이들 코일 도선에서의 고주파 전류의 표피 효과를 완화시킬 수 있고, 따라서, 해당 코일 도선의 저항  $R_i$ (고주파 저항)를 저감하는 것이 가능하다. 수학적 식 1로부터 이해할 수 있는 바와 같이, 저항  $R_i$ 의 저감은 Q값의 증대에 이바지한다.

또한, 본 집적형 전자 부품의 다단 코일 인덕터에서는, 코일 도선은, 유의한 두께의 세라믹(큰 유전율을 가짐) 등에 포위되어 있지 않고, 특히, 인접하는 코일 도선간에는 세라믹 등은 개재하지 않고, 따라서, 해당 다단 코일 인덕터는 기생 용량 C를 억제하는 데에 적합하다. 수학적 식 1로부터 이해할 수 있는 바와 같이, 기생 용량 C의 억제는 Q값의 증대에 이바지한다.

이와 같이 본 집적형 전자 부품의 다단 코일 인덕터는, 높은 Q값을 실현하는 데에 적합하다. 따라서, 이와 같은 다단 코일 인덕터를 구비하는 본 집적형 전자 부품은, 높은 Q값을 실현하는 데에 적합하다.

또한, 본 집적형 전자 부품은, 양호한 고주파 특성을 실현하는 데에도 적합하다. 일반적으로, 인덕터의 기생 용량이 작을수록, 해당 인덕터의 자기 공진 주파수나 해당 인덕터의 Q값이 피크를 나타내는 주파수는 고주파측으로 시프트하여, 해당 인덕터에 대해 양호한 고주파 특성을 쉽게 얻을 수 있다. 그 때문에, 상술한 바와 같이 기생 용량 C를 억제하는 데에 적합한 다단 코일 인덕터는, 양호한 고주파 특성을 실현하는 데에 적합하다. 따라서, 이와 같은 다단 코일 인덕터를 구비하는 본 집적형 전자 부품은, 양호한 고주파 특성을 실현하는 데에 적합하다.

또한, 본 집적형 전자 부품은, 수동 부품과 수동 부품 사이나, 수동 부품과 패드부 사이를, 전기적으로 접속하기 위한 배선에서의 손실을 억제하는 데에 적합하다. 본 집적형 전자 부품은, 기판에 접하여 연장되는 제1 배선부와, 기판으로부터 이

격하여 해당 기판을 따라 연장되는 제2 배선부와, 해당 제1 및 제2 배선부에 접속하는 제3 배선부를 포함하는 입체 배선을 구비하는 데, 해당 입체 배선은, 이들 3종류의 배선부(제1~제3 배선부)의 적절한 조합에 의해, 수동 부품과 수동 부품 사이나, 수동 부품과 패드부 사이를, 자유도 높게 접속하는 것이 가능하다. 즉, 본 집적형 전자 부품에서는, 기판 상의 각 컴포넌트(수동 부품, 패드부)간의 배선 설계에서의 자유도가 높은 것이다. 배선 설계의 자유도가 높은 것은, 각 컴포넌트간의 배선 길이의 최단화를 실현하는 데에 적합하며, 배선끼리의 교차 및 배선과 코일 도선의 교차를 회피하는 데에 적합하다. 각 컴포넌트간의 배선 길이의 최단화는, 배선의 고주파 저항을 억제하는데 이바지한다. 또한, 배선끼리의 교차 및 배선과 코일 도선의 교차의 회피는, 해당 교차 구조에 기인하여 전자장 상호 유도에 의해 배선이나 코일 도선에 와전류가 발생하는 것을 억제하는 데에 이바지한다. 이들 고주파 저항의 억제 및 와전류의 억제는, 각 컴포넌트간을 접속하기 위한 배선에서의 손실을 억제하는 데에 적합하다. 그리고, 배선 손실의 억제는, 본 집적형 전자 부품 전체에서 높은 Q값을 실현하는 데에 적합한 것이다.

이상과 같이, 본 발명의 제1 측면에 따른 본 집적형 전자 부품은, 높은 Q값 및 양호한 고주파 특성을 실현하는 데에 적합하다.

바람직한 실시예에서는, 다단 코일 인덕터는, 공극을 개재하여 서로 이격하는 복수의 스파이럴 코일을 갖는다. 이와 같은 다단 코일 인덕터는, 다단 배치되는 코일의 수를 증대하는 것 외에, 각 스파이럴 코일로 동일 평면 내에서의 코일 권수를 증대함으로써, 인덕터 전체의 코일 권수를 증대하는 것이 가능하며, 따라서, 효율적으로 인덕턴스 L을 증대할 수 있다. 인덕턴스 L의 증대는 Q값의 증대에 이바지한다.

다른 바람직한 실시예에서는, 다단 코일 인덕터는 솔레노이드 코일 또는 토로이달 코일이다. 본 발명에서는, 이와 같은 형태의 인덕터를 채용해도 된다.

바람직하게는, 기판은, 반도체 기판, 절연막이 표면에 형성된 반도체 기판, 석영 기판, 글래스 기판, 압전 기판, 세라믹 기판, SOI(silicon on insulator) 기판, SOQ(silicon on quartz) 기판, 또는 SOG(silicon on glass) 기판이다. 압전 기판을 구성하는 압전 재료로서는, 예를 들면  $\text{LiTaO}_3$ ,  $\text{LiNbO}_3$ ,  $\text{AlN}$ ,  $\text{ZnO}$ , 및 압전 세라믹을 들 수 있다.

본 집적형 전자 부품에서의 복수의 수동 부품에는, 캐패시터 및/또는 저항이 포함되어도 된다. 본 집적형 전자 부품은, 목적으로 하는 기능에 따라, 다단 코일 인덕터 외에 캐패시터나 저항을 수동 부품으로서 포함하여 설계된다.

바람직하게는, 캐패시터는, 서로 대향하는 제1 전극 및 제2 전극을 갖고, 제1 전극은, 기판 상에 형성되고, 제2 전극은, 기판으로부터 이격하여 기판을 따라 형성되어 있다.

바람직하게는, 다단 코일 인덕터에서의, 기판에 가장 가까운 코일은, 기판으로부터 이격하고 있다. 이와 같은 구성은, 다단 코일 인덕터에 통전하는 것에 기인하여 기판에 생기는 유도 전류를 억제하는 데에 적합하다. 유도 전류 억제 효과는, 기판이 만약 도체 기판으로 이루어지는 경우에 특히 현저하다. 다단 코일 인덕터에서 기판에 가장 가까운 코일이 기판으로부터 이격하고 있는 경우에는, 해당 인덕터의 기계적 안정성 확보의 관점에서, 기판 상에 입각하여 해당 인덕터에 접합하는 지주를 형성해도 된다.

바람직하게는, 다단 코일 인덕터에서의, 기판에 가장 가까운 코일은, 기판 상에 패딩 형성되어 있다. 이와 같은 구성은, 입체적인 구조를 갖는 다단 코일 인덕터의 기판 상에서의 기계적 안정성의 관점에서, 바람직하다.

바람직하게는, 복수의 수동 부품은, LCR 필터, SAW 필터, FBAR 필터, 및 기계 공진을 이용한 필터로 이루어지는 군으로부터 선택되는 필터를 포함한다. 기계 공진을 이용한 필터로서는, 예를 들면, 마이크로 메커니컬 디스크 레조네이터, 마이크로 메커니컬 링 레조네이터, 및 마이크로 메커니컬 빔 레조네이터를 들 수 있다.

바람직하게는, 복수의 수동 부품 및 입체 배선을 기판 상에서 밀봉하기 위한 밀봉 수지를 더 구비한다. 이 경우, 밀봉 수지는, 다단 코일 인덕터에서의 인접하는 코일 도선 사이에 들어가는 부위를 갖고 있어도 되지만, 인접하는 코일 도선 사이를 완전하게는 폐색하지 않는다. 밀봉 수지를 구비하는 구성은, 본 집적형 전자 부품에서 높은 신뢰성을 확보하는 데에 적합하다.

바람직하게는, 다단 코일 인덕터 및/또는 입체 배선은, 내식성막 및 자성체막으로부터 선택되는 막 또는 해당 막을 포함하는 다층막에 의해 피복되어 있는 부위를 갖는다. 내식성막에 의한 피복은, 다단 코일 인덕터의 코일 도선이나, 입체 배선의 각 배선부의, 내식성 향상의 관점에서 적합하다. 내식성막의 구성 재료로서는, 예를 들면 Au, Rh, Ru 등의 금속 재료나, 소

정의 유전체 재료를 들 수 있다. 유전체 재료로서는, 예를 들면, BCB(Benzocyclobutenes), PBO(Polybenzoxazoles), 폴리이미드 등의 수지 재료나, 산화 실리콘, 질화 실리콘, 산화 알루미늄 등을 들 수 있다. 한편, 자성체막에 의한 피복은, 특히 코일 도선 주위의 발생 자장을 증대하는 데에 적합하다. 코일 도선 주위의 발생 자장의 증대는, 다단 코일 인덕터의 인덕턴스 L을 증대하는 데에 적합하다. 또한, 자성체막은, 해당 자성체막 내에서 와전류가 발생하는 것을 억제하는 관점에서, 고저항 재료로 이루어지는 것이 바람직하다. 이와 같은 자성체막의 구성 재료로서는, 예를 들면, Fe-Al-O계 합금, CoFeB-SiO<sub>2</sub>계 고저항 자성체 등을 들 수 있다.

바람직하게는, 다단 코일 인덕터의 코일 도선, 및/또는, 입체 배선의 제1~제3 도선부는, Cu, Au, Ag, 또는 Al로 이루어진다. 다단 코일 인덕터의 코일 도체나 입체 배선의 제1~제3 배선부는, 이들 저저항 도체 재료로 이루어지는 것이 바람직하다.

바람직하게는, 기판은 오목부를 갖고, 다단 코일 인덕터는 해당 오목부에 형성되어 있다. 이와 같은 구성은, 집적형 전자 부품을 소형화하는 데에 적합하다.

본 발명의 제2 측면에 따르면 집적형 전자 부품 제조 방법이 제공된다. 이 방법은, 전기 도금법에 의해 하위 도체부를 형성하는 공정과, 하위 도체부의 상위에 상위 도체부를 형성하기 위한, 개구부를 갖는 제1 레지스트 패턴을, 하위 도체부의 일부가 개구부에서 노출되도록, 형성하는 공정과, 제1 레지스트 패턴의 표면, 및, 하위 도체부에서 개구부에서 노출되는 표면에 걸쳐, 시드층을 형성하는 공정과, 개구부를 갖는 제2 레지스트 패턴을 제1 레지스트 패턴의 상위에 형성하는 공정과, 전기 도금법에 의해, 제2 레지스트 패턴의 개구부에서 상위 도체부를 형성하는 공정과, 제2 레지스트 패턴을 제거하는 공정과, 시드층을 제거하는 공정과, 제1 레지스트 패턴을 제거하는 공정을 포함한다. 이와 같은 방법은, 제1 측면에 따른 집적형 전자 부품을 제조하는 데에 적합하다.

#### <실시예>

도 2 내지 도 5는, 본 발명에 따른 집적형 전자 부품(X)을 도시한다. 도 2는, 집적형 전자 부품(X)의 평면도이다. 도 3 내지 도 5는, 각각, 도 2의 선 III-III, 선 IV-IV, 및 선 V-V를 따라 취한 단면도이다.

집적형 전자 부품(X)은, 기판(S)과, 다단 코일 인덕터(10A, 10B)와, 캐패시터(20)와, 입체 배선(30)과, 패드부(40A, 40B, 40C, 40D)를 구비하고, 도 6에 도시하는 회로 구성을 갖는다.

기판(S)은, 반도체 기판, 절연막이 표면에 형성된 반도체 기판, 석영 기판, 글래스 기판, 압전 기판, 세라믹 기판, SOI(silicon on insulator) 기판, SOQ(silicon on quartz) 기판, 또는 SOG(silicon on glass) 기판이다. 반도체 기판은, 예를 들면, 단결정 실리콘 등의 실리콘 재료로 이루어진다. 압전 기판을 구성하는 압전 재료로서는, 예를 들면 LiTaO<sub>3</sub>, LiNbO<sub>3</sub>, AlN, ZnO, 및 압전 세라믹을 들 수 있다.

다단 코일 인덕터(10A, 10B)는, 각각, 본 발명에서의 수동 부품에 상당하고, 예를 들면 도 3 및 도 4에 도시되어 있는 바와 같이, 2단으로 배치된 스파이럴 코일(11, 12)과, 이들을 직렬로 접속하는 연락부(13)로 이루어진다. 도 2에서는, 다단 코일 인덕터(10A, 10B)를 흑 베타 와권 등으로 모식적으로 도시한다. 도 7은, 다단 코일 인덕터(10A)의 분해 평면도이고, 도 8은, 다단 코일 인덕터(10B)의 분해 평면도이다. 다단 코일 인덕터(10A, 10B)의 각각에서, 스파이럴 코일(11, 12)은, 각각을 흐르는 전류의 방향이 동일 방향으로 되는 권 형상을 갖는다. 다단 코일 인덕터(10A, 10B)의 각각에서는, 인접하는 코일 도선은 공극을 개재하여 이격하고 있다. 스파이럴 코일(11, 12)의 두께는 바람직하게는 3 $\mu$ m 이상이다. 또한, 본 실시예에서는, 스파이럴 코일(11)은, 스파이럴 코일(12)보다 기판(S)에 가깝고, 기판(S)으로부터 이격하고 있다. 스파이럴 코일(11) 및 기판(S)의 이격 거리는, 예를 들면 1~100 $\mu$ m이다. 이와 같은 다단 코일 인덕터(10A, 10B)는, 예를 들면 Cu, Au, Ag, 또는 Al로 이루어진다.

집적형 전자 부품(X)에서 기판(S) 상에 형성된 다단 코일 인덕터(10A, 10B)에 대해서는, 도 1에 도시하는 바와 같은 집중상수 등가 회로로 나타낼 수 있고, 또한, 상기의 수학식 1로 Q값을 표현할 수 있다. 상술한 바와 같이, 도 1 및 수학식 1에서는, L은 인덕터의 인덕턴스이고, R<sub>i</sub>는 인덕터의 저항이며, R<sub>s</sub>는 기판의 저항이며, C는 인덕터의 기생 용량이며,  $\omega$ 는 각진동수로서 2 $\pi$ f(f는 주파수)와 동일하다.

캐패시터(20)는, 본 발명에서의 수동 부품에 상당하고, 도 5에 도시하는 바와 같이, 제1 전극(21)과, 제2 전극(22)과, 이들 사이의 유전체층(23)으로 이루어지는 적층 구조를 갖는다. 제1 전극(21)은, 기판(S) 상에 형성되고, 제2 전극(22)은, 기판(S)으로부터 이격하여 기판(S)을 따라 형성되어 있다. 제2 전극(22)의 두께는 바람직하게는 3 $\mu$ m 이상이다. 또한, 제1 전극

(21)은, 예를 들면, 소정의 다층 구조를 갖고, 해당 다층 구조의 각 층에는, Cu, Au, Ag, 및 Al로부터 선택되는 금속이 포함된다. 제2 전극(22)은, 예를 들면 Cu, Au, Ag, 또는 Al로 이루어진다. 유전체층(23)은, 예를 들면 산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 탄탈, 또는 산화 티탄으로 이루어진다.

입체 배선(30)은, 본 발명에서 기판 상의 각 컴포넌트(수동 부품, 패드부)를 전기적으로 접속하기 위한 배선으로서, 기판(S)에 접하여 연장되는 부위를 갖는 제1 배선부(31)와, 기판(S)으로부터 이격하여 기판(S)을 따라 연장되는 제2 배선부(32)와, 이들 제1 배선부(31) 및 제2 배선부(32)에 접속하는 제3 배선부(33)로 이루어진다. 도면의 명확화의 관점에서, 도 2에서는, 입체 배선(30) 중 제1 배선부(31)만을 해칭하여 나타낸다. 입체 배선(30)은, 예를 들면 Cu, Au, Ag, 또는 Al로 이루어진다. 또한, 제1 배선부(31) 및 제2 배선부(32)의 두께는 바람직하게는  $3\mu\text{m}$  이상이다.

패드부(40A~40D)는, 외부 접속용의 전기 패드이다. 도 6으로부터 이해할 수 있는 바와 같이, 패드부(40A, 40B)는, 전기 신호 입출력용의 단자로서 기능하는 것이고, 패드부(40C, 40D)는, 그라운드 접속되어 있다. 패드부(40A~40D)는, 예를 들면, Ni 모체 및 그 상위 표면을 피복하는 Au막으로 이루어진다.

도 6에 도시하는 바와 같이, 다단 코일 인덕터(10A)는, 패드부(40A, 40C) 및 캐패시터(20)의 제1 전극(21)과 전기적으로 접속하고 있다. 구체적으로는, 도 3에 도시하는 바와 같이, 다단 코일 인덕터(10A)의 도면에서 하위의 스파이럴 코일(11)의 단부(11a)는, 제1 배선부(31)를 개재하여, 패드부(40A) 및 캐패시터(20)의 제1 전극(21)과 전기적으로 접속하고, 또한, 다단 코일 인덕터(10A)의 도면에서 상위의 스파이럴 코일(12)의 단부(12a)는, 제2 배선부(32), 제3 배선부(33), 및 제1 배선부(31)를 개재하여, 패드부(40C)와 전기적으로 접속하고 있다.

도 6에 도시하는 바와 같이, 다단 코일 인덕터(10B)는, 패드부(40B, 40D) 및 캐패시터(20)의 제2 전극(22)과 전기적으로 접속하고 있다. 구체적으로는, 도 4 및 도 5에 도시하는 바와 같이, 다단 코일 인덕터(10B)의 도면에서 상위의 스파이럴 코일(12)의 단부(12a)는, 제2 배선부(32), 제3 배선부(33), 및 제1 배선부(31)를 개재하여, 패드부(40B)와 전기적으로 접속하고, 또한 제2 배선부(32)를 개재하여 캐패시터(20)의 제2 전극(22)과 전기적으로 접속하고, 또한, 다단 코일 인덕터(10B)의 도면에서 하위의 스파이럴 코일(11)의 단부(11a)는, 제1 배선부(31)를 개재하여 패드부(40D)와 전기적으로 접속하고 있다.

이상과 같은 구성을 갖는 집적형 전자 부품(X)의 다단 코일 인덕터(10A, 10B)의 각각에서는, 교류 전류 통전 시에 스파이럴 코일(11, 12)끼리의 상호 전자 유도에 의해 각 스파이럴 코일(11, 12)에서 상호 인덕턴스가 발생하므로, 인덕터 전체에 대해 큰 인덕턴스 L을 얻기 쉽다. 그 때문에, 다단 코일 인덕터(10A, 10B)에서는, 인덕터를 구성하는 도선에 대해, 소정의 인덕턴스 L을 실현하는 데에 필요한 전체 길이는 짧은 경향에 있다. 한편, 다단 코일 인덕터(10A, 10B)의 각각을 구성하는 도선의 전체 길이가 짧을수록, 다단 코일 인덕터(10A, 10B)의 각 저항  $R_i$ 는 작은 경향에 있다. 따라서, 다단 코일 인덕터(10A, 10B)는, 작은 저항  $R_i$ 로 소정의 인덕턴스 L을 실현하는 데에 적합하다. 작은 저항  $R_i$ 로 소정의 인덕턴스 L을 실현하는 것은, 상기의 수학식 1의 특히 1번째의 인자에 주목하면 이해할 수 있는 바와 같이, Q값의 증대에 이바지한다.

또한, 집적형 전자 부품(X)의 다단 코일 인덕터(10A, 10B)의 각각에서는, 도 9에 도시하는 바와 같이, 스파이럴 코일(11, 12)에 대하여 같은 방향의 교류 전류를 흘림으로써, 해당 코일간에 형성되는 자장 강도를 억제할 수 있다(스파이럴 코일(11)을 흐르는 전류에 의해 스파이럴 코일(11) 주위에 형성되는 자장과, 스파이럴 코일(12)을 흐르는 전류에 의해 스파이럴 코일(12) 주위에 형성되는 자장이, 스파이럴 코일(11, 12)간에서 서로 상쇄하기 때문임). 이에 의해, 스파이럴 코일(11, 12)의 코일 도선에서의 고주파 전류의 표피 효과를 완화시킬 수 있고, 따라서, 해당 코일 도선의 저항  $R_i$ (고주파 저항)를 저감하는 것이 가능하다. 상기의 수학식 1로부터 이해할 수 있는 바와 같이, 저항  $R_i$ 의 저감은 Q값의 증대에 이바지한다.

또한, 집적형 전자 부품(X)의 다단 코일 인덕터(10A, 10B)의 각각에서는, 코일 도선은, 유의한 두께의 세라믹(큰 유전율을 가짐) 등에 포위되어 있지 않고, 특히, 인접하는 코일 도선간에는 세라믹 등은 개재하지 않고, 따라서, 다단 코일 인덕터(10A, 10B)의 각각은 기생 용량 C를 억제하는 데에 적합하다. 상기의 수학식 1로부터 이해할 수 있는 바와 같이, 기생 용량 C의 억제는 Q값의 증대에 이바지한다.

이와 같이 집적형 전자 부품(X)의 다단 코일 인덕터(10A, 10B)는, 높은 Q값을 실현하는 데에 적합하다. 따라서, 이와 같은 다단 코일 인덕터(10A, 10B)를 구비하는 집적형 전자 부품(X)은, 높은 Q값을 실현하는 데에 적합하다.

또한, 집적형 전자 부품(X)은, 양호한 고주파 특성을 실현하는 데에도 적합하다. 일반적으로, 인덕터의 기생 용량이 작을수록, 해당 인덕터의 자기 공진 주파수나 해당 인덕터의 Q값이 피크를 나타내는 주파수는 고주파측으로 시프트하여, 해당 인덕터에 대해 양호한 고주파 특성을 얻기 쉽다. 그 때문에, 상술한 바와 같이 기생 용량 C를 억제하는 데에 적합한 다단 코일 인덕터(10A, 10B)는, 양호한 고주파 특성을 실현하는 데에도 적합하다. 따라서, 이와 같은 다단 코일 인덕터(10A, 10B)를 구비하는 집적형 전자 부품(X)은, 양호한 고주파 특성을 실현하는 데에 적합하다.

또한, 집적형 전자 부품(X)은, 각 컴포넌트(수동 부품, 패드부) 사이를, 전기적으로 접속하기 위한 배선에서의 손실을 억제하는 데에 적합하다. 집적형 전자 부품(X)은, 기판(S)에 접하여 연장되는 부위를 갖는 제1 배선부(31)와, 기판(S)으로부터 이격하여 기판(S)을 따라 연장되는 제2 배선부(32)와, 이들 제1 배선부(31) 및 제2 배선부(32)에 접속하는 제3 배선부(33)를 포함하는 입체 배선(30)을 구비하는 데, 입체 배선(30)은, 이들 3종류의 배선부의 적절한 조합에 의해, 각 컴포넌트 사이를, 자유도 높게 접속하는 것이 가능하다. 즉, 집적형 전자 부품(X)에서는, 기판(S) 상의 각 컴포넌트간의 배선 설계에서의 자유도가 높은 것이다. 배선 설계의 자유도가 높은 것은, 각 컴포넌트간의 배선 길이의 최단화를 실현하는 데에 적합하며, 배선끼리의 교차 및 배선과 코일 도선의 교차를 회피하는 데에 적합하다. 각 컴포넌트간의 배선 길이의 최단화는, 배선의 고주파 저항을 억제하는 데에 이바지한다. 또한, 배선끼리의 교차 및 배선과 코일 도선의 교차의 회피는, 해당 교차 구조에 기인하여 전자장 상호 유도에 의해 배선이나 코일 도선에 와전류가 발생하게 되는 것을 억제하는 데에 이바지한다. 이들, 고주파 저항의 억제 및 와전류의 억제는, 각 컴포넌트간을 접속하기 위한 배선에서의 손실을 억제하는 데에 적합하다. 그리고, 배선 손실의 억제는, 집적형 전자 부품(X) 전체에서 높은 Q값을 실현하는 데에 적합한 것이다.

이상과 같이, 집적형 전자 부품(X)은, 높은 Q값 및 양호한 고주파 특성을 실현하는 데에 적합하다.

또한, 본 실시예에서의 다단 코일 인덕터(10A, 10B)는, 다단 배치되는 스파이럴 코일(11, 12)의 수를 증감하는 것 외에, 각 스파이럴 코일(11, 12)에서 동일 평면 내에서의 코일 권수를 증감함으로써, 인덕터 전체의 코일 권수를 증감하는 것이 가능하며, 따라서, 효율적으로 소요의 인덕턴스 L을 달성할 수 있다.

또한, 본 실시예에서는, 다단 코일 인덕터(10A, 10B)에서의, 기판에 가장 가까운 스파이럴 코일(11)은, 기판(S)으로부터 이격하고 있다. 이와 같은 구성은, 다단 코일 인덕터(10A, 10B)에 통전하는 것에 기인하여 기판(S)에 생기는 유도 전류를 억제하는 데에 적합하다.

도 10 내지 도 15는, 집적형 전자 부품(X)의 제조 방법을 도시한다. 이 방법은, 벌크 마이크로 머시닝 기술에 의해 집적형 전자 부품(X)을 제조하기 위한 하나의 방법이다. 도 10 내지 도 15에서는, 도 15의 (c)에 도시하는 다단 코일 인덕터(10), 캐패시터(20), 2개의 패드부(40), 및, 입체 배선(30)에서 이들에 접속하는 개소의 형성 과정을, 단면의 변화로 나타낸다. 해당 단면은, 가공이 실시되는 재료 기판에서의 단일의 집적형 전자 부품 형성 구획에 포함되는 복수의 소정 개소의 단면을, 모델화하여 연속 단면으로 한 것이다. 다단 코일 인덕터(10)는, 다단 코일 인덕터(10A, 10B)에 상당한다. 패드부(40)는, 패드부(40A~40D)에 상당한다.

집적형 전자 부품(X)의 제조에서는, 먼저, 도 10의 (a)에 도시하는 바와 같이, 캐패시터(20)의 제1 전극(21)을 기판(S) 상에 형성한다. 예를 들면, 스퍼터링법에 의해 소정의 금속 재료를 기판(S) 상에 성막한 후, 소정의 웨트 에칭 또는 드라이 에칭에 의해 해당 금속막을 패터닝함으로써, 제1 전극(21)을 형성할 수 있다.

다음으로, 도 10의 (b)에 도시하는 바와 같이, 캐패시터(20)의 유전체층(23)을 제1 전극(21) 상에 형성한다. 예를 들면, 스퍼터링법에 의해 소정의 유전체 재료를 적어도 제1 전극(21) 상에 성막한 후, 소정의 웨트 에칭 또는 드라이 에칭에 의해 해당 유전체막을 패터닝함으로써, 유전체층(23)을 형성할 수 있다.

다음으로, 도 10의 (c)에 도시하는 바와 같이, 제1 전극(21) 및 유전체층(23)을 피복하도록, 전기 도금용의 시드층(101)(굵은 선으로 나타냄)을 기판(S) 상에 형성한다. 시드층(101)은, 예를 들면, Ti막 및 그 위의 Au막으로 이루어지는 적층 구조, Cr막 및 그 위의 Au막으로 이루어지는 적층 구조, Ti막 및 그 위의 Cu막으로 이루어지는 적층 구조, 또는, Cr막 및 그 위의 Cu막으로 이루어지는 적층 구조를 갖는다. 시드층(101)의 형성 방법으로는, 예를 들면 증착법이나 스퍼터링법을 채용할 수 있다. 후술하는 시드층의 구성 및 형성 방법은, 이 시드층(101)과 마찬가지로이다.

다음으로, 도 10의 (d)에 도시하는 바와 같이, 1단계 두께 도체부 형성용의 레지스트 패턴(102)을 형성한다. 본 방법에서는, 1단계 두께 도체부란, 캐패시터(20)의 제2 전극(22) 및 입체 배선(30)의 제1 배선부(31)이다. 레지스트 패턴(102)은, 제2 전극(22) 및 제1 배선부(31)의 패턴 형상에 대응하는 개구부(102a)를 갖는다. 레지스트 패턴(102)의 형성에서는, 먼저, 기판(S) 상에, 제1 전극(21) 및 유전체층(23)의 상방으로부터, 액상의 포토레지스트를 스핀 코팅에 의해 성막한다. 다

음으로, 노광 처리 및 그 후의 현상 처리를 거쳐, 해당 포토레지스트막을 패터닝한다. 포토레지스트로서는, 예를 들면, AZP4210(AZ 일렉트로닉 머티리얼즈제)이나 AZ1500(AZ 일렉트로닉 머티리얼즈제)을 사용할 수 있다. 후술하는 레지스트 패턴에 대해서도, 이와 같은 포토레지스트의 성막 및 그 후의 노광 처리 및 현상 처리를 거쳐, 형성할 수 있다.

다음으로, 도 11의 (a)에 도시하는 바와 같이, 전기 도금법에 의해, 레지스트 패턴(102)의 개구부(102a)에서, 1단계 두께 도체부(제2 전극(22), 제1 배선부(31))를 형성한다. 해당 전기 도금 시에는, 시드층(101)이 통전된다.

다음으로, 도 11의 (b)에 도시하는 바와 같이, 예를 들면 박리액을 작용시킴으로써, 레지스트 패턴(102)을 제거한다. 박리액으로서, 예를 들면 AZ 리무버700(AZ 일렉트로닉 머티리얼즈제)을 사용할 수 있다. 후술하는 레지스트 패턴의 제거 방법에 대해서는, 레지스트 패턴(102)의 해당 제거 방법과 마찬가지로이다.

다음으로, 도 11의 (c)에 도시하는 바와 같이, 패드부 형성용의 레지스트 패턴(103)을 형성한다. 레지스트 패턴(103)은, 각 패드부(40)의 패턴 형상에 대응하는 개구부(103a)를 갖는다.

다음으로, 도 11의 (d)에 도시하는 바와 같이, 전기 도금법에 의해, 레지스트 패턴(103)의 개구부(103a)에서 패드부(40)를 형성한다. 해당 전기 도금 시에는, 시드층(101)이 통전된다. 패드부(40)는, Ni 모체 및 그 상위 표면을 피복하는 Au막으로 이루어지는 것이 바람직하다.

다음으로, 도 12의 (a)에 도시하는 바와 같이, 레지스트 패턴(103)을 제거하고, 그리고, 해당 제거 후에 시드층(101)에서 노출되어 있는 개소를 제거한다(시드층(101)에서 노출되어 있지 않은 개소에 대해서는, 도 12의 (a) 이후의 도면에서 생략함). 시드층(101)은, 예를 들면 이온 밀링법에 의해 제거할 수 있다. 후술하는 시드층의 제거 방법으로서도, 이온 밀링법을 채용할 수 있다.

다음으로, 도 12의 (b)에 도시하는 바와 같이 레지스트 패턴(104)을 형성한다. 레지스트 패턴(104)은, 1단계 두께 도체부의 상위에 2단계 두께 도체부를 형성하기 위한 희생층으로서 기능하는 것으로서, 1단계 두께 도체부의 패턴 형상에 대응하는 개구부(104a)를 갖는다. 본 방법에서는, 2단계 두께 도체부란, 다단 코일 인덕터(10)의 스파이럴 코일(11), 및, 입체 배선(30)의 제2 배선부(32) 및 제3 배선부(33)이다. 레지스트 패턴(104)은, 1단계 두께 도체부(제2 전극(22), 제1 배선부(31))의 일부가 개구부(104a)에서 노출되도록, 형성된다. 또한, 본 실시예에서는 레지스트 패턴에 의해 구성되는, 본 발명에서의 희생층의 구성 재료에 대해서는, 레지스트 재료 대신에, 패터닝 가능하고 또한 제거 가능한 다른 재료를 채용해도 된다(후술하는 희생층에 대해서도 마찬가지임).

다음으로, 도 12의 (c)에 도시하는 바와 같이, 레지스트 패턴(104)의 표면, 1단계 두께 도체부에서 개구부(104a)에서 노출되는 표면, 및 패드부(40)의 표면에 걸쳐, 시드층(105)(굵은 선으로 나타냄)을 형성한다.

다음으로, 도 12의 (d)에 도시하는 바와 같이, 2단계 두께 도체부 형성용의 레지스트 패턴(106)을 형성한다. 레지스트 패턴(106)은, 다단 코일 인덕터(10)의, 스파이럴 코일(11) 및 연락부(13)의 일부, 및, 입체 배선(30)의, 제2 배선부(32) 및 제3 배선부(33)의 일부의 패턴 형상에 대응하는 개구부(106a)를 갖는다.

다음으로, 도 13의 (a)에 도시하는 바와 같이, 전기 도금법에 의해, 레지스트 패턴(106)의 개구부(106a)에서, 2단계 두께 도체부(스파이럴 코일(11), 연락부(13)의 일부, 제2 배선부(32), 제3 배선부(33)의 일부)를 형성한다. 해당 전기 도금 시에는, 시드층(105)이 통전된다.

다음으로, 도 13의 (b)에 도시하는 바와 같이, 레지스트 패턴(106) 위에, 3단계 두께 도체부 형성용의 레지스트 패턴(107)을 형성한다. 본 방법에서는, 3단계 두께 도체부란, 다단 코일 인덕터(10)의 연락부(13)의 일부, 및, 입체 배선(30)의 제3 배선부(33)의 일부이다. 레지스트 패턴(107)은, 연락부(13)의 일부 및 제3 배선부(33)의 일부의 패턴 형상에 대응하는 개구부(107a)를 갖는다.

다음으로, 도 13의 (c)에 도시하는 바와 같이, 전기 도금법에 의해, 레지스트 패턴(107)의 개구부(107a)에서, 3단계 두께 도체부(연락부(13)의 일부, 제3 배선부(33)의 일부)를 형성한다. 해당 전기 도금 시에는, 시드층(105)이 통전된다.

다음으로, 도 13의 (d)에 도시하는 바와 같이, 레지스트 패턴(106, 107)을 제거하고, 그리고, 해당 제거 후에 시드층(105)에서 노출되어 있는 개소를 제거한다(시드층(105)에서 노출되어 있지 않은 개소에 대해서는, 도 13의 (d) 이후의 도면에서 생략함). 이 후, 도 14의 (a)에 도시하는 바와 같이, 레지스트 패턴(104)을 제거한다.

다음으로, 도 14의 (b)에 도시하는 바와 같이 레지스트 패턴(108)을 형성한다. 레지스트 패턴(108)은, 3단계 두께 도체부의 상위에 4단계 두께 도체부를 형성하기 위한 희생층으로서 기능하는 것으로서, 3단계 두께 도체부의 패턴 형상에 대응하는 개구부(108a)를 갖는다. 본 방법에서는, 4단계 두께 도체부란, 다단 코일 인덕터(10)의, 스파이럴 코일(12) 및 연락부(13)의 일부, 및, 입체 배선(30)의 제2 배선부(32)이다. 또한, 레지스트 패턴(108)은, 3단계 두께 도체부의 일부가 개구부(108a)에서 노출되도록, 형성된다.

다음으로, 도 14의 (c)에 도시하는 바와 같이, 레지스트 패턴(108)의 표면, 및, 3단계 두께 도체부에서 개구부(108a)에서 노출되는 표면에 걸쳐, 시드층(109)(굵은 선으로 나타냄)을 형성한다.

다음으로, 도 14의 (d)에 도시하는 바와 같이, 4단계 두께 도체부 형성용의 레지스트 패턴(110)을 형성한다. 레지스트 패턴(110)은, 다단 코일 인덕터(10)의 스파이럴 코일(12) 및 연락부(13)의 일부, 및, 입체 배선(30)의 제2 배선부(32)의 패턴 형상에 대응하는 개구부(110a)를 갖는다.

다음으로, 도 15의 (a)에 도시하는 바와 같이, 전기 도금법에 의해, 레지스트 패턴(110)의 개구부(110a)에서, 4단계 두께 도체부(스파이럴 코일(12), 연락부(13)의 일부, 제2 배선부(32))를 형성한다. 해당 전기 도금 시에는, 시드층(109)이 통전된다.

다음으로, 도 15의 (b)에 도시하는 바와 같이, 레지스트 패턴(110)을 제거하고, 그리고, 해당 제거 후에 시드층(109)에서 노출되어 있는 개소를 제거한다(시드층(109)에서 노출되어 있지 않은 개소에 대해서는, 도 15의 (b) 이후의 도면에서 생략함). 이 후, 도 15의 (c)에 도시하는 바와 같이, 레지스트 패턴(108)을 제거한다.

레지스트 패턴(108)의 제거 후, 바람직하게는, 다단 코일 인덕터(10) 및/또는 입체 배선(30)에서 노출되어 있는 개소를, 내식성막 및 자성체막으로부터 선택되는 막 또는 해당 막을 포함하는 다층막에 의해 피복한다. 내식성막에 의한 피복은, 다단 코일 인덕터의 코일 도선이나, 입체 배선의 각 배선부의, 내식성 향상의 관점에서 적합하다. 내식성막의 구성 재료로서는, 예를 들면 Au, Rh, Ru 등의 금속 재료나, 소정의 유전체 재료를 들 수 있다. 유전체 재료로서는, 예를 들면, BCB(Benzocyclobutenes), PBO(Polybenzoxazoles), 폴리이미드 등의 수지 재료나, 산화 실리콘, 질화 실리콘, 산화 알루미늄 등을 들 수 있다. 한편, 자성체막에 의한 피복은, 특히 코일 도선 주위의 발생 자장을 증대하는 데에 적합하다. 코일 도선 주위의 발생 자장의 증대는, 다단 코일 인덕터의 인덕턴스 L을 증대하는 데에 적합하다. 또한, 자성체막은, 해당 자성체막 내에서 와전류가 발생하게 되는 것을 억제하는 관점에서, 고저항 재료로 이루어지는 것이 바람직하다. 이와 같은 자성체막의 구성 재료로서는, 예를 들면, Fe-Al-O계 합금, CoFeB-SiO<sub>2</sub>계 고저항 자성체 등을 들 수 있다.

이상과 같이 하여, 다단 코일 인덕터(10), 캐패시터(20), 입체 배선(30), 및 패드부(40)를 기판(S) 상에 형성하여, 집적형 전자 부품(X)을 제조할 수 있다.

집적형 전자 부품(X)의 다단 코일 인덕터(10A, 10B)에 대해서는, 도 16 및 도 17에 도시하는 바와 같이, 기판(S)에 접하여 형성해도 된다(제1 변형예). 이 경우, 입체 배선(30)에 대해서는, 다단 코일 인덕터(10A, 10B)의 각각의 스파이럴 코일(11, 12)의 높이 위치에 따라, 상술한 실시예와는 다른 치수나 형상을 채용해도 된다.

또한, 집적형 전자 부품(X)에 대해서는, 도 18 및 도 19에 도시하는 바와 같이, 다단 코일 인덕터(10A, 10B)를 기판(S)에 접하여 형성한 후에, 밀봉재(50)에 의해 부분적으로 밀봉해도 된다(제2 변형예). 밀봉재(50)는, 예를 들면, BCB, PBO, 폴리이미드 등의 수지 재료로 이루어진다. 상대적으로 상위에 위치하는 도체부(예를 들면 스파이럴 코일(12)이나 제2 배선부(32))를 형성한 후에, 상대적으로 하위에 위치하는 도체부(예를 들면 스파이럴 코일(11)이나 제1 배선부(11))를 상술한 내식성막에 의해 피복하는 것은, 곤란한 경우가 있다. 본 변형예에서는, 상대적으로 하위에 위치하는 도체부는, 밀봉재(50)에 의해 피복되어 내식성이 확보될 수 있기 때문에, 상대적으로 상위에 위치하는 도체부를 형성한 후에, 상대적으로 하위에 위치하는 도체부를 내식성막에 의해 피복할 필요는 없다.

도 20 내지 도 23은, 상술한 제1 변형예의 제1 제조 방법을 도시한다. 이 방법은, 벌크 마이크로 머시닝 기술에 의해 해당 제1 변형예를 제조하기 위한 하나의 방법이다. 도 20 내지 도 23에서는, 도 23의 (d)에 도시하는 다단 코일 인덕터(10), 캐패시터(20), 2개의 패드부(40), 및, 입체 배선(30)에서 이들에 접속하는 개소의 형성 과정을, 단면의 변화로 나타낸다. 해당 단면은, 가공이 실시되는 재료 기판에서의 단일의 집적형 전자 부품 형성 구획에 포함되는 복수의 소정 개소의 단면을, 모델화하여 연속 단면으로 한 것이다. 다단 코일 인덕터(10)는, 다단 코일 인덕터(10A, 10B)에 상당한다. 패드부(40)는, 패드부(40A~40D)에 상당한다.

본 방법에서는, 먼저, 도 20의 (a)에 도시하는 바와 같이, 캐패시터(20)의 제1 전극(21)을 기판(S) 상에 형성한다. 다음으로, 도 20의 (b)에 도시하는 바와 같이, 캐패시터(20)의 유전체층(23)을 제1 전극(21) 상에 형성한다. 다음으로, 도 20의 (c)에 도시하는 바와 같이, 제1 전극(21) 및 유전체층(23)을 피복하도록, 전기 도금용의 시드층(101)을 기판(S) 상에 형성한다. 이들 공정은, 구체적으로는, 도 10의 (a)~(c)를 참조하여 상술한 것과 마찬가지로이다.

다음으로, 도 20의 (d)에 도시하는 바와 같이, 1단계 두께 도체부 형성용의 레지스트 패턴(201)을 형성한다. 본 방법에서는, 1단계 두께 도체부란, 다단 코일 인덕터(10)의, 스파이럴 코일(11) 및 연락부(13)의 일부, 캐패시터(20)의 제2 전극(22), 및, 입체 배선(30)의 제1 배선부(31)이다. 레지스트 패턴(201)은, 스파이럴 코일(11), 연락부(13)의 일부, 제2 전극(22), 및 제1 배선부(31)의 패턴 형상에 대응하는 개구부(201a)를 갖는다.

다음으로, 도 20의 (e)에 도시하는 바와 같이, 전기 도금법에 의해, 레지스트 패턴(201)의 개구부(201a)에서, 1단계 두께 도체부(스파이럴 코일(11), 연락부(13)의 일부, 제2 전극(22), 제1 배선부(31))를 형성한다. 해당 전기 도금 시에는, 시드층(101)이 통전된다.

다음으로, 도 21의 (a)에 도시하는 바와 같이, 레지스트 패턴(201)의 상위에, 2단계 두께 도체부 형성용의 레지스트 패턴(202)을 형성한다. 본 방법에서는, 2단계 두께 도체부란, 다단 코일 인덕터(10)의 연락부(13)의 일부, 및, 입체 배선(30)의 제3 배선부(33)이다. 레지스트 패턴(202)은, 연락부(13)의 일부 및 제3 배선부(33)의 패턴 형상에 대응하는 개구부(202a)를 갖는다.

다음으로, 도 21의 (b)에 도시하는 바와 같이, 전기 도금법에 의해, 레지스트 패턴(202)의 개구부(202a)에서, 2단계 두께 도체부(연락부(13)의 일부, 제3 배선부(33))를 형성한다. 해당 전기 도금 시에는, 시드층(101)이 통전된다. 이 후, 도 21의 (c)에 도시하는 바와 같이, 레지스트 패턴(201, 202)을 제거한다.

다음으로, 도 21의 (d)에 도시하는 바와 같이, 패드부 형성용의 레지스트 패턴(203)을 형성한다. 레지스트 패턴(203)은, 각 패드부(40)의 패턴 형상에 대응하는 개구부(203a)를 갖는다.

다음으로, 도 22의 (a)에 도시하는 바와 같이, 전기 도금법에 의해, 레지스트 패턴(203)의 개구부(203a)에서 패드부(40)를 형성한다. 해당 전기 도금 시에는, 시드층(101)이 통전된다. 패드부(40)는, Ni 모체 및 그 상위 표면을 피복하는 Au막으로 이루어지는 것이 바람직하다. 이 후, 도 22의 (b)에 도시하는 바와 같이, 레지스트 패턴(203)을 제거하고, 그리고, 해당 제거 후에 시드층(101)에서 노출되어 있는 개소를 제거한다(시드층(101)에서 노출되어 있지 않은 개소에 대해서는, 도 22의 (b) 이후의 도면에서 생략함).

다음으로, 도 22의 (c)에 도시하는 바와 같이 레지스트 패턴(204)을 형성한다. 레지스트 패턴(204)은, 2단계 두께 도체부의 상위에 3단계 두께 도체부를 형성하기 위한 희생층으로서 기능하는 것으로서, 2단계 두께 도체부의 패턴 형상에 대응하는 개구부(204a)를 갖는다. 본 방법에서는, 3단계 두께 도체부란, 다단 코일 인덕터(10)의, 스파이럴 코일(12) 및 연락부(13)의 일부, 및, 입체 배선(30)의 제2 배선부(32)이다. 또한, 레지스트 패턴(204)은, 2단계 두께 도체부의 일부가 개구부(204a)에서 노출되도록, 형성된다.

다음으로, 도 22의 (d)에 도시하는 바와 같이, 레지스트 패턴(204)의 표면, 및, 2단계 두께 도체부에서 개구부(204a)에서 노출되는 표면에 걸쳐, 시드층(205)(굵은 선으로 나타냄)을 형성한다.

다음으로, 도 23의 (a)에 도시하는 바와 같이, 3단계 두께 도체부 형성용의 레지스트 패턴(206)을 형성한다. 레지스트 패턴(206)은, 다단 코일 인덕터(10)의, 스파이럴 코일(12) 및 연락부(13)의 일부, 및, 입체 배선(30)의 제2 배선부(32)의 패턴에 대응하는 개구부(206a)를 갖는다.

다음으로, 도 23의 (b)에 도시하는 바와 같이, 전기 도금법에 의해, 레지스트 패턴(206)의 개구부(206a)에서, 3단계 두께 도체부(스파이럴 코일(12), 연락부(13)의 일부, 제2 배선부(32))를 형성한다. 해당 전기 도금 시에는, 시드층(205)이 통전된다.

다음으로, 도 23의 (c)에 도시하는 바와 같이, 레지스트 패턴(206)을 제거하고, 그리고, 해당 제거 후에 시드층(205)에서 노출되어 있는 개소를 제거한다(시드층(205)에서 노출되어 있지 않은 개소에 대해서는, 도 23의 (c) 이후의 도면에서 생략함).

다음으로, 도 23의 (d)에 도시하는 바와 같이, 레지스트 패턴(204)을 제거한다. 레지스트 패턴(204)의 제거 후, 바람직하게는, 다단 코일 인덕터(10) 및/또는 입체 배선(30)에서 노출되어 있는 개소를, 내식성막 및 자성체막으로부터 선택되는 막 또는 해당 막을 포함하는 다층막에 의해 피복한다. 이상과 같이 하여, 다단 코일 인덕터(10), 캐패시터(20), 입체 배선(30), 및 패드부(40)를 기판(S) 상에 형성하여, 상술한 제1 변형예를 제조할 수 있다.

도 24 내지 도 27은, 상술한 제1 변형예의 제2 제조 방법을 나타낸다. 이 방법은, 벌크 마이크로 머시닝 기술에 의해 해당 제1 변형예를 제조하기 위한 하나의 방법이다. 도 24 내지 도 27에서는, 도 27의 (c)에 도시하는 다단 코일 인덕터(10), 캐패시터(20), 2개의 패드부(40), 및, 입체 배선(30)에서 이들에 접속하는 개소의 형성 과정을, 단면의 변화로 나타낸다. 해당 단면은, 가공이 실시되는 재료 기판에서의 단일의 집적형 전자 부품 형성 구획에 포함되는 복수의 소정 개소의 단면을, 모델화하여 연속 단면으로 한 것이다. 다단 코일 인덕터(10)는, 다단 코일 인덕터(10A, 10B)에 상당한다. 패드부(40)는, 패드부(40A~40D)에 상당한다.

본 방법에서는, 먼저, 도 24의 (a)에 도시하는 바와 같이, 캐패시터(20)의 제1 전극(21)을 기판(S) 상에 형성한다. 다음으로, 도 24의 (b)에 도시하는 바와 같이, 캐패시터(20)의 유전체층(23)을 제1 전극(21) 상에 형성한다. 다음으로, 도 24의 (c)에 도시하는 바와 같이, 제1 전극(21) 및 유전체층(23)을 피복하도록, 전기 도금용의 시드층(101)을 기판(S) 상에 형성한다. 이들 공정에 대해 구체적으로는, 도 10의 (a)~(c)를 참조하여 상술한 것과 마찬가지로 한다.

다음으로, 도 24의 (d)에 도시하는 바와 같이, 1단계 두께 도체부 형성용의 레지스트 패턴(301)을 형성한다. 본 방법에서는, 1단계 두께 도체부란, 다단 코일 인덕터(10)의 스파이럴 코일(11) 및 연락부(13)의 일부, 캐패시터(20)의 제2 전극(22), 및, 입체 배선(30)의 제1 배선부(31)이다. 레지스트 패턴(301)은, 스파이럴 코일(11), 연락부(13)의 일부, 제2 전극(22), 및 제1 배선부(31)의 패턴 형성에 대응하는 개구부(301a)를 갖는다.

다음으로, 도 25의 (a)에 도시하는 바와 같이, 전기 도금법에 의해, 레지스트 패턴(301)의 개구부(301a)에서, 1단계 두께 도체부(스파이럴 코일(11), 연락부(13)의 일부, 제2 전극(22), 제1 배선부(31))를 형성한다. 해당 전기 도금 시에는, 시드층(101)이 통전된다. 이 후, 도 25의 (b)에 도시하는 바와 같이, 예를 들면 박리액을 작용시킴으로써, 레지스트 패턴(301)을 제거한다.

다음으로, 도 25의 (c)에 도시하는 바와 같이, 패드부 형성용의 레지스트 패턴(302)을 형성한다. 레지스트 패턴(302)은, 각 패드부(40)의 패턴 형상에 대응하는 개구부(302a)를 갖는다.

다음으로, 도 25의 (d)에 도시하는 바와 같이, 전기 도금법에 의해, 레지스트 패턴(302)의 개구부(302a)에서 패드부(40)를 형성한다. 해당 전기 도금 시에는, 시드층(101)이 통전된다. 패드부(40)는, Ni 모체 및 그 상위 표면을 피복하는 Au막으로 이루어지는 것이 바람직하다. 이 후, 도 26의 (a)에 도시하는 바와 같이, 레지스트 패턴(302)을 제거하고, 그리고, 해당 제거 후에 시드층(101)에서 노출되어 있는 개소를 제거한다(시드층(101)에서 노출되어 있지 않은 개소에 대해서는, 도 26의 (a) 이후의 도면에서 생략함).

다음으로, 도 26의 (b)에 도시하는 바와 같이, 2단계 두께 도체부 형성용의 레지스트 패턴(303)을 형성한다. 본 방법에서는, 2단계 두께 도체부란, 다단 코일 인덕터(10)의 연락부(13)의 일부 및 입체 배선(30)의 제3 배선부(33)이다. 레지스트 패턴(303)은, 연락부(13)의 일부 및 제3 배선부(33)의 패턴 형상에 대응하는 개구부(303a)를 갖고, 1단계 두께 도체부의 일부가 개구부(303a)에서 노출되도록, 형성된다. 또한, 레지스트 패턴(303)은, 2단계 두께 도체부의 상위에 3단계 두께 도체부를 형성하기 위한 희생층으로서도 기능하는 것이다. 본 방법에서는, 3단계 두께 도체부란, 다단 코일 인덕터(10)의, 스파이럴 코일(12) 및 연락부(13)의 일부, 및, 입체 배선(30)의 제2 배선부(32)이다.

다음으로, 도 26의 (c)에 도시하는 바와 같이, 레지스트 패턴(303)의 표면, 및, 1단계 두께 도체부에서 개구부(303a)에서 노출되는 표면에 걸쳐, 시드층(304)(굵은 선으로 나타냄)을 형성한다.

다음으로, 도 26의 (d)에 도시하는 바와 같이, 3단계 두께 도체부 형성용의 레지스트 패턴(305)을 형성한다. 레지스트 패턴(305)은, 다단 코일 인덕터(10)의, 스파이럴 코일(12) 및 연락부(13)의 일부, 및, 입체 배선(30)의 제2 배선부(32)의 패턴 형상에 대응하는 개구부(305a)를 갖는다.

다음으로, 도 27의 (a)에 도시하는 바와 같이, 전기 도금법에 의해, 레지스트 패턴(303)의 개구부(303a)에서 2단계 두께 도체부(연락부(13)의 일부, 제3 배선부(33))를 형성하고, 레지스트 패턴(305)의 개구부(305a)에서, 3단계 두께 도체부(스파이럴 코일(12), 연락부(13)의 일부, 제2 배선부(32))를 형성한다. 해당 전기 도금 시에는, 시드층(304)이 통전된다.

다음으로, 도 27의 (b)에 도시하는 바와 같이, 레지스트 패턴(305)을 제거하고, 그리고, 해당 제거 후에 시드층(304)에서 노출되어 있는 개소를 제거한다(시드층(304)에서 노출되어 있지 않은 개소에 대해서는, 도 27의 (b) 이후의 도면에서 생략함).

다음으로, 도 27의 (c)에 도시하는 바와 같이, 레지스트 패턴(303)을 제거한다. 레지스트 패턴(303)의 제거 후, 바람직하게는, 다단 코일 인덕터(10) 및/또는 입체 배선(30)에서 노출되어 있는 개소를, 내식성막 및 자성체막으로부터 선택되는 막 또는 해당 막을 포함하는 다층막에 의해 피복한다. 이상과 같이 하여, 다단 코일 인덕터(10), 캐패시터(20), 입체 배선(30), 및 패드부(40)를 기판(S) 상에 형성하여, 상술한 제1 변형예를 제조할 수 있다.

도 28 내지 도 32는, 상술한 제2 변형예의 제조 방법을 도시한다. 이 방법은, 벌크 마이크로 머시닝 기술에 의해 해당 제2 변형예를 제조하기 위한 하나의 방법이다. 도 28 내지 도 32에서는, 도 32의 (d)에 도시하는 다단 코일 인덕터(10), 캐패시터(20), 2개의 패드부(40), 및, 입체 배선(30)에서 이들에 접속하는 개소의 형성 과정을, 단면의 변화로 나타낸다. 해당 단면은, 가공이 실시되는 재료 기판에서의 단일의 집적형 전자 부품 형성 구획에 포함되는 복수의 소정 개소의 단면을, 모델화하여 연속 단면으로 한 것이다. 다단 코일 인덕터(10)는, 다단 코일 인덕터(10A, 10B)에 상당한다. 패드부(40)는, 패드부(40A~40D)에 상당한다.

본 방법에서는, 먼저, 도 28의 (a)에 도시하는 바와 같이, 캐패시터(20)의 제1 전극(21)을 기판(S) 상에 형성한다. 다음으로, 도 28의 (b)에 도시하는 바와 같이, 캐패시터(20)의 유전체층(23)을 제1 전극(21) 상에 형성한다. 다음으로, 도 28의 (c)에 도시하는 바와 같이, 제1 전극(21) 및 유전체층(23)을 피복하도록, 전기 도금용의 시드층(101)을 기판(S) 상에 형성한다. 이들 공정에 대해 구체적으로는, 도 10의 (a)~(c)를 참조하여 상술한 것과 마찬가지로이다.

다음으로, 도 28의 (d)에 도시하는 바와 같이, 1단계 두께 도체부 형성용의 레지스트 패턴(401)을 형성한다. 본 방법에서는, 1단계 두께 도체부란, 다단 코일 인덕터(10)의, 스파이럴 코일(11) 및 연락부(13)의 일부, 캐패시터(20)의 제2 전극(22), 및, 입체 배선(30)의 제1 배선부(31)이다. 레지스트 패턴(401)은, 스파이럴 코일(11), 연락부(13)의 일부, 제2 전극(22), 및 제1 배선부(31)의 패턴 형상에 대응하는 개구부(401a)를 갖는다.

다음으로, 도 29의 (a)에 도시하는 바와 같이, 전기 도금법에 의해, 레지스트 패턴(401)의 개구부(401a)에서, 1단계 두께 도체부(스파이럴 코일(11), 연락부(13)의 일부, 제2 전극(22), 제1 배선부(31))를 형성한다. 해당 전기 도금 시에는, 시드층(101)이 통전된다. 이 후, 도 29의 (b)에 도시하는 바와 같이, 레지스트 패턴(401)을 제거하고, 그리고, 시드층(101)에서 노출되어 있는 개소를 제거한다(시드층(101)에서 노출되어 있지 않은 개소에 대해서는, 도 29의 (b) 이후의 도면에서 생략함).

다음으로, 도 29의 (c)에 도시하는 바와 같이 유전체막(402)을 형성한다. 유전체막(402)은 소정의 개구부(402a)를 갖는다. 유전체막(402)의 형성에서는, 스핀 코팅법이나 스프레이법 등에 의해 소정의 유전체 재료를 성막한 후, 해당 막을 패터닝한다.

다음으로, 도 29의 (d)에 도시하는 바와 같이, 유전체막(402)의 표면, 및, 1단계 두께 도체부에서 개구부(402a)에서 노출되는 표면에 걸쳐, 시드층(403)(굵은 선으로 나타냄)을 형성한다.

다음으로, 도 30의 (a)에 도시하는 바와 같이, 2단계 두께 도체부 형성용의 레지스트 패턴(404)을 형성한다. 본 방법에서는, 2단계 두께 도체부란, 다단 코일 인덕터(10)의 연락부(13)의 일부 및 입체 배선(30)의 제3 배선부(33)이다. 레지스트 패턴(404)은, 다단 코일 인덕터(10)의 연락부(13)의 일부 및 입체 배선(30)의 제3 배선부(33)의 패턴 형상에 대응하는 개구부(404a)를 갖는다.

다음으로, 도 30의 (b)에 도시하는 바와 같이, 전기 도금법에 의해, 레지스트 패턴(404)의 개구부(404a)에서, 2단계 두께 도체부(연락부(13)의 일부, 제3 배선부(33))를 형성한다. 해당 전기 도금 시에는, 시드층(403)이 통전된다. 이 후, 도 30의 (c)에 도시하는 바와 같이, 레지스트 패턴(404)을 제거한다.

다음으로, 도 30의 (d)에 도시하는 바와 같이, 패드부 형성용의 레지스트 패턴(405)을 형성한다. 레지스트 패턴(405)은, 각 패드부(40)의 패턴 형상에 대응하는 개구부(405a)를 갖는다.

다음으로, 도 31의 (a)에 도시하는 바와 같이, 전기 도금법에 의해, 레지스트 패턴(405)의 개구부(405a)에서 패드부(40)를 형성한다. 해당 전기 도금 시에는, 시드층(403)이 통전된다. 패드부(40)는, Ni 모체 및 그 상위 표면을 피복하는 Au막으로

이루어지는 것이 바람직하다. 이 후, 도 31의 (b)에 도시하는 바와 같이, 레지스트 패턴(405)을 제거하고, 그리고, 해당 제거 후에 시드층(403)에서 노출되어 있는 개소를 제거한다(시드층(403)에서 노출되어 있지 않은 개소에 대해서는, 도 31의 (b) 이후의 도면에서 생략함).

다음으로, 도 31의 (c)에 도시하는 바와 같이 레지스트 패턴(406)을 형성한다. 레지스트 패턴(406)은, 2단계 두께 도체부의 상위에 3단계 두께 도체부를 형성하기 위한 희생층으로서 기능하는 것으로서, 2단계 두께 도체부의 패턴 형상에 대응하는 개구부(406a)를 갖는다. 본 방법에서는, 3단계 두께 도체부란, 다단 코일 인덕터(10)의, 스파이럴 코일(12) 및 연락부(13)의 일부, 및, 입체 배선(30)의 제2 배선부(32)이다. 또한, 레지스트 패턴(406)은, 2단계 두께 도체부의 일부가 개구부(406a)에서 노출되도록, 형성된다.

다음으로, 도 31의 (d)에 도시하는 바와 같이, 레지스트 패턴(406)의 표면, 및, 2단계 두께 도체부에서 개구부(406a)에서 노출되는 표면에 걸쳐, 시드층(407)(굵은 선으로 나타냄)을 형성한다.

다음으로, 도 32의 (a)에 도시하는 바와 같이, 3단계 두께 도체부 형성용의 레지스트 패턴(408)을 형성한다. 레지스트 패턴(408)은, 다단 코일 인덕터(10)의, 스파이럴 코일(12) 및 연락부(13)의 일부, 및, 입체 배선(30)의 제2 배선부(32)의 패턴에 대응하는 개구부(408a)를 갖는다.

다음으로, 도 32의 (b)에 도시하는 바와 같이, 전기 도금법에 의해, 레지스트 패턴(408)의 개구부(408a)에서, 3단계 두께 도체부(스파이럴 코일(12), 연락부(13)의 일부, 제2 배선부(32))를 형성한다. 해당 전기 도금 시에는, 시드층(407)이 통전된다.

다음으로, 도 32의 (c)에 도시하는 바와 같이, 레지스트 패턴(408)을 제거하고, 그리고, 해당 제거 후에 시드층(407)에서 노출되어 있는 개소를 제거한다(시드층(407)에서 노출되어 있지 않은 개소에 대해서는, 도 32의 (c) 이후의 도면에서 생략함).

다음으로, 도 32의 (d)에 도시하는 바와 같이, 레지스트 패턴(406)을 제거한다. 레지스트 패턴(406)의 제거 후, 바람직하게는, 다단 코일 인덕터(10) 및/또는 입체 배선(30)에서 노출되어 있는 개소를, 내식성막 및 자성체막으로부터 선택되는 막 또는 해당 막을 포함하는 다층막에 의해 피복한다. 이상과 같이 하여, 다단 코일 인덕터(10), 캐패시터(20), 입체 배선(30), 패드부(40), 및 밀봉재(50)를 기판(S) 상에 형성하여, 상술한 제2 변형예를 제조할 수 있다.

집적형 전자 부품(X)에서는, 도 33에 도시하는 바와 같이, 기판(S)에 오목부(Sa)를 형성하고, 이 오목부(Sa) 상에 다단 코일 인덕터(10)를 형성해도 된다(제3 변형예). 이와 같은 구성은, 집적형 전자 부품(X)을 소형화하는 데에 적합하다.

본 발명에 따른 집적형 전자 부품에서는, 상술한 바와 같은 다단 코일 인덕터(10)나 캐패시터(20) 대신에 또는 추가로, 소정의 저항이나, 필터를 형성해도 된다. 필터로서는, 예를 들면, LCR 필터, SAW 필터, FBAR 필터, 또는 기계 공진을 이용한 필터를 채용할 수 있다. 기계 공진을 이용한 필터로서는, 예를 들면, 마이크로 메커니컬 디스크 레조네이터, 마이크로 메커니컬 링 레조네이터, 및 마이크로 메커니컬 빔 레조네이터를 들 수 있다.

본 발명에 따른 집적형 전자 부품에서는, 다단 코일 인덕터(10), 캐패시터(20), 및 패드부(40)의 개수 및 기판(S) 상의 배치, 및, 입체 배선(30)의 형상을, 적절히 변경함으로써, 도 6에 도시하는 회로 구성 대신에, 도 34에 도시하는 회로 구성이나, 도 35에 도시하는 회로 구성을 실현할 수도 있다. 또한, 본 발명에 따른 집적형 전자 부품에서는, 도 6, 도 34, 도 35에 도시하는 회로 구성을 적절히 조합한, 보다 복잡한 회로 구성을, 실현할 수도 있다.

본 발명의 집적형 전자 부품에서는, 상술한 바와 같은 다단 코일 인덕터(10) 대신에, 솔레노이드 코일이나 토로이달 형태의 다단 코일 인덕터를 채용해도 된다. 또한, 본 발명의 집적형 전자 부품에서는, 기판 상의 구조 전체를 피복하는 밀봉수지를 형성해도 된다. 이 경우, 밀봉 수지는, 다단 코일 인덕터에서의 인접하는 코일 도선 사이에 들어가는 부위를 갖고 있어도 된다. 밀봉 수지를 구비하는 구성은, 집적형 전자 부품에서 높은 신뢰성을 확보하는 데에 적합하다.

이상의 정리로서, 본 발명의 구성 및 그 바리에이션을 이하에 부기로서 열거한다.

(부기1)

기판과,

복수의 수동 부품과,

외부 접속용의 복수의 패드부와,

입체 배선을 구비하고,

상기 복수의 수동 부품은, 상기 기판 상에 형성된 다단 코일 인덕터를 포함하고, 해당 다단 코일 인덕터는, 다단 배치된 복수의 코일을 갖고, 또한, 인접하는 코일 도선이 공극을 개재하여 이격하고,

상기 입체 배선은, 상기 기판에 접하여 연장되는 제1 배선부와, 상기 기판으로부터 이격하여 해당 기판을 따라 연장되는 제2 배선부와, 해당 제1 및 제2 배선부에 접속하는 제3 배선부를 포함하는 집적형 전자 부품.

(부기2)

상기 다단 코일 인덕터는, 공극을 개재하여 서로 이격하는 복수의 스파이럴 코일을 갖는 부기 1에 기재된 집적형 전자 부품.

(부기3)

상기 다단 코일 인덕터는 솔레노이드 코일 또는 토로이달 코일인 부기 1에 기재된 집적형 전자 부품.

(부기4)

상기 기판은, 반도체 기판, 절연막이 표면에 형성된 반도체 기판, 석영 기판, 글래스 기판, 압전 기판, 세라믹 기판, SOI 기판, SOQ 기판, 또는 SOG 기판인 부기 1 내지 부기 3 중 어느 하나에 기재된 집적형 전자 부품.

(부기5)

상기 복수의 수동 부품은, 캐패시터 및/또는 저항을 포함하는 부기 1 내지 부기 4 중 어느 하나에 기재된 집적형 전자 부품.

(부기6)

상기 캐패시터는, 서로 대향하는 제1 전극 및 제2 전극을 갖고, 상기 제1 전극은, 상기 기판 상에 형성되고, 상기 제2 전극은, 상기 기판으로부터 이격하여 상기 기판을 따라 형성되어 있는 부기 5에 기재된 집적형 전자 부품.

(부기7)

상기 다단 코일 인덕터에서의, 상기 기판에 가장 가까운 코일은, 상기 기판으로부터 이격하고 있는 부기 1 내지 부기 6 중 어느 하나에 기재된 집적형 전자 부품.

(부기8)

상기 다단 코일 인덕터에서의, 상기 기판에 가장 가까운 코일은, 상기 기판 상에 패턴 형성되어 있는 부기 1 내지 부기 6 중 어느 하나에 기재된 집적형 전자 부품.

(부기9)

상기 복수의 수동 부품은, LCR 필터, SAW 필터, FBAR 필터, 및 기계 공진을 이용한 필터로 이루어지는 군으로부터 선택되는 필터를 포함하는 부기 1 내지 부기 8 중 어느 하나에 기재된 집적형 전자 부품.

(부기10)

상기 복수의 수동 부품 및 상기 입체 배선을 상기 기판 상에서 밀봉하기 위한 밀봉 수지를 더 구비하는 부기 1 내지 부기 9 중 어느 하나에 기재된 집적형 전자 부품.

(부기11)

상기 밀봉 수지는, 상기 다단 코일 인덕터에서의 인접하는 코일 도선 사이에 들어가는 부위를 갖는 부기 10에 기재된 집적형 전자 부품.

(부기12)

상기 다단 코일 인덕터 및/또는 상기 입체 배선은, 내식성막 및 자성체막으로부터 선택되는 막 또는 해당 막을 포함하는 다층막에 의해 피복되어 있는 부위를 갖는 부기 1 내지 부기 11 중 어느 하나에 기재된 집적형 전자 부품.

(부기13)

상기 기판은 오목부를 갖고, 상기 다단 코일 인덕터는 해당 오목부에 형성되어 있는 부기 1 내지 부기 12 중 어느 하나에 기재된 집적형 전자 부품.

(부기14)

전기 도금법에 의해 하위 도체부를 형성하는 공정과,

상기 하위 도체부의 상위에 상위 도체부를 형성하기 위한, 개구부를 갖는 제1 레지스트 패턴을, 상기 하위 도체부의 일부가 상기 개구부에서 노출되도록, 형성하는 공정과,

상기 제1 레지스트 패턴의 표면, 및, 상기 하위 도체부에서 상기 개구부에서 노출되는 표면에 걸쳐, 시드층을 형성하는 공정과,

개구부를 갖는 제2 레지스트 패턴을 제1 레지스트 패턴의 상위에 형성하는 공정과,

전기 도금법에 의해, 상기 제2 레지스트 패턴의 상기 개구부에서 상위 도체부를 형성하는 공정과,

상기 제2 레지스트 패턴을 제거하는 공정과,

상기 시드층을 제거하는 공정과,

상기 제1 레지스트 패턴을 제거하는 공정

을 포함하는 집적형 전자 부품 제조 방법.

### 발명의 효과

본 발명에 따르면, 높은 Q값 및 양호한 고주파 특성을 실현하는 데에 적합한 IPD(집적형 전자 부품) 및 그 제조 방법을 제공할 수 있다.

### 도면의 간단한 설명

도 1은 본 발명에서의 다단 코일 인덕터의 집중 상수 등가 회로를 도시하는 도면.

도 2는 본 발명에 따른 집적형 전자 부품의 평면도.

도 3은 도 2의 선 III-III를 따라 취한 단면도.

도 4는 도 2의 선 IV-IV를 따라 취한 단면도.

도 5는 도 2의 선 V-V를 따라 취한 단면도.

도 6은 도 2에 도시하는 집적형 전자 부품의 회로 구성을 도시하는 도면.

도 7은 한쪽의 다단 코일 인덕터의 분해 평면도.

도 8은 다른쪽의 다단 코일 인덕터의 분해 평면도.

도 9는 코일 도선 주위의 자속 분포의 개념도.

도 10은 본 발명에 따른 집적형 전자 부품 제조 방법에서의 일부의 공정을 도시하는 도면.

도 11은 도 10 이후에 계속되는 공정을 도시하는 도면.

도 12는 도 11 이후에 계속되는 공정을 도시하는 도면.

도 13은 도 12 이후에 계속되는 공정을 도시하는 도면.

도 14는 도 13 이후에 계속되는 공정을 도시하는 도면.

도 15는 도 14 이후에 계속되는 공정을 도시하는 도면.

도 16은 도 2에 도시하는 집적형 전자 부품의 제1 변형예의 단면도로서, 도 2의 집적형 전자 부품에 있어서의 도 3에 상당하는 단면도.

도 17은 도 2에 도시하는 집적형 전자 부품의 제1 변형예의 다른 단면도로서, 도 2의 집적형 전자 부품에 있어서의 도 4에 상당하는 단면도.

도 18은 도 2에 도시하는 집적형 전자 부품의 제2 변형예의 단면도로서, 도 2의 집적형 전자 부품에 있어서의 도 3에 상당하는 단면도.

도 19는 도 2에 도시하는 집적형 전자 부품의 제2 변형예의 다른 단면도로서, 도 2의 집적형 전자 부품에 있어서의 도 4에 상당하는 단면도.

도 20은 제1 변형예의 제조 방법에서의 일부의 공정을 도시하는 도면.

도 21은 도 20 이후에 계속되는 공정을 도시하는 도면.

도 22는 도 21 이후에 계속되는 공정을 도시하는 도면.

도 23은 도 22 이후에 계속되는 공정을 도시하는 도면.

도 24는 제1 변형예의 다른 제조 방법에서의 일부의 공정을 도시하는 도면.

도 25는 도 24 이후에 계속되는 공정을 도시하는 도면.

도 26은 도 25 이후에 계속되는 공정을 도시하는 도면.

도 27은 도 26 이후에 계속되는 공정을 도시하는 도면.

도 28은 제2 변형예의 제조 방법에서의 일부의 공정을 도시하는 도면.

도 29는 도 28 이후에 계속되는 공정을 도시하는 도면.

도 30은 도 29 이후에 계속되는 공정을 도시하는 도면.

도 31은 도 30 이후에 계속되는 공정을 도시하는 도면.

도 32는 도 31 이후에 계속되는 공정을 도시하는 도면.

도 33은 도 2에 도시하는 집적형 전자 부품의 제3 변형예의 단면도로서, 도 2의 집적형 전자 부품에 있어서의 도 3에 상당하는 단면도.

도 34는 본 발명에 따른 집적형 전자 부품에 대한 다른 회로 구성예를 나타내는 도면.

도 35는 본 발명에 따른 집적형 전자 부품에 대한 다른 회로 구성예를 나타내는 도면.

<도면의 주요 부분에 대한 부호의 설명>

X : 집적형 전자 부품

S : 기판

10, 10A, 10B : 다단 코일 인덕터

11, 12 : 스파이럴 코일

13 : 연락부

20 : 캐패시터

21 : 제1 전극

22 : 제2 전극

23 : 유전체층

30 : 입체 배선

31 : 제1 배선부

32 : 제2 배선부

33 : 제3 배선부

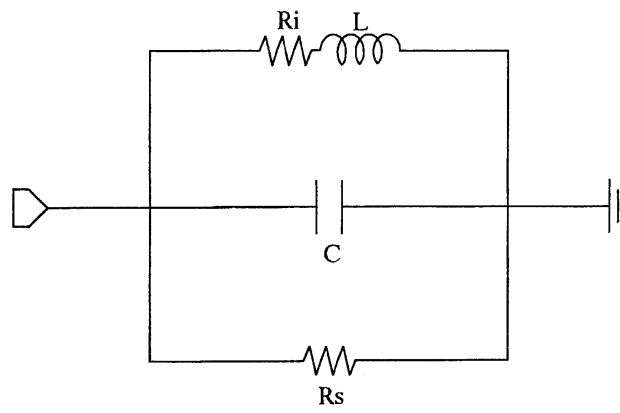
40, 40A, 40B, 40C, 40D : 패드부

50 : 밀봉재

도면

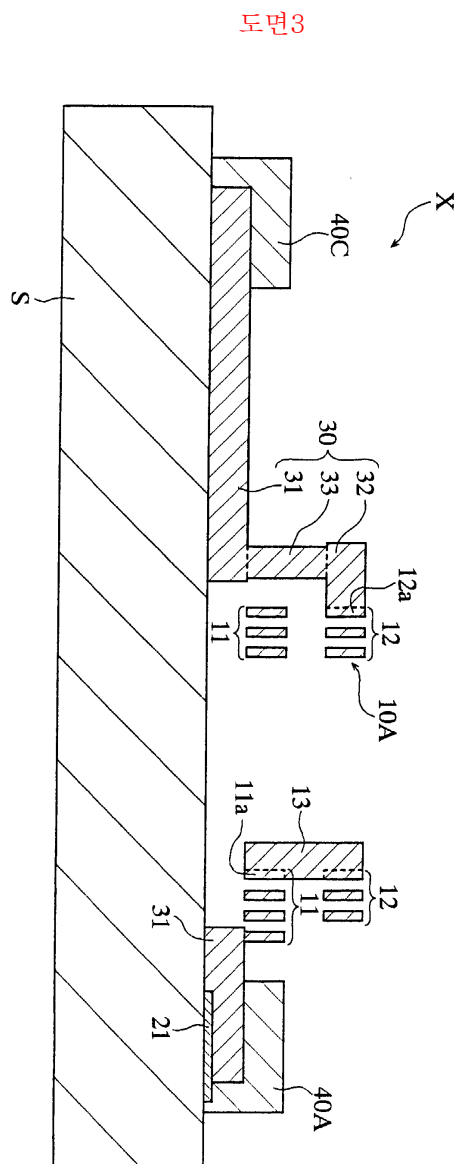
도면1

본 발명에서의 다단 코일 인덕터의 집중 상수 등가 회로

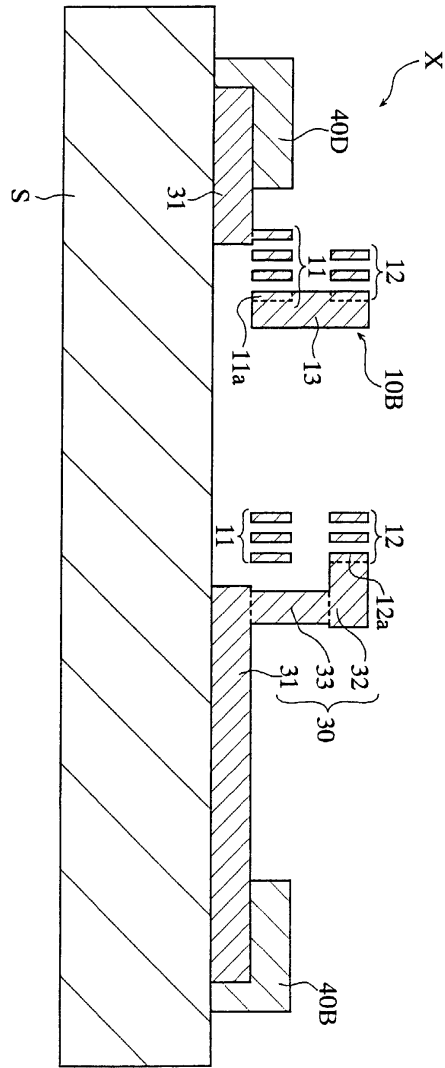




도 2의 선 III-III를 따라 취한 단면도



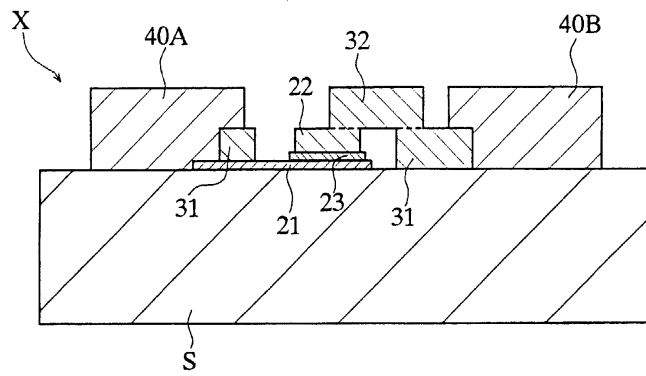
도면4



도 2의 선 IV-IV를 따라 취한 단면도

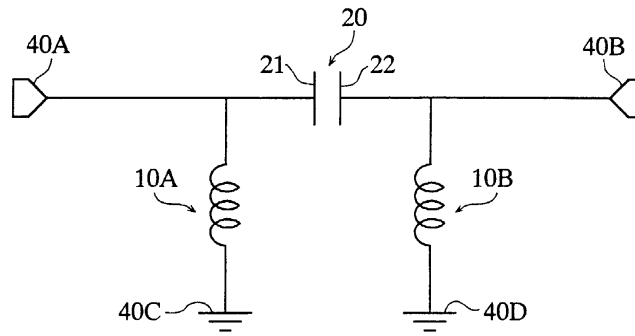
도면5

도 2의 선 V-V를 따라 취한 단면도



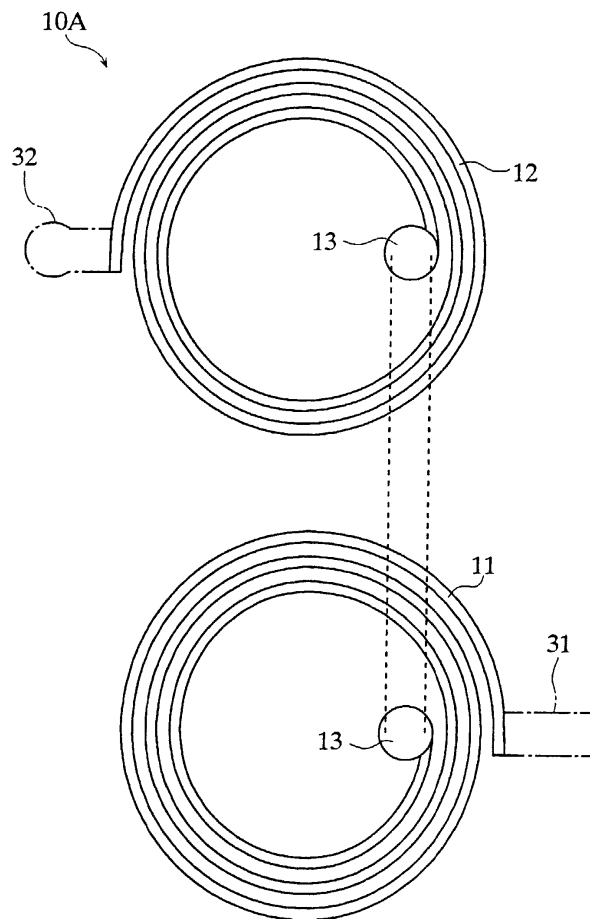
도면6

실시예에 따른 집적형 전자 부품의 회로 구성



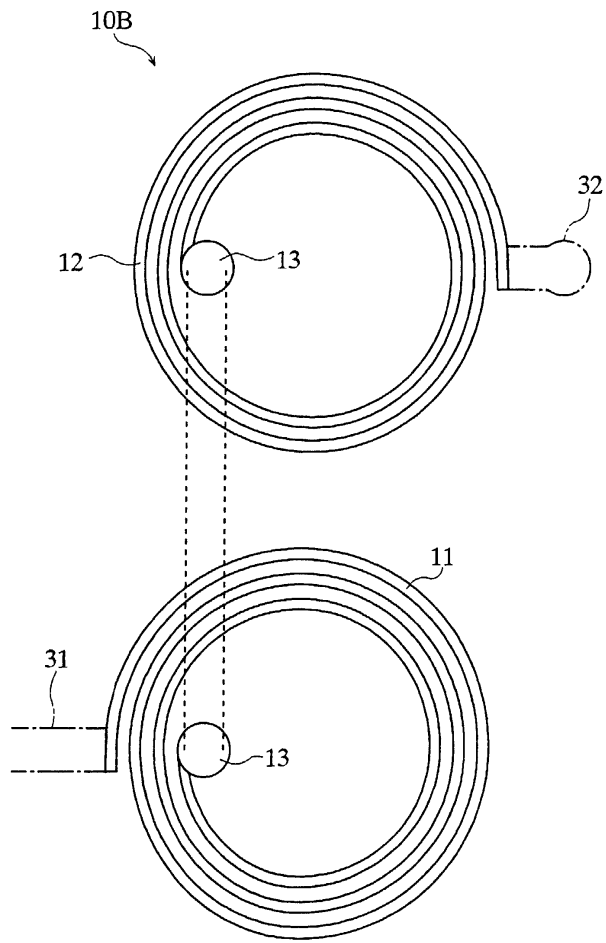
도면7

한쪽의 다단 코일 인덕터의 분해 평면도



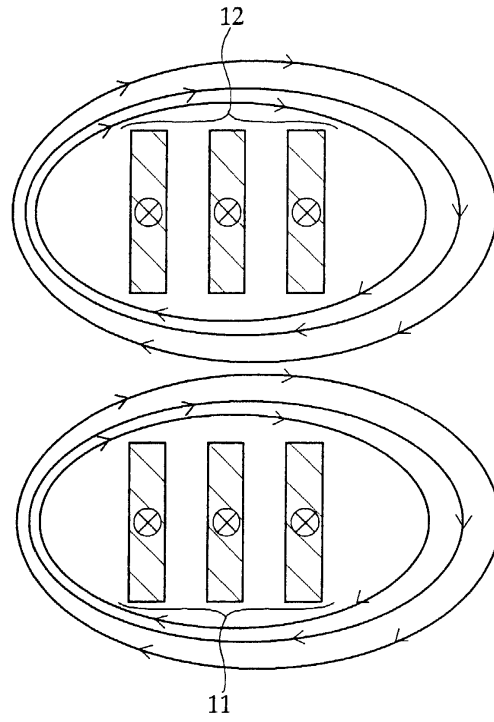
도면8

다른쪽의 다단 코일 인덕터의 분해 평면도



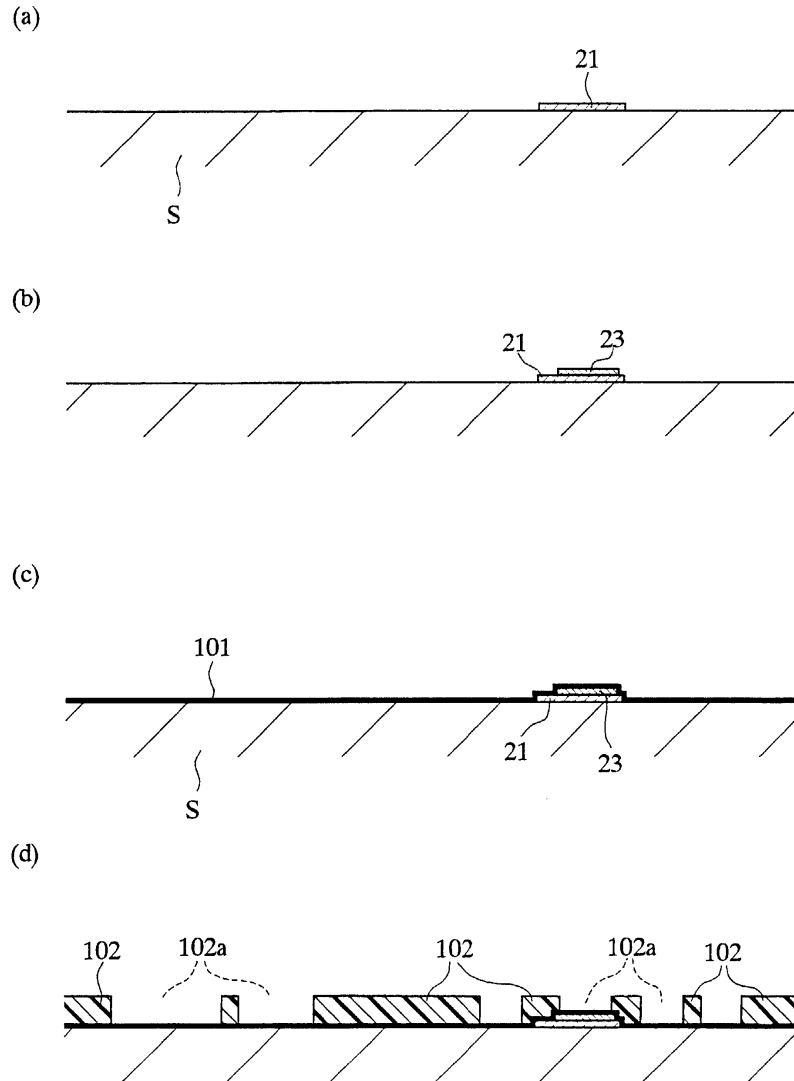
도면9

코일 도선 주위의 자속 분포의 개념도



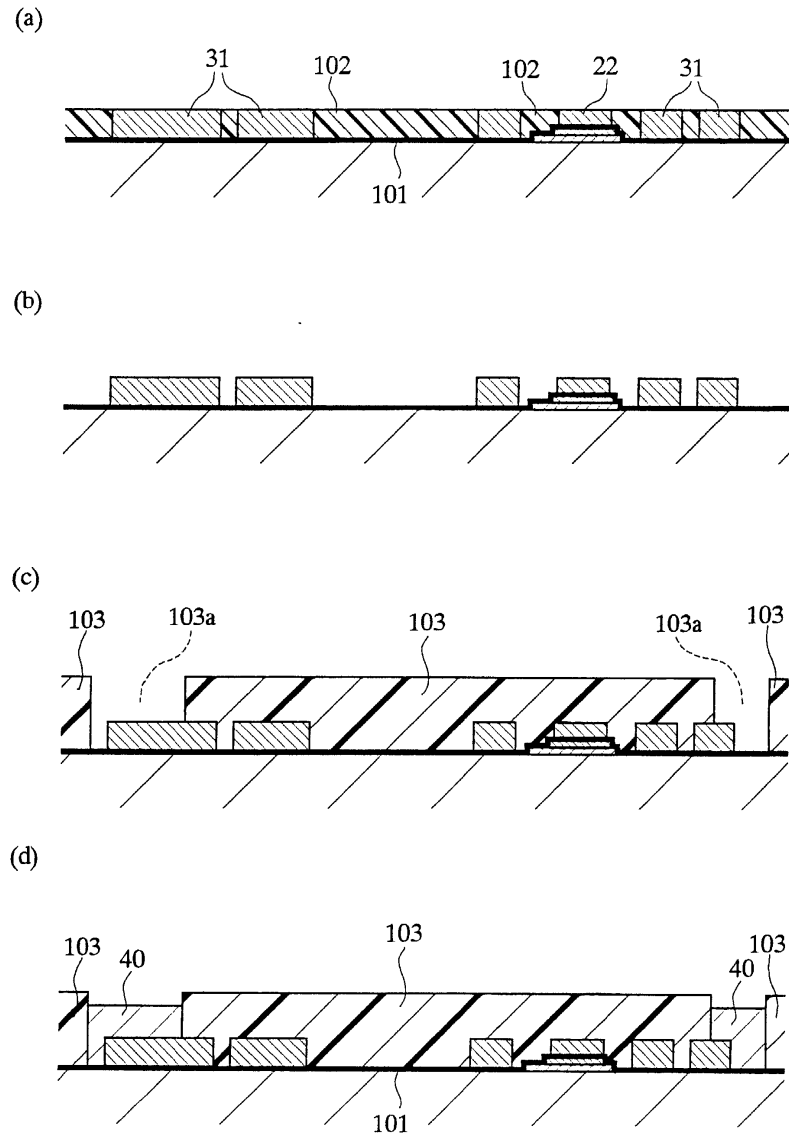
도면10

본 발명의 집적형 전자 부품 제조 방법에서의 일부의 공정



도면11

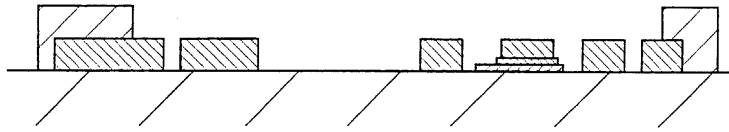
도 10 이후에 계속되는 공정



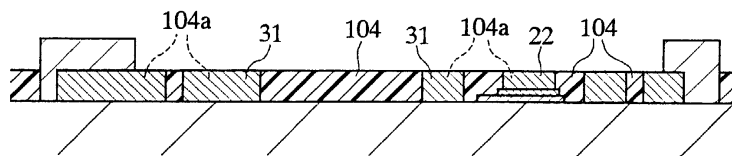
도면12

도 11 이후에 계속되는 공정

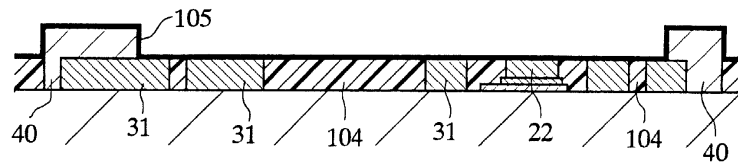
(a)



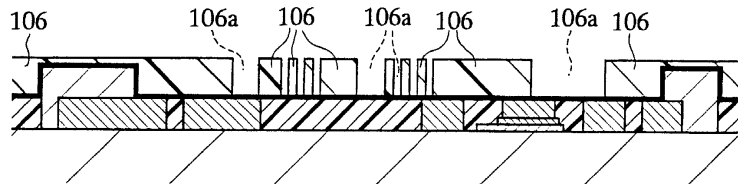
(b)



(c)

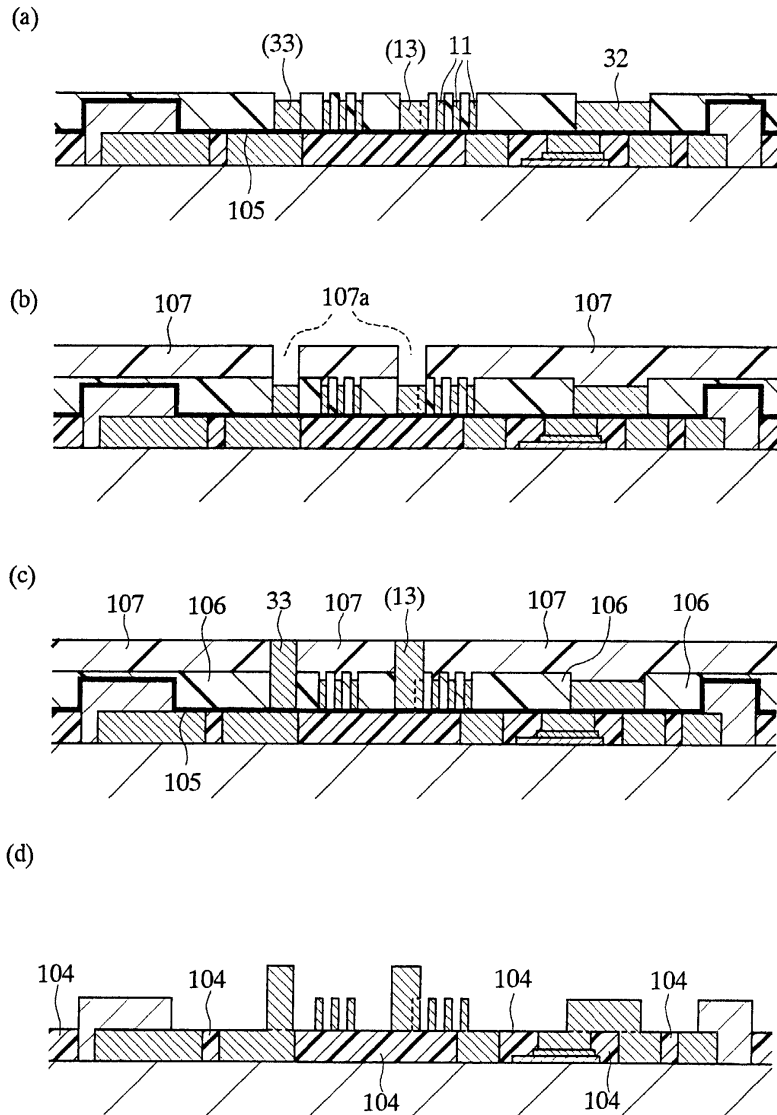


(d)



도면13

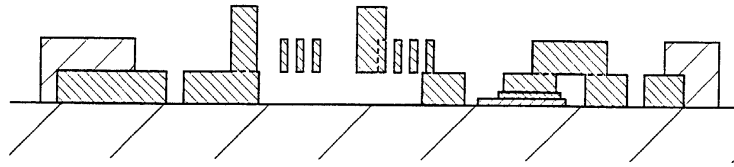
도 12 이후에 계속되는 공정



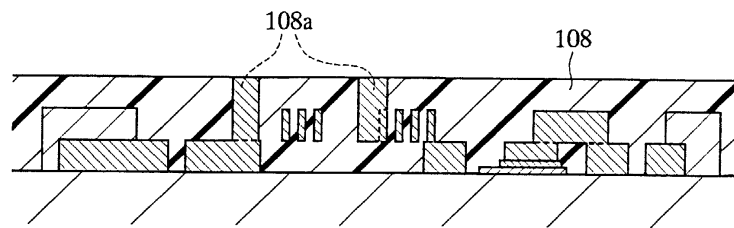
도면14

도 13 이후에 계속되는 공정

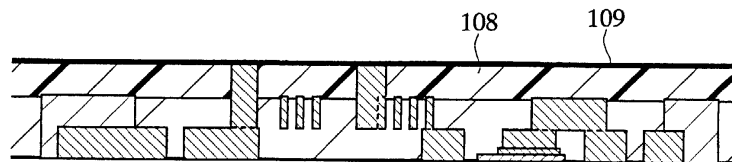
(a)



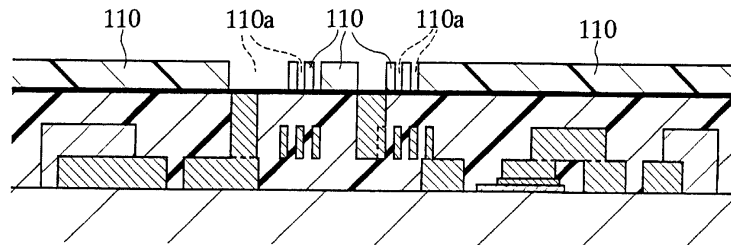
(b)



(c)

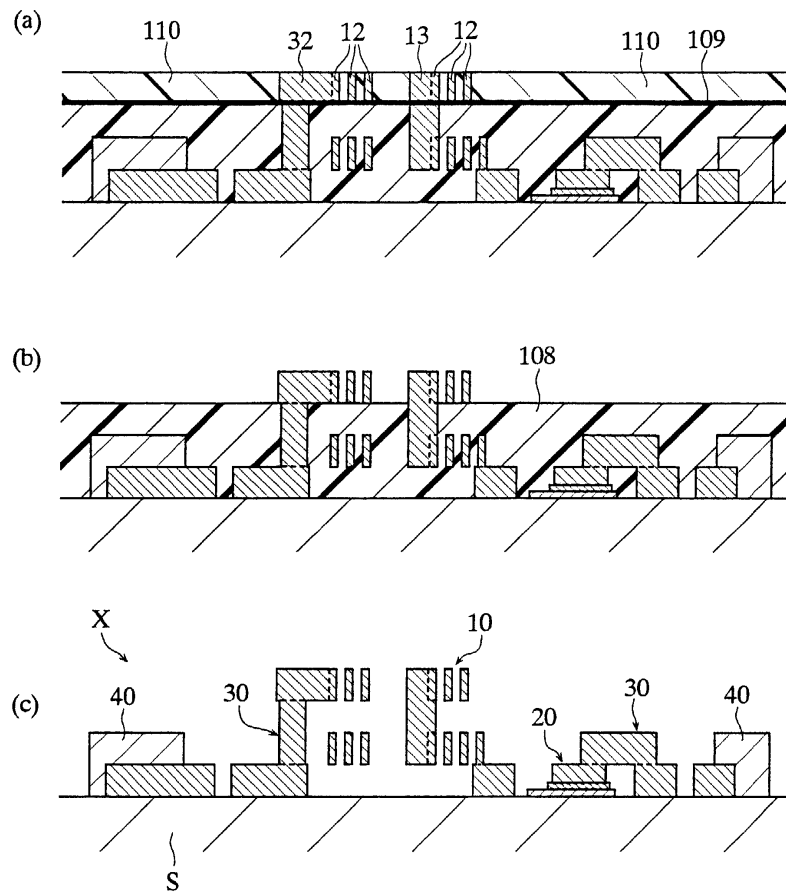


(d)

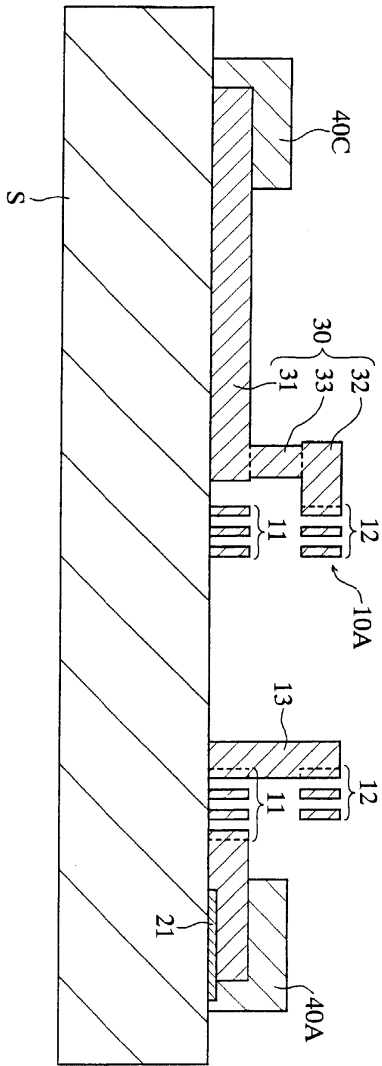


도면15

도 14 이후에 계속되는 공정

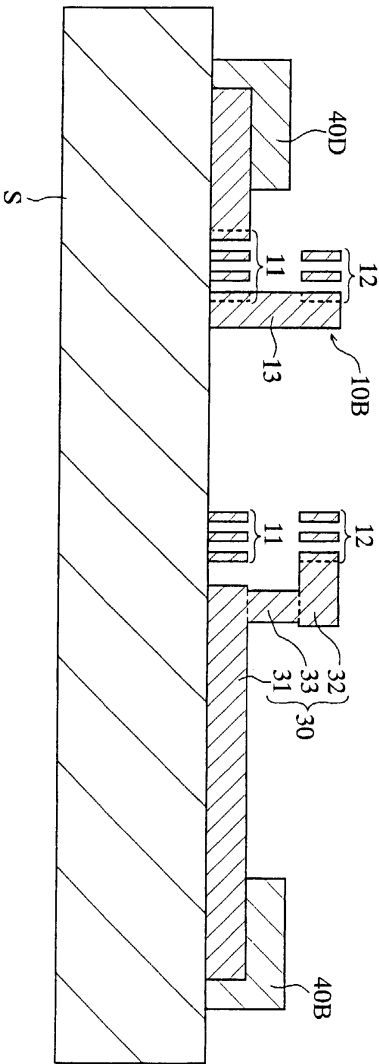


도면16



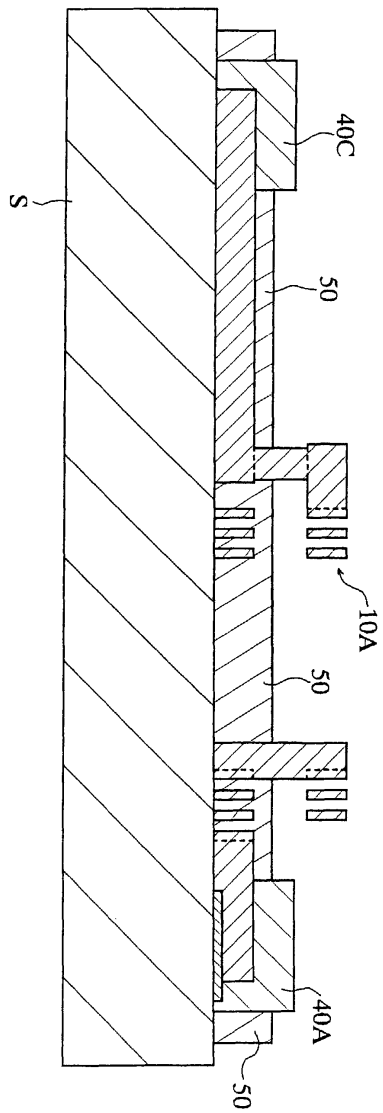
제1 변형예의 일 단면도

도면17



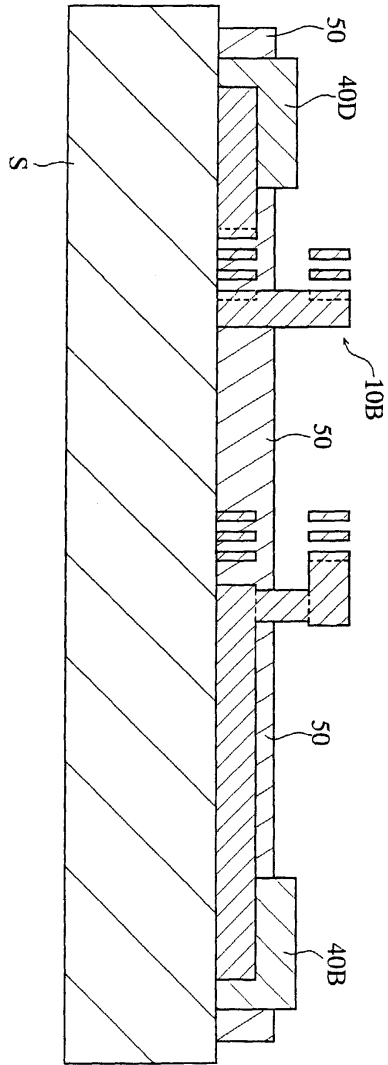
제 1 변형예의 다른 단면도

도면18



제2 변형예의 일 단면도

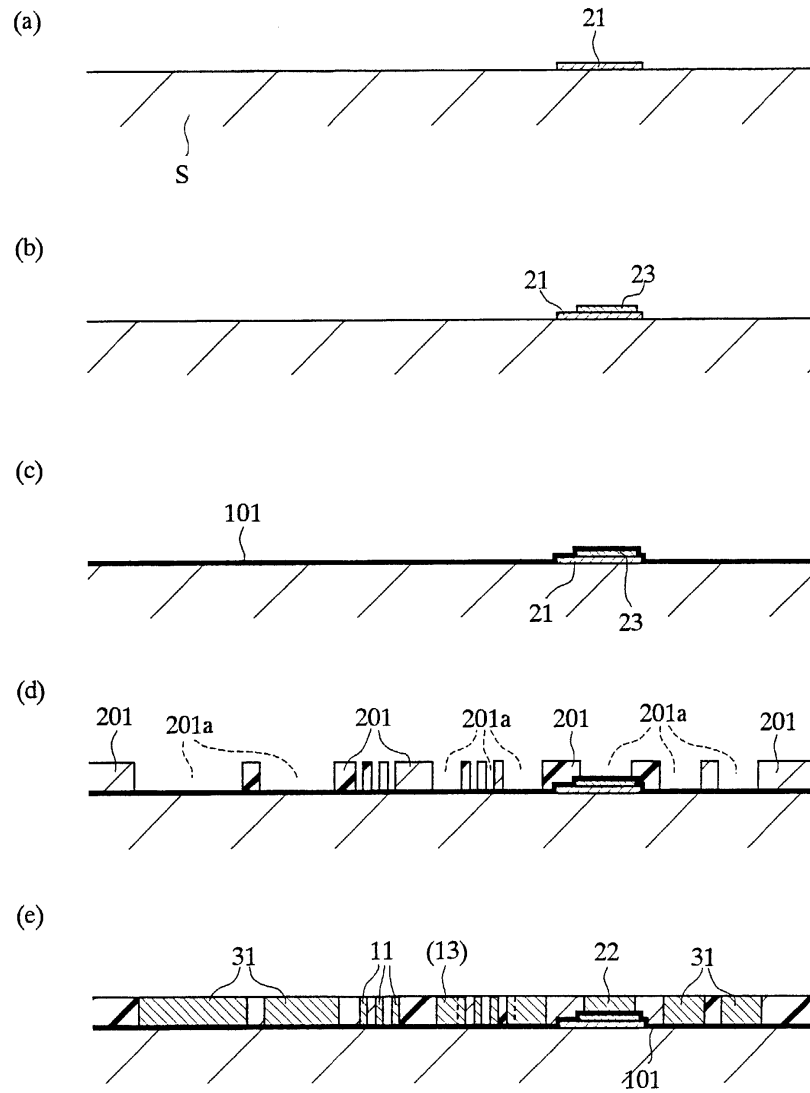
도면19



제2 변형예의 다른 단면도

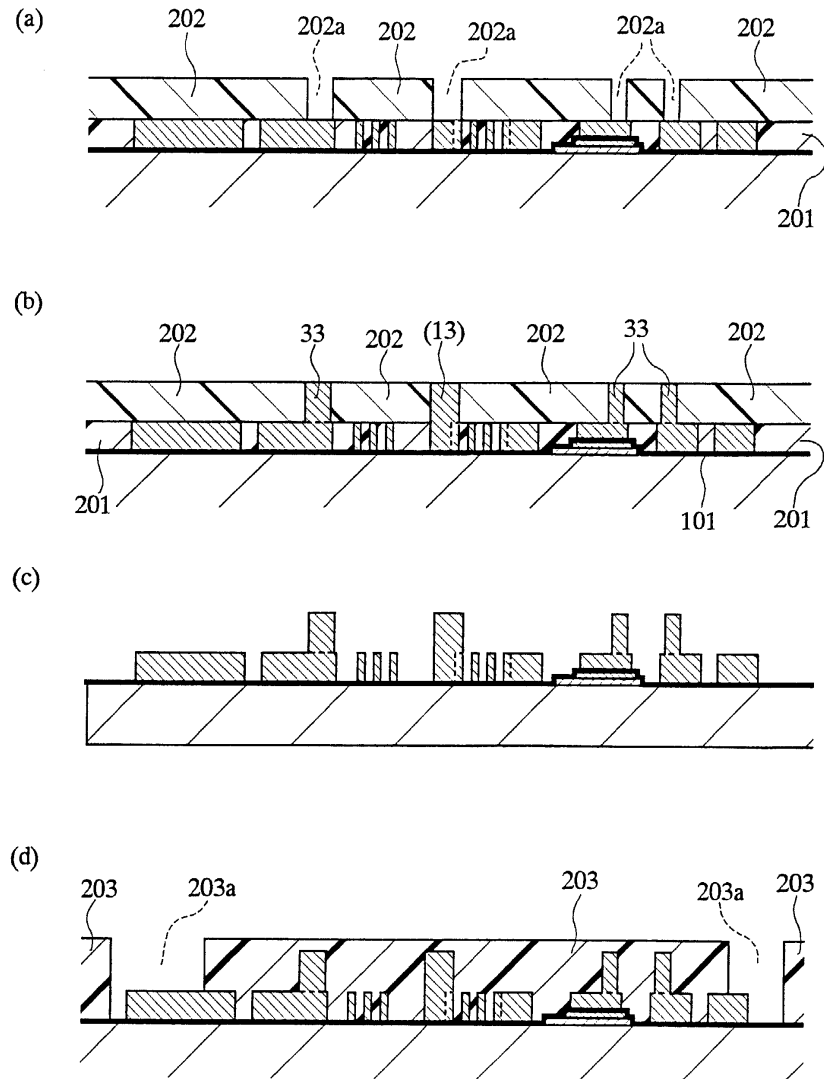
도면20

제1 변형예의 제조 방법에서의 일부의 공정



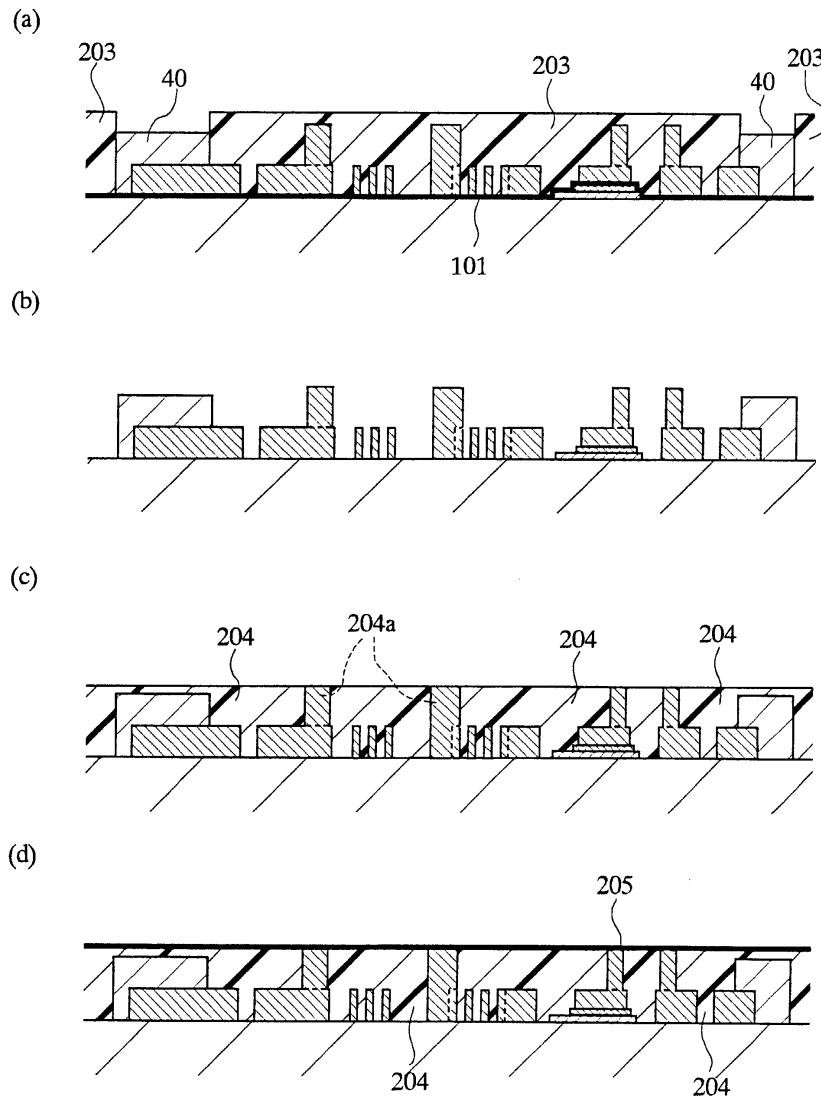
도면21

도 20 이후에 계속되는 공정



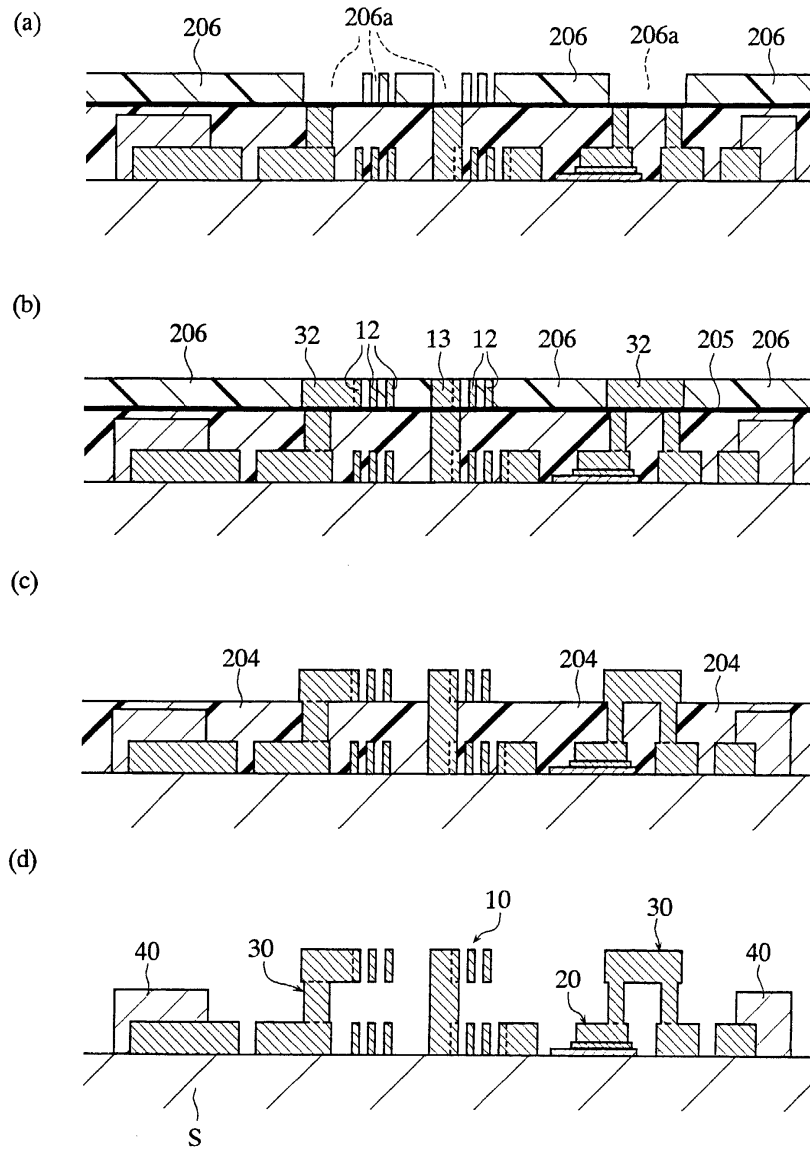
도면22

도 21 이후에 계속되는 공정



도면23

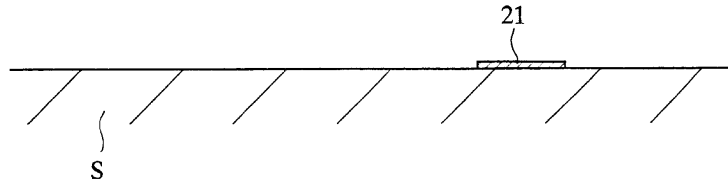
도 22 이후에 계속되는 공정



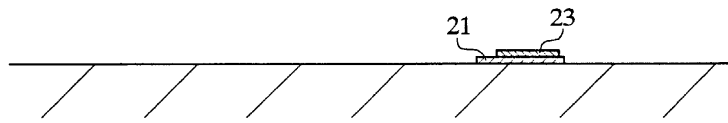
도면24

제1 변형예의 다른 제조 방법에서의 일부의 공정

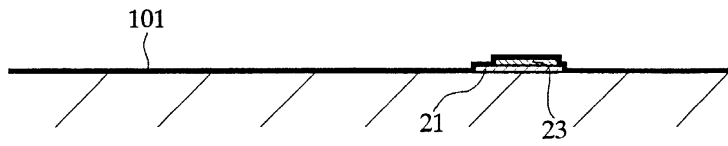
(a)



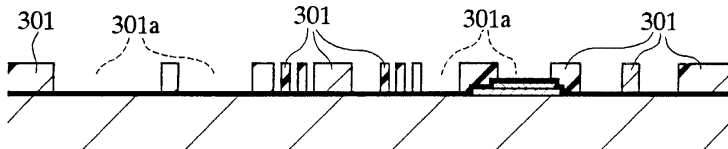
(b)



(c)

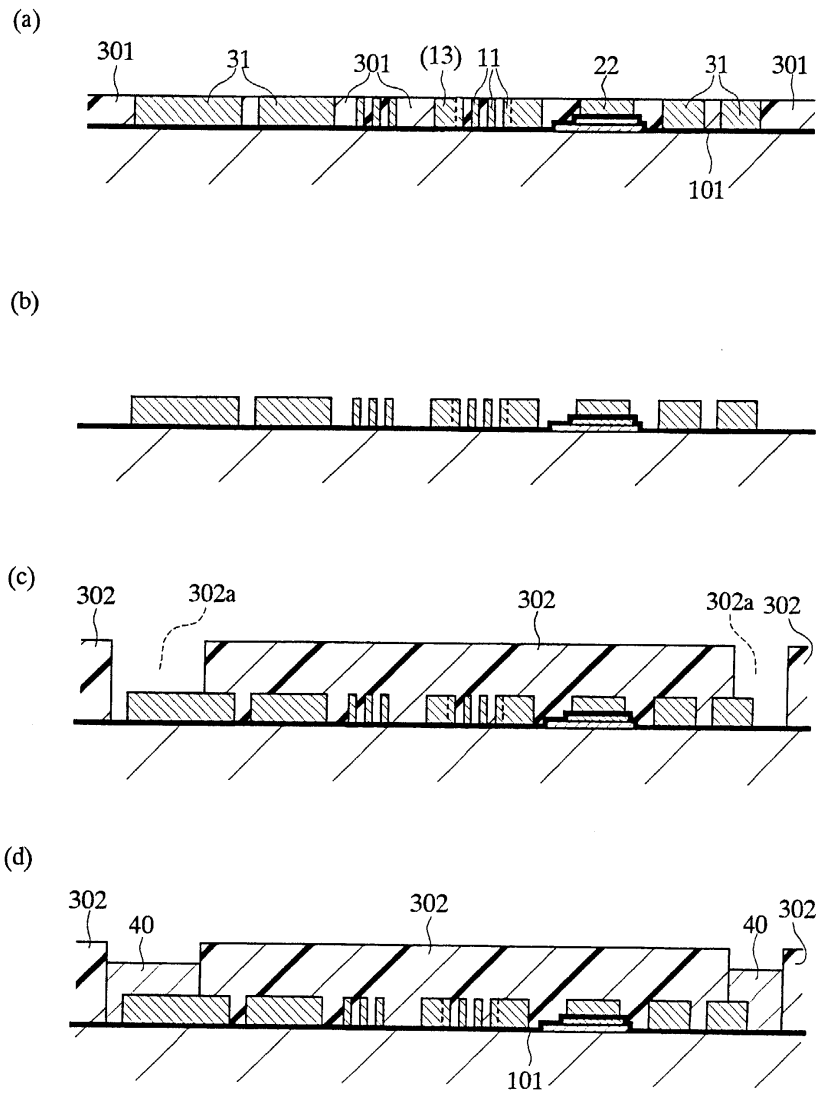


(d)



도면25

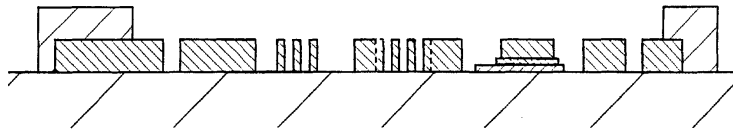
도 24 이후에 계속되는 공정



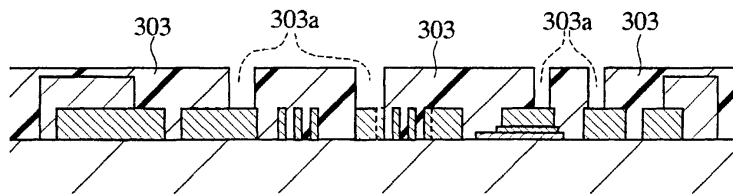
도면26

도 25 이후에 계속되는 공정

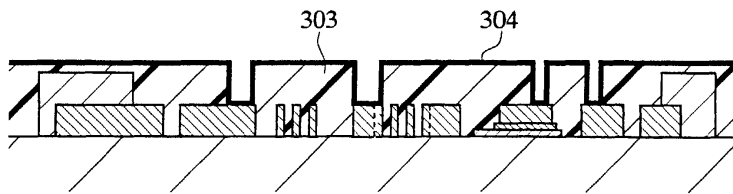
(a)



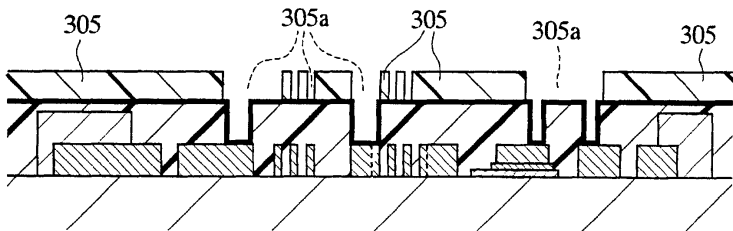
(b)



(c)



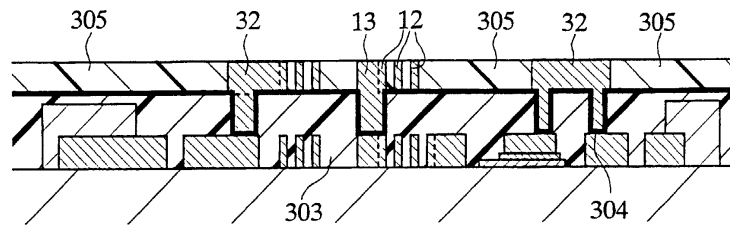
(d)



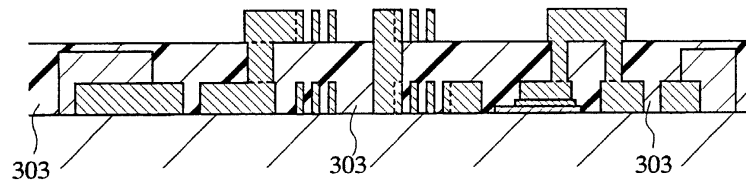
도면27

도 26 이후에 계속되는 공정

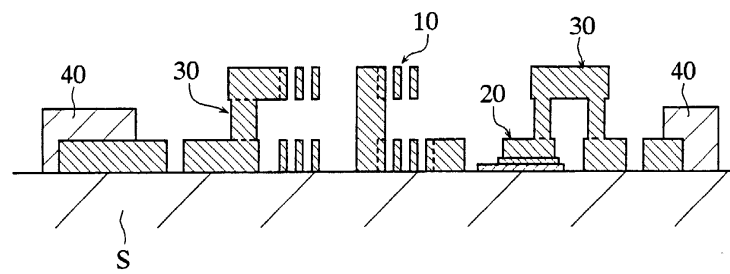
(a)



(b)



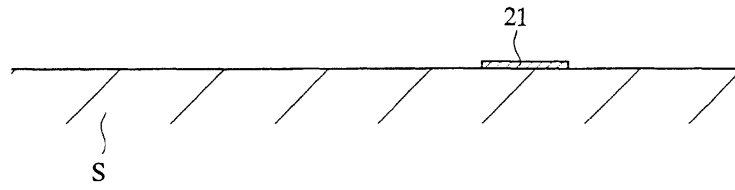
(c)



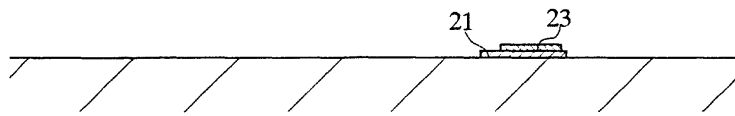
도면28

제2 변형예의 제조 방법에서의 일부의 공정

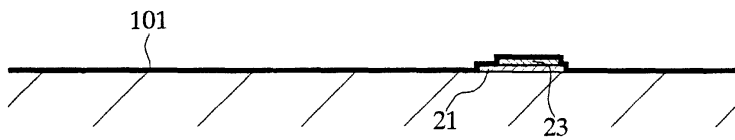
(a)



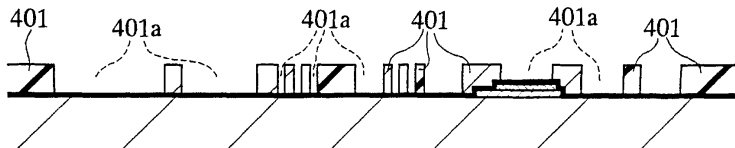
(b)



(c)

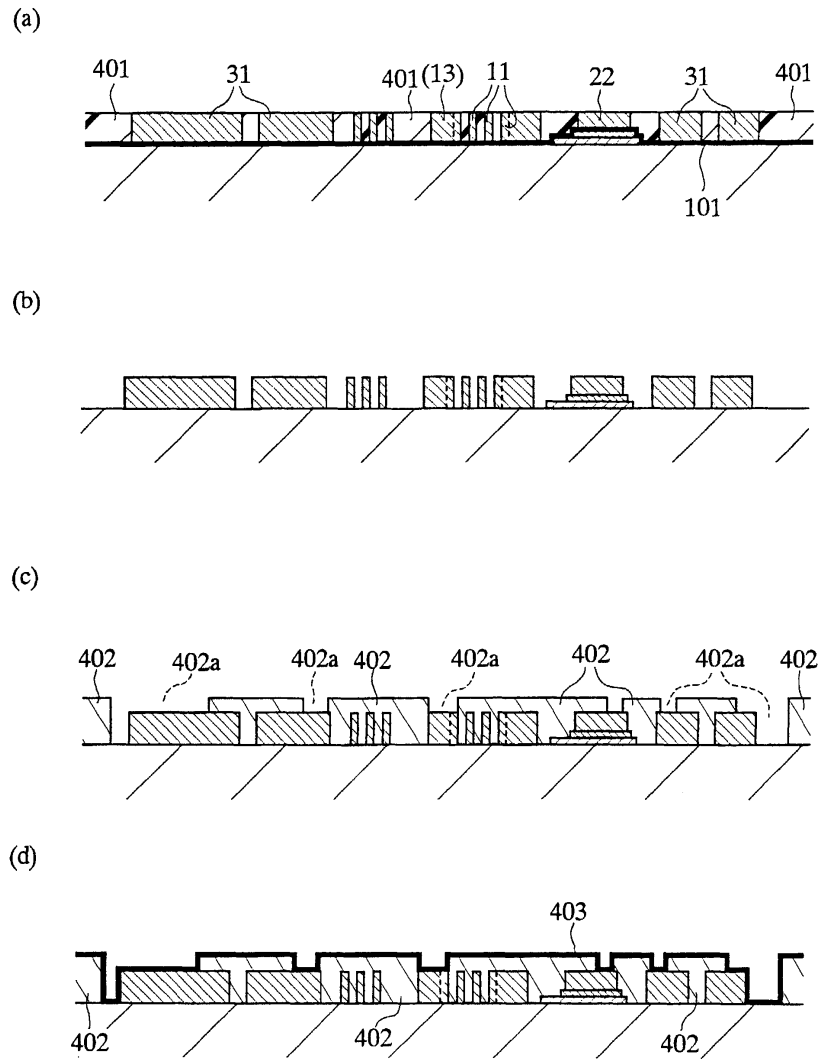


(d)



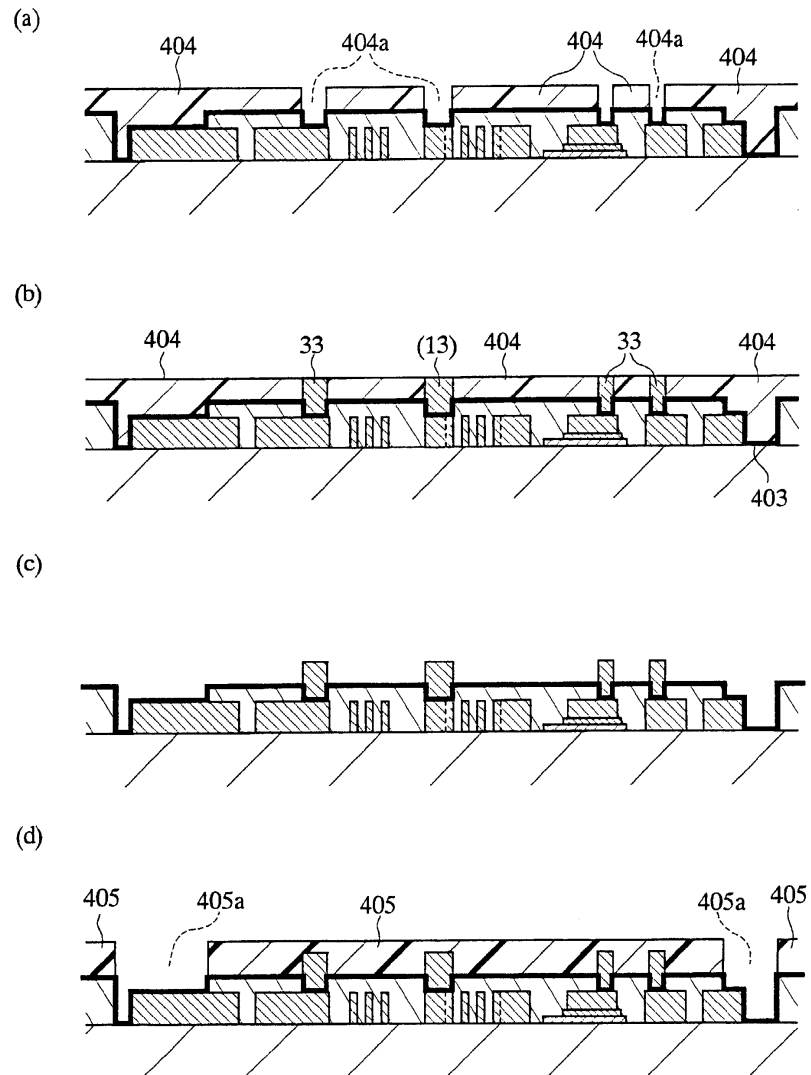
도면29

도 28 이후에 계속되는 공정



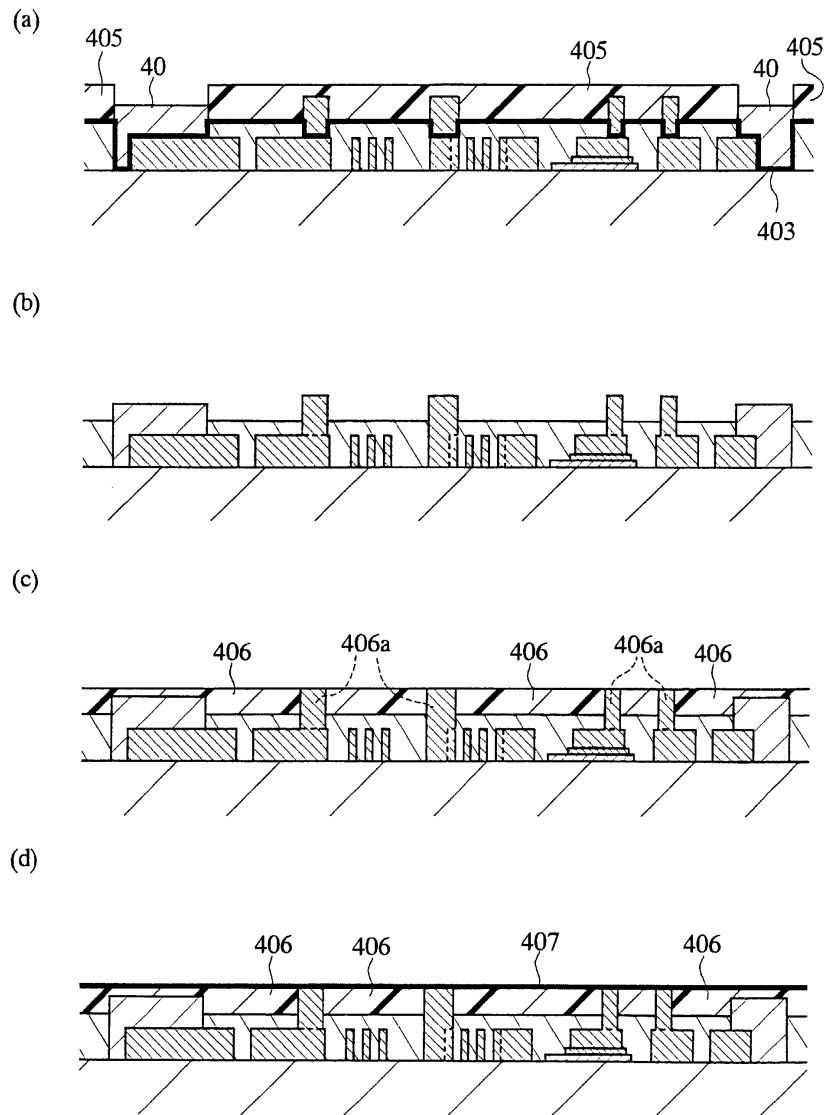
도면30

도 29 이후에 계속되는 공정



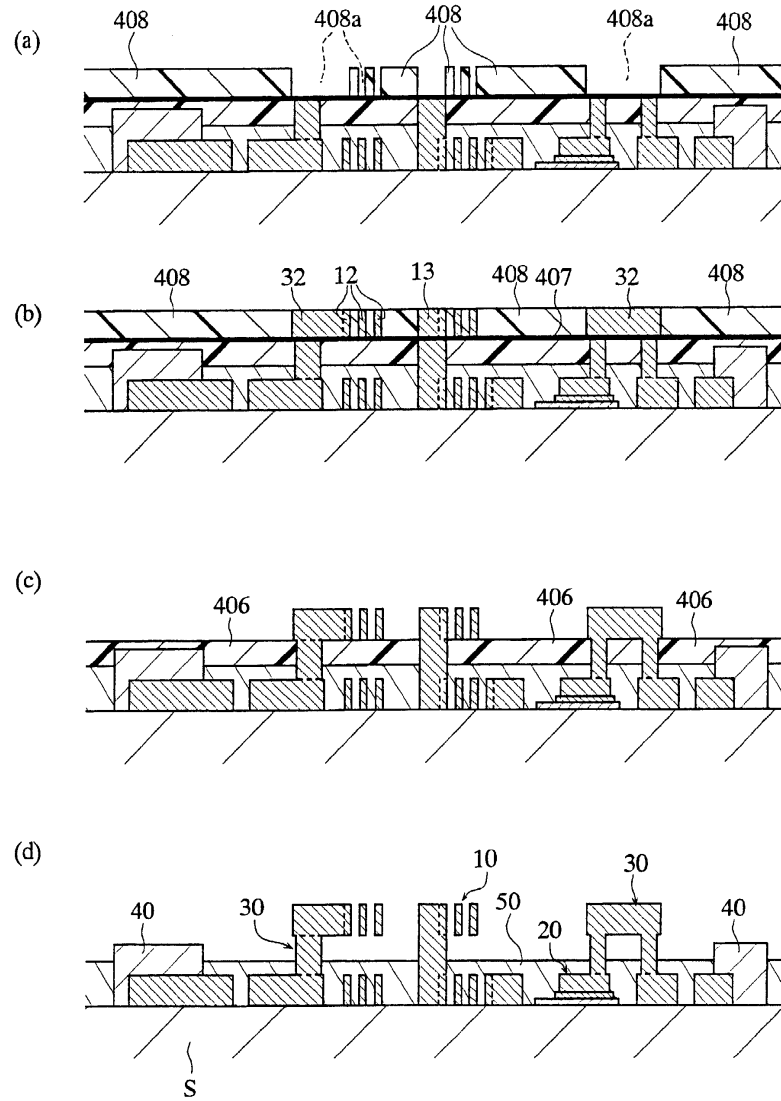
도면31

도 30 이후에 계속되는 공정

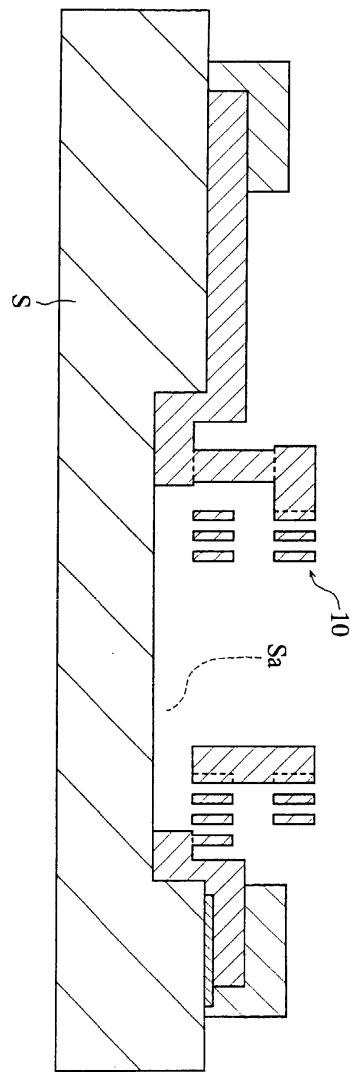


도면32

도 31 이후에 계속되는 공정



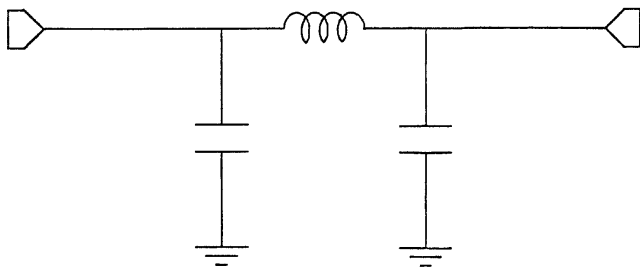
도면33



제3 변형 예의 단면도

도면34

본 발명에 따른 집적형 전자 부품의 다른 회로 구성예



도면35

본 발명에 따른 집적형 전자 부품에 대한 다른 회로 구성예

