(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 11/407

(45) 공고일자 1999년10월15일
(11) 등록번호 10-0226221
(24) 등록일자 1999년07월26일

(21) 출원번호 10-1996-0063602
(22) 출원일자 1996년12월10일
(65) 공개번호 특1997-0071823
(43) 공개일자 1997년11월07일
(30) 우선권주장 96-094390 1996년04월16일 일본(JP)

(73) 특허권자 미쓰비시덴키 가부시키가이샤 다니구찌 이찌로오
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고미쓰비시덴키 가부시키가이샤 기타오카 다카시
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고
(72) 발명자 모리시마 치카요시
일본국 도오쿄도 지요다구 마루노우찌 2쪼메 2-3 미쓰비시 뎅끼 가부시끼가이샤 나이
오바야시 시게키
일본국 도오쿄도 지요다구 마루노우찌 2쪼메 2-3 미쓰비시 뎅끼 가부시끼가이샤 나이
(74) 대리인 이화익

심사관 : 장현근

(54) 반도체 집적회로

요약

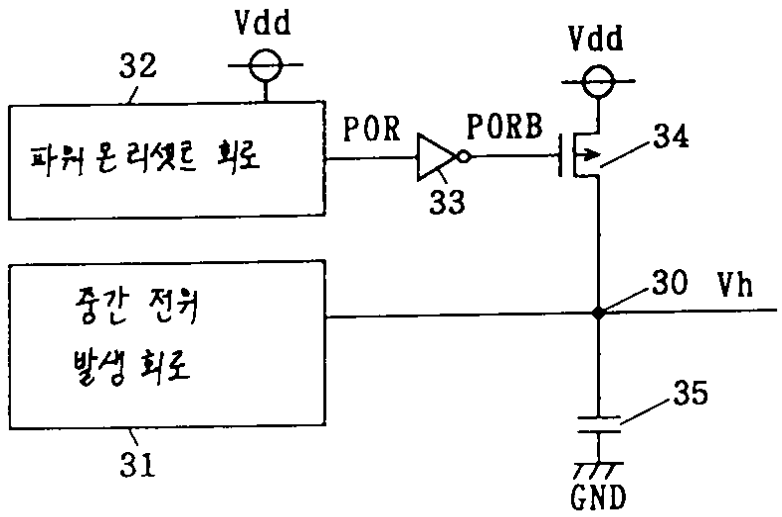
[과제]

전원투입 후 단기간에 소정의 노드를 중간전위로 할 수 있는 소형의 반도체 집적회로를 얻는다.

[해결수단]

전원전위 Vdd가 원하는 중간전위가 된 때에 반전하는 파워 온 리셋트신호 POR를 사용하여, 전원전위 Vdd가 직접소스에 주어지는 P 채널 MOS 트랜지스터34에 의해서 전원투입 후의 이른 단계에서 전원전위 Vdd가 중간전위가 될 때까지 소정의 노드30에 전하를 공급한다.

대표도



명세서

[발명의 명칭]

반도체 집적회로

[도면의 간단한 설명]

제1도는 본 발명의 실시의 형태 1에 의한 반도체 집적회로의 구성의 일부를 나타내는 블럭도이다.

제2도는 제1도에 나타낸 반도체 집적회로의 동작을 설명하기 위한 파형도이다.

제3도는 제1도에 나타낸 중간전위 발생회로의 구성의 일예를 나타내는 회로도이다.

제4도는 제1도에 나타낸 파워 온 리셋트회로의 구성의 일예를 나타내는 회로도이다.

제5도는 본 발명의 실시의 형태 2에 의한 반도체 집적회로의 구성의 일부를 나타내는 블럭도이다.

제6도는 본 발명의 실시의 형태 3에 의한 반도체 집적회로의 구성의 일부를 나타내는 블럭도이다.

제 7도는 본 발명의 실시의 형태 4를 설명하기 위한 블럭도이다.

제8도는 본 발명의 실시의 형태 4에 의한 반도체 집적회로의 구성의 일부를 나타내는 블럭도이다.

제9도는 제7도 및 제8도에 나타내는 중간전위 발생회로의 구성의 일예를 나태내는 회로도이다.

제10도는 제7도에 나타낸 반도체 집적회로의 동작을 설명하기 위한 파형도이다.

제11도는 제8도에 나타낸 파워 온 리셋트 신호를 나타내는 파형도이다.

제12도는 제8도에 나타낸 중간전위 발생회로의 동작을 설명하기 위한 파형도이다.

제13도는 중간전위를 사용하는 종래의 반도체 집적회로의 구성의 일예를 나타내는 블럭도이다.

제14도는 제13도에 나타낸 구동능력의 큰 쪽의 중간전위 발생회로의 구성을 나타내는 회로도이다.

제15도는 제13도에 나타낸 구동능력의 작은 쪽의 중간전위 발생회로의 구성을 나타내는 회로도이다.

제16도는 제13도에 나타낸 반도체 집적회로의 동작을 설명하기 위한 파형도이다.

제17도는 중간전위를 사용하는 종래의 반도체 집적회로의 구성의 다른 예를 게시하는 블록도이다.

제18도는 제17도에 나타낸 반도체 집적회로의 동작을 설명하기 위한 파형도이다.

도면의 주요부분에 대한 부호설명

31,71 : 중간전위 발생회로　　32,32A～32C : 파워 온 리셋트회로

50 : 신호생성회로　　74 : 커런트미러회로부

[발명이 속하는 기술분야]

본 발명은 2종류의 전원전위와 그 중간의 중간전위를 사용하여 동작하는 반도체 집적회로에 관한 것으로, 특히 중간전위를 공급하기 위한 중간전위 발생회로를 내부에 구비하는 반도체 집적회로에 관한 것이다.

[종래의 기술]

제 13 도는 예컨대, 특개평 5-120837호 공보(이하, 문헌1이라고 한다)에 기재된 종래의 DRAM(다이내믹,랜덤,억세스)의 중간전위 발생회로와 그 주변회로의 구성을 나타내는 블럭도이다. 제 13 도에 있어서, 부호 1은 외부전원이 투입되어 외부전원전위 VCC가 미리 설정된 전위에 달한 것을 검지하여 검지신호 PONA, PONB를 발생하는 전원투입검지회로, 2는 외부전원전위 VCC를 받아 이 외부전원전위 VCC보다 낮은 전위의 내부전원전위 VINT를 발생하는 내부전원회로, 3는 외부전원전위 VCC 및 기준전압VREF를 받아 제 1의 중간전위HV1를 발생하여 중간전위공급접점으로 공급함과 동시에 검지신호 PONA가 발생하고, 또 제 1의 중간전위HV1가 소정의 전위로 될때 중간전위공급접점에의 제 1의 중간전위HV1의 공급 및 중간전위 발생기능을 정지하는 큰 중간전위구동능력을 갖는 제 1의 중간전위 발생회로, 4는 내부전원전위 VINT를 받아서 제 2의 중간전위HV2를 발생하여 검지신호 PONB가 발생하면 중간전위공급접점으로 제 1의 중간전위 발생회로3보다 작은 중간전위 구동능력으로 제 2의 중간전위HV2를 공급하는 제 2의 중간전위 발생회로를 나타낸다.

제 14 도는, 예컨대 문헌1에 기재된 제 13 도의 제 1의 중간전위 발생회로3의 구성을 나타내는 회로도이다. 또한, 제 15 도는 예컨대 문헌1에 기재된, 제 13 도의 제 2의 중간전위 발생회로4의 구성을 나타내는 회로도이다. 제 16 도는, 제 13 도에 나타낸 제 1 및 제 2의 중간전위 발생회로 3,4의 동작을 설명하기 위한 각부의 신호의 파형도이다.

제 16 도에 도시한 바와 같이, 전원투입검지회로1는 외부전원전위 VCC가 5V에 달한 것을 검지하여, 외부전원전위 VCC로 되는 검지신호 PONB를 발생한다.

또한, 제 17 도는 예컨대, 특개평 5-114291호 공보(이하, 문헌2이라고 한다)에 기재된 종래의 기준전압발생회로의 구성을 나타내는 회로도이다. 종래의 기준전압발생회로는 기준전압발생원1b와, 기준전압배선구동회로 2b를 가지고, 기준전압배선3b에 의해서 내부 강압회로4b로 기준전압을 공급한다. 기준전압발생원 1b는, 내부 강압전위 VREF0(= 3.3V)를 발생한다.

제 18 도는 문헌2에 기재된 제 17 도의 기준전압발생회로의 동작을 설명하기 위한 각부의 신호의 파형도이다. 전원투입시에는, 제 17 도에 나타낸 트랜지스터 Q_1와 Q_2의 양쪽이 온상태로 되어, 단시간으로 기준전압V_{REF}를 높힐 수 있다. 제 18 도에 도시한 바와 같이, 외부전원전위가 4.0V를 넘으면, 제 17 도에 나타낸 트랜지스터 Q_1은 오프하여 전류능력이 작은 제 17 도에 나타낸 트랜지스터Q_2만으로 기준전압을 3.3V까지 끌어올린다.

[발명이 해결하고자 하는 과제]

종래의 중간전위 발생회로는 이상과 같이 구성되어 있고, 제 13 도에 도시한 바와 같이 2개의 중간전위 발생회로를 사용한 경우에는, 구동능력이 작은 제 2의 중간전위 발생회로4만을 사용하는 경우에

비교하여, 중간전위공급접점의 전위를 빠르게 소정의 중간전위로 할 수 있으나, 중간전위 발생회로3는 전원전위와 접지전위와의 전위차보다 낮은 전압(전원전위 VCC의1/2전압)밖에 발생할 수 없다. 그 때문에, 제 16 도에 나타난 바와 같이, 중간전위공급접점의 전위가 소정의 중간전위가 되는데는, 전원전위 VCC가 대단히 긴 시간(중간전위에 달하는 2배 이상의 시간)을 필요로 한다고 하는 문제가 있었다.

또한, 제 17 도에 나타낸 종래의 기준전압발생회로에서는 차동증폭기21에 의해서 트랜지스터Q_1를 구동하고, 전원전압Vdd가 소정의 전압 3.3V보다 크게된 4V의 시에 기준전압V_{REF}가 3.3V에 달하는 전에 트랜지스터 Q_1를 턴오프시키는 것과 같은 구성으로 되어 있고, 그 후는, 구동능력이 작은 트랜지스터 Q_2에 의해서 기준전압V_{REF}를 3.3V까지 높힌다.

구동능력이 작은 트랜지스터 Q_2만으로 3.3V까지 올리기 때문에, 전원전압 Vdd가 3.3V를 넘어서 V_{REF}가 3.3V에 달할 때까지 대단히 긴 기간이 필요하게 된다고 하는 문제가 있었다.

또한 종래의 반도체 집적회로는 제 14 도에 나타낸 구동능력이 큰 중간전위 발생회로3 및 제 13 도에 나타낸 전원투입검지회로1, 및 제 17 도에 나타낸 차동증폭기 21 및 제 17 도로서는 생략되어 있으나, 신호 $\emptyset_{PON}$을 발생하는 회로를 포함하여 구성되어 있고, 이것들의 회로구성이 복잡하고 레이아웃면적이 커진다고 하는 문제가 있었다.

본 발명은 상기한 것 같은 문제점을 해소하기 위해서 이루어진 것으로, 전원투입후 중간전위를 공급하여야 할 노드의 전위를 즉시 목적의 중간전위로 할 수 있고, 또 레이아웃면적이 작은 반도체 집적회로를 얻는 것을 목적으로 하고 있다.

[과제를 해결하기 위한 수단]

제 1의 발명에 관하는 반도체 집적회로는 전원전위와 접지전위의 사이에 있는 중간전위를 발생하여, 해당 중간전위를 상기 접지전위와의 사이에 있는 용량을 가진 소정의 노드로 인가하기 위한 중간전위 발생회로와, 상기 전원전위가 인가되는 소스, 상기 소정의 노드에 접속된 드레인, 및 게이트를 가지는 적어도 하나의 P 채널 MOS 트랜지스터와, 전원투입으로부터 상기 전원전위가 상기 중간전위에 달할 때까지는, 상기 적어도 하나의 P 채널 MOS 트랜지스터의 상기 게이트에 상기 접지전위를 인가하여, 상기 전원전위가 상기 중간전위에 달한 이후는 상기 적어도 하나의 P 채널 MOS 트랜지스터의 상기 게이트에 대하여, 해당 적어도 하나의 P 채널 MOS 트랜지스터를 턴오프시키기 위한 상기 전원전위를 인가하는 리셋트신호발생회로를 구비하는 것을 특징으로 한다.

제 2의 발명에 관한 반도체 집적회로는 전원전위와 접지전위와의 사이에 있는 중간전위를 발생하여, 해당 중간전위를 상기 접지전위와의 사이에서 용량을 가지는 소정의 노드에 인가하기 위한 중간전위 발생회로와, 상기 전원전위가 인가되는 소스, 상기 소정의 노드에 접속된 드레인, 및 게이트를 가지는 적어도 하나의 P 채널 MOS 트랜지스터와, 전원투입으로부터 상기 소정의 노드의 전위가 상기 중간전위에 달할 때까지는 상기 적어도 하나의 P 채널 MOS 트랜지스터의 상기 게이트에 대하여, 해당 적어도 하나의 P 채널 MOS 트랜지스터를 턴오프시키기 위한 전원전위를 인가하는 리셋트발생회로를 구비하여 구성된다.

제 3의 발명에 관한 반도체 집적회로는 제 1 또는 제 2의 발명의 반도체 집적회로에 있어서, 상기 소정의 노드는 배선을 포함하고, 상기 적어도 하나의 P 채널 MOS 트랜지스터는 복수의 P 채널 MOS 트랜지스터를 포함하고, 상기 용량성의 부하가 상기 배선의 전체에 걸치어 분포하고 있는 경우에, 상기 복수의 P 채널 MOS 트랜지스터를 상기 배선의 전체에 걸치어 분산하여 접속하는 것을 특징으로 한다.

제 4의 발명에 관한 반도체 집적회로는 접지전위와의 사이에서 용량을 가지는 소정의 노드와, 상기 접지전위와 전원전위와의 사이에 있는 제 1의 중간전위를 발생하는 중간전위 발생부와, 상기 소정의 노드와 상기 중간전위 발생부와의 사이에 접속되어, 제어신호와 파워 온 리셋트신호의 논리합에 의해서 출력전류를 온오프 가능하게 구성되고, 상기 중간전위 발생부에서 받은 상기 제 1의 중간전위를 기초로, 상기 소정의 노드에 공급하는 전류를 증폭하여 제 2의 중간전위를 상기 소정의 노드로 인가하는 커런트미러회로부를 구비하고, 상기 파워 온 리셋트신호는 전원투입 후 상기 소정의 노드의 전위가 거의 상기 제 2의 중간전위에 달한 때에 상기 거런트미러회로부를 오프하는 레벨로 변화하는 것을 특징으로 한다.

[발명의 실시의 형태]

[실시의 형태]

이하, 본 발명의 실시의 형태 1에 의한 반도체 집적회로에 관해서 제 1 도 내지 제 4 도를 참조하여 설명한다. 제 1 도는, 본 발명의 실시의 형태 1에 의한 반도체 집적회로의 구성의 일부를 나타내는 블럭도이다. 제 1 도에 있어서, 부호30은 반도체 집적회로중에 설정된 중간전위로 해야할 노드, 31은 통상시에 노드30의 전위를 원하는 중간전위로 유지하기 위한 중간전위 발생회로, 32는 전원전위 Vdd가 원하는 중간전위에 달한 때에 파워 온 리셋트 신호 POR를 받아 그 반전신호 PORB를 출력하는 CMOS 구성의 인버터, 34는 전원전위 Vdd가 주어지는 소스와 노드 30에 접속된 드레인과 인버터33로부터 반전신호 PORB를 받는 게이트를 가지는 P 채널 MOS 트랜지스터, 35는 노드30과 접지전위GND사이의 용량을 보이고 있다.

이 중간전위 발생회로31는, 저소비전력형의 것이 사용되고, 구동능력이 낮게 설정되어 있고, 대단히 높은 출력임피던스를 가지고 있다. 파워 온 리셋트회로32와 인버터33은 리셋트신호발생회로를 구성한다.

제 2 도는 제 1 도에 나타낸 회로의 동작을 나타내는 파형도이다. 제 2 도에 도시한 바와 같이, 전원이 동작을 개시하면, 파워 온 리셋트신호 POR는 전원전위 Vdd가 높아져 가는 것과 거의 같은 경사(전위의 변화/시간)을 갖고 상승한다.

인버터33는 COMS 구성이고, 인버터33은 전원전위 Vdd가 인버터를 구성하고 있는 P 채널 MOS 트랜지스터 한계전압을 넘을 때까지는, 그 출력을 로우레벨에 유지한다. 그런데, 파워 온 리셋트신호 POR는 원하는 중간전위 VMID까지는 전원전위 Vdd와 거의 같은 값을 취한다. 그 때문에, 원하는 중간전위 VMID까지, 인버터33는 반전신호 PORB로서 로우레벨을 출력한다. 반전신호 PORB가 로우레벨의 사이, P 채널 MOS 트랜지

스터34가 도통상태로 있고, 이 트랜지스터34의 구동능력을 충분히 크게하여 놓는 것에 의해, 노드30의 전위 Vh는 거의 전원전위 Vdd가 높아지는 데 따라 같이 높아진다.

소정의 시간 t1을 경과하여 전원전위 Vdd가 원하는 중간전위 VMID에 달한 때에, 파워 온 리셋트회로32는 전원전위 Vdd가 중간전위 VMID와 같이 된 것을 검지한다. 그리고, 파워 온 리셋트회로32는, 파워 온 리셋트신호 POR를 전원전위 Vdd의 값으로부터 로우레벨(접지전위 GND의 값)로 변화시킨다. 그 변화에 따라, 인버터33는 그 출력을 게이트로 받는 P 채널 MOS 트랜지스터34는 비도통상태로 되고, 노드30에의 전하의 공급은 정지한다. 그 때문에, 노드30의 전위 Vh는, 거의 소망의 중간전위 VEID와 같이 된다. 중간전위 발생회로31가 대단히 높은 출력임피던스를 가지고 있기 때문에, 노드30로부터 중간전위 발생회로31로 흐르는 전류는 대단히 작고, 트랜지스터34가 턴오프한 후, 노드30의 전위 Vh는 거의 원하는 중간전위 VMID로 유지된다.

전원전위 Vdd가 소정의 전위 VDD에 도달한 후, 얼마 안된 시간 t2에, 중간전위 발생회로31는, 정확한 중간전위 VMID를 출력한다. 이때, 노드30의 전위 Vh는 거의 원하는 중간전위 VMID와 같이 되어있는 것으로부터, 중간전위 발생회로31에 의해서, 즉시 정확한 중간전위 VMID로 된다.

이와 같이, 전원투입시에 파워 온 리셋트신호 POR의 반전신호 PORB에 의해서 P 채널 MOS 트랜지스터34를 직접제어하여, 이 트랜지스터34를 통해 노드30을 전원으로 직접구동하기 때문에, 중간전위 발생회로만으로 노드30를 구동하는 경우에 비교해서, 또, 자동증폭기로 트랜지스터를 제어하는 경우에 비교하여 대단히 단시간으로 노드30의 전위를 목적의 중간전위 VMID로 할 수 있다.

또한, 추가되는 회로는 파워 온 리셋트회로32 이외로는, 인버터33와 P 채널 MOS 트랜지스터34뿐이기 때문에 레이아웃면적의 증가는 거의 없다.

다음에, 중간전위 발생회로31의 구성의 일예를 제 3 도에 나타낸다.

제 3 도의 중간전위 발생회로는 드레인rhk 전원전위 Vdd가 주어진 소스와 접지전위GND가 주어진 게이트를 가지는 P 채널 MOS 트랜지스터Q20, 게이트와 드레인과 트랜지스터 Q20의 드레인에 접속된 소스와 트랜지스터 Q20의 드레인에 접속된 기판을 가지는 P 채널 MOS 트랜지스터 Q21, 트랜지스터 Q21의 소스에 접속된 드레인과 트랜지스터 Q21의 게이트 및 트랜지스터 Q21의 드레인에 접속된 게이트와 접지전위 GND가 주어진 소스를 가지는 N 채널 MOS 트랜지스터 Q22, 접지전위 GND가 주어진 소스와 트랜지스터 Q22의 게이트에 접속된 게이트와 트랜지스터 Q22의 게이트에 접속된 드레인을 가지는 N 채널 MOS 트랜지스터 Q23, 게이트와 전원전위 Vdd가 주어진 소스와 트랜지스터 Q23의 드레인에 접속된 드레인을 가지는 P 채널 MOS 트랜지스터 Q24, 전원전위 Vdd가 주어진 소스와 트랜지스터 Q24의 게이트에 접속된 게이트와 트랜지스터 Q24의 게이트에 접속된 드레인을 가지는 P 채널 MOS 트랜지스터 Q25, 소스와 트랜지스터 Q23의 게이트에 접속된 게이트와 트랜지스터 Q25의 드레인에 접속된 드레인을 가지는 N 채널 MOS 트랜지스터 Q26, 트랜지스터 Q26의 소스에 접속된 한쪽 단과 접지전위GND가 주어진 다른쪽단을 가지는 저항R10, 전원전위 Vdd가 주어진 소스와 트랜지스터 Q25의 드레인에 접속된 게이트와 노드30에 접속된 드레인을 가진 P 채널 MOS 트랜지스터 Q27, 에미터와 트랜지스터 Q27의 드레인에 접속된 콜렉터와 트랜지스터 Q27의 드레인에 접속된 베이스를 가지는 NPN 트랜지스터 Q28, 및 트랜지스터 Q28의 에미터에 접속된 한쪽 단과 접지전위GND가 주어진 다른쪽 단을 가지는 저항R11을 포함하여 구성되어 있다.

직렬로 접속된 트랜지스터 Q27와 트랜지스터 Q28와 저항 R11으로 이루어지는 직렬체의 양단은, 각각, 전원전위 Vdd와 접지전위GND로 되어 있다. 그 때문에, 노드 30에는, 접지전위GND보다도 트랜지스터 Q28와 저항R11으로 발생하는 전압분만큼 높은 전위 Vh가 발생한다.

다음에, 파워 온 리셋트회로32의 구성의 일예를 제 4 도에 나타낸다.

제 4 도의 파워 온 리셋트회로는 게이트와 드레인을 전원전위 Vdd가 주어진 소스를 가지는 P 채널 MOS 트랜지스터 Q30, 트랜지스터 Q30의 드레인에 접속된 소스와 트랜지스터 Q30의 드레인에 접속된 게이트와 트랜지스터 Q30의 드레인에 접속된 드레인을 가지는 P 채널 MOS 트랜지스터 Q31, 트랜지스터 Q30의 드레인에 접속된 게이트와 접지전위GND가 주여지는 소스와 접지전위GND가 주여지는 드레인을 가지는 N 채널 MOS 트랜지스터 Q32, 트랜지스터 Q32의 게이트에 접속된 한쪽 단과 접지전위 GND가 주여지는 다른쪽 단을 가지는 저항R20, 드레인과 전원전위 Vdd가 주어진 소스와 저항R20의 한편 단에 접속된 게이트를 가지는 N 채널 MOS 트랜지스터 Q34, 트랜지스터 Q34의 드레인에 접속된 게이트와 전원전위 Vdd가 주여지는 드레인과 전원전위 Vdd가 주여진 소스를 가지는 P 채널 MOS 트랜지스터 Q35, 트랜지스터 Q35의 게이트에 접속된 게이트와 전원전위 Vdd가 주어진 소스와 트랜지스터 Q34의 게이트에 접속된 드레인을 가지는 P 채널 MOS 트랜지스터 Q36, 트랜지스터 Q36의 드레인에 접속된 드레인과 트랜지스터 Q36의 게이트에 접속된 게이트와 접지전위GND가 주어진 소스를 가지는 N 채널 MOS 트랜지스터 Q37, 출력단과 트랜지스터 Q33 및 Q34의 드레인에 접속된 입력단을 가진 전원전위 Vdd와 접지전위GND가 주어져서 동작하는 CMOS 구성의 인버터40, 및 파워 온 리셋트신호 POR를 출력하는 출력단과 인버터40의 출력단에 접속된 입력단을 가진 전원전위 Vdd와 접지전위GND가 주어져서 동작하는 CMOS 구성의 인버터 41를 포함하여 구성되어 있다.

트랜지스터 Q30의 드레인은 트랜지스터 Q34의 게이트에 접속되어 있고, 트랜지스터 Q34가 턴온하는 한계전압과 트랜지스터 Q30 및 저항R20의 저항값을 조정함에 의해, 파워 온 리셋트신호 POR를 변화시키는 전위를 임의로 설정할 수 있다. 이것을 이용하여, 파워 온 리셋트신호 POR를 변화시키는 전위를 원하는 중간전위 VMID로 설정한다.

전술과 같이 설정한 상태로, 전원투입시에, 전원전위 Vdd가 중간전위 VMID로 달하면, 트랜지스터 Q34가 턴온해서, 인버터41로부터 출력되는 파워 온 리셋트신호 POR는 로우레벨로 변화한다. 그것과 동시에, 트랜지스터 Q36가 턴온하기 때문에, 트랜지스터 Q33, Q34의 게이트는 하이 레벨로 고정된다.

또, 트랜지스터 Q31는 제 4 도에 나타낸 상태에서는 동작하지 않으나, 트랜지스터 Q34가 턴온하는 전위를 조정할 때에, 트랜지스터 Q30, Q31의 게이트 사이를 분리하여 이용할 수 있다.

[실시의 형태 2]

다음에, 본 발명의 실시의 형태 2에 의한 반도체 집적회로에 대해서 제 5 도를 사용하고 설명한다. 제 5 도는, 본 발명의 실시의 형태 2에 의한 반도체 집적회로의 구성의 일부를 나타내는 블럭도이다. 제 5 도에 있어서, 50은 트랜지스터 Q34를 턴오프하기 위한 타이밍을 결정하는 신호 POR를 출력하는 신호생성회로이고, 그외는 제 1 도와 동일부호의 것은 제 1 도의 동일부호부분에 해당하는 부분이다.

또한, 신호생성회로50이 제 4 도에 나타낸 파워 온 리셋트회로와 다른 점은, 트랜지스터 Q30 대신에 P 채널 MOS 트랜지스터 Q30A를 사용하고 있는 점과, 트랜지스터 Q33, Q34의 드레인을 인버터33에 직접 접속하고 있는 2가지 점이다. 신호생성회로50와 인버터33는, 리셋트신호발생회로를 구성한다.

트랜지스터 Q30A와 트랜지스터 Q30은 그 소스가 접속되어 있는 노드가 다르고, 트랜지스터 Q30의 소스에 전원전위 Vdd가 공급되는 데 대하여, 트랜지스터 Q30A의 소스에는 노드30의 전위 Vh가 주어진다.

신호생성회로50으로부터 출력되는 신호 POR은 노드30의 전위 Vh가 소망의 중간전위 VMID에 달한 때에 반전한다. 따라서, 신호생성회로50으로부터 출력되는 신호 POR은 제 1 도 및 제 2 도에 나타낸 파워 온 리셋트신호 POR과 거의 동일하다. 그러나, 신호생성회로50로부터 출력되는 신호 POR가 반전하는 타이밍의 정확도는 파워 온 리셋트회로32를 사용하는데 비교하여 높아진다.

또, 그 반도체 집적회로의 동작에 관하여는, 제 4 도를 사용해서 설명한 실시의 형태 1의 반도체 집적회로의 동작과 거의 같게 된다.

[실시의 형태 3]

다음에, 본 발명의 실시의 형태 3에 의한 반도체 집적회로에 관해서 제 6 도를 사용해서 설명한다. 제 6 도는 본 발명의 실시의 형태 3에 의한 반도체 집적회로의 구성의 일부를 나타내는 블럭도이다. 제 6 도에 있어서, 부호 60은 제 1 도의 노드30에 해당하는 것이나, 거리를 두어서 설치된 다수의 트랜지스터의 게이트에 접속되는 것이 대단히 긴 배선이 접속되어 있는 등 비교적 큰 용량이 분포하고 있는 경우의 배선을 나타내고 있다.

또한 , 제 6 도의 파워 온 리셋트회로 32A와 P 채널 MOS 트랜지스터34A로 이루어지는 구성은, 제 1 도의 파워 온 리셋트회로32A와 인버터33A와 P채널 MOS 트랜지스터34로 이루어지는 구성은, 제 1 도의 파워 온 리셋트회로32와 인버터 33와 P 채널 MOS 트랜지스터34에 해당하는 구성이다. 또한, 파워 온 리셋트회로32B와 인버터33B와 P 채널 MOS 트랜지스터34B, 및 파워 온 리셋트회로32C와 인버터 33C와 P채널 MOS 트랜지스터34C도, 제 1 도에 나타낸 것과 같은 구성이다.

제 6 도에 도시한 바와 같이, 파워 온 리셋트회로32A～32C와 인버터 33A～33C와 P채널 MOS 트랜지스터 34A～34C로서 구성되는 3개의 회로를 배선60으로 분산 배치한다.

이와 같이 접속함에 의해, 배선60이 2차원적 혹은 3차원적으로 배치되어 있고, 용량성분이 분포되어 있는 경우에도, 배선60의 어느쪽의 점도 거의 동시간에, 또, 장소에 의한 오차를 작게 하여 균일하게 소망하는 중간전위로 할 수 있다.

또, 상기 실시의 형태 3의 설명에서는 파워 온 리셋트회로32A～32C를 사용하였으나, 실시의 형태 2의 신호생성회로50를 사용하더라도 좋고, 상기 실시의 형태 3과 동일한 효과를 발휘한다. 또한, 배치되는 트랜지스터수는 배선용량에 합쳐저 설정된다.

또한, 파워 온 리셋트회로32A～32C를 공통화하더라도 좋고, 상기 실시의 형태와 동일한 효과를 발휘한다.

[실시의 형태 4]

다음에, 본 발명의 실시의 형태 4에 의한 반도체 집적회로에 관해서 제 7 도내지 제 9 도를 사용하고 설명한다. 제 7 도는 본 발명의 실시의 형태 4에 의한 반도체 집적회로의 구성을 설명하기 위한 블럭도이다. 제 7 도에 나타낸 회로는, 본 발명의 실시의 형태 4의 전제가 되는 회로구성이다.

제 7 도에 있어서, 71은 저소비전력형의 중간전위 발생부의 후단에 커런트미러회로부를 접속함으로써 구동능력을 크게함과 동시에 외부에서의 제어신호 CEA에 의해서 출력이 제어할 수 있도록 구성되어 있는 중간전위 발생회로이다.

제 9 도는, 제 7 도에 나타낸 중간전위 발생회로71의 구성의 일예를 나타내는 회로도이다. 제 9 도에 있어서, 73는 제 3 도에 나타낸 것으로 같은 구성의 저소비전력형의 중간전위 발생부, 74는 중간전위 발생부73가 출력하는 중간전위에 따라서 중간전위 Vh를 출력하는 거런트미러회로부이다.

구동능력을 크게함과 동시에 중간전위 VMID를 인가하는 필요가 없는 때로는 제어신호 CEA에 의해서, 커런트미러회로부74를 비동작상태로 하는 것으로, 소비전력의 절약을 하고 있다.

커런트미러회로부74는, 드레인과 트랜지스터 Q27의 드레인에 접속된 게이트와 접지전위GND가 주어지는 소스를 가지는 N 채널 MOS 트랜지스터 Q40, 드레인과 제어신호 CEA가 주어지는 게이트와 트랜지스터 Q40의 드레인에 접속된 소스를 가지는 N 채널 MOS 트랜지스터 Q41, 전원전위 Vdd가 주어지는 소스와 트랜지스터 Q41의 드레인에 접속된 드레인과 트랜지스터 Q41의 드레인에 접속된 게이트를 가지는 P 채널 MOS 트랜지스터 Q42, 드레인과 트랜지스터 Q42의 게이트에 접속된 게이트와 전원전위 Vdd가 주어지는 소스를 가지는 P 채널 MOS 트랜지스터 Q43, 접지전위 GND가 주어지는 소스와 트랜지스터 Q43의 드레인에 접속된 드레인과 트랜지스터 Q43의 드레인에 접속된 게이트를 가지는 N 채널 MOS 트랜지스터 Q44, 트랜지스터 Q43의 드레인에 접속된 한쪽 전류전극과 노드72에 접속된 다른쪽 전류전극과 제어신호 CEA가 주어지는 게이트를 가지는 N 채널 MOS 트랜지스터 Q45, 게이트와 트랜지스터 Q43의 드레인에 접속된 한쪽 전류전극과 노드72에 접속된 다른쪽 전류전극을 가지는 P 채널 MOS 트랜지스터 Q46, 및 제어신호 CEA가 주어지는 입력단과 트랜지스터 Q46의 게이트에 접속된 출력단을 가지는 인버터75로 구성되어 있다. 트랜지스터 Q45,Q46는 트랜스미션 게이트를 구성하고 있다.

제 7 도에 나타낸 회로의 동작을 제 10 도에 나타낸다.

제어신호 CEA는, 시간 t3과 t4의 사이, t5와 t6의 사이, t7과 t8의 사이, t9와 t10의 사이, 및 t11과 t12의 사이에서 전원전위 VDD를, 그 이외의 구간에서 접지전위 GND(0V전위)를 얻는다.

커런트미러회로부74는 제어신호 CEA가 로우레벨(0V전위)의 사이, 트랜지스터 Q41, Q45, Q46가 오프상태로 되기 때문에, 노드72로 전하를 공급하지 않는다.

그 때문에, 시간 t3과 t4의 사이에서는 커런트미러회로부74가 동작하고 있는 기간이 지나치게 짧고, 노드72의 전위 Vh를 소망 중간전위 VMID로 할 수 없다.

시간 t5와 시간 t6의 사이에서도 시간 t3과 t4의 사이와 같이, 노드 72의 전위 Vh를 중간전위 VMID로 할 수 없다. 그리고, 시간 t7과 t8의 사이에서 겨우 전위 Vh는 중간전위 VMID에 달한다.

제 10 도에 도시한 바와 같이, 구동능력이 큰 커런트미러회로부74를 저소비전력형의 중간전위 발생부73의 후단에 설치하더라도, 제어신호 CEA에서 제어하기 때문에, 중간전위 발생회로71는 초기 동작의 단계에서, 노드72의 전위 Vh를 중간전위 VMID로 해서 놓을 수 없다.

제 8 도는, 반도체 집적회로중에 설치되어, 전원이 투입되어 얼마 안된 초기 동작단계에서 노드72의 전위 Vh를 중간전위 VMID로 해서 놓을 수 있는 신호제어형의 중간전위 발생회로의 구성을 나타내는 블럭도이다. 제 8 도에 있어서, 32는 파워 온 리셋트신호 POR를 출력하는 파워 온 리셋트회로, 70는 파워 온 리셋트신호 POR와 제어신호 CEA의 논리합을 얻어 제어신호 CEB를 출력하는 OR게이트, 71는 제어신호 CEB에 의해 제어되는 중간전위 발생회로이다.

중간전위 발생회로71의 구성은 제 7 도에 나타낸 것과 동일하고, 제 7 도와 제 8 도의 중간전위 발생회로 71를 비교하면 주어지는 제어신호가 다를 뿐이다. 또한, 파워 온 리셋트회로32는 제 4 도에 나타난 것과 같이 구성할 수 있다.

단, 파워 온 리셋트신호 POR는, 노드72가 원하는 중간전위 VMID에 달한 때에 접지전위가 되도록 설정되는 것이 바람직하다. 또, 파워 온 리셋트신호 POR를 변화시키는 타이밍을 주는 것은, 노드72의 전위 Vh 만으로도 좋고, 또, 전원전위 Vdd 이어도 좋다. 전원전위 Vdd를 사용할 때는 전원전위 Vdd와 노드72의 전위 Vh의 관계에 따라서 파워 온 리셋트신호 POR를 변화시키는 전위를 설정한다.

제 11 도는, 파워 온 리셋트신호 POR와 전원전위 Vdd와의 관계를 나타내는 그래프이고, 제 12 도는, 제 8 도의 반도체 집적회로에 있어서의 제어신호 CEB와 노드72의 전위 Vh의 관계를 나타내는 그래프이다.

제 12 도에 도시한 바와 같이, 제어신호 CEB는, 제 10 도에 나타낸 제어신호 CEA와 제 11 도에 나타낸 파워 온 리셋트신호 POR의 논리합을 얻어 생성된다.

그 때문에, 중간전위 발생회로71은 전원투입시점(원점)부터 시간t14까지의 사이에, 노드72에 전하를 공급한다. 그 때문에, 노드72의 전위 Vh는, 제어신호 CEA가 활성화 되기 전에 거의 중간전위 VMID로 되어 있고, 중간전위 발생회로71를 사용하는 반도체 집적회로에 대해서도, 초기 동작상태로부터 정확한 동작을 기대할 수 있다.

그리고, 파워 온 리셋트신호 POR가 로우레벨이 된 후는, 제어신호 CEA에 의해서 필요할 때만 중간전위 VMID를 유지하도록 커런트미러회로부74가 동작상태로 되기 때문에, 중간전위 발생회로71는, 큰 구동능력과 저소비전력이라는 상반하는 기능을 동시에 발휘할 수 있다.

또, 상기 실시의 형태 4에서는, 파워 온 리셋트회로32를 사용했으나, 실시의 형태 2에서 설명한 신호생성회로50을 사용하더라도 좋고, 상기 실시의 형태와 동일한 효과를 발휘한다.

[발명의 효과]

이상 설명한 바와 같이, 본 발명의 반도체 집적회로에 의하면, 전원이 투입되어 전원전위가 중간전위에 달할 때까지는, P 채널 MOS 트랜지스터의 게이트에는 제 2의 접지전위가 주어져 있기 때문에, 소정의 노드는 P 채널 MOS 트랜지스터에 의해 거의 전원전위와 같이 상승한다. 그리고, 리셋트신호발생회로에 의해서 P 채널 MOS 트랜지스터가 오프할 때에는, 소정의 노드의 전위가 중간전위로 되도록 구성되어 있기 때문에, 전원투입 후, 중간전위를 공급해야 할 소정의 노드의 전위를 즉시 목적의 중간전위로 할 수 있다고 하는 효과가 있다. 또한, 리셋트신호발생회로 이외로는 P 채널 MOS 트랜지스터의 추가만으로 좋고, 레이아웃면적을 작게 하여 반도체 집적회로의 집적도를 향상할 수 있다고 하는 효과가 있다.

또한, 본 발명의 반도체 집적회로에 의하면, 전원이 투입되어 소정의 노드의 전위가 중간전위로 달할 때까지는 P 채널 MOS 트랜지스터의 게이트에는 접지전위가 주어지므로서, 소정의 노드는 P 채널 MOS 트랜지스터에 의해 거의 전원전위와 같이 상승한다.

그리고, 리셋트신호발생회로에 의해서 P 채널 MOS 트랜지스터가 오프하는 때에는, 소정의 노드가 중간전위가 되도록 구성되어 있으므로서, 전원투입 후, 중간전위를 공급해야 할 소정의 노드의 전위를 즉시 목적의 중간전위로 할 수 있다고 하는 효과가 있다. 또한, 리셋트신호발생회로 이외로는, P 채널 MOS 트랜지스터의 추가만으로 좋고, 레이아웃면적을 작게 하여 반도체 집적회로의 집적도를 향상할 수 있다고 하는 효과가 있다.

본 발명의 반도체 집적회로에 의하면, 배선으로 분산하여 접속된 복수의 P 채널 MOS 트랜지스터에 의해서 전하가 공급되도록 구성되어 있으므로, 배선전체를 거의 균일하게 소정의 중간전위로 할 수 있다고 하는 효과가 있다.

본 발명의 반도체 집적회로에 의하면, 커런트미러회로부는 파워 온 리세트신호에 의해서, 전원투입시에 소정의 노드의 전위가 거의 제 2의 중간전위로 달할 때까지는 소정의 노드에 전하를 공급하므로서, 제어신호에 의해서 제어되는 전에 소정의 노드를 제 2의 중간전위로 할 수 있어, 저소비전력과, 큰 구동력을 가지고 소정의 노드를 구동하면서 전원투입직후로부터 정확한 동작을 할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1

전원전위와 접지전위의 사이에 있는 중간전위를 발생하여, 해당 중간전위를 상기 접지전위와의 사이에서 용량을 가지는 소정의 노드(30)에 인가하기 위한 중간전위 발생회로(31)와, 상기 전원전위가 인가되는 소스, 상기 소정의 노드(30)에 접속된 드레인, 및 게이트를 가지는 적어도 하나의 P 채널 MOS 트랜지스터(34)와, 전원투입으로부터 상기 전원전위가 상기 중간전위에 달할 때까지는, 상기 적어도 하나의 P 채널 MOS 트랜지스터(34)의 상기 게이트에 상기 접지전위를 인가하여, 상기 전원전위가 상기 중간전위에 달한 이후는, 상기 적어도 하나의 P 채널 MOS 트랜지스터의 상기 게이트에 대하여, 적어도 하나의 P 채널 MOS 트랜지스터(34)를 턴오프시키기 위해서 상기 전원전위를 인가하는 리셋트신호발생회로를 구비하는 반도체 집적회로.

청구항 2

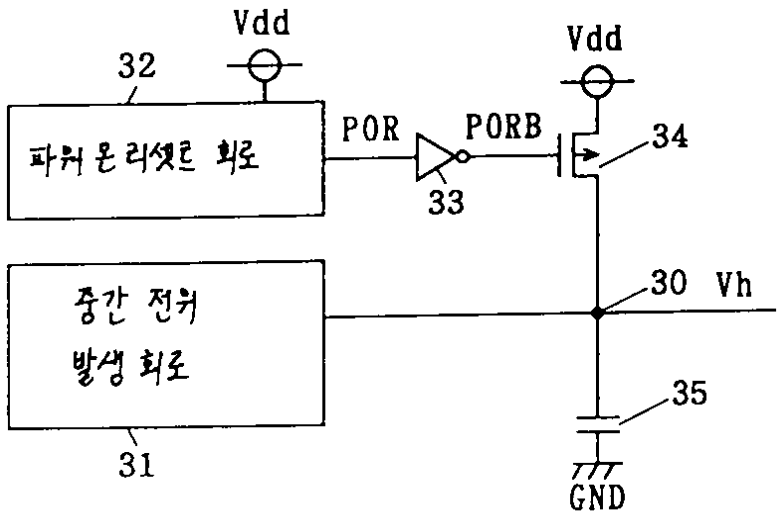
전원전위와 접지전위와의 사이에 있는 중간전위를 발생하여, 해당 중간전위를 상기 접지전위와의 사이에서 용량을 가지는 소정의 노드(30)에 인가하기 위한 중간 전위 발생회로(31)와, 상기 전원전위가 인가되는 소스, 상기 소정의 노드에 접속된 드레인, 및 게이트를 가지는 적어도 하나의 P 채널 MOS 트랜지스터(34)와, 전원투입으로부터 상기 소정의 노드의 전위가 상기 중간전위에 달할 때까지는 상기 적어도 하나의 P 채널 MOS 트랜지스터의 상기 게이트에 상기 접지전위를 인가하고, 상기 소정의 노드의 전위가 상기 중간전위에 달안 이후는, 상기 적어도 하나의 P 채널 MOS 트랜지스터의 상기 게이트에 대하고, 해당 적어도 하나의 P 채널 MOS 트랜지스터를 턴오프 시키기 위해 상기 전원전위를 인가하는 리셋트신호발생회로를 구비하는 반도체 집적회로.

청구항 3

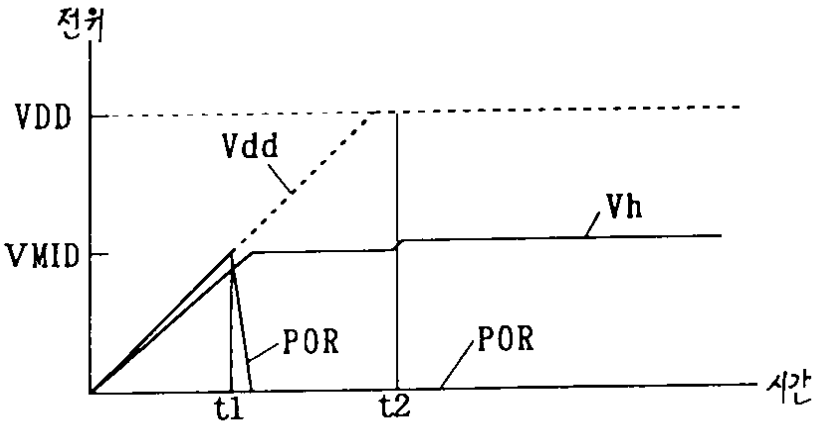
접지전위와의 사이에서 용량을 가지는 소정의 노드(Q72)와, 상기 접지전위와 전원전위와의 사이에 있는 제 1의 중간전위를 발생하는 중간전위 발생부(Q73)와, 상기 소정의 노드와 상기 중간전위 발생부와의 사이에 접속되어, 제어신호와 파워 온 리셋트신호의 논리합에 의해서 출력전류를 온오프 가능하게 구성되며, 상기 중간전위 발생부에서 받은 상기 제 1의 중간전위를 기초로, 상기 소정의 노드에 공급하는 전류를 증폭하여 제 2의 중간전위를 상기 소정의 노드로 인가하는 커런트 미러회로부(Q74)를 구비하고, 상기 파워 온 리셋트신호는 전원투입 후 상기 소정의 노드의 전위가 거이 상기 제 2의 중간전위에 달한 때에 상기 커런트미러회로부를 오프하는 레벨로 변화하는 것을 특징으로 하는 반도체 집적회로.

도면

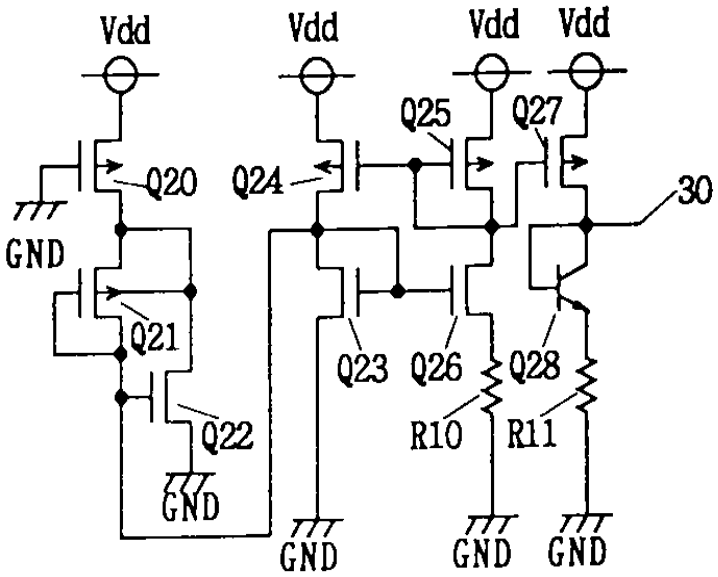
도면1



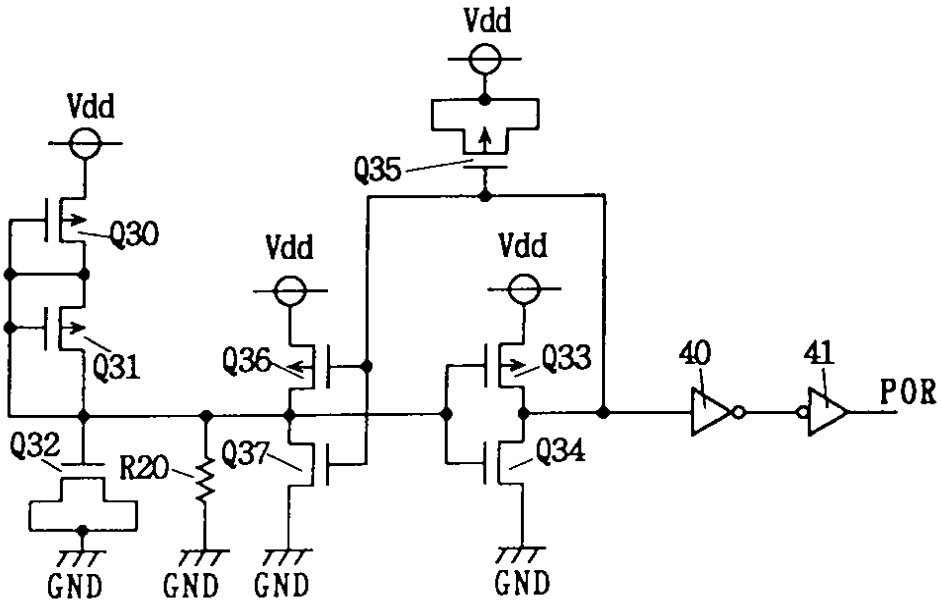
도면2


전위
VDD
Vdd
Vh
VMID
POR
POR
시간
t1
t2

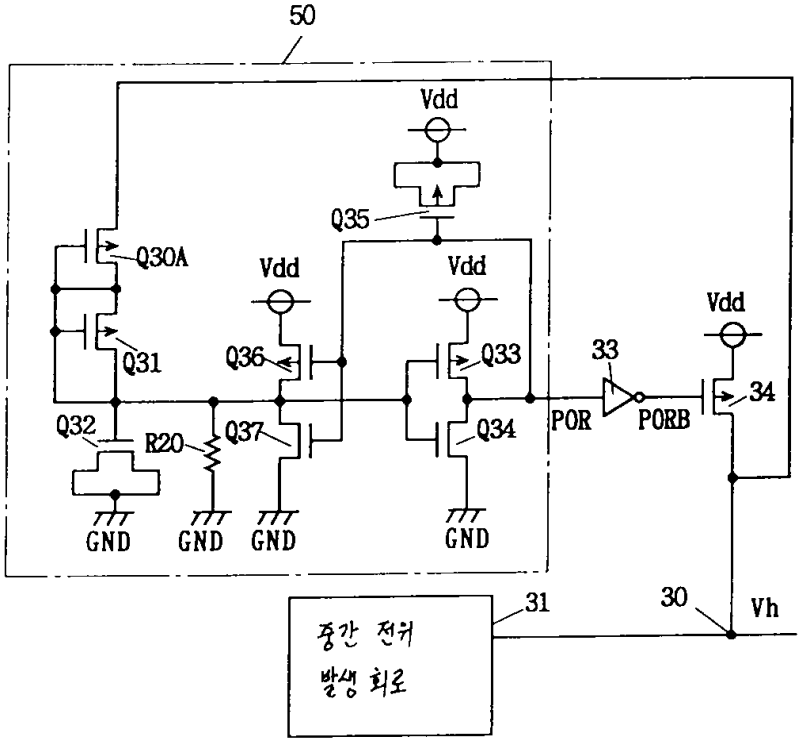
도면3


Vdd
Vdd
Vdd
Vdd
Q25
Q27
Q20
Q24
30
GND
Q21
Q23
Q26
Q28
R10
R11
Q22
GND
GND
GND
GND

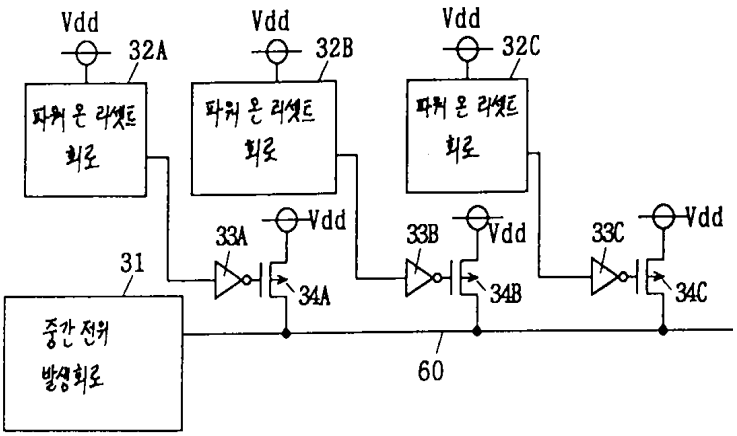
도면4


Vdd
Vdd
Q35
Q30
Vdd
Vdd
Q31
Q36
Q33
40
41
POR
Q32
R20
Q37
Q34
GND
GND
GND
GND

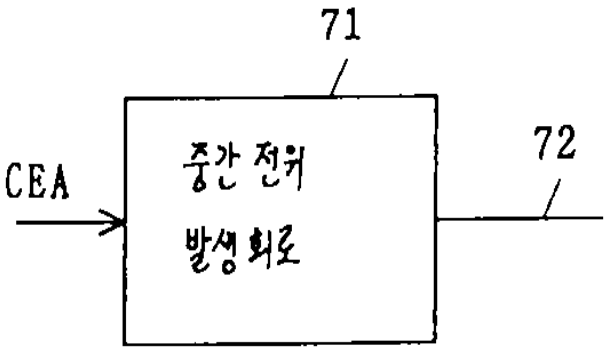
도면5


50
Vdd
Q35
Q30A
Vdd
Vdd
Vdd
Q31
Q36
Q33
33
34
Q32
R20
Q37
Q34
POR
PORB
GND
GND
GND
GND
31
30
Vh
중간 전위
발생 회로

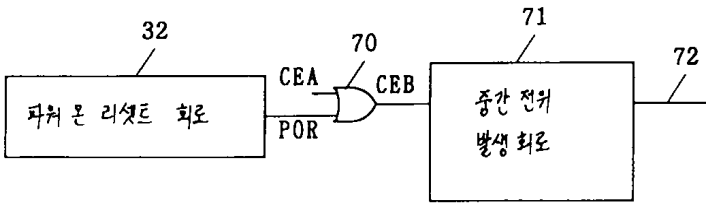
도면6


Vdd
32A
Vdd
32B
Vdd
32C
파워 온 리셋트 회로
파워 온 리셋트 회로
파워 온 리셋트 회로
33A
Vdd
33B
Vdd
33C
Vdd
31
34A
34B
34C
중간 전위 발생회로
60

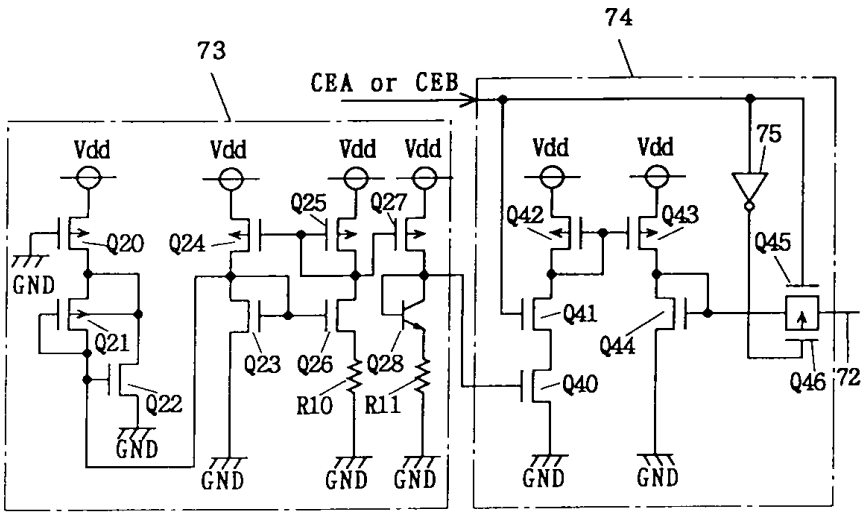
도면7


71
CEA
중간 전위 발생 회로
72

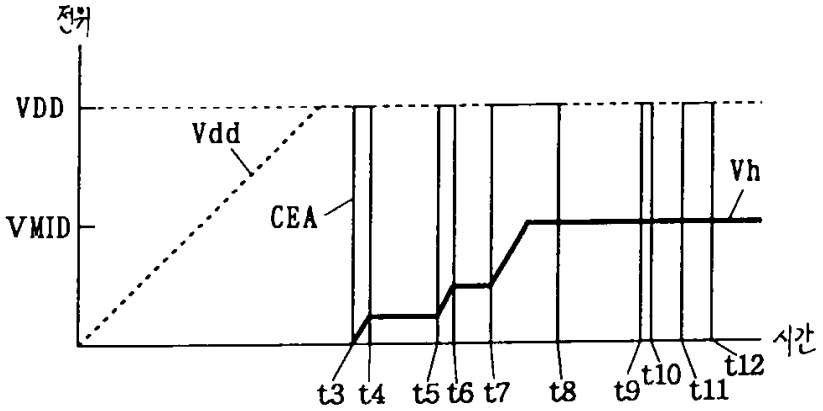
도면8


32
파워 온 리셋트 회로
70
CEA
CEB
POR
71
중간 전위 발생 회로
72

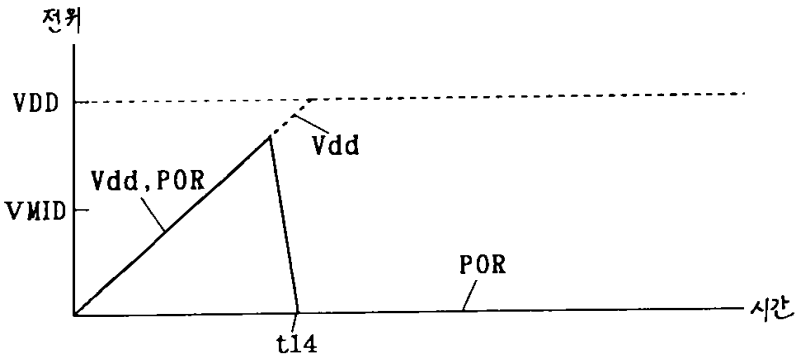
도면9



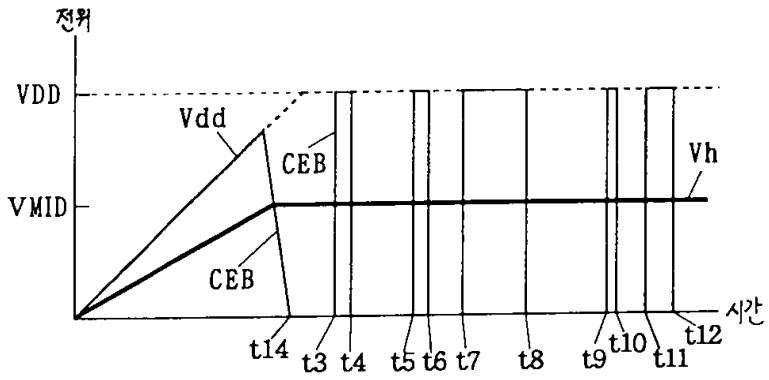
도면10



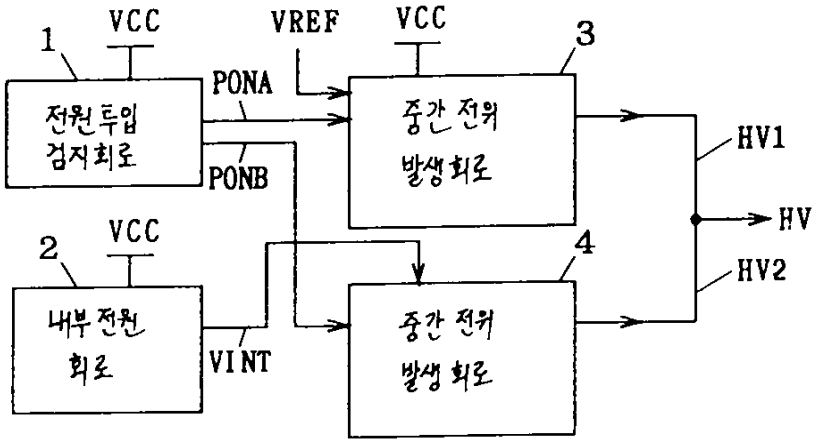
도면11



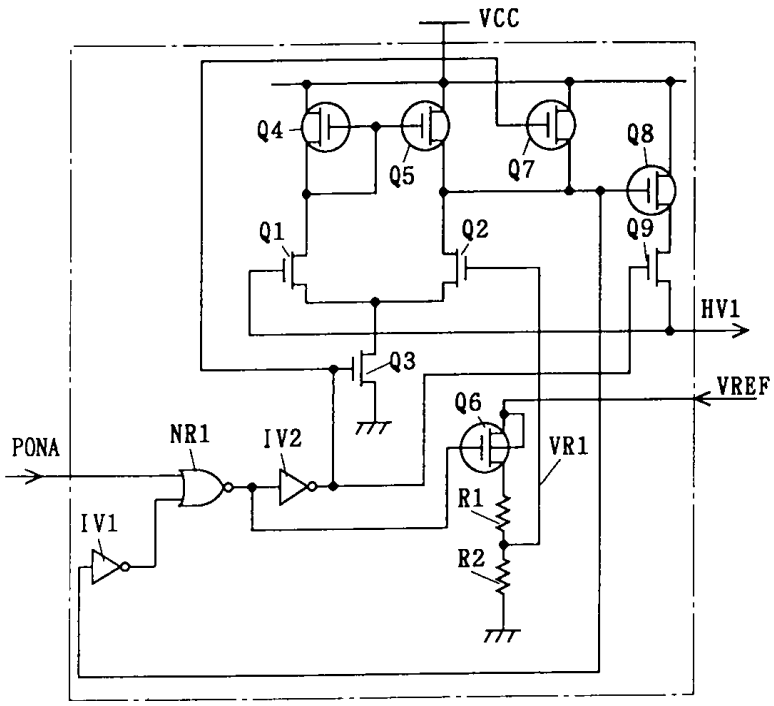
도면12



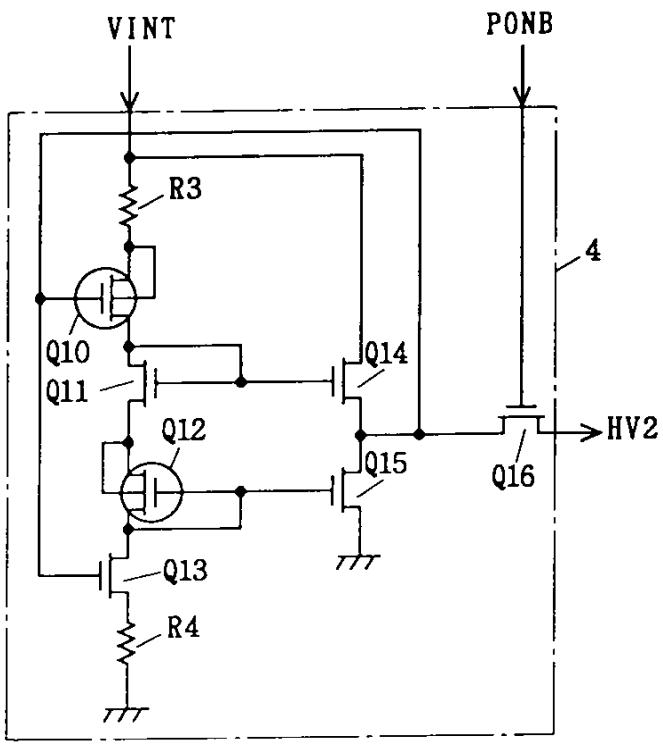
도면13



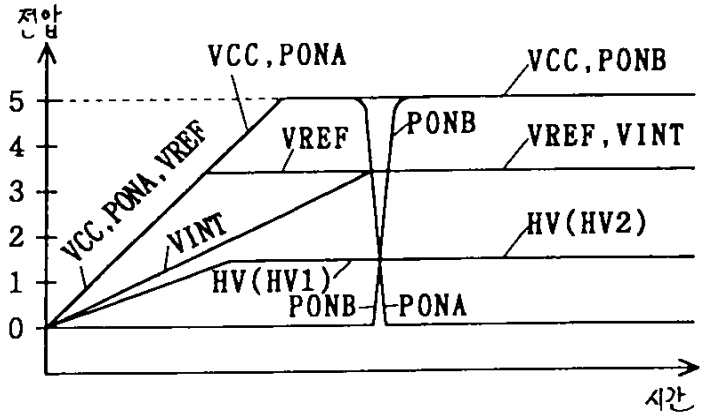
도면14



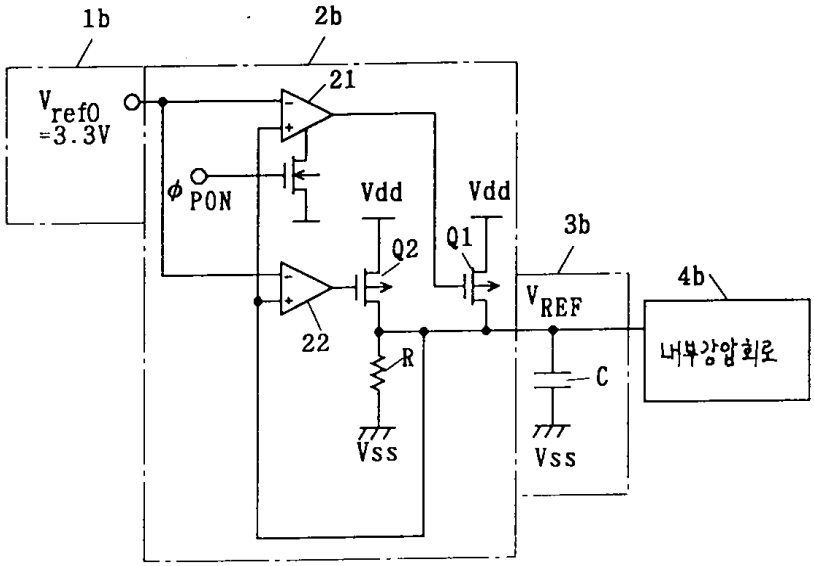
도면15


VINT
PONB
R3
4
Q10
Q11
Q14
Q12
Q15
HV2
Q16
Q13
R4

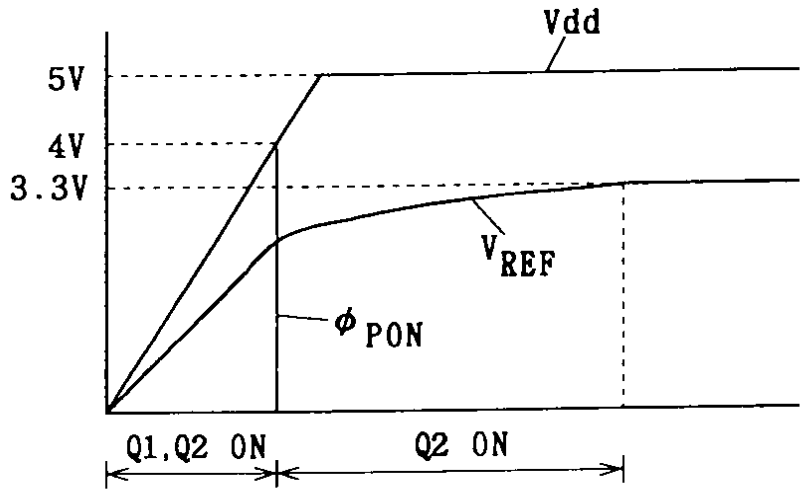
도면16


전압
VCC,PONA
VCC,PONB
5
4
3
2
1
0
VREF
PONB
VREF,VINT
VCC,PONA,VREF
VINT
HV(HV2)
HV(HV1)
PONB
PONA
시간

도면17


1b
2b
21
V_{ref0} =3.3V
ϕ PON
Vdd
Vdd
Q2
Q1
3b
4b
V_{REF}
22
R
C
내부강압회로
Vss
Vss

도면18


Vdd
5V
4V
3.3V
V_{REF}
ϕ PON
Q1,Q2 ON
Q2 ON