

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 97130175

※申請日期： 97 8 7

※IPC 分類：H01L

23/535, 23/52, 25/00

一、發明名稱：(中文/英文)

(2006.07)

具有穿透本體之傳導通孔的已封裝的積體電路裝置及其製造方法

PACKAGED INTEGRATED CIRCUIT DEVICES WITH THROUGH-BODY CONDUCTIVE VIAS, AND METHODS OF MAKING SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商美光科技公司

MICRON TECHNOLOGY, INC.

代表人：(中文/英文)

羅素 史利佛

SLIFER, RUSSELL

住居所或營業所地址：(中文/英文)

美國愛達荷州鮑西市南菲德洛路8000號

8000 SOUTH FEDERAL WAY, BOISE, IDAHO 83707-0006, U.S.A.

國籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 江東必
JIANG, TONGBI
2. 謝永富
CHIA, YONG POO

國 籍：(中文/英文)

1. 美國 U.S.A.
2. 新加坡 SINGAPORE

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2007年08月07日；11/834,765

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本文所揭示之此主題大體係針對封裝積體電路裝置之領域，且更特定言之，係針對具有穿透本體之傳導通孔的已封裝的積體電路裝置及其各種製造方法。

【先前技術】

積體電路技術使用電裝置(例如，電晶體、電阻器、電容器，等等)以規劃巨大功能電路陣列。此等電路之複雜性要求使用不斷增加之數目的鏈接電裝置，使得電路可執行其所意欲功能。隨著電晶體之數目增加，積體電路尺寸縮小。半導體工業中之一挑戰為開發用於電連接及封裝在相同及/或不同晶圓或晶片上所製造之電路裝置的改良方法。一般而言，在半導體工業中需要建構在矽晶片/晶粒上佔據更小表面面積之電晶體。

在半導體裝置總成之製造中，最通常將單一半導體晶粒併入於每一密封式封裝中。使用許多不同封裝式樣，包括雙列直插式封裝(dual inline package, DIP)、交叉引腳封裝(zig-zag inline package, ZIP)、小型J型彎管(small outline J-bend, SOJ)、薄型小型封裝(thin small outline package, TSOP)、塑膠帶引線晶片載體(plastic leaded chip carrier, PLCC)、小型積體電路(small outline integrated circuit, SOIC)、塑膠四方扁平封裝(plastic quad flat pack, PQFP)及互相交叉引線框(interdigitated leadframe, IDF)。一些半導體裝置總成在密封之前連接至諸如電路板之基板。製造者

經受恆定壓力來減小已封裝的積體電路裝置之尺寸且增加封裝積體電路裝置時之封裝密度。

在一些情況下，已將已封裝的積體電路裝置堆疊於彼此之頂部上，以努力節省標地空間(plot space)。用於將堆疊式已封裝的積體電路裝置彼此傳導地耦接之先前技術通常涉及形成焊球或導線結合以建立此連接。所需要的是用於將堆疊式已封裝的積體電路裝置彼此傳導地耦接之新式且改良之技術。

【實施方式】

可藉由參考以下結合隨附圖式而進行之描述來理解本主題，在隨附圖式中，相同參考數字識別相同元件。

下文描述本主題之說明性實施例。為了清楚起見，本說明書中並未描述實際實施例之所有特徵。當然，應瞭解，在任何此實際實施例之開發中，必須作出眾多實施例特定決策以達成開發者之特定目標，諸如，順應系統相關及商業相關約束，其將自一實施例至另一實施例變化。此外，應瞭解，此開發努力可能為複雜且耗時的，但對於具有本揭示案之益處的一般熟習此項技術者而言將不過為常規任務。

雖然將圖式所示之各種區域及結構描繪為具有極精確之銳利組態及輪廓，但熟習此項技術者認識到，實際上，此等區域及結構不如圖式中所指示的一樣精確。另外，圖式中所描繪之各種特徵及摻雜區域的相對尺寸與已製造裝置上之該等特徵或區域的尺寸相比可被誇示或減小。然而，

包括所附圖式以描述且解釋本文所揭示之主題之說明性實例。

圖1描繪如本文所描述之已封裝的積體電路裝置100之一說明性實施例。已封裝的積體電路裝置100包含積體電路晶粒12，其具有複數個結合襯墊14、傳導線路16(有時被稱為再分配層(RDL))，及延伸穿過囊封材料(例如，封膠材料)本體20之至少一傳導互連18(有時被稱為傳導通孔)。傳導通孔18界定穿過本體20之厚度(亦即，在本體20之前部13與後部15之間)的傳導流動路徑。可使用多種已知技術及結構而將傳導通孔18與積體電路晶粒12彼此傳導地耦接。在所描繪實例中，傳導線路16將傳導通孔18傳導地耦接至積體電路晶粒12。根據已知處理技術而將複數個示意性地描繪之焊球24形成於已封裝的積體電路裝置100上。可使用焊球24或其他類似連接以將已封裝的積體電路裝置100傳導地耦接至另一結構(例如，印刷電路板)。在圖1中，晶粒12埋置於囊封材料本體20中。如本文中所使用，當據說一或多個晶粒12埋置於囊封材料本體中時，應理解，僅晶粒12之本體之部分需要定位於囊封材料中。不求囊封材料環繞晶粒12之本體之所有側，但可視特定應用而在需要時使用該組態。

圖2描繪如本文所描述之已封裝的積體電路裝置200之一說明性實施例。已封裝的積體電路裝置200包含埋置於單一囊封材料(例如，封膠材料)本體20中之複數個積體電路晶粒12(展示兩個)。在本文所描繪之說明性實例中，晶粒

12中之每一者具有相同實體尺寸。然而，熟習此項技術者在完成閱讀本申請案之後應理解，不要求晶粒12為相同實體尺寸，亦不要求其必須執行相同功能。圖2所示之晶粒12中之每一者具有複數個結合襯墊14、傳導線路16(有時被稱為再分配層(RDL))，及延伸穿過囊封材料本體20之至少一傳導互連18(有時被稱為傳導通孔)。由於裝置200包含複數個積體電路晶粒12，故其可被視作多晶片模組(MCM)。如在圖1中，根據已知處理技術而將複數個示意性地描繪之焊球24形成於已封裝的積體電路裝置200上。可使用焊球24或其他類似連接以將已封裝的積體電路裝置200傳導地耦接至另一結構(例如，印刷電路板)。

在所描繪實施例中，圖2中之傳導通孔18中之每一者延伸穿過本體12之厚度。可使用多種已知技術及結構中之任一者來建立傳導通孔18與埋置式積體電路晶粒12之間的傳導耦接。在圖2所示之實例中，傳導通孔18中之至少一者藉由一或多個線路16而傳導地耦接至積體電路晶粒12中之一者，而傳導通孔18中之另一者亦藉由一或多個線路16而傳導地耦接至其他積體電路晶粒12。

熟習此項技術者在完成閱讀本申請案之後將認識到，本文所揭示之方法及技術可應用於事實上任何類型之可形成於晶粒12上的積體電路裝置。另外，示意性地描繪之結合襯墊14、傳導線路16及穿透本體之傳導互連18之組態及位置可視特定應用而變化。

圖3至圖5為複數個堆疊式且已封裝的積體電路裝置之示

意性橫截面圖。在圖3所描繪之說明性實例中，堆疊式封裝300包含複數個個別埋置式晶粒10A-10D。在圖3所描繪之說明性實例中，僅描繪四個說明性個別埋置式晶粒10A-10D。如上文所闡述，應理解，在參考埋置式晶粒或個別埋置式晶粒時，結構僅需要包含至少一積體電路晶粒，其中晶粒本體之一部分定位於囊封材料本體20中。然而，熟習此項技術者在完成閱讀本申請案之後將認識到，堆疊式封裝300中個別埋置式晶粒10之數目可視特定應用而變化，亦即，此堆疊300內個別埋置式晶粒10之數目可多於或少於圖3所描繪之說明性四個。

圖3中之說明性個別埋置式晶粒10A-10D中之每一者包含積體電路晶粒12、複數個結合襯墊14、傳導線路16(有時被稱為再分配層(RDL))、延伸穿過囊封材料本體20之複數個傳導互連18(有時被稱為傳導通孔)。複數個傳導結構22提供於鄰近個別埋置式晶粒10之間以在各種埋置式晶粒10A-10D之間提供電傳導路徑。根據已知處理技術而將複數個示意性地描繪之焊球24形成於已封裝的晶粒10D上。可使用焊球24或其他類似連接以將堆疊式封裝300傳導地耦接至另一結構(例如，印刷電路板)。

熟習此項技術者在完成閱讀本申請案之後將認識到，本文所揭示之方法及技術可應用於事實上任何類型之可形成於晶粒12上且封裝於堆疊式組態中的積體電路裝置。另外，圖3所示之示意性地描繪之結合襯墊14、傳導互連18及傳導結構22之組態及位置可視特定應用而變化。在圖3

所描繪之實施例中，所有已封裝的晶粒被定向，其中埋置式晶粒10之前側13面向鄰近埋置式晶粒10之後側15。

圖4描繪堆疊式已封裝的裝置400之另一說明性實施例。類似於圖3所示之實施例，圖4中之實施例包含四個說明性個別埋置式晶粒10A-10D。在圖4中，個別埋置式晶粒10A-10D被裝配為群組10E及10F(在將此等群組裝配成圖4所示之結構之前)。第一群組10E包含個別埋置式晶粒10A及10B，而第二群組10F包含個別埋置式晶粒10C及10D。複數個傳導互連或通孔32延伸穿過包含第一群組10E之複數個晶粒10之本體20，而複數個傳導互連或通孔34延伸穿過包含第二群組10F之複數個晶粒10之本體20。

複數個傳導結構22在兩個群組10E與10F之間提供電傳導路徑。每一群組內之個別埋置式晶粒10可使用黏著材料28而彼此固定。注意，在圖4所描繪之說明性實例中，鄰近埋置式晶粒10之後側15經定位成面向彼此。熟習此項技術者在完成閱讀本申請案之後將認識到，可如圖4所描繪而堆疊之群組(例如，群組10E及10F)之數目可視特定應用而變化，亦即，多於或少於圖4所描繪之說明性兩個群組之群組可被裝配成最終堆疊式封裝400。類似地，每一群組內個別地埋置之晶粒10之數目可大於圖4中所描繪的說明性兩個群組10E及10F。

圖3及圖4所描繪之結構可在必要時進行組合。舉例而言，圖5描繪說明性堆疊式已封裝的裝置500，其中底部兩個埋置式晶粒10A-10B被封裝為群組10E，而上部兩個埋

置式晶粒 10C-10D 如圖 3 所描繪而被封裝。因此，易於顯而易見的是，本文所揭示之方法及裝置提供極大靈活性，因為其係關於創建堆疊式已封裝的裝置以藉此減小標地空間消耗且改良封裝密度。此外，在圖 3 至圖 5 中，個別埋置式晶粒 10 中之每一者被描繪為具有埋置於其中之單一積體電路晶粒 12。根據本揭示案之一態樣，類似於圖 2 所描繪之多晶片實施例，個別埋置式晶粒 10 可包含複數個個別積體電路晶粒 12。亦即，本文所揭示之方法及裝置可用於包含單一或多個積體電路晶粒 12 之個別埋置式晶粒 10。為了易於參考，以下描述將參考包含單一積體電路晶粒 12 之個別埋置式晶粒 10，但方法可容易地應用於在個別埋置式晶粒之單一囊封材料本體 20 中埋置複數個積體電路晶粒 12。

圖 6A 至圖 6H 描繪形成本文所揭示之裝置之一說明性方法。在圖 6A 中，將複數個已知良好積體電路晶粒 12 置放成前側 13 向下位於說明性犧牲結構 30 上方。在一說明性實例中，犧牲結構 30 可為膜框，其中分割帶跨越膜框而定位。結構 30 在其稍後將被移除之意義上為犧牲的。在圖 6B 中，將囊封材料(例如，封膠)本體 20 形成於積體電路晶粒 12 周圍及結構 30 上方，亦即，將積體電路晶粒 12 埋置於本體 20 中。可執行傳統成形技術(例如，射出成形)以形成囊封材料本體 20。其後，如圖 6C 所示，可移除犧牲結構 30。在本文所描述之說明性實例中，歸因於使用黏著帶作為結構 30 之一部分，結構 30 可簡單地被剝離。

緊接著，如圖 6D 所示，根據傳統技術而將傳導線路 16 形

成於積體電路晶粒12及本體12之前側13上方。當然，傳導線路16可具有任何所要組態，且其可由任何所要材料製成。接著，如圖6E所指示，如所指示而將複數個開口或通孔17形成穿過本體20。可藉由多種已知技術(例如，雷射鑽孔、蝕刻，等等)來形成開口17。在一些應用中，作為形成開口17之過程之一部分，可形成遮罩層(未圖示)。開口17可為任何所要形狀或組態。注意，在本文所描繪之說明性實例中，自埋置式晶粒10之本體20之後側15朝向前側13形成開口17。亦注意，在此特定實例中，開口17曝露但不延伸穿過形成於埋置式晶粒10之前側13上之傳導互連16。其後，如圖6F所示，以傳導材料(例如，銅、鋁、銀，等等)來填充開口17以形成傳導互連18。視特定應用而定，可使用多種已知技術(例如，電鍍、沈積，等等)中之任一者而在開口17中形成傳導材料，且可使用多種不同傳導材料。

在圖6G中，使用已知技術而在埋置式晶粒10A-10B上形成複數個傳導結構22。在一些情況下，作為形成傳導互連18之過程之一部分，可形成傳導結構22。接著，如圖6H所示，沿切割線37而執行分割或單一化過程以產生說明性個別埋置式晶粒10A及10B。

緊接著，使個別埋置式晶粒10A-10B經受多種測試以確認其對於其所意欲應用之可接受性。一旦埋置式晶粒10A-10B已成功地通過該等測試，其即準備好運送至顧客。在其他應用中，經測試之埋置式晶粒10A-10B可被裝配成如

本文所描繪之堆疊式已封裝的裝置300、400、500。在圖3所描繪之實例中，如圖3所描繪而定位複數個個別埋置式晶粒10，且執行回焊過程以在個別埋置式晶粒(例如，晶粒10A)上之傳導結構22與鄰近埋置式晶粒(例如，晶粒10B)上之傳導互連18之間建立電連接。可使用傳統技術而在說明性晶粒10上形成說明性焊球24。可在過程流程期間在任何所要點處形成焊球24。舉例而言，可在如圖3所描繪而裝配所有埋置式晶粒10A-10D之後形成焊球24。或者，可在如圖3所描繪而將個別埋置式晶粒10D與其他個別埋置式晶粒進行裝配之前在個別埋置式晶粒10D上方形成焊球24。

圖7A至圖7I描繪形成本文所揭示之裝置之另一說明性方法。圖7A至圖7D所描繪之步驟與先前關於圖6A至圖6D所描述之步驟相同。因此，將不重複圖7A至圖7D之詳細論述。在圖7E中，使用黏著材料28而將圖7D所描繪之複數個結構彼此固定。其後，在圖7F中，將複數個開口或通孔31形成穿過圖7E所描繪之組合結構之本體20。可藉由多種已知技術(例如，雷射鑽孔、蝕刻，等等)來形成開口31。在一些應用中，作為形成開口31之過程之一部分，可形成遮罩層(未圖示)。開口31可為任何所要形狀或組態。注意，在本文所描繪之說明性實例中，開口31延伸穿過形成於個別結構中之每一者之前側13上的傳導互連16。其後，如圖7G所示，以傳導材料(例如，銅、鋁、銀，等等)來填充開口31以形成穿透本體之傳導通孔32。視特定應用而

定，可使用多種已知技術(例如，電鍍、沈積，等等)中之任一者而在開口31中形成傳導材料，且可使用多種不同傳導材料。

在圖7H中，使用已知技術而在圖7G所描繪之結構上形成複數個傳導結構22。在一些情況下，作為形成傳導互連32之過程之一部分，可形成傳導結構22。緊接著，如圖7I所示，沿切割線37而執行分割或單一化過程以產生個別埋置式晶粒之說明性群組10E及10F。

緊接著，使埋置式晶粒群組10E-10F經受多種測試以確認其對於其所意欲應用之可接受性。一旦群組10E-10F已成功地通過該等測試，其即準備好運送至顧客。在一些應用中，可如本文所描述而將埋置式晶粒群組10E-10F裝配成堆疊式已封裝的裝置。在圖4所描繪之實例中，如圖4所描繪而定位埋置式晶粒群組10E及10F，且執行回焊過程以在第一群組10E上之傳導結構22與鄰近群組10F上之傳導通孔32之間建立電連接。可使用傳統技術而在群組10F中之說明性個別埋置式晶粒上形成說明性焊球24。可在過程流程期間在任何所要點處形成焊球24。舉例而言，可在如圖4所描繪而裝配兩個說明性群組10E-10F之後形成焊球24。或者，可在如圖4所描繪而將兩個群組裝配於一起之前在群組10F中之個別埋置式晶粒中的一者上方形成焊球24。

熟習此項技術者在完成閱讀本申請案之後將認識到，本揭示案可提供用於封裝個別晶粒且提供堆疊式已封裝的積體電路裝置之極有效之方式。可在多個晶粒上單次執行本

文所執行之許多處理，其與在個別晶粒上一次一個地執行此等操作相反。舉例而言，儘管圖6A至圖6H及圖7A至圖7I中描繪兩個說明性晶粒12，但視所使用之處理工具之處理能力而定，可在任何所要數目之晶粒上執行本文所描述之處理步驟。簡言之，可使用晶圓級處理技術來增加封裝操作之效率，亦即，可在多個晶粒上同時執行處理操作。

【圖式簡單說明】

圖1為如本文所描述之具有複數個傳導穿透本體通孔之說明性已封裝的積體電路晶粒之示意性描繪；

圖2為如本文所描述之具有複數個傳導穿透本體通孔之包含多個晶粒之說明性已封裝的積體電路之示意性描繪；

圖3為本文所揭示之說明性堆疊式已封裝的裝置之示意性橫截面圖；

圖4為本文所揭示之另一說明性堆疊式已封裝的裝置之示意性橫截面圖；

圖5為本文所揭示之又一說明性堆疊式已封裝的裝置之示意性橫截面圖；

圖6A至圖6H示意性地描繪形成本文所揭示之堆疊式已封裝的裝置之一說明性方法；且

圖7A至圖7I示意性地描繪形成本文所揭示之堆疊式已封裝的裝置之另一說明性方法。

儘管本文所揭示之主題可允許各種修改及替代形式，但其特定實施例已在圖式中以實例加以展示且在本文中加以詳細地描述。然而，應理解，本文中特定實施例之描述不

意欲將本發明限制於所揭示之特定形式，而相反，本發明將涵蓋屬於由所附申請專利範圍所界定之本發明之精神及範疇內的所有修改、均等物及替代例。

【主要元件符號說明】

10A	個別埋置式晶粒
10B	個別埋置式晶粒
10C	個別埋置式晶粒
10D	個別埋置式晶粒
10E	第一群組
10F	第二群組
12	晶粒
13	前部/前側
14	結合襯墊
15	後部/後側
16	傳導線路
17	開口或通孔
18	傳導互連
20	本體
22	傳導結構
24	焊球
28	黏著材料
30	犧牲結構
31	開口或通孔
32	傳導通孔

34	傳導互連或通孔
37	切割線
100	已封裝的積體電路裝置
200	已封裝的積體電路裝置
300	堆疊式封裝
400	堆疊式已封裝的裝置
500	堆疊式已封裝的裝置

五、中文發明摘要：

本發明揭示一種裝置，其包括：至少一積體電路晶粒，其至少一部分定位於一囊封材料本體中；及至少一傳導通孔，其延伸穿過該囊封材料本體。

六、英文發明摘要：

A device is disclosed which includes at least one integrated circuit die, at least a portion of which is positioned in a body of encapsulant material, and at least one conductive via extending through the body of encapsulant material.

十、申請專利範圍：

1. 一種裝置，其包含：

至少一積體電路晶粒，其至少一部分定位於一囊封材料本體中；及

至少一傳導通孔，其延伸穿過該囊封材料本體。

2. 如請求項1之裝置，其中該裝置包含複數個個別積體電路晶粒，其中之每一者具有一定位於該囊封材料本體中之部分。

3. 如請求項2之裝置，其中該裝置包含延伸穿過該囊封材料本體之該等傳導通孔中之複數者，且其中該等傳導通孔中之至少一者傳導地耦接至該複數個積體電路晶粒中之一者且該等傳導通孔中之另一者傳導地耦接至該複數個積體電路晶粒中之另一者。

4. 如請求項1之裝置，其中該至少一傳導通孔藉由一傳導線路而傳導地耦接至該至少一積體電路晶粒。

5. 如請求項1之裝置，其中該至少一傳導通孔延伸穿過該囊封材料本體之一厚度。

6. 如請求項1之裝置，其中該至少一傳導通孔在該囊封材料本體之一前側與一後側之間界定一傳導流動路徑。

7. 一種裝置，其包含：

複數個積體電路晶粒，其中之每一者埋置於一單一囊封材料本體中；及

複數個傳導通孔，其延伸穿過該囊封材料本體。

8. 如請求項7之裝置，其中該等傳導通孔中之至少一者傳

導地耦接至該複數個積體電路晶粒中之一者且該等傳導通孔中之另一者傳導地耦接至該複數個積體電路晶粒中之另一者。

9. 如請求項8之裝置，其中該等傳導通孔藉由一傳導線路而傳導地耦接至該等各別積體電路晶粒。

10. 如請求項7之裝置，其中該複數個傳導通孔延伸穿過該單一囊封材料本體之一厚度。

11. 如請求項7之裝置，其中該複數個傳導通孔在該單一囊封材料本體之一前側與一後側之間界定複數個傳導流動路徑。

12. 如請求項7之裝置，其中該複數個晶粒中之每一者具有相同實體尺寸。

13. 一種裝置，其包含：

複數個個別埋置式晶粒，該等個別埋置式晶粒中之每一者包含一囊封材料本體及延伸穿過該囊封材料本體之至少一傳導通孔，該複數個埋置式晶粒經定位成鄰近彼此；及

至少一傳導結構，其定位於鄰近個別埋置式晶粒之間，該傳導結構在鄰近個別埋置式晶粒中之傳導通孔之間提供一電傳導路徑。

14. 如請求項13之裝置，其中該傳導通孔延伸穿過該囊封材料本體之一厚度。

15. 如請求項13之裝置，其中該複數個個別埋置式晶粒中之至少一者包含一單一積體電路晶粒。

16. 如請求項13之裝置，其中該複數個個別埋置式晶粒中之至少一者包含複數個積體電路晶粒。
17. 如請求項13之裝置，其中該複數個個別埋置式晶粒垂直地堆疊於彼此上方。
18. 如請求項17之裝置，其中該複數個個別埋置式晶粒經定位成使得該等個別埋置式晶粒中之一者之一前側面向一鄰近個別埋置式晶粒之一後側。
19. 一種裝置，其包含：
 - 一第一埋置式晶粒及一第二埋置式晶粒，該第一埋置式晶粒及該第二埋置式晶粒中之每一者包含一囊封材料本體，該第一埋置式晶粒及該第二埋置式晶粒中之每一者之一後側經定位成面向彼此；及
 - 一傳導通孔，其延伸穿過該第一埋置式晶粒及該第二埋置式晶粒二者之該囊封材料本體。
20. 如請求項19之裝置，其中該傳導通孔自該第一埋置式晶粒之一前側延伸至該第二埋置式晶粒之一前側。
21. 如請求項19之裝置，其進一步包含一定位於該第一埋置式晶粒及該第二埋置式晶粒之該等後側之間以用於將該第一埋置式晶粒及該第二埋置式晶粒彼此固定之黏著材料。
22. 如請求項21之裝置，其中該第一埋置式晶粒及該第二埋置式晶粒垂直地堆疊於彼此上方。
23. 一種裝置，其包含：
 - 一第一埋置式晶粒群組及一第二埋置式晶粒群組，該

第一埋置式晶粒群組及該第二埋置式晶粒群組中之每一者包含複數個個別埋置式晶粒，該等個別埋置式晶粒中之每一者包含一囊封材料本體；

至少一第一傳導通孔，其延伸穿過該第一埋置式晶粒群組；

至少一第二傳導通孔，其延伸穿過該第二埋置式晶粒群組；及

至少一傳導結構，其定位於該第一埋置式晶粒群組與該第二埋置式晶粒群組之間，該至少一傳導結構在該第一傳導通孔與該第二傳導通孔之間提供一電傳導流動路徑。

24. 如請求項23之裝置，其中該第一埋置式晶粒群組及該第二埋置式晶粒群組中之每一者中的該等個別埋置式晶粒中之每一者之一後側經定位成面向彼此。

25. 如請求項24之裝置，其中該第一傳導通孔自該第一埋置式晶粒群組中之一個別埋置式晶粒之一前側延伸至該第一埋置式晶粒群組中之另一個別埋置式晶粒之一前側。

26. 如請求項24之裝置，其進一步包含一定位於該等個別埋置式晶粒之該等面向後側之間的黏著材料。

27. 如請求項23之裝置，其中該第一傳導通孔經形成穿過該第一埋置式晶粒群組中之所有該等個別埋置式晶粒的該囊封材料本體。

28. 如請求項27之裝置，其中該第二傳導通孔經形成穿過該第二埋置式晶粒群組中之所有該等個別埋置式晶粒的該

囊封材料本體。

29. 如請求項23之裝置，其中該等個別埋置式晶粒中之每一者包含一單一積體電路晶粒。

30. 如請求項23之裝置，其中該等個別埋置式晶粒中之每一者包含複數個積體電路晶粒。

31. 如請求項23之裝置，其中該第一埋置式晶粒群組及該第二埋置式晶粒群組垂直地堆疊於彼此上方。

32. 一種方法，其包含：

在至少一積體電路晶粒之至少一部分周圍形成一囊封材料本體；

形成延伸穿過該囊封材料本體之至少一傳導通孔；及

將該至少一傳導通孔傳導地耦接至該至少一積體電路晶粒。

33. 如請求項32之方法，其中形成該傳導通孔包含在該囊封材料本體中形成一開口及以一傳導材料來填充該開口。

34. 如請求項32之方法，其中將該至少一傳導通孔傳導地耦接至該至少一積體電路晶粒包含形成連接至該至少一傳導通孔及該至少一積體電路之至少一傳導線路。

35. 如請求項32之方法，其中形成該囊封材料本體包含執行一射出成形過程以形成該囊封材料本體。

36. 如請求項32之方法，其中形成該囊封材料本體包含在複數個個別積體電路晶粒周圍形成該囊封材料本體。

37. 如請求項36之方法，其進一步包含執行一單一化過程以界定複數個個別埋置式晶粒，其中之每一者包含一單一

積體電路晶粒。

38. 如請求項37之方法，其進一步包含：

將該等個別埋置式晶粒中之複數者定位成鄰近彼此；及
將該等個別埋置式晶粒中之一第一者上之該傳導通孔
傳導地耦接至該等個別埋置式晶粒中之一第二者上之該
傳導通孔。

39. 如請求項38之方法，其中該等個別埋置式晶粒中之該複
數者經定位成使得一第一個別埋置式晶粒之一前表面面
向一鄰近個別埋置式晶粒之一後側。

40. 如請求項38之方法，其中傳導地耦接該第一個別埋置式
晶粒及該第二個別埋置式晶粒上之該等傳導通孔包含在
該第一個別埋置式晶粒與該第二個別埋置式晶粒之間形
成一傳導結構。

41. 如請求項39之方法，其進一步包含將該第二個別埋置式
晶粒堆疊於該第一個別埋置式晶粒上方。

42. 如請求項36之方法，其進一步包含執行一單一化過程以
界定複數個個別埋置式晶粒，其中之每一者包含複數個
積體電路晶粒。

43. 如請求項42之方法，其進一步包含：

將該等個別埋置式晶粒中之複數者定位成鄰近彼此；及
將該等個別埋置式晶粒中之一第一者上之該傳導通孔
傳導地耦接至該等個別埋置式晶粒中之一第二者上之該
傳導通孔。

44. 如請求項43之方法，其中該複數個個別埋置式晶粒經定

位成使得一第一個別埋置式晶粒之一第一表面面向一鄰近個別埋置式晶粒之一後側。

45. 如請求項43之方法，其中傳導地耦接該第一個別埋置式晶粒及該第二個別埋置式晶粒上之該等傳導通孔包含在該第一個別埋置式晶粒與該第二個別埋置式晶粒之間形成一傳導結構。

46. 如請求項45之方法，其進一步包含將該第二個別埋置式晶粒堆疊於該第一個別埋置式晶粒上方。

47. 一種方法，其包含：

將一第一個別埋置式晶粒定位成鄰近一第二個別埋置式晶粒，該第一個別埋置式晶粒及該第二個別埋置式晶粒中之每一者包含一囊封材料本體；及

形成延伸穿過該第一個別埋置式晶粒及該第二個別埋置式晶粒二者之該囊封材料本體之至少一傳導通孔。

48. 如請求項47之方法，其進一步包含將該至少一傳導通孔傳導地耦接至該第一個別埋置式晶粒及該第二個別埋置式晶粒中之一者中之至少一積體電路晶粒。

49. 如請求項47之方法，其中該第一個別埋置式晶粒及該第二個別埋置式晶粒中之至少一者包含一單一積體電路晶粒。

50. 如請求項47之方法，其中該第一個別埋置式晶粒及該第二個別埋置式晶粒中之至少一者包含複數個積體電路晶粒。

51. 如請求項47之方法，其進一步包含在形成該至少一傳導

通孔之前將該第一個別埋置式晶粒與該第二個別埋置式晶粒彼此固定。

52. 如請求項51之方法，其中將該第一個別埋置式晶粒與該第二個別埋置式晶粒彼此固定包含將一黏著材料施加至該第一個別埋置式晶粒及該第二個別埋置式晶粒中之至少一者。

53. 如請求項47之方法，其中該第一個別埋置式晶粒及該第二個別埋置式晶粒經定位成使得該第一個別埋置式晶粒之一後側面向該第二個別埋置式晶粒之一後側。

十一、圖式：

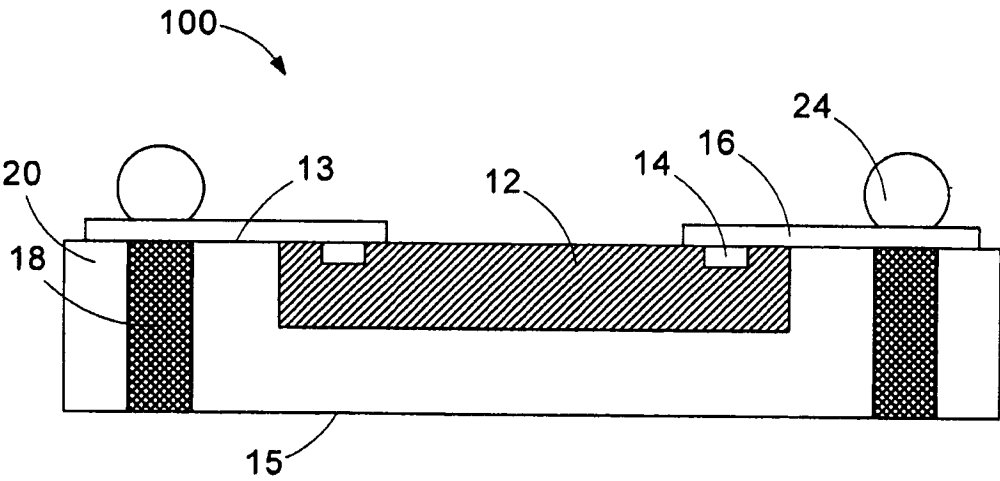


圖 1

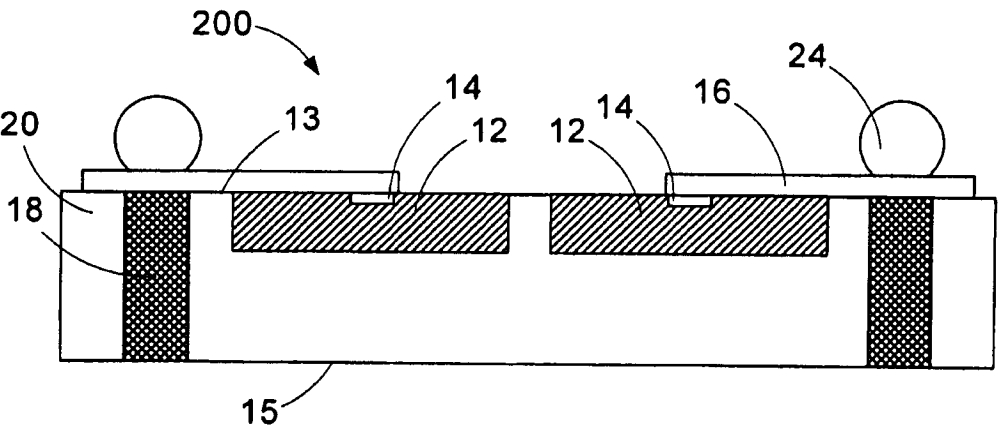


圖 2

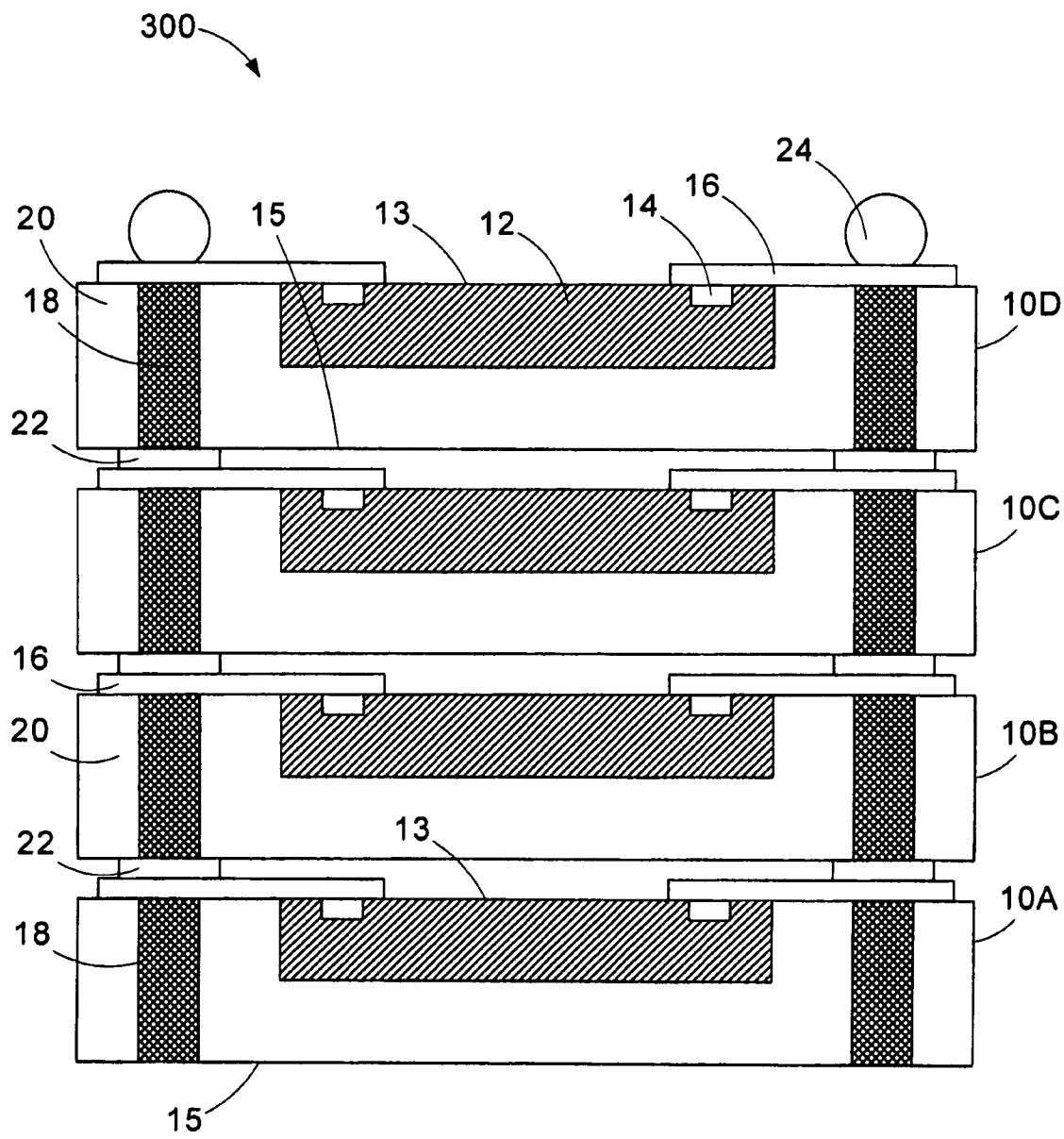


圖3

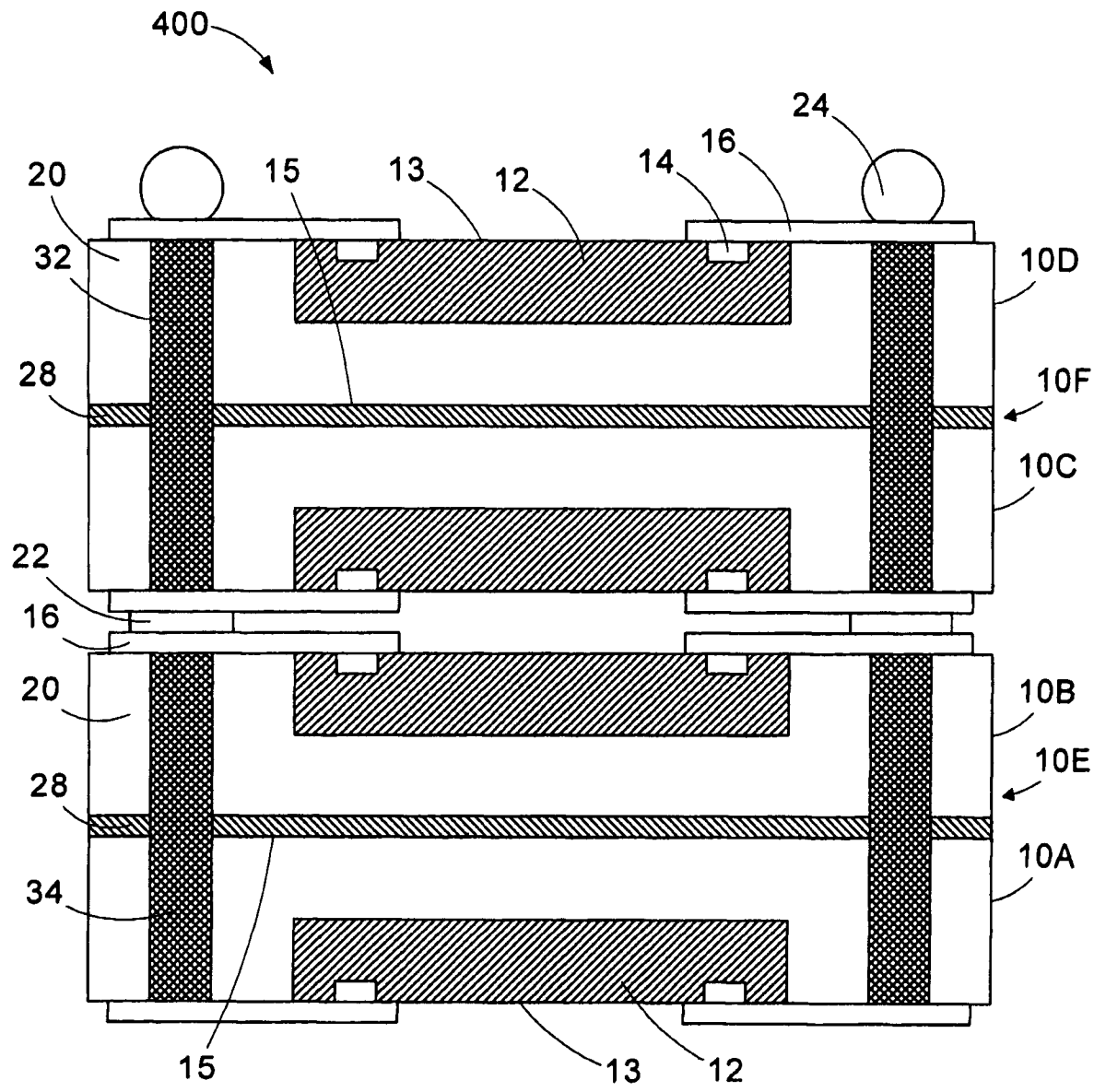


圖4

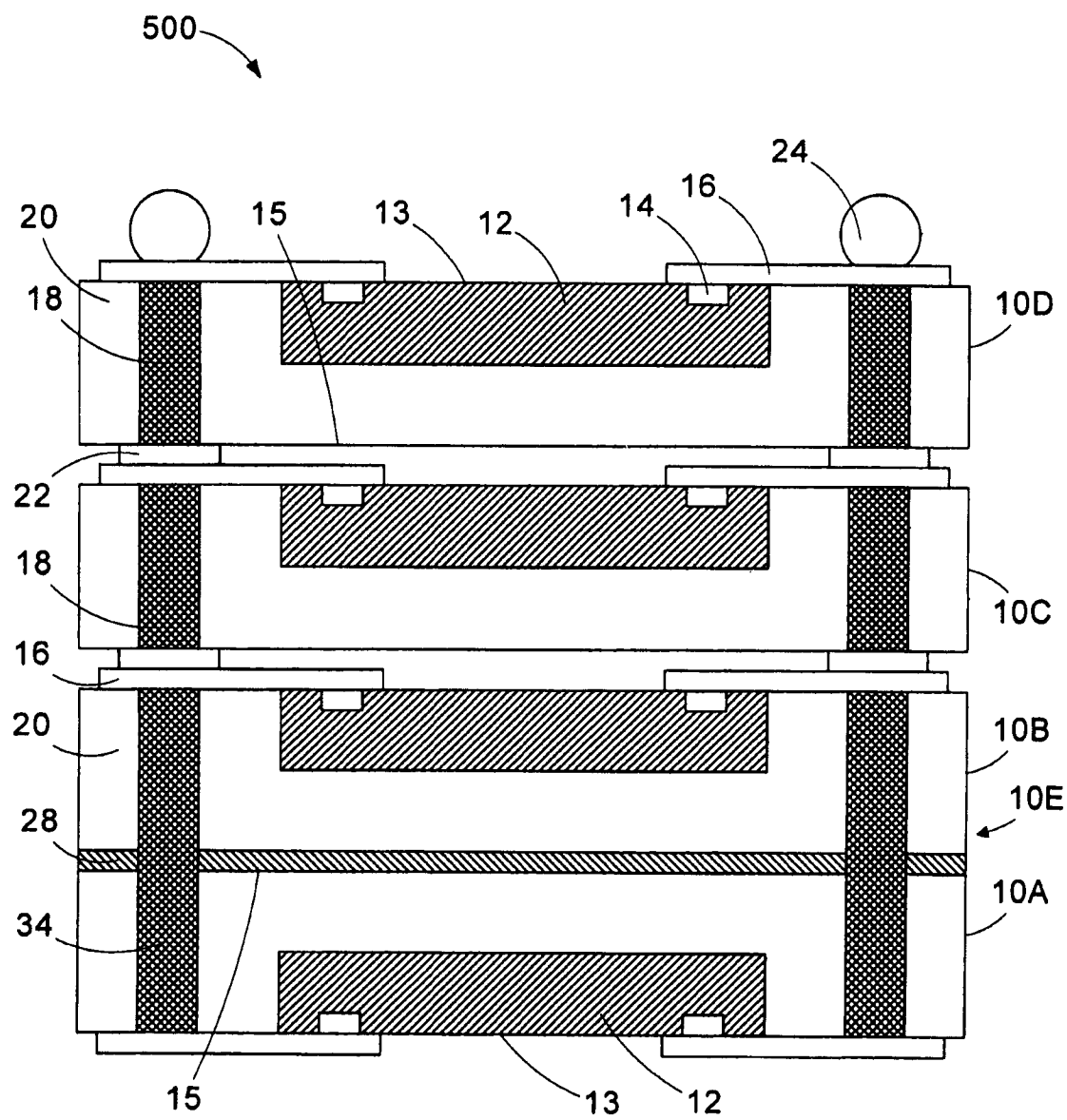


圖5

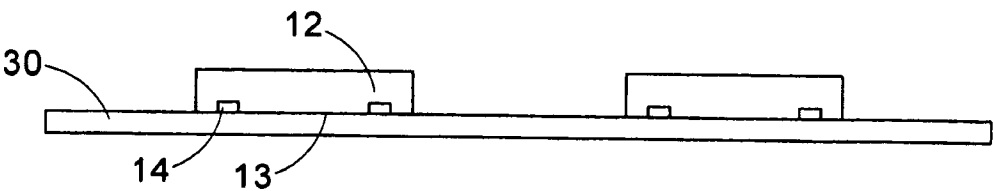


圖 6A

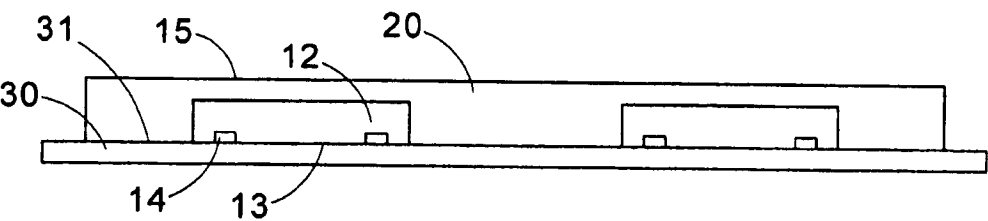


圖 6B

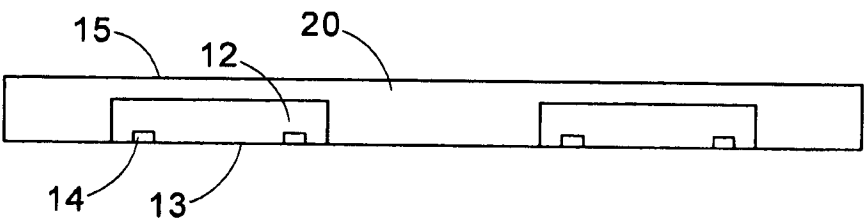


圖 6C

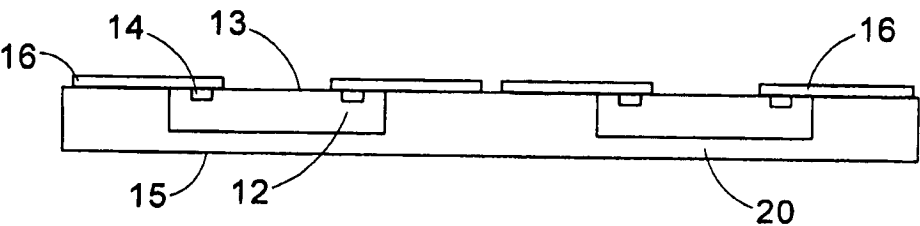


圖 6D

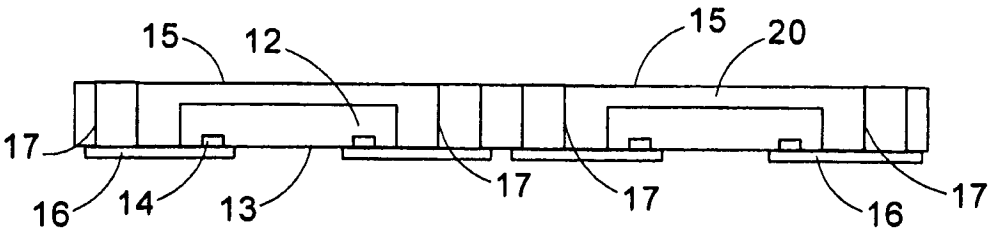


圖 6E

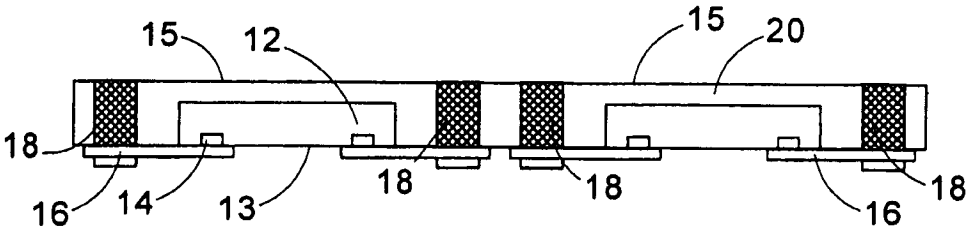


圖 6F

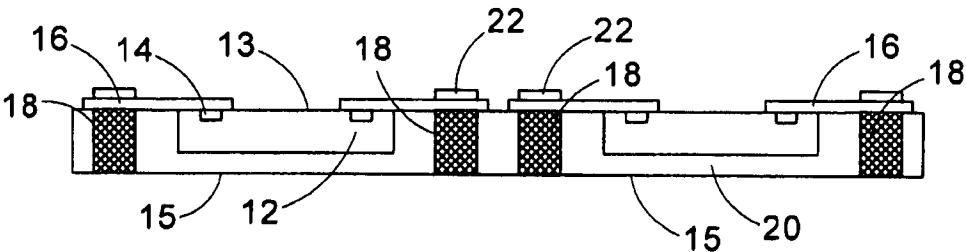


圖 6G

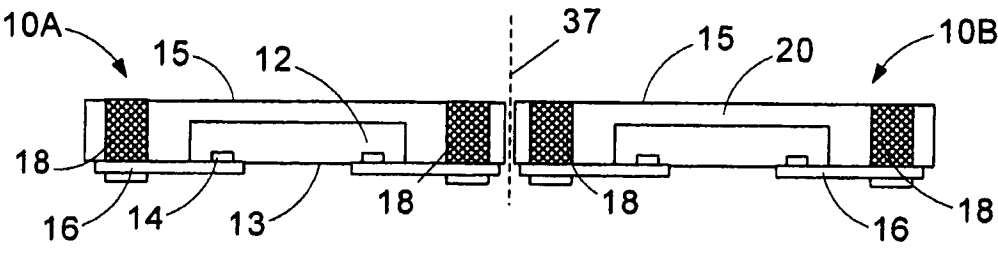


圖 6H

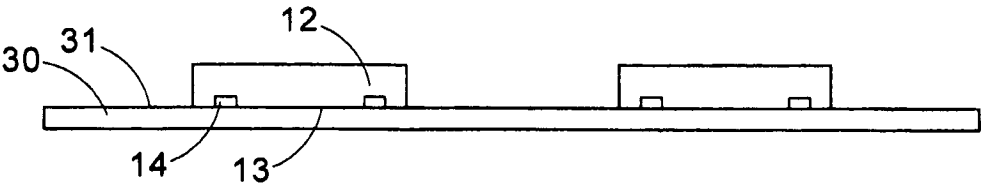


圖 7A

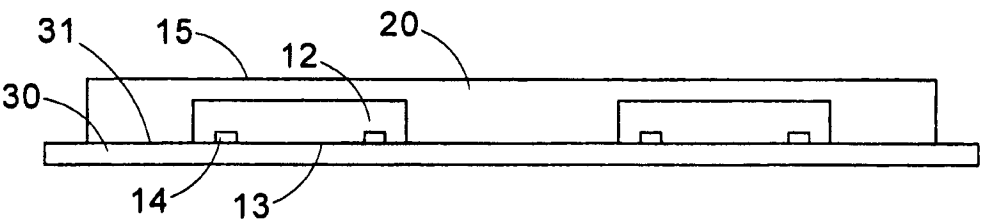


圖 7B

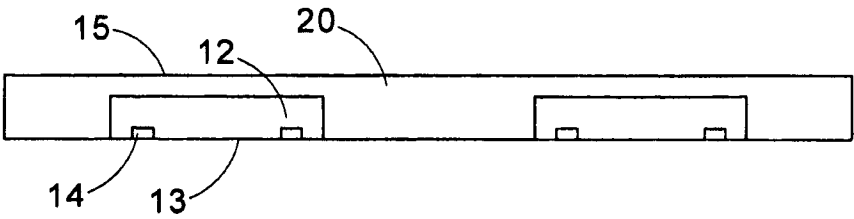


圖 7C

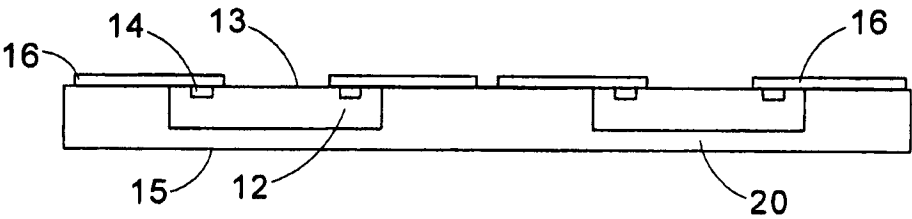


圖 7D

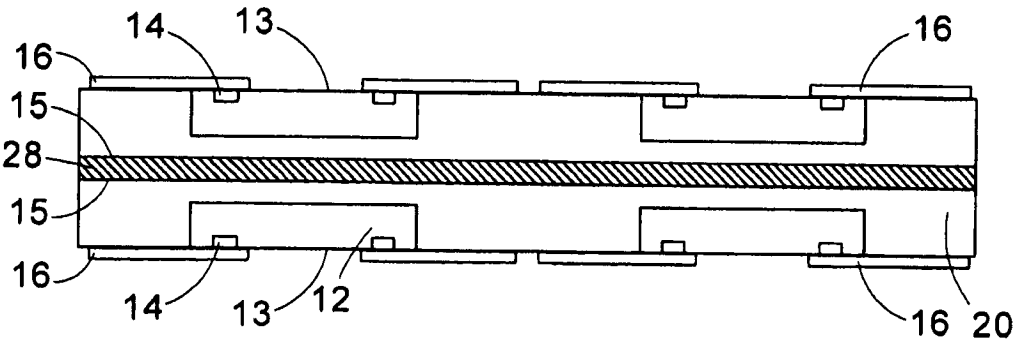


圖 7E

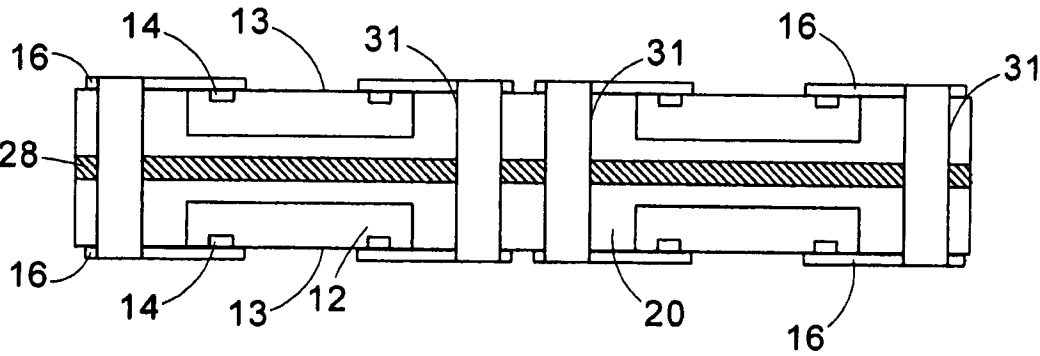


圖 7F

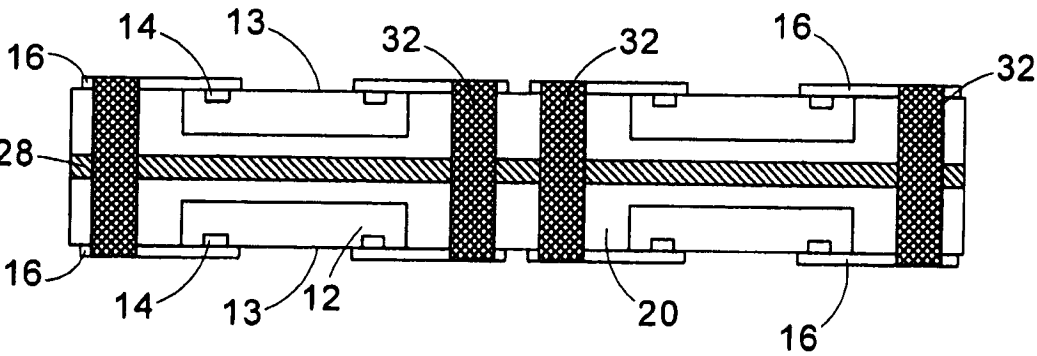


圖 7G

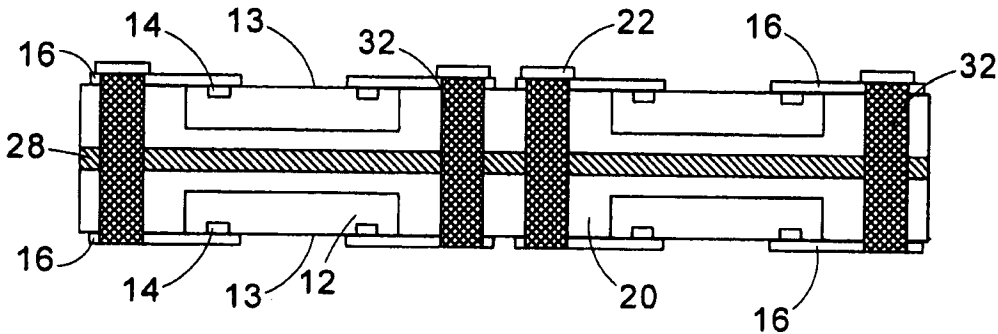


圖 7H

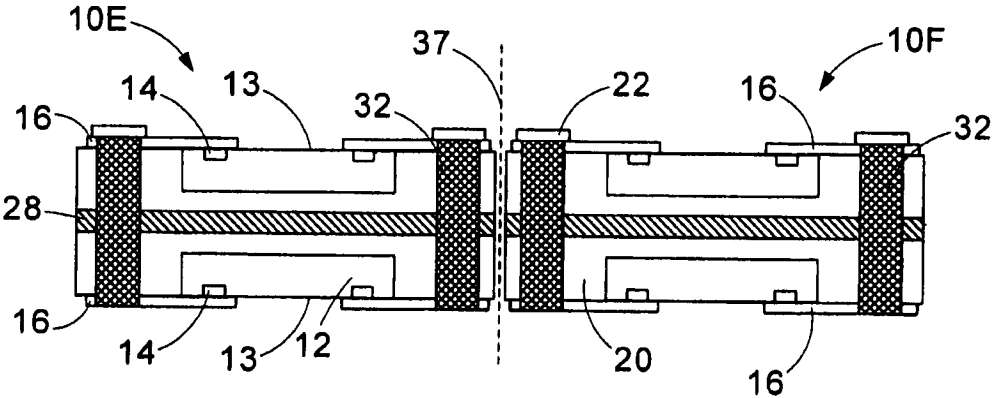


圖 7I

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

12	晶粒
13	前部/前側
14	結合襯墊
15	後部/後側
16	傳導線路
18	傳導互連
20	本體
24	焊球
100	已封裝的積體電路裝置

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)