

명세서

기술분야

본 발명은 반도체소자의 배치설계 및 그 제조공정에 관한 것이다. 특히, 기존의 상보형 금속산화물반도체(CMOS) 소자의 구조와 양립할 수 있는 절연체상의 실리콘(SOI) 구조와 제조공정에 관한 것이다.

배경기술

US-A-5359219에는 절연체상의 실리콘 소자와 그 제조 방법이 개시되어 있다. 매설산화물층이 N형 반도체 기판에 형성되고, P형 층이 상기 매설산화물층 아래에 형성된다. 필드산화물 영역을 형성한 후, 매설산화물층을 아래로 확장시켜 상기 필드산화물 영역 사이에 N형 및 P형 웰을 주입한다. 상기 웰은 매설산화물층 아래의 P형 층과 매설산화물 층 위의 필드산화물 영역 사이로 확장된다.

1996년 3월 1일자 IEEE Elxctron Device Letters, Vol.17, No 3의 106 ~ 108 페이지에는 Yoshino A 등이 "High-Speed Performance of 0.35 μ m CMOS Gates Fabricated on Low-Dose SIMOX Substrates with/without an N-well Underneath the Buried Oxide Layer"라는 제목으로 P형 반도체 기판에 N웰을 형성하는 것을 개시하고 있다. 상기 N웰은 매설산화물 아래로 확장된다. 도면에는 필드산화물(LOCOS)이 매설산화물(BOX) 밑에까지 확장되는 것을 도시하고 있다.

EP-A-0 694 977에는 SOI 반도체 소자의 매설산화물층 아래에 고농도 도핑된 N형 및 P형 웰의 형성이 개시되어 있다. 대량으로 생산되는 상보형 금속산화물반도체(CMOS) 소자는 "벌크" CMOS로 일컬어지는데, 그 이유는 이 소자가 반도체 벌크 기판을 포함하고, 그 기판 위에 능동 또는 수동 회로요소들을 배치하고 있기 때문이다. 최근에는 벌크 CMOS 소자 보다 전력 소비가 작은 절연체상의 실리콘(또는 산화물상의 실리콘)(SOI) CMOS가 소개되었다. SOI 소자는 벌크 기판과 회로 요소 사이에 얇은 절연층(매설 산화층 또는 SOI)을 가지는 점에 특징이 있다. 대체적으로, SOI와 벌크 기판 사이에는 다른 물질층이 놓이지 않는다. SOI CMOS 소자에서, SOI 위의 회로 요소들은 적절한 N타입 또는 P타입 전도성 도펀트로 도핑된 필드 산화물 반도체층 영역에 의해 형성된다. 예를 들어, N 채널 트랜지스터의 경우, 필드 산화물층에는 게이트가 P타입 도펀트로 된 채널영역(body region) 위에 배치되어 있고 상기 채널영역은 N타입 도펀트로 도핑된 소스와 드레인 사이에 배치될 것이다. 이러한 소자들은 배터리 전원의 휴대전화나 노트북 등 다양한 분야에서 많은 잇점을 제공한다. 또한, SOI CMOS 소자는 벌크 CMOS 보다 고속으로 동작하는 점에서도 유리하다. SOI CMOS 구조는 인접한 요소 사이의 접합 정전용량으로 인하여 벌크 CMOS에서 자연적으로 기생하는 회로요소 들을 제거한다. 또한, 벌크 정전용량이 매우 작기 때문에 CMOS 회로가 매우 고속으로 동작한다. SOI CMOS는 또한 래치업(latchup)이 없다. 이 기술에 관련된 다른 문제들로서 SOI 부유-몸체 효과(floating-body effect)가 있다. 이 문제는 다른 많은 사람들이 발표해 왔는데, 예로서, W. Chen 등이 1996년도 VLSI Technology digest of Technical Papers 심포지움에서 발표한 "Suppression of the SOI Floating-body Effects by Linked-body Device Structure" 가 있다.

SOI CMOS 사용 증가에 따라 직면하는 장벽 중의 하나는 최신 VLSI 집적회로 제품에 막대한 비용의 설계 투자가 필요하다는 것이다. 대체적으로, 표준 SOI는 유전체 분리 때문에 벌크 CMOS와 동일한 방식으로 작동하지 않으며, CMOS 설계는 일반적으로 SOI 구조에 적용되지 않고, 쉽게 전환할 수도 없다. 생산업체들은 벌크 CMOS를 사용하여 회로가 제대로 기능하더라도 SOI CMOS를 위한 회로를 재설계할 것인지 결정해야만 한다. 왜냐하면 제조설비는 기본라인 없이는 새로운 기술에 대처할 수 없기 때문이다. 종래 기술은 벌크 CMOS와 SOI CMOS 구조의 조합을 제시하긴 했지만, 예로서 Chen 등은 매설 산화층 위에 웰(well)을 위치시키는 것을 제시하였지만, 두 구조 사이의 설계상의 양립성을 제시하거나 매설층 아래에 웰을 위치시키는 것은 제시하지 못했다. 그러므로, 기존의 벌크 CMOS 구조와 양립할 수 있는 SOI 구조를 제공할 필요가 있었다. 벌크 CMOS 데이터베이스를 사용한다면, SOI 제조 및 기술을 위한 제품을 신속하게 창안해내는 것이 가능할 것이다.

따라서, 본 발명의 주요한 목적은 벌크 CMOS와 양립 가능한 SOI CMOS 소자를 만들어내는 방법을 제공하는 것이다.

본 발명의 다른 목적은 벌크 CMOS의 설계구조 데이터베이스를 이용하여 벌크 CMOS와 양립 가능한 SOI CMOS 소자를 만들어내는 방법을 제공하는 것이다.

본 발명의 또 다른 목적은 상기 목적에 따라 제조된 SOI CMOS 소자를 제공하는 것이다.

발명의 상세한 설명

본 발명에 따르면, 벌크 CMOS의 설계구조 데이터베이스를 이용하여 벌크 CMOS와 양립 가능한 SOI CMOS 소자를 만들어내는 방법을 제공한다. 상기 소자는 벌크 CMOS 소자의 제조에 사용되는 P-웰 및 N-웰 마스크를 이용하여 제조한다. P-웰 및 N-웰 영역은 매설 산화층의 위와 아래에 적절한 도펀트를 주입하여 SOI CMOS 기본 구조를 만들어냄으로써 제조한다. SOI CMOS 기본 구조의 특정 변형에는 매설 산화층 아래의 웰과 오믹접촉을 형성하기 위한 마스크를 제공하는 것을 포함한다. 이것은 기존의 벌크 CMOS 마스크 데이터베이스로부터 얻어지는 별도의 마스크를 사용함으로써 달성될 수 있다. 이 마스크는 기존의 CMOS 배치설계에 다음의 AND 또는 OR 논리함수를 부여함으로써 얻어진다.

- a) 소스/드레인 [AND] P⁺ [AND] P-웰 [AND] 제1콘택
- b) 소스/드레인 [AND] N⁺ [AND] N-웰 [AND] 제1콘택
- c) a) [OR] b)

본 발명의 다른 특징들은 본 발명의 실시예에서 더욱 명백하게 나타날 것이다.

도면의 간단한 설명

본 발명의 이해를 돕기 위하여, 후술되는 본 발명의 실시예의 상세한 설명에서는 첨부도면을 참조한다.

도 1은 종래의 SOI 구조의 단면도이다.

도 2는 종래의 벌크 CMOS 구조의 단면도이다.

도 3은 본 발명에 따른 SOI CMOS 소자 구조의 단면도이다.

도 4는 본 발명에 따른 SOI CMOS 소자 구조의 단면도로서, 웰에서 기판까지의 공핍확산과 정전용량을 도시한다.

도 5는 본 발명에 따른 SOI CMOS 소자에서 웰 콘택 플러그를 형성하는 단계를 도시한다.

도 6은 본 발명에 따른 SOI CMOS 소자에서 웰 콘택 플러그를 형성하는 연속 단계를 도시한다.

도 7은 본 발명에 따른 SOI CMOS 소자 구조의 단면도로서, 웰 콘택 플러그를 포함하고 있다.

도 8은 본 발명에 따른 SOI CMOS 소자 구조의 단면도로서, 웰 콘택 플러그를 포함하며 웰에서 기판까지의 공핍확산과 정전용량을 도시한다.

각 도면에서 참조 번호는 본 발명의 동일한 또는 대응되는 부분을 지시한다.

실시예

반도체 소자 및 제조 기술은 이미 잘 알려져 있기 때문에 혼동을 피하기 위해서, 본 상세한 설명에서는 당업자가 본 발명을 실시할 수 있는 한, 잘 알려진 항목들에 대한 상세한 설명은 생략한다.

도 1은 종래의 SOI CMOS 구조를 도시한다. 참조번호 10이 지시하고 있는 SOI CMOS는 일반적으로 매설 실리콘산화물층(16) 위에 형성되는 N채널 MOSFET(12)과 P채널 MOSFET(14)으로 구성된다. 상기 매설산화물층(BOX)(16)은 실리콘 기판(18) 위에 형성된다. MOSFET(12, 14) 주변에는 필드산화물(FOX)(20)이 있다. 각각의 MOSFET(12, 14)은 다결정 실리콘 게이트(22)를 포함하고 있다. 활성영역(24)은 N채널 MOSFET(12)의 경우 P타입으로 도핑되고, 활성영역(26)은 P채널 MOSFET(14)의 경우 N타입으로 도핑된다. 도 1로부터 알 수 있듯이, 각각의 MOSFET(12, 14)은 BOX층(16)과 FOX영역(20)에 의해 서로 전기적으로 분리되어 있고, BOX층(16)에 의해 어떤 전도성 기판으로부터도 절연된다. 결국, 래치업 문제도 제거되고, 누설의 염려도 최소화된다.

도 2는 종래의 벌크 CMOS 구조를 도시한다. 참조번호 30이 지시하고 있는 벌크 CMOS는 일반적으로 N채널 MOSFET(32)과 P채널 MOSFET(34)으로 구성된다. N채널 MOSFET(32)은 P웰(36) 안에 위치하고, P채널 MOSFET(34)은 N웰(38) 안에 위치한다. P웰 및 N웰은 보통 이온주입과 웰드라이브(well drive)에 의해서 N 또는 P타입 벌크(40) 안에 형성된다. MOSFET(32, 34) 주변에는 필드산화물영역(FOX)(42)이 있다. 각각의 MOSFET(32, 34)은 다결정실리콘 게이트(44)를 포함하고 있다. 전기적 포텐셜이 SOI CMOS의 게이트(22) 중 어느 하나에 인가되면, 전기적 포텐셜은 기판(18)에 대해서 활성영역(24, 26)에 걸리게 된다. SOI MOSFET 활성영역은 지역소비 배치설계방법(area consuming layout method)을 사용하여 의도적으로 연결되지 않는 한 부유전압(floating electrical potential)을 갖게 된다. 이 효과는 벌크 CMOS에서는 발견되지 않는다. 많은 벌크 CMOS 설계는 전기적 포텐셜이 이미 알려진 MOSFET의 활성영역에 의존하는 반면, SOI MOSFET의 활성영역은 벌크 실리콘과는 격리되어 있다. 또한, SOI CMOS의 회로설계 시뮬레이션은 MOSFET이 벌크 실리콘과 격리되어 있다는 추정에 기초하고 있고, 회로설계는 실리콘이 상기 추정과 같은 방식으로 행동하느냐에 의존하여 수행된다. 표준 SOI는 절연 분리 때문에 벌크 CMOS와 같은 방식으로 동작하지 않으며, 따라서 벌크 CMOS 설계는 일반적으로 SOI구조와 적용가능하지 않거나 쉽게 전환될 수 없다.

본 발명에 따른 SOI-벌크CMOS 구조가 도 3에 도시되어 있다. 참조번호 50으로 지시되는 SOI-벌크웰CMOS는 매설 실리콘산화물층(56) 위에 형성된 N채널 MOSFET(52)과 P채널 MOSFET(54)으로 구성된다. 매설산화물층(BOX)(56)은 실리콘 기판(80) 위에 형성되어 있다. MOSFET(52, 54) 주위에는 필드산화물영역(FOX)(58)이 있다.

N채널 MOSFET(52)은 다결정실리콘 게이트(60), N⁺ 소스부(62) 및 N⁺ 드레인부(64)를 포함하고 있다. 게이트(60)아래의 소스부(62)와 드레인부(64) 사이에는 P⁻영역(66)이 있다. 도 3에서 소스부(62)와 드레인부(64)는 매설산화물층 보다 위쪽에 형성된 것으로 도시되어 있으나, 실제로는 도 4에 도시된 것처럼 상기 매설산화물층에 까지 연장될 수도 있다. 상기 매설산화물층(56)과 P⁻영역(66) 아래에는 채널영역(66)과 동일한 타입인 P형 영역(67)이 있다. 상기 MOSFET(52)에서 영역 67은 매설산화물층(56)으로 위 아래가 나누어져있는 P웰의 일부이다. 동일하게, P채널 MOSFET(54)은 다결정실리콘 게이트(70), P⁺ 소스부(72) 및 P⁺ 드레인부(74)를 포함하고 있다. 게이트(70)아래의 소스부(72)와 드레인부(74) 사이에는 N⁻영역(76)이 있다. 소스부(72)와 드레인부(74)는 매설산화물층(56) 보다 위쪽에 형성된 것으로 도시되어 있으나, 실제로는 도 4에 도시된 것처럼 상기 매설산화물층(56)에 까지 연장될 수도 있다. 상기 매설산화물층(56)과 N⁻영역(76) 아래에는 채널영역(76)과 동일한 타입인 N형 영역(77)이 있다. 상기 MOSFET(54)에서 영역 77은 매설산화물층(56)으로 위 아래가 나누어져있는 N웰의 일부이다. 당업자에게는 다른 플라나 MOSFET 설계기술, 예를 들면 게이트로 금속, 폴리사이드 또는 살리사이드 등을 사용하는 기술이 상기 웰 형성 방법에 적용될 수 있다는 것이 명백할 것이다.

표준 벌크 CMOS P웰 및 N웰 마스크를 사용하여 상기 웰(68, 78)이 벌크 영역의 매설산화물층(56) 위, 아래에 이온주입으로 형성된다. 도 3에 도시된 실시예에서 벌크 영역은 N형 또는 P형 기판(80)이다. 매설산화물층(56)을 형성한 후에 상기 웰(68, 78)의 이온주입에 소정의 에너지가 사용되는데, 500keV에서 수 메가볼트의 주입에너지가 사용될 수 있다. 혹은 웰(68, 78)의 형성에 100keV 또는 그 보다 낮은 에너지를 사용하고 SIMOX 기술을 사용하여 매설산화물층(56)을 형성하기 위한 고농도 산소를 주입할 수도 있다. 그 다음, 산소 주입과정에서 대략 1300℃에서 웰드라이브가 일어난다. 도 3의 구조는 N채널 또는 P채널 트랜지스터 아래에 기생적인 접합정전용량의 감소를 가져온다. 즉, N형 기판이 사용되면, P웰은 격리된 접합이 되고 전기적으로 0 V에 가까운 "부유" 상태가 된다. P웰(68)과 기판(80) 사이에는 공핍영역이 형성되며, 이것은 N⁺ 접합(62, 64)과 각각의 연결부 등과 같은 전기신호로부터 발생하는 모든 변위 전류의 전하이동을 감소하는데 기여할 것이다. 상기 공핍영역과 그 효과는 도 4를 참조하여 아래에서 보다 상세히 기술한다.

도 4는 본 발명에 따른 구조에서 N채널 트랜지스터 아래에 형성된 저항, 정전용량 및 공핍영역을 도시한다. 앞서와 같이, 참조번호 90으로 지시되는 N채널 MOSFET은 다결정실리콘 게이트(92), N⁺ 소스부(94) 및 N⁺ 드레인부(96)를 포함하고 있다. 게이트(92)아래의 소스부(94)와 드레인부(96) 사이에는 P⁻활성영역(98)이 있다. 소스부(94)와 게이트부(96) 및 게이트(92)는 각각 층간산화층(105)을 관통하는 금속 소스전극(100), 금속 드레인전극(102) 및 금속 게이트전극(104)에 전기적으로 접촉되어 있다. 또한 금속 P웰콘택전극(106)이 있다. 층간산화층(105) 아래의 여러 반도체 영역 주위에는 필드산화층(107)이 있다. 역시 앞서와 마찬가지로 매설 산화층(108)은 P⁻활성영역(98) 아래에 있다. 상기 매설산화물층(108)과 P⁻활성영역(98) 아래에는 채널영역(98)과 동일한 타입인 P형 영역(112)이 있다. 상기 MOSFET(90)에서 영역 110은 매설산화물층(108)으로 위 아래가 나누어져있는 P웰(112)의 일부이다. 상기 P웰은 도 3과 관련하여 기술된 벌크 CMOS P웰 마스크를 사용하여 N형 기판(114)에 형성된다. 공핍영역(116)은 P웰(112)과 N형 기판(114) 사이에 형성되어, N⁺ 영역(94, 96)과 연결부(106)에 인가된 전기신호에 의해 기판(114)에 축적되는 변위전류에 기인한 전하이동을 감소시키는데

기여한다. 능동소자는 P웰(112)에 위치하지 않기 때문에, 매설산화물층(108) 아래에 공핍영역의 P웰(112)의 농도 및 기관(114)의 농도는 대략 $10E15 \text{ atoms/cc}$ 정도 또는 그 이하로 매우 낮을 수 있다. 이것은 매우 낮은 도핑의 P웰/기관 접합에 대해 공핍확산(depletion spread), 즉 공핍영역의 크기가 대략 $1\mu\text{m}$ 이상으로 확대되는 결과를 가져온다. 공핍영역(116)에 기인한 정전용량(118)은 직렬로 연결되는 매설산화물층 정전용량(120)과 함께 전극(100, 102, 106)과 N형 기관(114) 사이의 정전용량을 감소시킨다.

앞서 기술된 바와 같이 기존의 벌크 CMOS 처리방법이 본 발명의 SOI 기술에도 사용되어 도 3 및 도 4의 N형 영역, P형 영역 및 매설산화물층을 형성한다. 결과적으로, N채널 및 P채널 트랜지스터(52, 54, 90)는 각각 적절하게 도핑된 기지물질에 위치하고, P형 기관콘택(106)과 같은 기관콘택은 소자가 형성된 웰에 오믹 접촉되도록 적절하게 위치하게 된다. 따라서 본 발명의 SOI 구조는 종래의 SOI 구조의 장점을 그대로 유지하면서, 기존의 벌크 CMOS 구조로부터 쉽게 적용되고 제조할 수 있다. 본 발명의 SOI 구조에서 매설산화물층 아래의 웰에 오믹 접촉할 수 있다면 더욱 바람직 할 것이다. 이것은 공정을 좀더 세분화하고 기존의 벌크 CMOS 마스크 데이터베이스로부터 만들어지는 별개의 마스크를 사용함으로써 달성할 수 있다. 이 마스크는 기존의 CMOS 배치설계에 다음의 AND 또는 OR 논리함수를 부여함으로써 얻어진다.

a) 소스/드레인 [AND] P⁺ [AND] P-웰 [AND] 제1콘택

b) 소스/드레인 [AND] N⁺ [AND] N-웰 [AND] 제1콘택

c) a) [OR] b)

함수 c)로부터 얻어지는 마스크는 실리콘층 상부 및 매설산화물층을 관통하는 콘택홀을 형성하는데 사용된다. 상기 콘택홀은 아래에 있는 웰에 접촉하도록 적절한 물질로 채워지게 된다. 콘택홀을 형성하고 및 충전하는 것은 소자제조공정의 첫 번째 단계에서 N⁺ 나 P⁺ 소스 또는 드레인 형성 바로 전에 이르기까지의 어느 단계에서도 행해질 수 있다. 이에 관하여 도 5 내지 7은 필드산화물 형성 후 웰콘택 플러그의 형성을 도시한다.

도 5에 도시된 바와 같이, 매설산화물층(133) 위의 실리콘층(132)에 필드산화물영역(130)을 형성하고 나서 실리콘층(132) 위에 포토리지스트층(134)이 증착된다. 포토리지스트층(134)은 위의 논리 함수 c)에 의해 얻어지는 마스크를 사용하여 노출되고, 현상되어 포토리지스트층(134) 안에 홀(136)이 정해진다. 그 다음, 이산화실리콘을 식각하여 필드산화물영역(130)에 콘택홀(138)의 상부를 형성하고, 실리콘을 식각하여 콘택홀(138)의 중간부를 형성한다. 상기 실리콘의 식각은 보통 매설산화물층(133)에서 멈추게 되고 그 다음에는 매설산화물층(133)을 식각하기 위해서는 플라즈마식각가스로 바꿀 필요가 있다. 플라즈마식각은 벌크 실리콘(P웰(140) 또는 N형 기관(142))에서 멈추게 되어, 콘택홀(138)의 형성이 완료된다. 콘택 플러그에는 낮은 저항의 오믹접촉이 필요하지 않기 때문에, 콘택플러그는 화학기상증착(CVD)에 의해 실리콘층(132)과 콘택홀(138) 안으로 증착되는 다결정실리콘(폴리실리콘)으로 형성된다. 증착된 폴리실리콘이 도 6에 지시번호 144로 나타나 있다. 실리콘층(132)과 필드산화물(130) 위의 폴리실리콘(144)은 화학기계연마(CMP)에 의해 도 7에 나타난 바와 같이 제거되고, 필드산화물(130), 실리콘층(132) 및 매설산화물층(133)을 관통하여 P웰(140)과 접촉하는 폴리실리콘 콘택플러그(146)와 필드산화물(130), 실리콘층(132) 및 매설산화물층(133)을 관통하여 N형기관(142)과 접촉하는 폴리실리콘 콘택플러그(148)만 남는다. 폴리실리콘 대신에 콘택플러그(146, 148)는 내화금속을 사용할 수도 있으나, CVD 폴리실리콘이 콘택장벽을 제거하는데 더 바람직하다. 도 5 내지 7에서는 P웰(140)이 이미 형성되어 있다. 그러나 콘택플러그를 형성한 후 메가eV 정도의 주입에너지를 사용하여 P웰(경우에 따라서는 N웰)을 형성하는 것이 바람직하다. 이것은 콘택플러그가 이온주입으로 도핑되는 결과를 가져온다. 이렇게 하여 플러그에서 아래의 웰까지 오믹접촉을 용이하게 할 수 있다. 도 7에서 볼 수 있듯이, 콘택플러그(146, 148)는 매설산화물층(133) 위의 실리콘층(132)에 접촉되고, 또한 도 7에서는 아직 형성되지 않은 N 및 P 채널 트랜지스터의 각각의 활성영역에 접촉된다. 따라서, 상기 웰(140)은 V_{SS}에 연결될 뿐만 아니라, N채널 트랜지스터의 P타입 활성영역에도 연결된다. 마찬가지로 상기 기관(142)은 V_{DD}에 연결될 뿐만 아니라, P채널 트랜지스터의 N타입 활성영역에도 연결된다.

후속되는 N⁺ 와 P⁺ 소스 및 드레인 영역 주입과정에서 상기 콘택플러그는 부가적으로 도핑되어 전도성이 향상되고 아래의 웰이나 기관과 오믹접촉이 더욱 용이해진다.

그러나 매설산화물층 아래의 웰은 단지 역방향 접합 누설전류(reverse bias junction current leakage)를 흡수하도록 요구될 뿐이고, 따라서 콘택플러그의 오믹저항은 메가 ohm 정도로 여전히 받아들일만한 수준이라는 것을 숙지하는 것이 중요하다. 그러나 앞서 기술된 웰 도핑과 소스/드레인 도핑 후에는 플러그의 저항이 대략 100ohm에서 10,000ohm의 범위에 있어야 한다. 더우기 누설전류는 보통 1 μA 혹은 그 보다 훨씬 작기 때문에 이 정도의 저항은 받아들일만 하다.

도 8은 본 발명에 따른 N채널 MOSFET을 도시하며, 웰 콘택플러그가 포함되어 있고, 웰에서 기판까지의 공핍확산과 정전용량을 도시한다.

설명을 간단히 하기위하여 도 4에서 8까지 공통되는 요소들은 같은 참조번호를 사용되었고, 도 4와 관련하여 설명한 내용 중 공통적인 요소들은 도 8에서도 동일하게 적용된다.

도 8에서 볼 수 있듯이 MOSFET은 매설산화물층(108)을 통해 연장되어 그 밑의 P웰(112)에 접촉되는 다결정 웰 콘택플러그(150)를 포함한다. 상기 P웰(112)은 저농도로 도핑되어 있고(약 $10E15$ atoms/cc 정도 또는 그 이하로), 콘택전극(152)을 지나 소스전압(V_{SS})에 바이어스되어 있다. 기판(114)은 드레인전압(V_{DD})에 바이어스되어 있다. 저농도도핑과 바이어스전압(V_{SS} 에서 V_{DD})은 웰에서 기판까지 매우 작은 정전용량(153)과 매우 큰($3\mu m$ 에서 $10\mu m$) 공핍확산(154)을 가져온다.

SOI설계는 벌크 CMOS 보다 빠른 게이트 속도를 요구하고 있다. 본 발명의 구조는 능동소자와 기판 물질간의 기생적인 정전용량을 줄임으로써 SOI 속도를 더욱 향상시킨다. 또한, 본 발명은 기존의 벌크 CMOS 제조 데이터베이스를 사용하여 SOI 구조를 제조할 수 있는 방법을 제공하여, SOI가 갖는 낮은 기생 정전용량, 향상된 속도, SRAM의 문제점인 알파입자의 제거를 가져온다. 또한, 매설산화물층 아래에 형성된 웰을 사용하여 기생 정전용량을 줄임으로써 종래의 SOI와 비교할 때 더욱 얇은 매설산화물층을 사용할 수 있고, SIMOX 제조비용을 줄일 수 있다. 매설산화물층에 형성된 핀-홀은 종래의 SOI에서와 같이 본 발명의 하부(underlying) 웰로 인하여 소자 성능에 영향을 미치지 않기 때문에 소자 수율이 향상된다.

본 발명은 상기 실시예에 한정되지 않으며 본 발명의 요지와 범주 내에서 다양한 개량이 가능하다.

(57) 청구의 범위

청구항 1.

P채널 CMOS 트랜지스터(54)와,

N채널 CMOS 트랜지스터(52)와,

상기 P채널 CMOS 트랜지스터(54) 근처의 제1필드산화물영역(58)과,

상기 N채널 CMOS 트랜지스터(52) 근처의 제2필드산화물영역(58)과,

상기 P채널 CMOS 트랜지스터(54), 제1필드산화물영역(58), 제2필드산화물영역(58) 및 N채널 CMOS 트랜지스터(52) 아래에 위치한 전기적 절연층(56)과,

상기 절연층(56) 위에 위치하고, 상기 제1필드산화물영역(58) 아래로 확장된 N형 반도체 영역(78)과,

상기 절연층(56) 위에 위치하고, 상기 제2필드산화물영역(58) 아래로 확장된 P형 반도체 영역(68)과,

상기 절연층(58) 바로 아래의 벌크 반도체 기판(80)에 위치하며, 또한 상기 N채널 CMOS 트랜지스터(52) 및 제2필드산화물영역의 아래 및 상기 절연층(56) 위의 벌크 반도체 기판(80)에 위치하는 P형 반도체 영역(68)과,

상기 절연층(58) 바로 아래의 벌크 반도체 기판(80)에 위치하고, 또한 상기 P채널 CMOS 트랜지스터(54)와 제1필드산화물영역(58)의 아래 및 상기 절연층(56) 위의 벌크 반도체 기판(80)에 위치하는 N형 반도체 영역(78)

을 포함하여 구성되는 SOI CMOS 소자.

청구항 2.

제1항에 있어서, 상기 N형 반도체 영역(78)은 N형 기판 영역인 SOI CMOS 소자.

청구항 3.

제2항에 있어서, 상기 P형 반도체 영역(68)은 N형 기판 영역에 형성된 P웰인 SOI CMOS 소자.

청구항 4.

제1항에 있어서, 상기 P형 반도체 영역(68)은 P형 기판 영역인 SOI CMOS 소자.

청구항 5.

제4항에 있어서, 상기 N형 반도체 영역(78)은 P형 기판에 형성된 N웰인 SOI CMOS 소자.

청구항 6.

제1항에 있어서, 상기 N형 반도체 영역(78)은 N웰이고, 상기 P형 반도체 영역(68)은 P웰인 SOI CMOS 소자.

청구항 7.

제6항에 있어서, 상기 N웰 및 P웰은 비도핑 기판, P형 기판 및 N형 기판 중에서 선택되는 어느 하나의 벌크 반도체 기판(80)에 형성되는 SOI CMOS 소자.

청구항 8.

제1항 내지 7항 중 어느 한 항에 있어서, 제1필드산화물영역(58), 절연층(56) 위에 위치한 N형 반도체 영역(78), 및 상기 절연층(56)을 관통하여 연장되어 상기 절연층(56) 바로 아래의 N형 반도체 영역(78)에 까지 연장되는 콘택플러그를 추가적으로 포함하여 구성되는 SOI CMOS 소자.

청구항 9.

반도체 기판(80)을 준비하고,

상기 기판(80) 위에 전기적 절연 물질층(56)을 준비하고,

상기 절연 물질층(56) 위에 반도체 소자 영역을 준비하고,

상기 반도체 기판(80)에 N형 반도체 영역을 형성하기 위한 제1벌크 CMOS 제조 마스크를 준비하고,

상기 전기적 절연층(56)의 위, 아래의 반도체 기판(80)에 N형 반도체 영역(78)을 형성하고, 상기 제1마스크를 제거하고,

상기 반도체 기판(80)에 P형 반도체 영역을 형성하기 위한 제2벌크 CMOS 제조 마스크를 준비하고,

상기 전기적 절연층(56)의 위, 아래의 기판에 P형 반도체 영역(68)을 형성하고, 상기 제2마스크를 제거하고,

상기 N형 반도체 영역(78)과 P형 반도체 영역(68) 사이에 필드산화물영역(58)을 형성하고, 여기서 N형 반도체 영역(78)과 P형 반도체 영역(68)은 상기 필드산화물영역(58) 아래로 확장되어 있고,

상기 반도체 소자 영역에 P채널 CMOS 트랜지스터(54) 및 N채널 CMOS 트랜지스터(52)를 준비하는 단계를 포함하여 이루어지는 SOI CMOS 소자 제조방법.

청구항 10.

제9항에 있어서, 반도체 기판(80)을 준비하는 단계와 N형 반도체 영역(78)을 형성하는 단계는 모두 N형 벌크 반도체 기판을 준비하는 단계로 구성되는 SOI CMOS 소자 제조방법.

청구항 11.

제10항에 있어서, P형 반도체 영역(68)을 형성하는 단계는 상기 N형 기판에 P웰을 형성하는 단계로 구성되는 SOI CMOS 소자 제조방법.

청구항 12.

제9항에 있어서, 반도체 기판(80)을 준비하는 단계와 P형 반도체 영역(68)을 형성하는 단계는 모두 P형 벌크 반도체 기판을 준비하는 단계로 구성되는 SOI CMOS 소자 제조방법.

청구항 13.

제12항에 있어서, N형 반도체 영역(78)을 형성하는 단계는 상기 P형 기판에 N웰을 형성하는 단계로 구성되는 SOI CMOS 소자 제조방법.

청구항 14.

제9항에 있어서, N형 반도체 영역(78)을 형성하는 단계는 상기 반도체 기판(80)에 N웰을 형성하는 단계로 구성되고,

P형 반도체 영역(68)을 형성하는 단계는 상기 반도체 기판(80)에 P웰을 형성하는 단계로 구성되는 SOI CMOS 소자 제조방법.

청구항 15.

제14항에 있어서, 상기 벌크 반도체 기판(80)은 비도핑 기판, P형 기판 및 N형 기판 중에서 선택되는 SOI CMOS 소자 제조방법.

청구항 16.

제9항에 있어서, 다수의 벌크 CMOS 제조 마스크의 논리적 조합으로 구성되는 제3마스크로서, 상기 벌크 반도체 기판(80)에 형성된 N형(78) 및 P형(68) 반도체 영역과 오믹접촉을 형성하는데 사용되는 제2마스크를 준비하고,

상기 반도체 기판에 형성된 N형(78) 및 P형(68) 반도체 영역과 접촉하는 적어도 하나의 오믹접촉 구조를 형성하는 단계를 추가적으로 포함하여 구성되는 SOI CMOS 소자 제조방법.

청구항 17.

제16항에 있어서, 상기 적어도 하나의 오믹접촉 구조는 콘택홀(138)을 형성하고 상기 콘택홀(138)을 폴리실리콘(144)으로 채움으로써 형성되는 SOI CMOS 소자 제조방법.

청구항 18.

제16항 또는 제17항에 있어서, 제3마스크를 준비하는 단계는 다음의 CMOS 데이터베이스의 논리적 조작,

- a) 소스/드레인 [AND] P⁺ [AND] P-웰 [AND] 제1콘택
- b) 소스/드레인 [AND] N⁺ [AND] N-웰 [AND] 제1콘택
- c) a) [OR] b)

에 의해 만들어지는 마스크를 준비하는 것으로 구성되는 SOI CMOS 소자 제조방법.

청구항 19.

제16항 또는 제17항에 있어서, 적어도 하나의 오믹접촉 구조를 형성하는 단계는 N형(78) 및 P형(68) 반도체 영역 뿐만 아니라 상기 P채널 CMOS 트랜지스터(54) 및 N채널 CMOS 트랜지스터(52)의 해당 활성영역과 전기적으로 접촉하는 오믹접촉 구조를 형성하는 것으로 구성되는 SOI CMOS 소자 제조방법.

청구항 20.

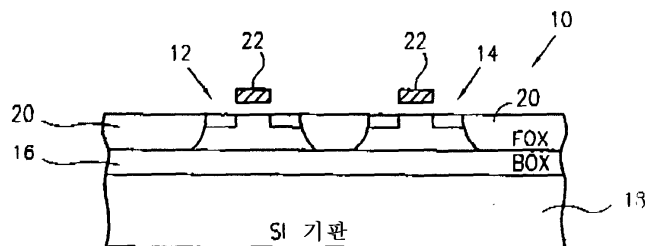
삭제

청구항 21.

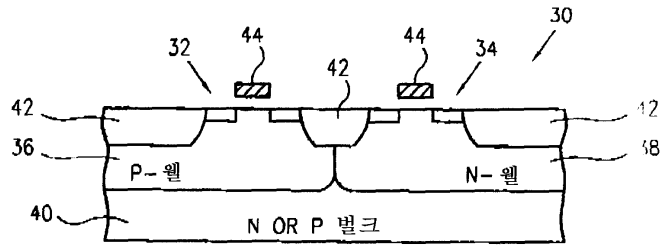
삭제

도면

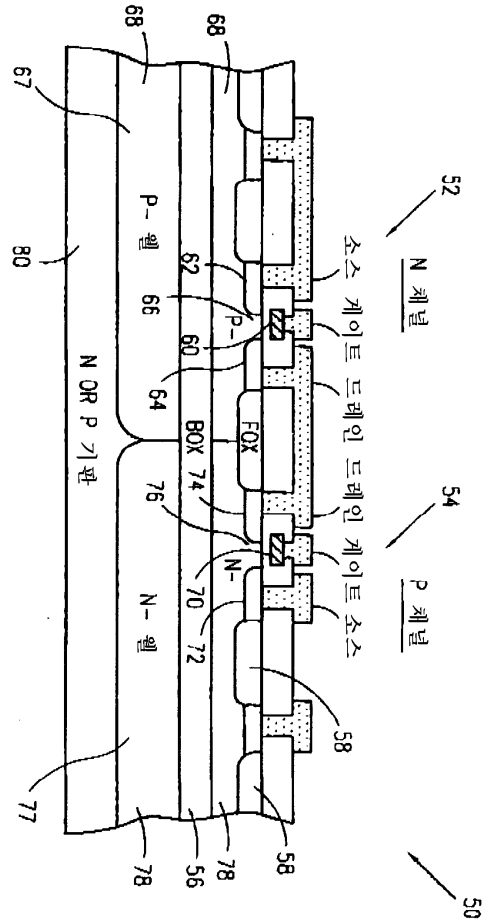
도면1



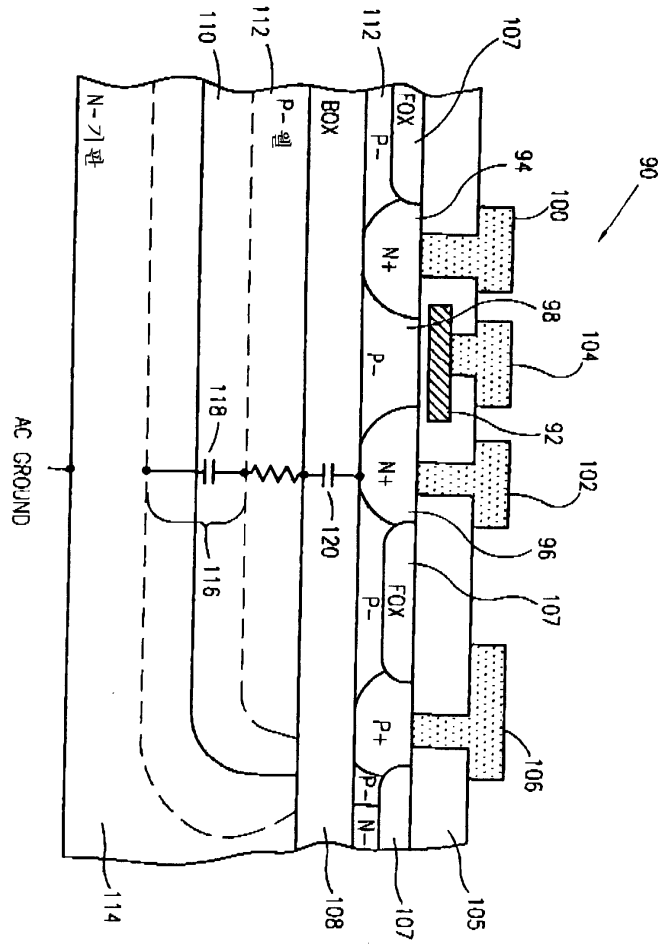
도면2



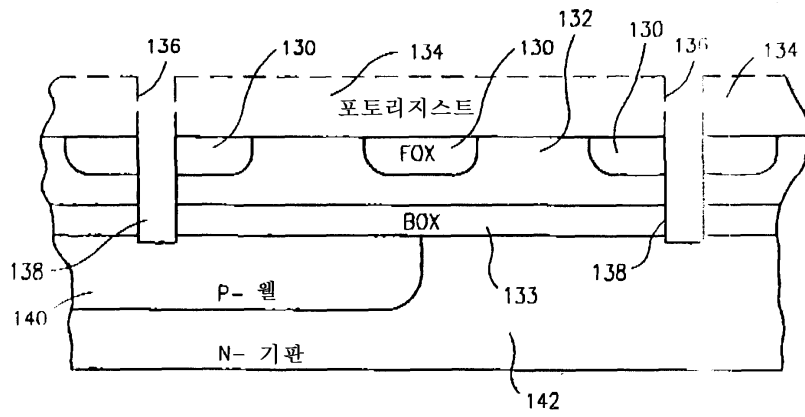
도면3



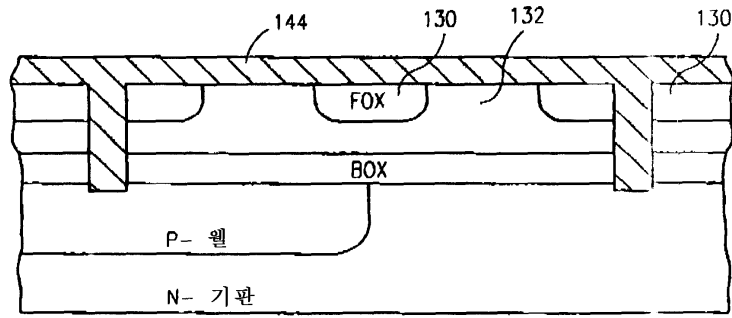
도면4



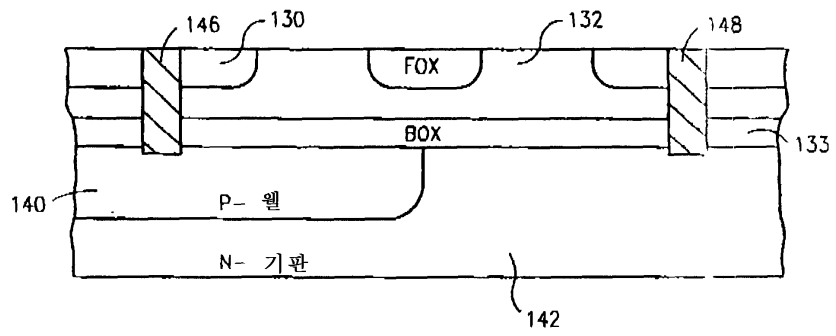
도면5



도면6



도면7



도면8

