



12 AUSLEGESCHRIFT A3

11

615 079 G

21 Gesuchsnummer: 16266/76

22 Anmeldungsdatum: 23.12.1976

30 Priorität(en): 26.12.1975 JP 50-158643

42 Gesuch bekanntgemacht: 15.01.1980

44 Auslegeschrift veröffentlicht: 15.01.1980

71 Patentbewerber:
Casio Computer Co., Ltd., Tokyo (JP)

72 Erfinder:
Toshio Kashio, Setagaya-ku/Tokyo (JP)

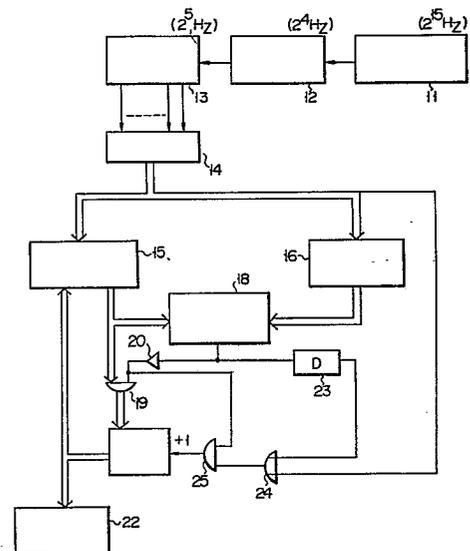
74 Vertreter:
E. Blum & Co., Zürich

56 Recherchenbericht siehe Rückseite

54 Elektronischer Zeitmesser.

57 Der Zeitgeber enthält einen Direktzugriffsspeicher (15), der eine Zeiteinheit zu einer Adresse in der Reihenfolge bezeichnet, dass eine grössere Zeiteinheit vor einer kleineren Zeiteinheit liegt und einen Festwertspeicher (16) der bezeichneten Zählerwerte, Uebertragerzeugungsfunktionen der betrachteten Zeiteinheit in einer Adresse speichert, die der Adressenposition des Speichers (15) entspricht. Die beiden Speicher (15,16) werden durch ein Frequenzteilersignal aus einem Taktgeber (11) adressiert. Die aus den Speichern (15,16) ausgelesenen Daten, werden einer Vergleichsschaltung (18) zugeführt. Erscheint an der Vergleichsschaltung (18) ein Koinzidenz Ausgangssignal, werden die verglichenen Daten des Speichers (15) gelöscht und der nächst höheren Speicherstelle des Speichers (15) eine "+1" hinzuaddiert. Erscheint kein Koinzidenz Ausgangssignal, wird die Zahlung in der Speicherstelle des Speichers (15) wiederholt. Die Zeil Daten werden an einer Anzeigeeinrichtung (22) angezeigt.

Durch die Anwendung von Halbleiterspeichern werden keine herkömmlichen Zeitzahlenschaltungen benötigt und die kleine Frequenzleiterstufe erlaubt eine Herabsetzung des Energieverbrauchs.





RAPPORT DE RECHERCHE
RECHERCHENBERICHT

Demande de brevet No.:
Patentgesuch Nr.:

16266/76

I.I.B. Nr.:

HO 12 458

Documents considérés comme pertinents Einschlägige Dokumente		
Catégorie Kategorie	Citation du document avec indication, en cas de besoin, des parties pertinentes. Kennzeichnung des Dokuments, mit Angabe, soweit erforderlich, der massgeblichen Teile	Revendications con- cernées Betrifft Anspruch Nr.
A	<u>DT - A - 2 439 150 (CASIO COMPUTER CO.)</u> * Seite 11, Zeile 8 - 30; Seite 12; Seite 13; Seite 14, Zeile 1 - 12; Figur 1,4 *	I,5
<p>Domaines techniques recherchés Recherchierte Sachgebiete (INT. CL.2)</p> <p>G 04 F 5/00 G 04 C 9/00</p>		
<p>Catégorie des documents cités Kategorie der genannten Dokumente:</p> <p>X: particulièrement pertinent von besonderer Bedeutung A: arrière-plan technologique technologischer Hintergrund O: divulgation non-écrite nichtschriftliche Offenbarung P: document intercalaire Zwischenliteratur T: théorie ou principe à la base de l'invention der Erfindung zugrunde liegende Theorien oder Grundsätze E: demande faisant interférence kollidierende Anmeldung L: document cité pour d'autres raisons aus andern Gründen angeführtes Dokument &: membre de la même famille, document correspondant Mitglied der gleichen Patentfamilie; übereinstimmendes Dokument</p>		
Etendue de la recherche/Umfang der Recherche		
<p>Revendications ayant fait l'objet de recherches Recherchierte Patentansprüche: alle</p> <p>Revendications n'ayant pas fait l'objet de recherches Nicht recherchierte Patentansprüche: Raison: Grund:</p>		
Date d'achèvement de la recherche/Abschlussdatum der Recherche		Examineur I.I.B./I.I.B Prüfer
9. Dezember 1977		

PATENTANSPRÜCHE

1. Elektrischer Zeitmesser, gekennzeichnet durch eine Oszillatorschaltung zum Erzeugen eines Referenztaktsignales, durch einen durch die Taktimpulse gesteuerten ersten Speicher, welcher nacheinander in Adressenpositionen Zeitzähl-
daten in einer solchen Ordnung speichert, dass eine grössere
Zeitzähleinheit vor einer kleineren Zeitzähleinheit positioniert
ist, durch einen zweiten Speicher, der entsprechend der Adres-
senposition des ersten Speichers adressbezeichnerbar ist und
numerische Übertragungsforderungsdaten speichert, von denen
jede einem endgültigen Zeitzählwert der entsprechenden Zeit-
zähleinheit des ersten Speichers entspricht, der die Basis für
einen Übertrag zur nächsthöheren Befehlsposition bildet,
durch Adressenbezeichnungsmittel zum aufeinanderfolgenden
Zuführen von Adressenbezeichnungssignalen zu den Adres-
senpositionen des ersten Speichers, während die entsprechen-
den Adressenpositionen des ersten und zweiten Speichers in
Synchronismus zueinander gebracht werden, durch Ver-
gleichsmittel zum Vergleichen zwischen den Zeitzähl-
daten in den Adressenpositionen des ersten Speichers und den numeri-
schen Übertragungsforderungsdaten in den entsprechenden Posi-
tionen des zweiten Speichers in Abhängigkeit der Adressenbe-
zeichnung der Adressenbezeichnungsmittel, durch Übertrag-
erzeugungsmittel zum Erzeugen eines Übertragungssignals an
eine Adressenposition, die nächsthöher ist als die Adressen-
position im ersten Speicher, deren Zeitzähleinheit durch die
Vergleichsmittel verglichen werden, durch Addiermittel zum
Addieren von «1» zu den Zeitzähl-
daten in dieser nächsthö-
heren Adressenposition des ersten Speichers in Abhängigkeit
vom Übertragungssignal der Übertragungserzeugungsmittel, und durch
Anzeigemittel zum Anzeigen von Zeitdaten entsprechend den
Zeitzähl-
daten der entsprechenden Zeitzähleinheiten des ersten
Speichers.

2. Zeitmesser nach Anspruch 1, dadurch gekennzeichnet, dass der erste Speicher ein Direktzugriffsspeicher (RAM) und der zweite Speicher ein Festwertspeicher (ROM) ist.

3. Zeitmesser nach Anspruch 1, gekennzeichnet durch Mittel zum Löschen von Zeitzähl-
daten in der Adressenposition im
ersten Speicher, wenn bei den Vergleichsmitteln ein Koinzi-
denzsignal festgestellt wird.

4. Zeitmesser nach Anspruch 1, gekennzeichnet durch eine Schaltung zum Speichern eines Koinzidenzsignals von den Vergleichsmitteln und durch Mittel zum Anlegen eines Ausgangssignals an die Addiermittel.

5. Zeitmesser nach Anspruch 1, dadurch gekennzeichnet, dass die Vergleichsmittel zwischen einem Zeitzähl-
signal, das durch Addition von «1» zu aus der Adressenposition des er-
sten Speichers ausgelesenen Zeitzähl-
daten erhalten wird, und numerischen Übertragungsforderungsdaten in der entsprechenden Adressenposition des zweiten Speichers vergleichen.

6. Zeitmesser nach Anspruch 1, dadurch gekennzeichnet, dass eine Zeitkorrektur durchführbar ist, durch Zuführen eines Korrektursignales über die Addiermittel zu der bestimmten Adressenposition des ersten Speichers, in welcher eine bestimmte Zeitzähleinheit gespeichert ist.

Die vorliegende Erfindung betrifft einen elektronischen Zeitmesser mit einer verbesserten Zeitzähleinrichtung zum Zählen von Referenztaktsignalen eines Referenzoszillators für jede Zeitanzeigeeinheit.

In einem elektronischen Zeitmesser mit elektronischer digitaler Zeitanzeige wird eine elektronische Zeitzähleinrichtung benötigt, um einem Anzeigeteil elektronische Zeitanzeigesignale zuzuführen. Weiter ist ein Referenzoszillator zum Er-

zeugen von Referenztaktsignalen notwendig, um eine Zeitzählung durch die elektronische Zeitzähleinrichtung zu bewirken, d. h. der Referenzoszillator erzeugt ein Referenztaktsignal von z. B. 2^{15} Hz. Das Referenztaktsignal wird frequenzgeteilt, um z. B. einen Impuls pro Sekunde (1P/1S) zu erhalten. Dieses 1P/1S-Signal wird dadurch erhalten, dass das Referenztaktsignal einem mehrstufigen Frequenzteiler zugeführt wird. Dieses 1P/1S-Signal wird einem Dezimalzähler zugeführt, in welchem für jede 10 Sekunden Übertragungsimpulssignale erhalten
werden. Die 1P/10S-Signale (1 Impuls pro 10 Sekunden) werden in einer Impulzzählschaltung mit Teilverhältnis 6:1 gezählt, von der für jede 10 Sekunden ein Zeitanzeigesignal erzeugt wird. Die Impulzzählschaltung mit Teilverhältnis 6:1 erzeugt für jede 60 Sekunden, d. h. jede Minute, ein Übertragungssignal (1P/1M). Das 1P/1M-Signal wird in einem Minutenzählschaltkreis, welcher in Serie geschaltete Impulzzähler mit Teilverhältnis 10:1 und 6:1 aufweist, gezählt. Der Minutenzählschaltkreis erzeugt ein Zeitanzeigesignal, das einer Minutenzeiteinheit entspricht. Das Übertragungssignal des Minutenzählschaltkreises wird in einem Zähler mit Teilverhältnis 12:1 gezählt, um ein Zeitanzeigesignal zu erzeugen, welches einer Einstundenzeiteinheit entspricht.

Das heisst für jede Zeiteinheit wird eine entsprechende Teilerzählschaltung, z. B. eine Zählerschaltung mit Teilverhältnis 6:1, eine Zählerschaltung mit Teilverhältnis 10:1 etc., mit entsprechender Übertragungsforderung vorgesehen. Die Zähler sind in Serie geschaltet, so dass sie durch Übertragungssignale eine Zähloperation durchführen. Auf diese Weise wird eine Zeitzählschaltung erhalten.

Da eine solche Zeitzählschaltung digital gesteuert wird, wird sie durch Serie geschaltete LSI-Binärzähler gebildet. Die Zeitzählschaltung wird in Teile unterteilt, und zwar entsprechend jeder Zeiteinheit. Eine Übertragungsforderung wird entsprechend jeder Zeiteinheit für jeden Teil eingestellt. Das heisst, dass ein mehrstufiger Frequenzteiler notwendig ist, um das Referenztaktsignal eines Referenzoszillators in ein 1P/1S-Signal umzuwandeln, welches die Grundlage für eine Sekundenzählung bildet. Es ist weiter notwendig, die Zeitzählschaltung in zu den Zeiteinheiten entsprechende Teile zu unterteilen, aufgrund derer die entsprechenden Übertragungsforderungen eingestellt werden. Das erfordert eine mehrstufige Anordnung und hat eine komplizierte Anordnung zur Folge. Das verhindert eine Vereinfachung der Zeitzählschaltung. Da der Energieverbrauch des Frequenzteilers proportional zur Frequenz ansteigt, weist eine mehrstufige Anordnung einen entsprechend höheren Energieverbrauch auf. Da z. B. eine Armbanduhr eine Beschränkung der Kapazität einer Spannungszelle verlangt, ist es notwendig, den Energieverbrauch herabzusetzen.

Es ist demzufolge ein Zweck dieser Erfindung, einen neuen elektronischen Zeitmesser zu schaffen, welcher eine kleine Frequenzteilerstufe aufweist und der eine Herabsetzung des Energieverbrauches erlaubt, und zwar durch wirkungsvolle Verwendung von Halbleiterspeichern, so dass keine herkömmlichen Zeitzählschaltungen für die Zeitzählung verwendet werden müssen.

Dieser Zweck wird erfindungsgemäss erreicht durch eine Oszillatorschaltung zum Erzeugen eines Referenztaktsignales, durch einen durch die Taktimpulse gesteuerten ersten Speicher, welcher nacheinander in Adressenpositionen Zeitzähl-
daten in einer solchen Ordnung speichert, dass eine grössere
Zeitzähleinheit vor einer kleineren Zeitzähleinheit positioniert
ist, durch einen zweiten Speicher, der entsprechend der Adres-
senposition des ersten Speichers adressbezeichnerbar ist und
numerische Übertragungsforderungsdaten speichert, von denen
jede einem endgültigen Zeitzählwert der entsprechenden Zeit-
zähleinheit des ersten Speichers entspricht, der die Basis für
einen Übertrag zur nächsthöheren Befehlsposition bildet,
durch Adressenbezeichnungsmittel zum aufeinanderfolgenden

Zuführen von Adressenbezeichnungssignalen zu den Adressenpositionen des ersten Speichers, während die entsprechenden Adressenpositionen des ersten und zweiten Speichers in Synchronismus zueinander gebracht werden, durch Vergleichsmittel zum Vergleichen zwischen den Zeitzählraten in den Adressenpositionen des ersten Speichers und den numerischen Übertragungsforderungsdaten in den entsprechenden Positionen des zweiten Speichers in Abhängigkeit der Adressenbezeichnung der Adressenbezeichnungsmittel, durch Übertragerzeugungsmittel zum Erzeugen eines Übertragsignales an eine Adressenposition, die nächsthöher ist als die Adressenposition im ersten Speicher, deren Zeitzähleinheit durch die Vergleichsmittel verglichen werden, durch Addiermittel zum Addieren von «1» zu den Zeitzählraten in dieser nächsthöheren Adressenposition des ersten Speichers in Abhängigkeit vom Übertragungssignal der Übertragerzeugungsmittel, und durch Anzeigemittel zum Anzeigen von Zeitdaten entsprechend den Zeitzählraten der entsprechenden Zeitzähleinheiten des ersten Speichers.

Gemäss der vorliegenden Erfindung ist es nicht nötig, einen mehrstufigen Frequenzteiler vorzusehen, in welchem spezifische Übertragungsforderungen entsprechend den Zeiteinheiten eingestellt werden müssen. Das heisst, es werden Halbleiterspeicher wie z. B. Direktzugriffsspeicher (RAM) und Festwertspeicher (ROM) usw. verwendet, um die Zeitzählung durchzuführen. Die Zeitzählung der Halbleiterspeicher wird durch einfache Steuereinrichtungen gesteuert. Grosse Vorteile ergeben sich dadurch für Festkörperzeitmesser, wie z. B. Festkörperarmbanduhren. Nicht nur die Zeitzählfunktion, sondern auch andere Funktionen können in die Erfindung eingebaut werden.

Ein durch einen langen Zeitablauf verursachter Zeitfehler kann durch variables Einstellen einer Übertragungsforderung in Form von numerischen Daten im zweiten Speicher korrigiert werden, der einer Zeiteinheit von weniger als einer Sekunde entspricht. Aus diesem Grund ist es nicht erforderlich, dass zum Korrigieren ein Trimmkondensator eines Oszillators gedreht wird, um die Oszillationsfrequenz eines Oszillators anzupassen. Es ist daher möglich, einen elektronischen Zeitmesser zu schaffen, bei welchem eine grosse Genauigkeit durch eine vollelektronische Zeitzählsteuerung erhalten werden kann.

Im folgenden werden anhand der Zeichnung Ausführungsbeispiele des Erfindungsgegenstandes näher erläutert. Es zeigt:

Fig. 1 ein Blockdiagramm eines ersten Ausführungsbeispieles des Erfindungsgegenstandes,

Fig. 2 ein Schaltschema des elektronischen Zeitmessers gemäss Fig. 1 und

Fig. 3 ein Blockschema eines weiteren Ausführungsbeispieles des Erfindungsgegenstandes.

In Fig. 1 wird ein erstes Ausführungsbeispiel eines erfindungsgemässen Zeitmessers gezeigt. Ein Referenzoszillator 11, der beispielsweise ein Kristalloszillator sein kann, erzeugt ein Referenztaktsignal von beispielsweise 2^{15} Hz. Das Taktsignal des Referenzoszillators 11 wird nacheinander z. B. einem 2^4 Hz-Frequenzteilerschaltkreis 12 und einem 2^5 Hz-Frequenzteilerschaltkreis 13 zugeführt. Der 2^5 Hz-Frequenzteilerschaltkreis 13 erzeugt ein 5-Bit-Zählsignal mit einer Frequenz von 2^6 Hz. Das 5-Bit-Zählsignal der Frequenzteilerschaltung 13 wird einem Dekoder 14 zugeführt. Der Dekoder 14 führt einem ersten und zweiten Speicher 15 und 16 ein Adressbezeichnungssignal zu, das dem Zählsignal des 2^5 Hz-Frequenzteilers entspricht. Der erste Speicher 15 ist ein Direktzugriffsspeicher (RAM), während der zweite Speicher 16 ein Festwertspeicher (ROM) ist. Der erste Speicher 15 bezeichnet eine vorbestimmte Zeiteinheit zu einer Adresse, welche durch das Adressbezeichnungssignal des Dekoders 14 bezeichnet ist. Der zweite Speicher 16 speichert bezeichnete Zählwerte, Übertragerzeugungsfunktionen der betrachteten Zählheit, in einer

Adresse, die der Adressposition des ersten Speichers 15 entspricht.

Die detaillierte Anordnung des ersten und zweiten Speichers der Fig. 1 ist in Fig. 2 gezeigt. Im ersten Speicher 15 sind Adressen oder Speicherstellen 15a, 15b, ... vorgesehen, so dass sie Adressnummern 1, 2, ... entsprechen. Die Speicherstelle 15a des ersten Speichers speichert die Zeiteinheit von $1/2^6$ Sekunden entsprechend einer Periode des Adressenbezeichnungssignals. Die Speicherstellen 15b, 15c, 15d, 15e, 15f, 15g und 15h entsprechen den Zeiteinheiten von $1/2^6$ Sekunden, einer Sekunde, 10 Sekunden, 1 Minute, 10 Minuten, 1 Stunde, vormittags und nachmittags. Entsprechend dem ersten Speicher 15 speichert der zweite Speicher 16 Übertragerzeugungsforderungen entsprechend der Speicherstellen 15a, 15b, ... im ersten Speicher 15. Im ersten Speicher 15 speichert die Speicherstelle 15a z. B. die Zeit, welche für einen Übertrag von der $1/2^5$ Stellenposition zur $1/2^2$ Stellenposition erforderlich ist. Die Speicherstelle 15b speichert die Zeit, welche für einen Übertrag von der $1/2^2$ Sekundenposition zur 1 Sekundenstellenposition erforderlich ist. Da die Speicherstelle 16a des zweiten Speichers 16 als Übertragungsfunktion die Zeit speichert, welche 15 Zählungen entspricht, wird für jede 16 Zählungen ein Übertrag «1» von der Speicherstelle 15a zur Speicherstelle 15b des ersten Speichers 15 bewirkt. Entsprechend speichern die Speicherstellen 16b, 16c, 16d, 16e, 16f, 16g und 16h des zweiten Speichers 16 «3», «9», «5», «9», «5», «11» bzw. «1» als Zählbezeichnungswerte.

Im ersten Speicher 15 werden bei jeder Adressenbezeichnung die Speicherstellen 15b, ... entsprechend der vom Dekoder 14 bezeichneten Adressen durch Signale, welche vom Ausgangszeichenteil der Frequenzteilerschaltung 12 herrühren, gelesen (R) oder eingeschrieben (W), während im zweiten Speicher 16 die adressenbezeichneten Speicherstellen 16a, 16b, ... ausgelesen werden. Wenn am Datenausgang des Ausgangszeichenteils der Frequenzteilerschaltung 12 ein «1» erscheint, wird dem ersten Speicher eine Leseinstruktion (R) gegeben. Erscheint am Datenausgang des Ausgangszeichenteils der Frequenzteilerschaltung 12 eine «0», wird dem ersten Speicher über den Ausgang des Inverters 17 eine Schreibinstruktion (W) gegeben. In diesem Zeitpunkt wird dem zweiten Speicher eine Leseinstruktion angelegt.

Vom ersten und zweiten Speicher ausgelesene Daten, welche der Adressenbezeichnung des Dekoders 14 entsprechen, werden einer Vergleichsschaltung 18 für Vergleichszwecke zugeführt. Die Daten vom ersten Speicher 15 werden einem Tor einer AND-Schaltung 19 zugeführt. Ein Koinzidenzangausgangssignal von der Vergleichsschaltung 18 wird in einem Inverter 20 invertiert und dem anderen Tor der AND-Schaltung 19 zugeführt. Erscheint von der Vergleichsschaltung 18 kein Koinzidenzangausgangssignal, so werden die Daten vom ersten Speicher 15 direkt dem AND-Tor 19 zugeführt. Der Ausgang des AND-Tores 19 ist über ein OR-Tor 36 an einen Addierer 21 angeschlossen. Als Folge einer Addition werden die Ausgangssignale des Addierers 21 dem ersten Speicher 15 zugeführt und in der früher ausgelesenen Speicherstelle gespeichert. Gleichzeitig werden die Ausgangssignale des Addierers z. B. einer digitalen Anzeigeeinrichtung 22 zur Zeitanzeige zugeführt.

Das Koinzidenzangausgangssignal der Vergleichsschaltung 18 wird einer Verzögerungsschaltung 23 zugeführt. Die Verzögerungszeit der Verzögerungsschaltung 23 ist so gewählt, dass sie der Einheitsadressenschiebezeit des Dekoders 14 entspricht. Wenn der Zählwert der Speicherstelle, die der Speicherstelle folgt, von welcher das Koinzidenzfeststellungssignal erhalten wird, ausgelesen wird, erzeugt die Verzögerungsschaltung 23 ein Ausgangssignal, das über eine OR-Schaltung 24 einer AND-Schaltung 25 zugeführt wird. Das Tor der AND-Schaltung 25 wird durch das Ausgangssignal des Inverters 20 geöffnet. Die

Ausgangssignale der AND-Schaltung 25 werden als «+1»-Instruktion dem Addierer 21 zugeführt. Ein Signal, das der Adressbezeichnung durch den Dekodierer an die unterste Befehlsstelle des ersten und zweiten Speichers 15 und 16 entspricht, wird an die OR-Schaltung 24 angelegt.

Fig. 2 zeigt die grundlegende Anordnung und eine Zeitkorrekturereinrichtung, welche dieser grundlegenden Anordnung zugefügt ist. Ein Schalter 26 zum Anlegen eines «+ 1 Minute (+1M)»-Zeitkorrekturinstruktionssignales und ein Schalter 27 zum Anlegen eines «-1 Minute (-1M)»-Zeitkorrektursignals sind vorgesehen. Beim Schliessen dieser Schalter 26 und 27 wird den AND-Schaltungen 28 und 29 ein Torsignal zugeführt. An die Tore dieser AND-Schaltungen 28 und 29 wird ebenfalls ein Ausgangssignal eines monostabilen Schaltkreises 30 angelegt. Dieser monostabile Schaltkreis 30 ist so ausgelegt, dass er beim Schliessen der Schalter 26 und 27 einen Einzelimpuls erzeugt. Die Ausgangssignale der Verzögerungsschaltung 23 wie auch das Adressbezeichnungssignal, das einer Zeiteinheit von 1M entspricht, werden an die OR-Schaltung 35 angelegt, deren Ausgang an eine AND-Schaltung 31 angeschlossen ist. Das Koinzidenzfeststellungssignal der Vergleichsschaltung 18 wird als Torsignal einer AND-Schaltung 32 zugeführt. Die Ausgänge der AND-Schaltung 32 und der AND-Schaltung 19 sind an die OR-Schaltung 36 angeschlossen, während der Ausgang dieser OR-Schaltung 36 mit dem Addierer 21 verbunden ist.

Ein Referenztaktsignal von 2^{15} Hz wird der Frequenzteilerschaltung 12 und anschliessend der Frequenzteilerschaltung 13 zur Frequenzteilung zugeführt. Der Dekoder 14 erzeugt entsprechend des ersten und zweiten Speichers 15 und 16 ein Adressbezeichnungsausgangssignal, das einem 5-Bit-Zählsignal entspricht, welches von der Frequenzteilerschaltung 13 erhalten wird. Ein Ausgangserzeugungszeitintervall zum Bewirken der Adressbezeichnung durch den Dekoder 14 wird zum Beispiel gesetzt durch eine Periode von $\frac{1}{2}^6$ ($\frac{1}{64}$). Die Werte der untersten Befehlsstellen 15a und 16a des ersten und zweiten Speichers 15 und 16 werden ausgelesen, wenn vom Dekoder 14 ein Ausgangssignal «1» für die Adressbezeichnung erzeugt wird. In diesem Zeitpunkt wird keine Zeitkorrektur durchgeführt. Ist der Schalter 27 offen, erzeugt ein Inverter 33 ein Ausgangssignal, das das Tor der AND-Schaltung 34 öffnet. Als Folge davon werden numerische Daten, welche von den Speicherstellen 15a und 16a des ersten und zweiten Speichers 15 und 16 ausgelesen werden, in der Vergleichsschaltung 18 verglichen. Wenn diese numerischen Daten nicht miteinander übereinstimmen, wird das Tor der AND-Schaltung 19 durch die Ausgangssignale des Inverters 20 geöffnet und die von der Speicherstelle 15a des ersten Speichers 15 ausgelesenen numerischen Daten werden über die AND-Schaltung 19 und die OR-Schaltung 36 dem Addierer zugeführt. Da in diesem Zeitpunkt dem AND-Schaltkreis 25 über den Inverter 20 und den Inverter 33 Torsignale zugeführt werden, wenn ein $\frac{1}{2}^5$ -Sekundenausgangssignal von der Speicherstelle 15a des ersten Speichers 15 erzeugt wird, wird das Ausgangssignal der Speicherstelle 15a des ersten Speichers als Torsignal an die AND-Schaltung 25 angelegt, während das Ausgangssignal der AND-Schaltung 25 als «+1»-Instruktion dem Addierer 21 zugeleitet wird, in welchem +1 den numerischen Daten hinzugefügt wird, welche über die OR-Schaltung 19 von der Speicherstelle 15a des ersten Speichers 15 geliefert werden. Das Ausgangssignal des Addierers 21 wird dem ersten Speicher 15 zurückgeführt und als «+1»-Daten in die Speicherstelle 15a des ersten Speichers 15 eingespeichert. Das heisst, «1» wird zum numerischen Wert der ersten Speicherstelle 15a des ersten Speichers 15 hinzugezählt, jedesmal wenn die Adressbezeichnung durch den Dekoder 14 bewirkt wird und die Zeitählung in Zeiteinheiten von $\frac{1}{2}^6$ ($\frac{1}{64}$) Sekunden durchgeführt wird.

Wenn die Speicherstellen 15b und 16b, 15c und 16c, ... des ersten und zweiten Speichers 15 und 16 nacheinander durch den Dekoder 14 adressbezeichnet werden, wird an die AND-Schaltung 25 kein $\frac{1}{2}^6$ -Sekundensignal in Synchronismus mit diesen gespeicherten Daten angelegt. Wenn die numerischen Daten, welche vom ersten und zweiten Speicher 15 und 16 ausgelesen wurden, in der Vergleichsschaltung 18 miteinander verglichen werden und wenn kein Koinzidenzangangs-signal von der Vergleichsschaltung 18 erzeugt wird, werden die numerischen Daten über den Addierer den Speicherstellen 15b, 15c, ... des ersten Speichers zurückgeführt. Das heisst, die von den Speicherstellen 15b, 15c, ... des ersten Speichers ausgelesenen numerischen Daten werden zwecks Speicherung in die Speicherstellen 15b, 15c, ... des ersten Speichers eingeschrieben. Die den Addierer 21 durchlaufenden numerischen Daten werden ebenfalls an die Anzeigereinrichtung 22 zur Zeitanzeige angelegt.

Wenn die von den untersten Befehlsstellen 15a und 16a des ersten und zweiten Speichers 15, 16 ausgelesenen numerischen Daten miteinander übereinstimmen, wird von der Vergleichsschaltung 18 ein Koinzidenzfeststellungssignal erzeugt. Das heisst, da die Tore der AND-Schaltungen 19 und 20 geschlossen sind, dass die Eingangsgrösse zum Addierer 21 Null wird und keine «+1»-Instruktion an der AND-Schaltung 25 vorhanden ist. Da am Addierer 21 keine numerische Daten erscheinen, so werden die numerischen Daten der Speicherstelle 15a auf «O» gelöscht, und zwar gemäss der Übertragerzeugungsforderung «15», die in der Speicherstelle 16a des zweiten Speichers 16 gespeichert ist.

Gleichzeitig wird das Koinzidenzsignal der Vergleichsschaltung 18 im Verzögerungsschaltkreis 23 verzögert und ein Ausgangssignal erscheint an der Verzögerungsschaltung 23, wenn die nächsten Speicherstellen 15b und 16b des ersten und zweiten Speichers 15 und 16 durch den Dekoder 14 adressbezeichnet werden. Wenn von den Speicherstellen 15a und 16b des ersten und zweiten Speichers 15 und 16 numerische Daten ausgelesen werden und von der Vergleichsschaltung 18 kein Koinzidenzsignal erhalten wird, so werden die von der Speicherstelle 15b des ersten Speichers 15 ausgelesenen numerischen Daten über die AND-Schaltung 19 und die OR-Schaltung 26 dem Addierer 21 zugeführt. In diesem Zeitpunkt erhält die AND-Schaltung 25 die Ausgangssignale des Inverters 33, die Ausgangssignale der Verzögerungsschaltung 23 und die Ausgangssignale des Inverters 20. Die Ausgangssignale der AND-Schaltung 25 werden als «+1»-Instruktion dem Addierer 21 zugeführt wo 1 zu den von der Speicherstelle 15b des ersten Speichers 15 ausgelesenen numerischen Daten hinzugefügt wird. Die addierten numerischen Daten vom Addierer 21 werden in die Speicherstelle 15b des ersten Speichers zwecks Speicherung eingeschrieben.

Das heisst, dass der Speicherstelle 15a des ersten Speichers 15 mit einer Periode von $\frac{1}{2}^6$ «1» hinzugefügt wird und, wenn die in der Speicherstelle 15a des ersten Speichers 15 eingespeicherten numerischen Daten die in der Speicherstelle 16a des zweiten Speichers 16 gespeicherten numerischen Daten erreichen, wird der nächsthöheren Speicherstelle 15b des ersten Speichers «1» hinzugefügt und gleichzeitig werden die numerischen Daten der Speicherstelle 15a des ersten Speichers 15 auf «O» gelöscht. Auf diese Weise wird für jede Speicherstelle des ersten Speichers 15 ein Übertrag bewirkt, und zwar entsprechend den numerischen Daten, welche der Übertragerzeugungsforderung entsprechen, die in jeder Speicherstelle des zweiten Speichers 16 gespeichert ist. Zudem werden in den entsprechenden Speicherstellen 15a, 15b, ... des ersten Speichers 15 Zeitdaten gespeichert und die Zeitdaten werden an der Anzeigereinrichtung 22 zum Beispiel in digitaler Weise angezeigt. Bei diesem Ausführungsbeispiel kann eine Zeitkorrektur in Einheiten von einer Minute durchgeführt werden. Falls

eine Vorwärtsschaltung um eine Minute gewünscht wird, so wird der Schalter 26 geschlossen. Dann wird während einem Umgang der Adressbezeichnung durch den Dekoder 14 das Tor der AND-Schaltung 28 durch das Ausgangssignal der monostabilen Schaltung 30 geöffnet und, wenn ein 1M-Datensignal von der Speicherstelle 15e des ersten Speichers 15 ausgelesen wird, wird der AND-Schaltung 25 über die AND-Schaltung 28 und die OR-Schaltung 21 eine «+1»-Instruktion zugeführt. Weiter wird zu den numerischen Daten, welche in der Speicherstelle 15e des ersten Speichers 15 gespeichert sind, unbedingt eine «1» hinzugefügt. Als Folge davon wird um eine Minute vorwärts geschaltet. Wird ein Zurückstellen um eine Minute gewünscht, so wird der Schalter 27 geschlossen. Das Tor der AND-Schaltung 29 wird durch ein Ausgangssignal des monostabilen Schaltkreises 30 geöffnet. Da der Ausgang der AND-Schaltung 29 an den Inverter 33 angeschlossen ist, so ist das Tor der AND-Schaltung 34 geschlossen und ein numerischer Referenzwert für die Vergleichsschaltung 18 wird «O». Da von der Vergleichsschaltung 18 kein Koinzidenz Ausgangssignal erzeugt wird, so wird das Ausgangssignal des Inverters 20 als «-1»-Instruktion über die AND-Schaltung 31 an den Addierer 21 angelegt. Als Folge davon wird im Addierer von numerischen Daten, welche über die AND-Schaltung 19 von der Speicherstelle 15e des ersten Speichers zugeführt worden sind, «1» subtrahiert. Das Resultat dieser Subtraktion wird in der Speicherstelle 15e des ersten Speichers 15 gespeichert, wodurch eine Verzögerung von einer Minute bewirkt wird. Ist jedoch der numerische Wert der Speicherstelle 15e des ersten Speichers gleich «O», dann ist das Tor der AND-Schaltung 34 geschlossen und, wenn von der Speicherstelle 15e des ersten Speichers 15 «O» ausgelesen wird, erscheint an der Vergleichsschaltung 18 ein Koinzidenzfeststellensignal, wodurch die Tore der AND-Schaltungen 19 und 31 geschlossen und das Tor der AND-Schaltung 32 geöffnet wird. Als Folge davon wird dem Addierer die Information «9» zugeführt, welche von der Speicherstelle 16e des zweiten Speichers ausgelesen worden ist. Diese Information «9» wird vom Addierer in die Speicherstelle 15e des zweiten Speichers 15 eingeschrieben. Auf diese Weise wird eine Verzögerung von einer Minute erreicht.

Obwohl beim oben beschriebenen Ausführungsbeispiel die bestimmten Zeitähldaten und Übertragungsforderungsdaten vorgängig im ersten und zweiten Speicher 15 bzw. 16 gespeichert worden sind und Vormittag/Nachmittag geprüft wird, können Speicherstellen entsprechend einem Jahr, einem Datum, einem Wochentag usw. zusammen mit den entsprechenden Übertrag-

forderungen eingestellt werden. Falls gewünscht, können beliebige andere Zeitählfunktionen vorgesehen werden, wie sie z. B. in Stoppuhren, Weltuhren, Zeitgeber usw. auftreten. In diesem Fall muss die für diese Funktionen erforderliche Anzahl von Speicherstellen vorgesehen werden, wobei Zeitähldaten und Übertragungsforderungsdaten in den Speichern 15 und 16 gespeichert werden.

Beim oben erwähnten Ausführungsbeispiel wird der erforderliche Übertrag durchgeführt, nachdem aus den ersten und zweiten Speichern 15 und 16 ausgelesene Daten in der Vergleichsschaltung verglichen worden sind. Wie in Fig. 3 gezeigt, wird jedoch nach einer Addition in einem Addierer 21 ein Vergleich zwischen vom Direktzugriffsspeicher 15 ausgelesenen Daten und von vom Festwertspeicher 16 ausgelesenen Daten durchgeführt. In diesem Fall wird dem Addierer über eine OR-Schaltung 37 eine «+1»-Instruktion zugeführt, wenn eine Adressbezeichnung zu den untersten Befehlsstellen 15a und 16a durchgeführt wird und am Verzögerungsschaltkreis 23, an welchen der Ausgang einer Vergleichsschaltung 18 angeschlossen wird, ein Ausgangssignal erscheint. Wenn von der Vergleichsschaltung 18 kein Koinzidenzsignal erscheint, so werden die Ausgangssignale des Addierers über einen AND-Schaltkreis 39, dessen Tor durch Ausgangssignale eines Inverters 38 geöffnet wird, an den ersten Speicher 15 zurückgeführt. Wenn von der Vergleichsschaltung 18 ein Koinzidenzsignal erzeugt wird, so wird das Tor des AND-Schaltkreises 39 geschlossen und eine numerische Information «O» wird in der entsprechenden Speicherstelle des ersten Speichers 15 gespeichert. In diesem Fall ist es jedoch notwendig, zu den numerischen Daten der Speicherstellen 16a bis 16h des zweiten Speichers 16 «1» hinzu zu addieren.

Beim beschriebenen Ausführungsbeispiel wird der 10^{15} Hz-Kristalloszillator als Referenzoszillator verwendet und die Frequenzteiler 12 und 13 haben ein Frequenzteilverhältnis von 10^4 bzw. 10^5 . Die Frequenzteiler können auf verschiedene Weise modifiziert werden. Falls beispielsweise die Frequenzteiler 12 und 13 Frequenzteilverhältnisse von 10^{11} bzw. 10^4 aufweisen, können im ersten Speicher maximal 16 Adressbestimmungen durchgeführt werden, und eine minimale Adresse kann in Einheiten von Sekunden gesetzt werden.

Diese Erfindung ist nicht beschränkt auf eine Ausführungsform mit einem Referenzoszillator. Es ist auch möglich, einen Taktgeber usw. zu verwenden, welcher als Referenzoszillationsfrequenz 50 Hz oder 60 Hz (übliche Speisequelle) verwendet. Diese Erfindung kann geändert werden ohne vom allgemeinen Erfindungsgedanken abzuweichen.

FIG. 1

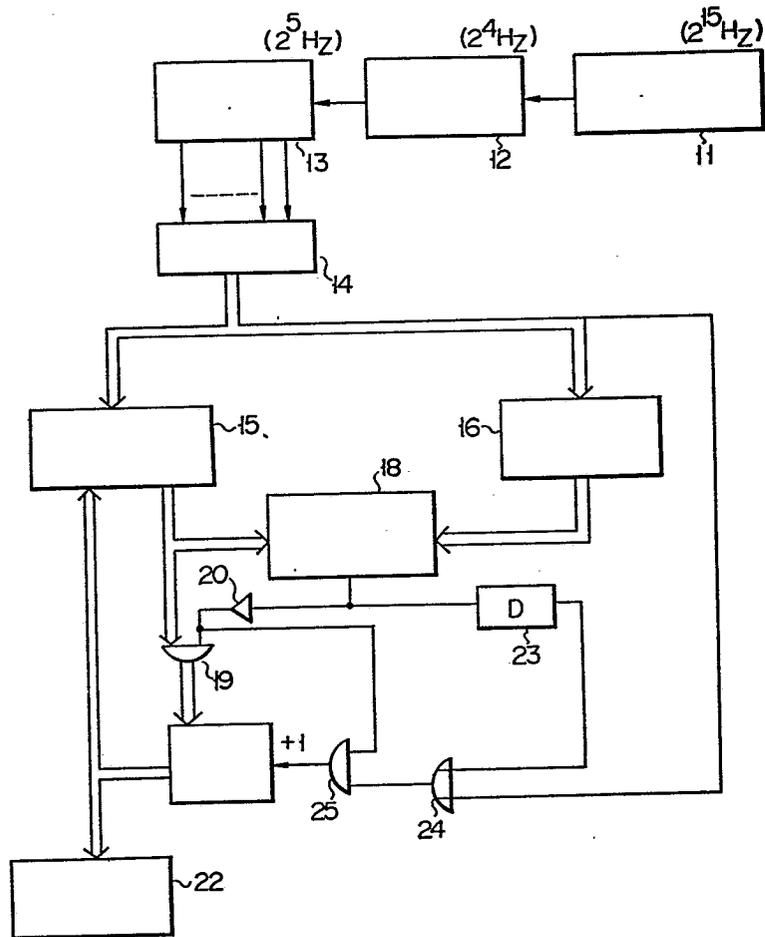


FIG. 2

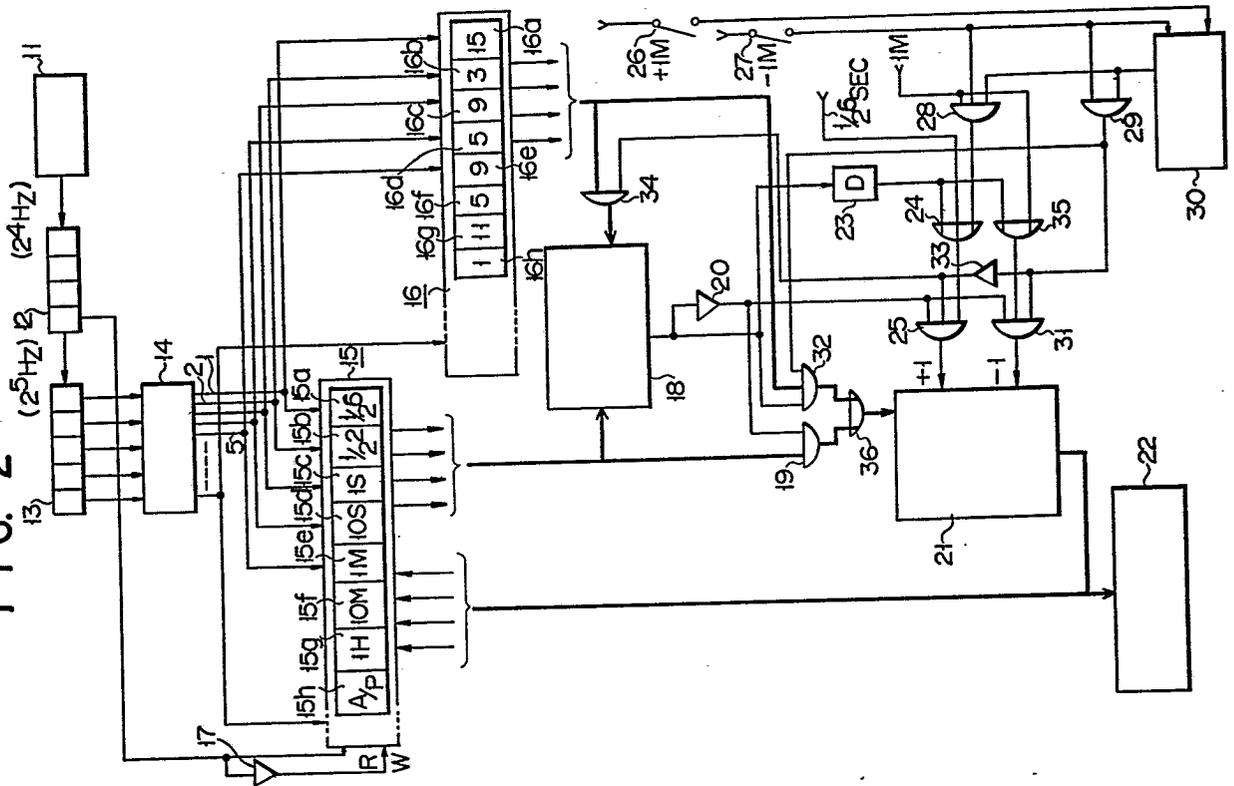


FIG. 3

