



(12) 发明专利

(10) 授权公告号 CN 1998088 B

(45) 授权公告日 2010.08.25

(21) 申请号 200580018330.2

(22) 申请日 2005.03.28

(30) 优先权数据

10/819,441 2004.04.07 US

(85) PCT申请进入国家阶段日

2006.12.05

(86) PCT申请的申请数据

PCT/US2005/010574 2005.03.28

(87) PCT申请的公布数据

W02005/101521 EN 2005.10.27

(73) 专利权人 先进微装置公司

地址 美国加利福尼亚州

(72) 发明人 相奇

(74) 专利代理机构 北京戈程知识产权代理有限公司 11314

代理人 程伟

(51) Int. Cl.

H01L 29/786 (2006.01)

(56) 对比文件

US 2003/0027408 A1, 2003.02.06, 全文.

US 2002/0195599 A1, 2002.12.26, 全文.

US 6717216 B1, 2004.04.06, 全文.

US 2003/0008521 A1, 全文.

US 2002/0140031 A1, 2002.10.03, 全文.

CN 1405898 A, 2003.03.26, 全文.

Seung-Gu Lim, Stas Kriventsov, Thomas N.

Jackson, J. H. Haeni, D. G. Schlom, A.

M. Balbashov, R. Uecker, P. Reiche, J.

L. Freeouf, G. Lucovsky. Dielectric

functions and optical bandgaps of high-k

dielectrics for metal-oxide-semiconductor

field-effect transistors by far ultraviolet

spectroscopic ellipsometry. Journal of

applied physics 91 7. 2002, 91(7), 4500-4505.

G. Lucovsky, Y. Zhang, G. B. Rayner, Jr., G.

Appel, H. Ade, J. L. Whitten. Electronic

structure of high-k transition metal oxides

and their silicate and aluminate alloys.

J. Vac. Sci. Technol. B20 4. 2002, 20(4), 1739-

1747.

审查员 刘振玲

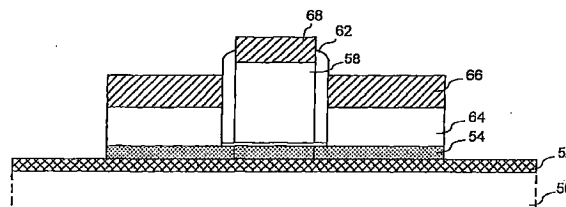
权利要求书 1 页 说明书 7 页 附图 5 页

(54) 发明名称

绝缘体上半导体的衬底以及由该衬底所形成的半导体装置

(57) 摘要

一种绝缘体上半导体 (SOI) 装置包含有钙钛矿晶格的介电质材料 (52) 层, 例如稀土钨酸盐。该介电质材料 (52) 通过选定以便具有有效晶格常数, 藉此能直接成长具有金刚石晶格的半导体材料 (54) 于该介电质 (52) 上。该稀土钨酸盐介电质的实施例包含: 钨酸钪 (GdScO_3)、钨酸镨 (DyScO_3)、以及钨酸钪与镨的合金钨酸 ($\text{Gd}_{1-x}\text{Dy}_x\text{ScO}_3$)。



1. 一种绝缘体上半导体 (SOI) 装置, 包含:

包含具有钙钛矿晶格的介电质层 (52) 的衬底;

形成于该介电质层 (52) 上的半导体材料 (54) 层; 以及

MOSFET, 其沟道区内包含该半导体材料层,

其特征在于, 具有该钙钛矿晶格的该介电质层 (52) 为稀土钪酸盐, 该稀土钪酸盐包含钪酸钆 (GdScO_3)、钪酸镝 (DyScO_3)、以及钆与镝的合金钪酸盐 ($\text{Gd}_{1-x}\text{Dy}_x\text{ScO}_3$) 中的之一。

2. 如权利要求 1 所述的装置, 其中, 该半导体材料 (54) 层为由该钙钛矿晶格赋予拉应变的硅层。

3. 如权利要求 1 所述的装置, 其中, 该半导体材料 (54) 层为由该钙钛矿晶格赋予压应变的硅锗层。

4. 如权利要求 1 所述的装置, 其中, 该半导体材料 (54) 层为具有金刚石晶格的化合物半导体材料。

5. 一种用于形成绝缘体上半导体 (SOI) MOSFET 装置的方法, 包含:

提供包含具有钙钛矿晶格的介电质层 (52) 的衬底;

在该介电质层 (52) 的钙钛矿晶格的 (001) 面上生长具有金刚石晶格的半导体材料 (54) 层; 以及

形成 MOSFET, 其沟道区内包含该半导体材料 (54),

其特征在于, 具有该钙钛矿晶格的该介电质层 (52) 为稀土钪酸盐, 该稀土钪酸盐包含钪酸钆 (GdScO_3)、钪酸镝 (DyScO_3)、以及钆与镝的合金钪酸盐 ($\text{Gd}_{1-x}\text{Dy}_x\text{ScO}_3$) 中的之一。

6. 一种绝缘体上半导体 (SOI) 装置, 包含:

包含具有钙钛矿晶格的介电质层 (52) 的衬底;

形成在该介电质层 (52) 上的第一半导体材料 (72) 区域, 该介电质层 (52) 赋予拉应变至该第一半导体材料;

第一 MOSFET (70), 形成在该第一半导体材料 (72) 区域内且其沟道区内包含该第一半导体材料;

形成在该介电质层 (52) 上的第二半导体材料 (76) 区域, 该介电质层 (52) 赋予压应变至该第二半导体材料; 以及

第二 MOSFET (74), 形成在该第二半导体材料 (76) 区域内且其沟道区内包含该第二半导体材料,

其中, 具有该钙钛矿晶格的该介电质层 (52) 为稀土钪酸盐, 该稀土钪酸盐包含钪酸钆 (GdScO_3)、钪酸镝 (DyScO_3)、以及钆与镝的合金钪酸盐 ($\text{Gd}_{1-x}\text{Dy}_x\text{ScO}_3$) 中的之一。

7. 如权利要求 6 所述的装置, 其中, 该第一半导体材料 (72) 为硅锗合金, 其晶格常数小于该介电质层 (52) 的有效晶格常数, 以及

其中该第二半导体材料 (76) 为硅锗合金, 其晶格常数大于该介电质层 (52) 的有效晶格常数; 以及

其中, 该有效晶格常数为对角方向晶胞面中心之间的距离。

绝缘体上半导体的衬底以及由该衬底所形成的半导体装置

技术领域

[0001] 本发明有关绝缘栅极场效晶体管 (MOSFETs) 的制造, 且更特别的是, 有关于在绝缘衬底形成的 MOSFETs。

背景技术

[0002] MOSFET 为集成电路 (ICs) 的常见组件。图 1 图标习知 MOSFET 装置的横截面视图。该 MOSFET 通过制造成于具有以浅沟隔离槽 (shallow trench isolation) 12 为界的活性区的表体硅 (Bulk silicon) 衬底 10, 这些浅沟隔离槽 12 使 MOSFET 的活性区电气性绝缘于其它制造于衬底 10 的 IC 组件。该 MOSFET 由栅极 14 与沟道区 16 组成, 两者以例如氧化硅或氮化硅的薄栅极绝缘体 18 隔开。该栅极 14 通常由重度掺杂的半导体材料 (例如复晶硅) 形成。该 MOSFET 的源极与汲极区包含形成于沟道区 16 的对面侧的浅源极与汲极区 24 以及深源极与汲极区 20。在衬底形成保护层 26 后植入浅源极与汲极区 24。然后, 在栅极 14 周遭形成间隔体 22 后用离子植入法形成深源极与汲极区 20。在深源极与汲极区 20 形成源极与汲极金属硅化物 (silicides) 28 以提供欧姆接触 (ohmic contacts) 并且降低接触电阻。这些金属硅化物 28 由衬底半导体材料与例如钴 (Co) 或镍 (Ni) 的金属组成。也在栅极 14 的上表面形成金属硅化物 (silicide) 30。

[0003] 在表体 (bulk) 半导体衬底形成半导体装置 (semiconductor devices, 有简称为装置, devices 的情形) 的另一方法是绝缘体上半导体 (SOI, Semiconductor On Insulator) 构造。SOI 构造是在衬底上形成数个 MOSFETs, 该衬底包含在 MOSFET 活性区下的介电质材料层。相较于形成于表体半导体衬底的装置, SOI 装置有数项优点, 例如装置之间的隔离更佳、泄漏电流减少、CMOS 组件之间的拴锁效应 (latch-up) 减少, 芯片电容减少, 以及减少或排除源极与汲极区之间的短沟道耦合。图 2 图标习知全空乏 (fully depleted) SOI MOSFET 的实施例。该 SOI MOSFET 形成于由硅层 32 与介电质层 34 组成的 SOI 衬底上。该 MOSFET 结构通过形成在硅层的隔离区 36 上, 该硅层经蚀刻成界定形成有个别装置的个别岛状区。位于该硅区 36 的中心处的是未经掺杂的薄沟道区 16。在形成于栅极绝缘体 18 的栅极 14 的对面侧处植入源极与汲极延伸区 24 于该硅区 36。在形成间隔体 22 后, 于硅区 38 上成长增高的源极与汲极区 38, 且随后形成金属硅化物源极与汲极接触 28 以及金属硅化物栅极接触 30。

[0004] 增强 MOSFET 效能的一选项为: 增加 MOSFET 半导体材料的载子迁移率 (carrier mobility), 藉此减少电阻与耗电量并且增加驱动电流、频率响应、以及工作速度。有一种增加载子迁移率的方法是使用加上应变 (strain) 的硅材料, 最近已成关注焦点。藉由于硅锗衬底上成长半导体磊晶层而形成拉应变硅 (tensile strained silicon)。该硅锗品格的晶格常数稍大于纯硅品格的晶格常数, 因为晶格中有较大的锗原子。由于磊晶成长硅自行对齐于硅锗晶格, 硅晶格内产生拉应变 (tensile strain)。适度的拉应变可增加电子迁移率, 而更大的拉应变则。增加电洞迁移率。拉应变会随着锗在硅锗晶格中的比例增加。也已发现, 适度的压应变 (compressive strain) 会改善电洞迁移率。

[0005] 包含拉应变硅层的 MOSFET 的实施例图标于图 3。该 MOSFET 经制造于包含成长于硅层 10 的硅锗层 32 的衬底上。该硅锗层通常为渐变层 (graded layer), 其中锗含量由 0 渐增到百分之 10 至 40 之间, 取决于想要的应变变量。应变硅 34 的磊晶层成长于该硅锗层 32。该 MOSFET 使用习知的 MOSFET 结构, 该结构包含深源极与汲极区 20、浅源极与汲极延伸区 24、栅极氧化层 18、保护层 26 包围的栅极 14、间隔体 22、源极与汲极金属硅化物 28、栅极金属硅化物 30、与浅沟隔离槽 12。该沟道区 16 中的应变硅材料提供源极与汲极之间的增强载子迁移率。

[0006] 形成于 SOI 衬底上的 MOSFET 也可加入应变硅。图 4 图标应变硅 SOI MOSFET 的实施例。在此装置中, 该 MOSFET 通过形成于 SOI 衬底上, 该 SOI 衬底包含位于介电质层 40 上的硅锗层。该硅锗层通过图样化以界定形成有个别 MOSFET 的隔离区 42。应变硅层 44 成长于该硅锗区 42。然后, 以类似于图 3 的习知应变硅装置的方法形成该 MOSFET

[0007] 难以形成包含应变硅沟道的全空乏 SOI 装置。为了控制短沟道效应, 全空乏 SOI MOSFET 具有沟道区厚度不超过约 3 分之一沟道长度较佳。不过, 当应变硅沟道下需要硅锗的支持层 (supporting layer) 时, 总沟道厚度变成沟道长度的限制, 或者是应变硅的厚度不足以提供有效的迁移率增强。

[0008] 目前其它的考虑项目通常还有 SOI 装置微型化的障碍。在习知全空乏 SOI 装置中, 通常藉由化学机械研磨法 (CMP) 在衬底制造极薄的沟道层直到半导体材料有想要的厚度。不过, CMP 造成厚度偏差 (variance) 达 100 埃的不均匀表面。若将关键尺寸减少, 这样大的厚度变异性变成不可接受。例如, 对于 45 奈米的装置, 约 150 埃的沟道区厚度才合意。给定研磨层的厚度变异性, 在此尺度难以用可靠的方式制成有正确厚度的沟道层。

[0009] 有时会想要于介电质材料上成长半导体材料层以便实现大体均匀的沟道区厚度。不过, 习知的半导体装置制造技术要依靠使用品格作为用于成长额外结晶材料的模板。例如, 硅晶圆由沿着诸晶面中的一个切割以提供规则品格的单晶硅所构成。此品格作为硅或其它有相同品格结构的元素的沉积原子在沉积后会对齐的模板, 因而形成额外单晶材料。无该模板时, 沉积硅 (deposited silicon) 采取的形式为由个别晶粒构成的复晶硅或非晶硅, 各晶粒有相对于周遭晶粒为随机定向的品格。相较于单晶硅, 有此形式的硅的传导性差, 从而用在 MOSFET 活性区是不合意的。因此, 至今通常已不可能在其它材料上成长单晶硅, 特别是习知的介电质, 例如氧化硅与氮氧化硅, 彼等的结构大体均为非晶形或无法与硅品格匹配。

[0010] 因此, 用于制造绝缘体装置的半导体的习知技术, 用来制造有微小关键尺寸的组件以及包含应变硅的装置无法令人满意。

发明内容

[0011] 本发明诸具体实施例提供由介电质层组成的绝缘体组件上的半导体, 可于该介电质层上直接成长半导体层。可选定该介电质层的性质与该半导体层的性质藉此该介电质层可对半导体材料提供拉应变或压应变。

[0012] 本发明的其它具体实施例提供用于形成这些装置的方法。

[0013] 本发明某些较佳具体实施例则利用具有钙钛矿晶格结构 (perovskite lattice structure) 的介电质材料层。已发现该钙钛矿晶格可提供适当模板用于成长金刚石晶格半

导体。有钙钛矿晶格结构的介电质的实例包含稀土钪酸盐化合物 (rare earth scandate compound), 例如钪酸钆 (gadolinium scandate, GdScO_3)、钪酸镨 (DyScO_3)、钪酸钆与镨的合金钪酸 ($\text{Gd}_{1-x}\text{Dy}_x\text{ScO}_3$)。具有与稀土钪酸盐兼容的金刚石晶格结构的半导体材料的实例包含硅、锗、硅锗合金、以及 III-V 族半导体材料, 例如砷化镓。可将稀土钪酸盐与半导体材料的化学计量组成物 (stoichiometric composition) 设计成使得该稀土钪酸盐赋予拉应变或压应变至成长于其上的半导体材料。此等介电质材料可作为于绝缘体 MOSFETs 的半导体的介电质层, 藉此可于该介电质层上直接成长薄半导体层。

附图说明

[0014] 以下为实施方式中描述本发明诸具体实施例的附图：

[0015] 图 1 图标根据习知加工技术形成的习知 MOSFET；

[0016] 图 2 图标习知 SOI MOSFET；

[0017] 图 3 图标习知应变硅 MOSFET；

[0018] 图 4 图标使用习知技术形成于 SOI 衬底的应变硅 MOSFET；

[0019] 图 5a、图 5b 与图 5c 图标兼容的钙钛矿晶格与金刚石晶格；

[0020] 图 6a、第 6b、图 6c、图 6d、图 6e、与图 6f 图标根据本发明示范性具体实施例, 制造应变硅 SOI MOSFET 期间所形成的结构；且

[0021] 图 7 图标示范性具体实施例的 CMOS 装置的组件 (elements)。

具体实施方式

[0022] 根据本发明诸具体实施例, 具有金刚石晶格的单晶半导体材料可成长于具有钙钛矿晶格的介电质层。具有金刚石晶格的半导体材料包含硅、锗、以及硅锗合金。具有金刚石晶格类 (有时称为闪锌矿晶格 (zincblende lattice)) 的化合物半导体 (compound semiconductor) 也可成长于钙钛矿晶格且就本揭示内容的目的而言, 视为是金刚石晶格。此类化合物半导体的实施例包含 III-V 族半导体, 例如砷化镓 (GaAs)；与某些 II-VI 族半导体。具有钙钛矿晶格结构的介电质的实施例包含稀土钪酸盐化合物, 例如钪酸钆 (GdScO_3)、钪酸镨 (DyScO_3)、以及钪酸钆与镨的合金钪酸 ($\text{Gd}_{1-x}\text{Dy}_x\text{ScO}_3$)。可将稀土钪酸盐与半导体材料的化学计量组成物设计成可提供晶格不匹配 (lattice mismatch) 藉此该稀土钪酸盐提供拉应变或压应变至成长于其上的半导体材料。

[0023] 在一示范性具体实施例中, 稀土钪酸盐层, 钪酸钆 (GdScO_3), 作为介电质层与用于成长拉应变硅 (tensile strained silicon) 或硅锗层的支持层。单晶钪酸钆的介电质常数为 22 至 35, 从而为 SOI 应用的优异介电质材料。

[0024] 图 5a 图标钪酸钆 (GdScO_3) 的钙钛矿晶格中的晶胞 (unit cell) 的 (001) 晶面。就其理想形式而言, 钙钛矿晶格具有立方相 ($\text{Pm}3\text{m}$) 对称性。换言之, 晶格的晶胞为一立方体, 在立方体中心有一阳离子 (例如, Gd), 各角落有另一种阳离子 (例如, Sc), 且各边中心点有阴离子 (O)。在大部份的钙钛矿晶格中, 完全立方体形式的晶格由于有晶格内的特殊原子而有点扭曲, 但一般结构仍保持原样。结果, 晶胞的晶面大体为无面心 (face-centered) 原子的正方形。

[0025] 图 5b 图标硅的金刚石晶格中的晶胞的 (001) 晶面。该金刚石晶格大体由两个互

相交叉的面心立方晶格组成,两晶格沿着 3 个空间轴各轴相互偏离晶格常数 $1/4$ 长度。

[0026] 尽管金刚石晶格在结构上不同于钙钛矿晶格,就取决于各晶格中的原子间隔的磊晶成长的目的而言,这两种晶格是兼容的。如图 5c 所示,当硅晶格的 (001) 平面相对于钽酸钪晶格的 (001) 平面旋转 45° 时,在硅金刚石晶格面的原子与钽酸钪的钙钛矿晶格的空晶面 (empty face) 对齐。因此,钽酸钪晶格能作为用于成长硅的模板。

[0027] 如图 5a 所示,在钽酸钪晶格在 (001) 晶面的晶格常数为 3.94 埃,而如图 5b 所示,松弛硅 (relaxed silicon) 晶格在 (001) 晶面的晶格常数为 5.431 埃。不过,钽酸钪晶格晶面中心之间的对角线距离为 5.572 埃,比完全松弛硅的晶格常数 5.431 埃大,多出约百分之 2.7。为作比较,纯松弛锗具有锗晶格常数 5.657 埃,比硅晶格常数大,多出约百分之 4.2。习知的应变硅装置使用硅锗 $\text{Si}_{1-x}\text{Ge}_x$ 的支持层,其晶格常数是在这两个数值之间且取决于晶格中锗的数量。习知的应变硅装置通常使用在 10% 至 40% 之间的锗百分比,导致晶格的晶格常数实际上大于硅的晶格常数在 0.9% 至 1.7% 间。

[0028] 为使钙钛矿晶格与金刚石晶格之间的晶格不匹配成为特征,本揭示内容会使用称作钙钛矿晶格的“有效晶格常数”的数量。在有大体为立方晶胞的钙钛矿晶格中,有效晶格常数的定义为:对角方向晶胞面中心之间的距离。在立方形式有点扭曲且有不同对角线长度的金刚石状晶胞面的钙钛矿晶格中,面心之间的对角线距离会取决于测量方向。就此种情形而言,可将该有效晶格常数定义为面心之间两对角线距离的平均值。不过,在利用此特性的具体实施中,例如想要在上方半导体晶格赋予其大小有一方向大于另一方向的应变 (strain) 的具体实施,可将该有效晶格常数定义为对角线面心在较长或较短距离方向的距离。

[0029] 以上的示范性测量值是特定于 GdScO_3 ,而可将带有不同有效晶格常数的其它稀土钽酸盐设计成可产生相对于磊晶半导体晶格有合意程度的不匹配。例如,化合物钽酸镝 (DyScO_3) 可为替代物。 DyScO_3 的有效晶格常数约为 5.6 埃。另一替代物,稀土钽酸盐合金,例如可将 $\text{Gd}_{1-x}\text{Dy}_x\text{ScO}_3$ 设计成:选定钪与镝的化学计量比例以提供合意的有效晶格常数。一般而言,对于涉及成长拉应变硅于稀土钽酸盐介电质的应用,该稀土钽酸盐的有效晶格常数大于松弛硅 (5.431 埃) 的晶格常数较佳,且小于松弛锗 (5.657 埃) 的晶格常数较佳,而小于由锗 40% (5.519 埃) 组成的松弛硅锗合金的晶格常数更佳。

[0030] 使用具有钙钛矿晶格结构的介电质层,例如稀土钽酸盐,使得在介电质材料可直接成长硅、锗、硅锗合金、或化合物半导体材料。可选定硅锗合金中硅与锗相对于介电质衬底的有效晶格常数的比例以产生各种效应。例如,可将硅锗合金设计成具有小于介电质材料的有效晶格常数的晶格常数,藉此可施加想要数量的拉应变于硅锗合金。替换地,可将该硅锗合金设计成具有大于介电质材料的有效晶格常数的晶格常数,藉此可施加想要数量的压应变于硅锗合金。也可成长压应变锗 (compressively strained germanium) 于稀土钽酸盐介电质。此外,给定具有设定的有效晶格常数的稀土钽酸盐层的衬底,可于衬底的选定位置上成长有不同化学计量比例的硅与硅锗合金,以提供有拉应变与压应变共存区的半导体材料。这些可用于,例如制造由具有拉应变沟道提供增强电子迁移率的 NMOS 装置与具有压应变沟道提供增强电洞迁移率的 PMOS 装置组成的 CMOS 装置。

[0031] 可用数种方法制造包含钽酸钪介电质层或另一稀土钽酸盐介电质层的 SOI 衬底。可用分子束磊晶法 (molecular beam epitaxy) 沉积钽酸钪,其中将各有化学计量数的元

素组份的分子束导引通过超高真空至彼等进行化合处的衬底。替换地,可使用脉冲雷射蒸镀技术 (pulsed laser deposition), 其中以紫外光雷射蒸镀钪酸钪靶材且再结晶于衬底表面。对分子束磊晶法而言, 脉冲雷射蒸镀技术较佳, 因为它能导致成长更快速。也可使用化学气相沉积技术。显然此等方法都可产生有相对平滑表面的介电质层。随后, 于该介电质层上成长半导体层, 其厚度变异性实质小于用抛光打薄的层的厚度变异性。

[0032] 通常在其表面具有硅锗层的衬底上形成稀土钪酸盐层。通常以渐变的方式 (graded fashion) 成长该硅锗层于硅晶圆, 其中锗的百分比含量由 0 渐增至想要的百分比。这样可成长具有想要晶格常数的松弛硅锗层。然后, 藉由上述技术中的一种在硅锗层形成稀土钪酸盐。取决于具体实施, 可将该硅锗层设计成具有晶格常数匹配于稀土钪酸盐的有效晶格常数, 或者是小于稀土钪酸盐的有效晶格常数, 藉此压缩力该稀土钪酸盐的晶格且降低它的有效晶格常数。

[0033] 图 6a 至 6f 图标根据本发明示范性具体实施例, 在制造拉应变 SOIMOSFET 期间所形成的结构。图 6a 图标包含硅锗层 50 的 SOI 衬底。如上述, 该硅锗层 50 通常成长于硅晶圆, 且在提供合意晶格常数的表面具有锗百分比含量的渐变组成物 (graded composition)。例如, 在一示范性具体实施例中, 硅锗层的表面可为由约 20% 锗组成的松弛硅锗合金。

[0034] 有钙钛矿晶格的材料的介电质层 52 形成于该硅锗层 50。在该示范性具体实施例中, 该介电质材料为稀土钪酸盐, 例如钪酸钪。可用各种技术, 例如分子束磊晶技术、脉冲雷射蒸镀技术、或化学气相沉积技术形成该介电质层 52。在该示范性具体实施例中, 形成该钪酸钪层的厚度为 100 埃至 200 埃。

[0035] 半导体 54 成长于该介电质层 52。该半导体层 54 为单晶层且可由硅、锗、硅锗合金、化合物半导体 (例如 III-V 族或 II-VI 族半导体) 或另一种有金刚石晶格的半导体材料构成。可根据特定的具体实施选定半导体层的厚度。在该示范性具体实施例中, 半导体层为厚度约为 200 埃的硅层。在全空乏 SOI 装置中, 该半导体层 54 通常不掺杂, 但可根据特定的具体实施而予以掺杂。

[0036] 图 6b 图标图 6a 在该半导体层 54 选择性蚀刻以形成将于其上形成个别装置的半导体材料的隔离岛状体之后的结构。

[0037] 图 6c 图标图 6b 在栅极绝缘层 56 形成于半导体层 54, 接着于栅极绝缘层 56 形成复晶硅栅极 58 之后的结构。可藉由半导体层 54 的热氧化或藉由沉积介电质材料的沉积而成长该栅极绝缘层 56。可藉由复晶硅层的全面式沉积 (blanket deposition), 接着图样化该复晶硅层, 而形成该复晶硅栅极。

[0038] 图 6d 图标图 6c 在用离子植入法植入掺杂物以便在半导体层 54 中形成源极与汲极延伸区 60 于栅极 58 的对面侧, 接着在该栅极 58 周遭形成间隔体 62 之后的结构。在源极与汲极延伸区 60 的植入期间, 该栅极 58 屏蔽着沟道区。可藉由氧化硅的全面式沉积, 接着用指向性回蚀工艺 (directional etch back process) 从水平表面去除氧化物, 而形成该间隔体 62。

[0039] 图 6e 图标图 6d 在形成增高的源极与汲极区 64, 与半导体层 54 接触于栅极 58 毗邻侧面处之后结构。藉由硅的选择性磊晶成长而成长这些增高的源极与汲极区 64。通常硅在半导体层 54 的成长速度显著大于硅在外露介电质层 52 周遭的成长速度。此外, 沉积室内的大气通常包含 HCl (盐酸), 它对沉积硅有某一程度的蚀刻。通过沉积参数的控制, 可最

佳化磊晶成长过程以致在介电质层 52 的暴露部份造成硅的零净成长。替换地,在形成这些增高的源极与汲极区 64 之后可进行短暂的回蚀以去除任何已累积于介电质层 52 的硅。可原位掺杂或藉由植入工艺掺杂这些源极与汲极区 64。

[0040] 图 6f 图标图 6e 在形成源极与汲极金属硅化物 66 与栅极金属硅化物 68 之后结构。这些金属硅化物 66 与 68 由化合物形成,该化合物包含栅极 58 与源极与汲极区 64 的硅材料与金属(例如,钴(Co)或镍(Ni))。藉由沉积细薄的保形金属层(conformal layer)在整个结构上,且随后退火以促进金属硅化物形成于该金属层与下方半导体材料之间的接触点,接着剥除残余的金属,而形成这些金属硅化物 66 与 68。金属硅化物的形成通常是在图样制作的步骤之前,以便从源极与汲极区与栅极的待形成金属硅化物的部份去除氧化物与保护层。

[0041] 图 6a 至 6f 的加工步骤例示 MOSFET 的形成,其使用包含形成于硅锗层的稀土钪酸盐层的 SOI 衬底,但可具体实施各种替代性的 MOSFET 结构。就一般术语而言,本发明具体实施例的电子装置包含衬底,其包含有钙钛矿晶格的介电质材料层,与形成于该层钙钛矿材料的单晶半导体材料。在该衬底可形成沟道区中有该半导体材料的 MOSFET。可用本文所图标的方法或各种其它的方法构造该 MOSFET。可将该介电质材料与半导体材料设计成可在半导体材料产生具有想要数量的拉应变或压应变,且根据介电质材料的晶胞面的形状使应变具有方向性。

[0042] 图 7 图标 CMOS 装置的组件的示例,该装置由根据本发明具体实施例形成的第一与第二 SOI MOSFETs 所组成。在此结构中,n 型 MOSFET 装置 70 包含半导体区 72,其通过形成在衬底的介电质层 52。该半导体区 72 由第一硅锗合金组成,该合金的晶格常数小于该介电质层 52 的有效晶格常数,以致可提供拉应变至该半导体区 72 且增加该 n 型 MOSFET 的电子迁移率。该结构进一步包含 p 型 MOSFET 装置 74,其包含形成于衬底的介电质层 52 的半导体区 76。该半导体区 76 由第二硅锗合金组成,该合金的晶格常数大于该介电质层 52 的有效晶格常数,以致可提供压应变至该半导体区 76 且增加该 p 型 MOSFET 的电洞迁移率。可连接这些 n 型与 p 型 MOSFET 以形成 CMOS 装置,其中各装置通过使用具有藉由介电层赋予不同类型应变的不同硅锗合金而有增强的载子迁移率。

[0043] 可用各种方法制造图 7 的结构。通常进行两个独立的成长步骤以成长分别具有不同晶格常数的半导体区的 p 型与 n 型装置。可将此等半导体区成长为该装置要用的形状,或予以成长且随后图样化为正确的尺寸。替换地,整个晶圆可成长这些合金中的一层,且随后可植入硅或锗于选定区域以改变这些区域的化学计量比例以形成第二合金。

[0044] 尽管图 7 的结构利用两种不同的硅锗合金以产生用于 nMOS 装置与 pMOS 装置的不同类型的应变,但在替代性具体实施例中,可使用具有适当晶格常数的不同类型的半导体材料。此外,可将介电质材料的晶格性质设计成可提供应变的方向性。可用图 7 所图标的方法或各种其它的方法构造此等 MOSFETs。

[0045] 上述工艺中的工序不一定会排斥其它的工序,且上述工艺中可根据待形成的特定结构加入其它的工序。例如,可与上述特定工序一起进行的中间加工工序,例如加工工序之间的钝化层或保护层的形成或去除、光阻光罩与其它屏蔽层的形成或去除、掺杂与反向掺杂(counter-doping)、清洗、平坦化、以及其它的工序。此外,不需在整个衬底(例如,整个晶圆)进行本文所述的工艺,反而可选择性进行于部份衬底。再者,尽管实施例是将制造本

文所述的结构时的工序图标为特定的顺序,但在某些实施例中,可用其它的顺序进行工序而仍能完成工艺的目的。因此,尽管诸图所图标与上述具体实施例为目前较佳的,应了解,这些具体实施例只是用来作为说明的实施例。本发明不受限于特定的具体实施例,而可延伸至落入本发明中请专利范围及其相等者的范畴内的各种改修、组合、与排列。

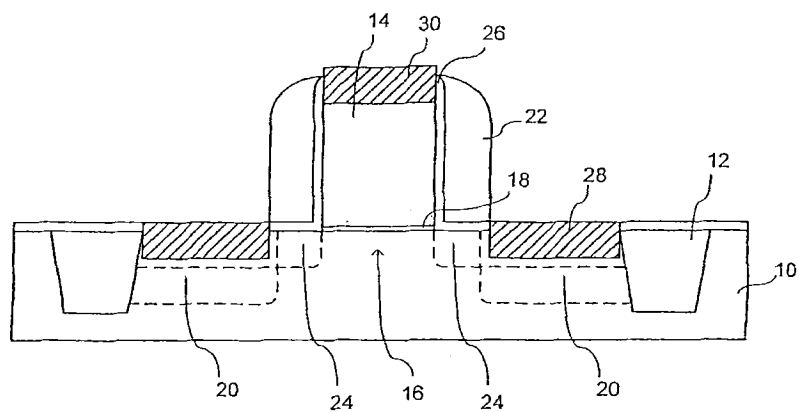


图 1 先前技术

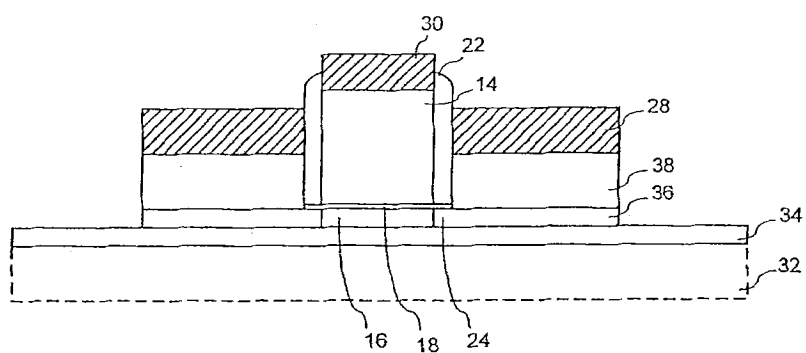


图 2 先前技术

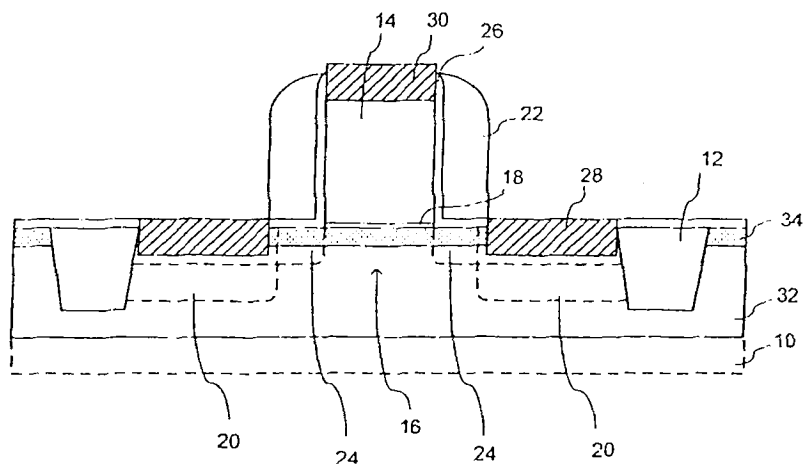


图 3 先前技术

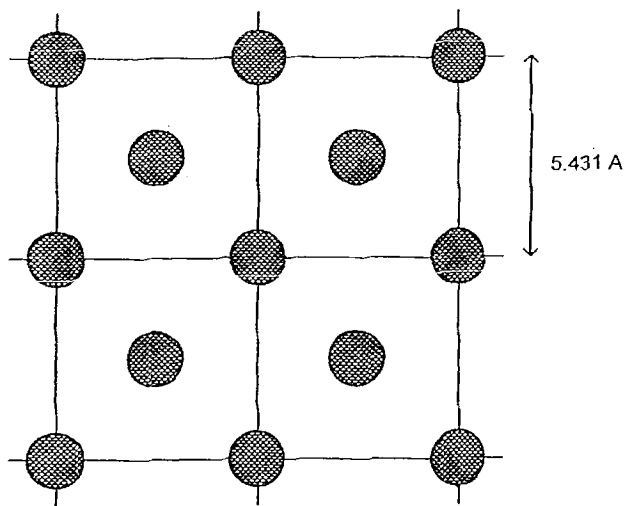


图 5b

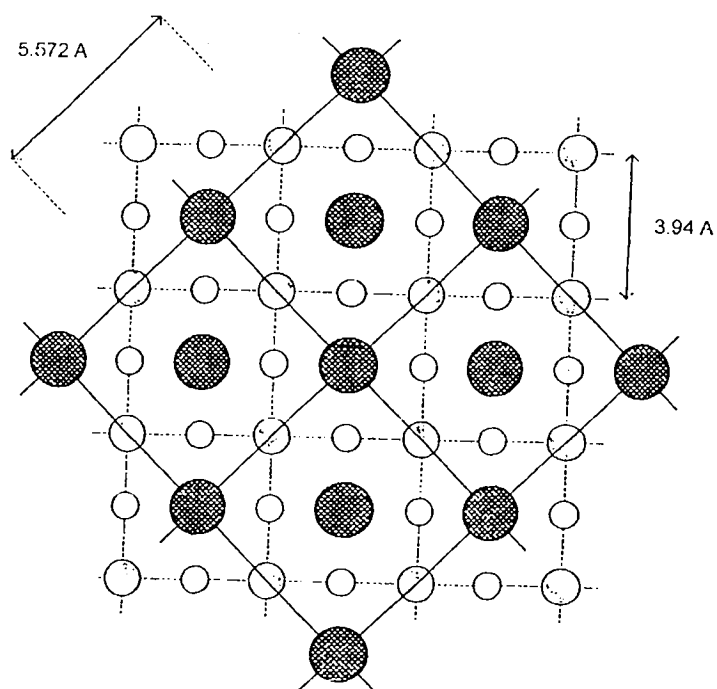


图 5c



图 6a

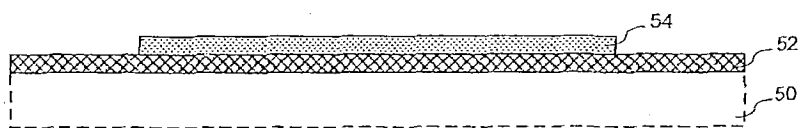


图 6b

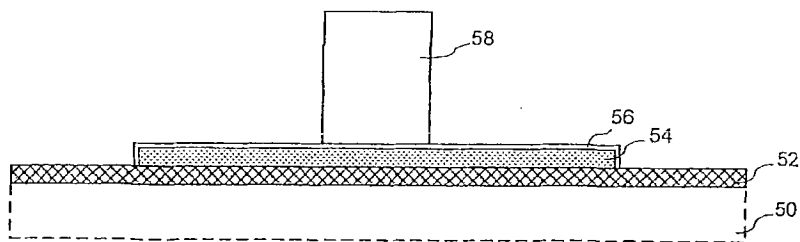


图 6c

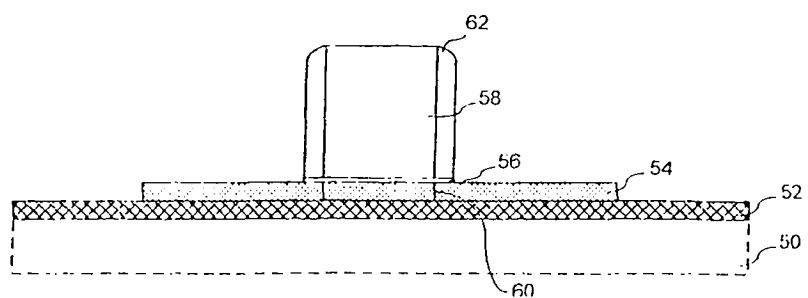


图 6d

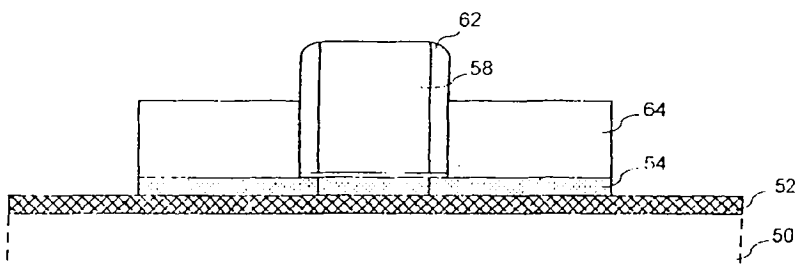


图 6e

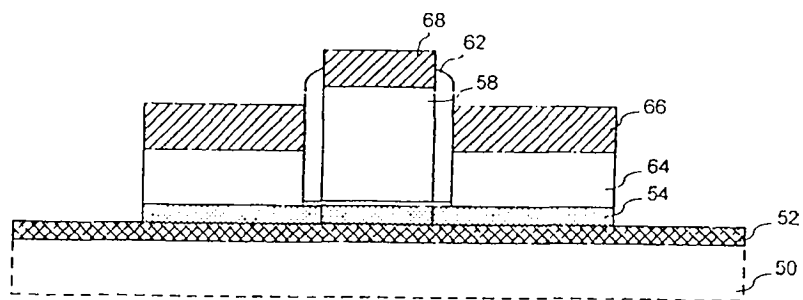


图 6f

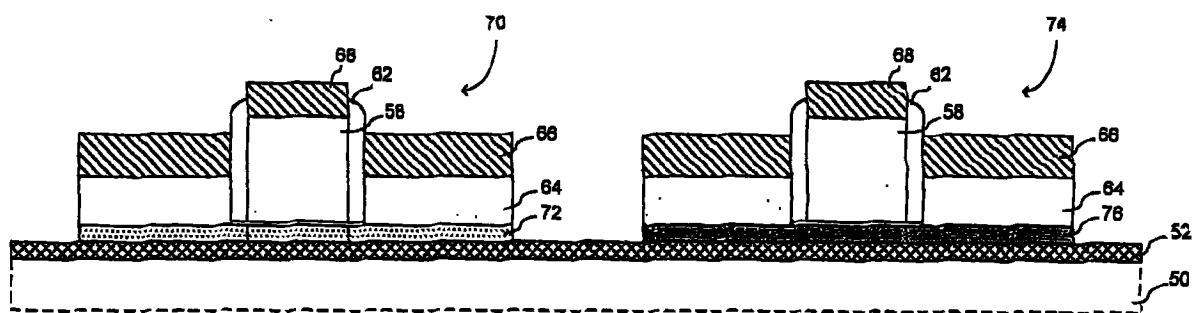


图 7