

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-332502

(P2005-332502A)

(43) 公開日 平成17年12月2日(2005.12.2)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G 1 1 C 16/02	G 1 1 C 17/00	2 C 0 0 5
B 4 2 D 15/10	B 4 2 D 15/10	5 B 0 3 5
G 0 6 K 19/07	H 0 1 L 27/10	5 B 1 2 5
G 1 1 C 16/04	G 0 6 K 19/00	5 F 0 8 3
G 1 1 C 16/06	H 0 1 L 27/10	5 F 1 0 1
	審査請求 未請求 請求項の数 16 O L (全 20 頁) 最終頁に続く	

(21) 出願番号 特願2004-150717 (P2004-150717)
 (22) 出願日 平成16年5月20日 (2004. 5. 20)

(71) 出願人 503121103
 株式会社ルネサステクノロジ
 東京都千代田区丸の内二丁目4番1号
 (74) 代理人 100080001
 弁理士 筒井 大和
 (72) 発明者 志波 和佳
 東京都千代田区丸の内二丁目4番1号 株
 式会社ルネサステクノロジ内
 (72) 発明者 谷口 泰弘
 東京都千代田区丸の内二丁目4番1号 株
 式会社ルネサステクノロジ内
 Fターム(参考) 2C005 MA18 MA19 NA03 NA36 NB01
 RA21 RA26
 5B035 AA04 BB09 CA29

最終頁に続く

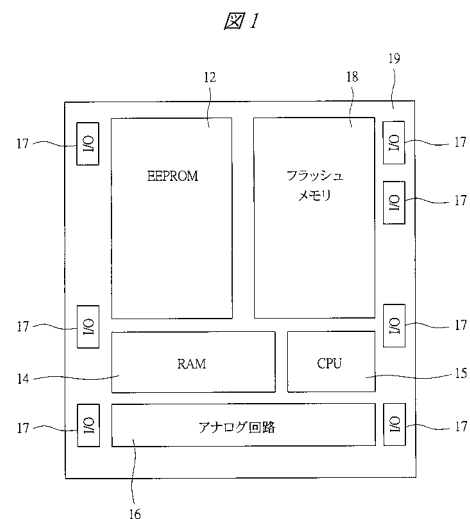
(54) 【発明の名称】 半導体装置およびICカード

(57) 【要約】

【課題】 不揮発性メモリを含む半導体装置およびICカードにおいて、フラッシュメモリの面積を縮小して、チップサイズを小さくすることができる技術を提供する。

【解決手段】 複数の不揮発性メモリセルを含みワード線単位で消去および書き込みが可能なフラッシュメモリ18を有するものであり、前記メモリセルはMONOS型不揮発性メモリセルであり、フラッシュメモリ18は、選択された前記メモリセルへのデータ書き込み時に非選択データ線とウェルとの間に印加される電圧が、非選択の前記メモリセルの誤消去防止のため、前記非選択の前記メモリセルのトランジスタがオンになり誤書き込みが発生しない範囲内で最小の値となっているものである。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

複数の不揮発性メモリセルを含みワード線単位で消去および書き込みが可能なフラッシュメモリを有する半導体装置であって、

前記メモリセルはMONOS型不揮発性メモリセルであり、

前記フラッシュメモリは、選択された前記メモリセルへのデータ書き込み時に非選択データ線とウェルとの間に印加される電圧が、非選択の前記メモリセルの誤消去防止のため、前記非選択の前記メモリセルのトランジスタがオンになり誤書き込みが発生しない範囲内で最小の値となっていることを特徴とする半導体装置。

【請求項 2】

請求項 1 記載の半導体装置において、

前記メモリセルは、それぞれ 1 個のトランジスタで構成されていることを特徴とする半導体装置。

【請求項 3】

請求項 2 記載の半導体装置において、

前記メモリセルは、半導体基板上に形成された電荷蓄積層を含む絶縁膜と、

前記絶縁膜上に形成された前記トランジスタのゲート電極と、

前記半導体基板に形成された前記トランジスタのソース・ドレイン領域と、を有することを特徴とする半導体装置。

【請求項 4】

複数の不揮発性メモリセルを含みバイト単位で消去および書き込みが可能なEEPROMと、

複数の不揮発性メモリセルを含みワード線単位で消去および書き込みが可能なフラッシュメモリとを同一チップ上に混載した半導体装置であって、

前記メモリセルはMONOS型不揮発性メモリセルであり、

前記EEPROMはバイト単位でウェル分割され、前記フラッシュメモリはウェル分割されていないことを特徴とする半導体装置。

【請求項 5】

請求項 4 記載の半導体装置において、

前記フラッシュメモリは、選択された前記メモリセルへのデータ書き込み時に非選択データ線とウェルとの間に印加される電圧が、非選択の前記メモリセルの誤消去防止のため、前記非選択の前記メモリセルのトランジスタがオンになり誤書き込みが発生しない範囲内で最小の値となっていることを特徴とする半導体装置。

【請求項 6】

請求項 4 記載の半導体装置において、

前記フラッシュメモリ内の前記メモリセルは、それぞれ 1 個のトランジスタで構成されていることを特徴とする半導体装置。

【請求項 7】

請求項 6 記載の半導体装置において、

前記メモリセルは、半導体基板上に形成された電荷蓄積層を含む絶縁膜と、

前記絶縁膜上に形成された前記トランジスタのゲート電極と、

前記半導体基板に形成された前記トランジスタのソース・ドレイン領域と、を有することを特徴とする半導体装置。

【請求項 8】

請求項 4 記載の半導体装置において、

前記フラッシュメモリ内の前記メモリセルを構成するトランジスタのゲート長は、前記EEPROM内の前記メモリセルを構成するトランジスタのゲート長よりも小さいことを特徴とする半導体装置。

【請求項 9】

複数の不揮発性メモリセルを含みワード線単位で消去および書き込みが可能なフラッシュ

10

20

30

40

50

メモリを有する半導体装置を備えたICカードであって、

前記メモリセルはMONOS型不揮発性メモリセルであり、

前記フラッシュメモリは、選択された前記メモリセルへのデータ書き込み時に非選択データ線とウェルとの間に印加される電圧が、非選択の前記メモリセルの誤消去防止のため、前記非選択の前記メモリセルのトランジスタがオンになり誤書き込みが発生しない範囲内で最小の値となっていることを特徴とするICカード。

【請求項10】

請求項9記載のICカードにおいて、

前記メモリセルは、それぞれ1個のトランジスタで構成されていることを特徴とするICカード。

10

【請求項11】

請求項10記載のICカードにおいて、

前記メモリセルは、半導体基板上に形成された電荷蓄積層を含む絶縁膜と、

前記絶縁膜上に形成された前記トランジスタのゲート電極と、

前記半導体基板に形成された前記トランジスタのソース・ドレイン領域と、

を有することを特徴とするICカード。

【請求項12】

複数の不揮発性メモリセルを含みバイト単位で消去および書き込みが可能なEEPROMと、

複数の不揮発性メモリセルを含みワード線単位で消去および書き込みが可能なフラッシュメモリとを同一チップ上に混載した半導体装置を備えたICカードであって、

20

前記メモリセルはMONOS型不揮発性メモリセルであり、

前記EEPROMはバイト単位でウェル分割され、前記フラッシュメモリはウェル分割されていないことを特徴とするICカード。

【請求項13】

請求項12記載のICカードにおいて、

前記フラッシュメモリは、選択された前記メモリセルへのデータ書き込み時に非選択データ線とウェルとの間に印加される電圧が、非選択の前記メモリセルの誤消去防止のため、前記非選択の前記メモリセルのトランジスタがオンになり誤書き込みが発生しない範囲内で最小の値となっていることを特徴とするICカード。

30

【請求項14】

請求項12記載のICカードにおいて、

前記フラッシュメモリ内の前記メモリセルは、それぞれ1個のトランジスタで構成されていることを特徴とするICカード。

【請求項15】

請求項14記載のICカードにおいて、

前記メモリセルは、半導体基板上に形成された電荷蓄積層を含む絶縁膜と、

前記絶縁膜上に形成された前記トランジスタのゲート電極と、

前記半導体基板に形成された前記トランジスタのソース・ドレイン領域と、

を有することを特徴とするICカード。

40

【請求項16】

請求項12記載のICカードにおいて、

前記フラッシュメモリ内の前記メモリセルを構成するトランジスタのゲート長は、前記EEPROM内の前記メモリセルを構成するトランジスタのゲート長よりも小さいことを特徴とするICカード。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびICカードに関し、特に、電氣的に書き込み消去可能な不揮発性メモリおよびそのメモリを搭載したICカードの構成に適用して有効な技術に関す

50

る。

【背景技術】

【0002】

本発明者が検討した技術として、例えば、EEPROM、フラッシュメモリなどの不揮発性メモリ、並びにそのメモリを搭載したICカードにおいては、以下の技術が考えられる。

【0003】

例えば、図17に、ICカードに搭載される半導体チップの構成の一例を示す。図17に示す半導体チップ11は、電气的に書き込み消去可能なEEPROM(Electrically Erasable Programmable Read Only Memory)12、書き換え不可能なマスクROM(Read Only Memory)13、随時書き込み読み出し可能なRAM(Random Access Memory)14、CPU(Central Processing Unit)15、アナログ/デジタル変換器などのアナログ回路16、データの入出力ポートであるI/O(Input/Output)回路17などから構成されている。

10

【0004】

一般に、マスクROM13には、CPU15で種々の処理を実行するためのプログラムなどが格納されている。EEPROM12には、書き換え頻度の高い各種データが記憶されており、バイト単位での書き換えが可能である。携帯電話のICカード用半導体チップを例にとれば、EEPROM12には、電話番号、課金情報、通話メモなどのデータが格納される。

20

【0005】

EEPROM12に利用される不揮発性メモリセルとしては、例えば、酸化絶縁膜に囲まれた浮遊ポリシリコンゲートに電子が蓄積される浮遊ゲート型などがある(例えば、特許文献1および特許文献2参照)。

【0006】

浮遊ゲート型の不揮発性メモリセルは、浮遊ゲート、ワード線に接続されたコントロールゲート、ソース線に接続されたソース、およびデータ線に接続されたドレインを持つメモリセルトランジスタを有する。このメモリセルトランジスタは、浮遊ゲートに電子が注入されると閾値電圧が上昇し、また、浮遊ゲートから電子を引き抜くと閾値電圧が低下する。このメモリセルトランジスタは、データ読み出しのためのワード線電圧(コントロールゲート印加電圧)に対する閾値電圧の高低に応じた情報を記憶することになる。

30

【0007】

また、不揮発性メモリセルに対する書き込み方式には、FNトンネル現象を利用する方式とホットエレクトロンを利用する方式とがある。FNトンネル現象を利用する方式は、コントロールゲートと基板(もしくはウェル領域)との間、またはコントロールゲートとソースまたはドレインとの間に電圧を印加してFNトンネル現象を利用して浮遊ゲートに電子を注入したり放出したりして閾値電圧を変化させる方式である。

【0008】

一方、ホットエレクトロンを利用する方式は、コントロールゲートに高電圧を印加した状態でソース・ドレイン間に電流を流してチャンネルで発生したホットエレクトロンを浮遊ゲートに注入して閾値電圧を変化させる方式である。

40

【特許文献1】特開平11-232886号公報

【特許文献2】特開2002-197876号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

ところで、前記のような不揮発性メモリおよびICカードの技術について、本発明者が検討した結果、以下のようなことが明らかとなった。

【0010】

50

近年、ソフトウェアのデバックなどに時間を要し、ICカード開発のTAT(Turn Around Time)の短縮が阻まれるようになってきた。そのため、ICカードメーカーなどから、早期市場導入のため、マスクROM13をフラッシュメモリに置き換えて欲しいという要求が出てきた。すなわち、マスクROM13をフラッシュメモリに置き換え、フィールドでのアプリケーションソフトの変更または追加ができるようにすることにより、ICカード開発のTATを短縮しようというものである。また、セキュリティや少量ユーザ向けのため、マスクROM13をフラッシュメモリへ置き換える要求もある。

【0011】

しかし一般に、フラッシュメモリは、EEPROMと比較してチップ内を占める面積は小さい方であるが、マスクROMと比較すると、まだまだ面積が大きくコストアップにもつながる。

10

【0012】

そこで、本発明の目的は、不揮発性メモリおよびICカードにおいて、フラッシュメモリの面積を縮小して、チップサイズを小さくすることができる技術を提供することにある。

【0013】

また、本発明の他の目的は、不揮発性メモリおよびICカードの製造工程において、製造コストおよび製造工程の増加を防止することのできる技術を提供することにある。

【0014】

また、本発明の他の目的は、不揮発性メモリおよびICカードの開発期間の短縮および早期市場投入を可能とする技術を提供することにある。

20

【0015】

本発明の前記並びにその他の目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【0016】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0017】

すなわち、本発明による半導体装置は、複数の不揮発性メモリセルを含みワード線単位で消去および書き込みが可能なフラッシュメモリを有するものであり、前記メモリセルはMONOS型不揮発性メモリセルであり、前記フラッシュメモリは、選択された前記メモリセルへのデータ書き込み時に非選択データ線とウェルとの間に印加される電圧が、非選択の前記メモリセルの誤消去防止のため、前記非選択の前記メモリセルのトランジスタがオンになり誤書き込みが発生しない範囲内で最小の値となっているものである。

30

【0018】

また、本発明による半導体装置は、複数の不揮発性メモリセルを含みバイト単位で消去および書き込みが可能なEEPROMと、複数の不揮発性メモリセルを含みワード線単位で消去および書き込みが可能なフラッシュメモリとを同一チップ上に混載したものであり、前記メモリセルはMONOS型不揮発性メモリセルであり、前記EEPROMはバイト単位でウェル分割され、前記フラッシュメモリはウェル分割されていないものである。

40

【0019】

また、本発明によるICカードは、前記半導体装置を備えているものである。

【発明の効果】

【0020】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0021】

不揮発性メモリおよびICカードにおいて、フラッシュメモリの面積を縮小して、チッ

50

ブサイズを小さくすることができる。

【0022】

また、不揮発性メモリおよびICカードの製造工程において、製造コストおよび製造工程の増加を防止することができる。

【0023】

また、不揮発性メモリおよびICカードの開発期間の短縮および早期市場投入を可能とすることができる。

【発明を実施するための最良の形態】

【0024】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

【0025】

図1は本発明の一実施の形態による半導体装置のチップレイアウトの概略を示す図である。

【0026】

まず、図1により、本実施の形態による半導体装置の構成の一例を説明する。本実施の形態の半導体装置は、例えば、ICカードに搭載される半導体チップ19とされ、電氣的に書き込み消去可能なEEPROM12、複数の不揮発性メモリセルを含みワード線単位で消去および書き込みが可能なフラッシュメモリ18、随時書き込み読み出し可能なRAM14、CPU15、アナログ/デジタル変換器などのアナログ回路16、データの入出力ポートであるI/O回路17などから構成されている。半導体チップ19は、バイト単位で書き換えができるEEPROM12と、ワード線単位(またはブロック単位)で書き換えができるフラッシュメモリ18を同一チップ上に混載している。

【0027】

EEPROM12とフラッシュメモリ18は、共に、MONOS(Metal Oxide Nitride Oxide Silicon)型不揮発性メモリセルから構成されており、EEPROM12はバイト単位でウェル分割があるが、フラッシュメモリ18にはウェル分割がない。フラッシュメモリ18の消去動作は、マツト括またはワード線単位で行われる。

【0028】

EEPROM12のメモリセルは、1セル/1トランジスタ型または1セル/2トランジスタ型のいずれでもよい。1セル/1トランジスタ型または1セル/2トランジスタ型のメモリセルについては後述の図3および4に詳細に記載する。フラッシュメモリ18のメモリセルは、1セル/1トランジスタ型で構成されている。また、フラッシュメモリ18のメモリセルは、集積度を上げるため、メモリセルのトランジスタサイズ(W/L)がEEPROM12よりも小さくしてもよい。本実施の形態においては、トランジスタサイズ(W/L)とは上記フラッシュメモリ18のゲート長(L)およびゲート幅(W)のことを指す。

【0029】

本実施の形態による半導体チップ19は、前記図17に示した半導体チップ11のマスクROM13をフラッシュメモリ18に置き換えたものである。

【0030】

図2は、図1に示すEEPROM12およびフラッシュメモリ18を構成するMONOS型不揮発性メモリセルの構造の一例を示す断面図である。本実施の形態によるMONOS型不揮発性メモリセル21は、例えば、Pウェル22、n型拡散層(n⁺)23, 24、n型拡散層(n⁻)25, 26、トンネル絶縁膜(SiO₂)27、シリコン窒化膜(SiN₃)28、トップ絶縁膜(SiO₂)29、多結晶シリコン(ポリSi)30、コバルトシリサイド(CoSi₂)31, 32などからなり、n型拡散層(n⁺)23, 24はトランジスタのソース・ドレイン、多結晶シリコン(ポリSi)30はゲートを構成する。

10

20

30

40

50

トンネル絶縁膜 27 の膜厚は 1 ~ 2 nm 程度、シリコン窒化膜 28 の膜厚は 1.2 nm 程度、トップ絶縁膜 29 の膜厚は 3 nm 程度である。

【0031】

上記の MONOS 型不揮発性メモリセル 21 の構造は、まず、半導体基板に形成された P ウェル 22 上に、トンネル絶縁膜 (SiO_2) 27、電荷蓄積層としてシリコン窒化膜 (SiN_3) 28 およびトップ絶縁膜 (SiO_2) 29 の順に形成されている。すなわち電荷蓄積層 28 を含む絶縁膜が形成されている。

【0032】

ゲート電極 30 は導電性膜である多結晶シリコン (ポリ Si) 30 で形成されており、トップ絶縁膜 (SiO_2) 29 上に形成されている。このゲート電極 30 は MONOS 型不揮発性メモリセルのワード線 (WL) を構成する。

10

【0033】

MONOS 型不揮発性メモリセルの書き込み動作は、多結晶シリコン 30 のゲート電極と P ウェル 22 間に印加する電界によって、トンネル絶縁膜 27 を通して P ウェル 22 側から電荷を注入し、電荷蓄積層であるシリコン窒化膜 28 の空間的離散捕獲中心に電荷を捕獲させることにより、書き込みが行われる。

【0034】

半導体基板に形成された P ウェル 22 内には、n 型の導電性を示す不純物が導入された n 型拡散層 (n^-) 25, 26 が、上記のゲート電極 30 に整合されるように形成されている。また、ゲート電極 30 の側壁にはサイドウォールスペーサ SW が形成されており、このサイドウォールスペーサ SW に整合されるように、上記 n 型拡散層 (n^-) 25, 26 よりも不純物濃度の高い n 型拡散層 (n^+) 23, 24 が形成されている。これら n 型拡散層 (n^-) 25, 26 および n 型拡散層 (n^+) 23, 24 は、MONOS 型不揮発性メモリセルのソース・ドレイン領域を構成する。

20

【0035】

図 3 は、図 1 に示す EEPROM 12 のレイアウトの一部およびその断面の一例を示す図である。図 3 は、メモリマット部とウェル分割部を示す。図 3 において、33 はメモリマット、34 はウェル分割、35 はワードシャント、36 はメモリマットエッジである。また、メモリマット 33 では、メモリセルトランジスタのソース・ドレインを形成する n 型拡散層 37、素子分離用の酸化膜層 38 などが P ウェル (HPWL) 39 上に形成されている。ウェル分割 34 では、n 型拡散層 40 および N ウェル (NW, HNWL) により P ウェルが分割されている。メモリセル 8 ビットごとに、ウェル分割 34 およびワードシャント 35 が形成されている。図 3 に示すように、ウェル分割 34 は、メモリセル 4 個分の面積が必要となる。

30

【0036】

図 4 は、図 1 に示す EEPROM 12 のメモリセルアレイ構造と動作条件 (1セル/2トランジスタ) の一例を示す説明図である。図 4 に示す各メモリセルは、スイッチトランジスタと電荷を蓄積するセルトランジスタの 2 トランジスタで構成される場合の一例である。なお、以下においては、これに限定されるものではないが、メモリセルを構成するトランジスタが n チャネル型トランジスタの場合を例に説明する。

40

【0037】

2 トランジスタ型のメモリセルは、前述の MONOS 型メモリセル構造を有し、それぞれ、セルトランジスタ CT 1 ~ 8 とスイッチトランジスタ ST 1 ~ 8 から構成され、セルトランジスタ CT 1 ~ 8 のゲートはワード線 WL 1 ~ 2 に、ソースはソース線 SL 1 ~ 4 に、ドレインはスイッチトランジスタ ST 1 ~ 8 のソースに接続され、スイッチトランジスタ ST 1 ~ 8 のゲートは制御線 CL 1 ~ 2 に、ドレインはデータ線 DL 1 ~ 4 に接続されている。また、セルトランジスタ CT 1 ~ 2, CT 5 ~ 6、スイッチトランジスタ ST 1 ~ 2, ST 5 ~ 6 のバックゲート (バックバイアス) は、それぞれウェル WE 1 に接続され、セルトランジスタ CT 3 ~ 4, CT 7 ~ 8、スイッチトランジスタ ST 3 ~ 4, ST 7 ~ 8 のバックゲートは、それぞれウェル WE 2 に接続されている。

50

【 0 0 3 8 】

図 4 では、説明簡便化のため、メモリセルが 2 行 4 列に配列されている場合を示したが、これに限定されるわけではなく、実際は、さらに多くのメモリセルがマトリクス状に配列され、メモリアレイを構成している。また、同一ウェルおよび同一ワード線上のメモリセル配列は、図 4 では、例えばセルトランジスタ C T 1 ~ 2 およびスイッチトランジスタ S T 1 ~ 2 の 2 列構成であるが、8 ビット (1 バイト) 構成の場合、同一ウェル上に 8 列となっている。なお、この場合、メモリセルの消去および書き込みは、1 バイト単位で行われる。

【 0 0 3 9 】

次に、図 4 により、1 セル 2 トランジスタ型メモリセルの消去、書き込みおよび読み出しの動作を説明する。

10

【 0 0 4 0 】

まず、消去動作から説明する。例えば、セルトランジスタ C T 1 ~ 2 に蓄積されたデータを消去する場合、選択ウェル W E 1 の電位を 1 . 5 V、制御線 C L 1 の電位を 1 . 5 V、ワード線 W L 1 の電位を - 8 . 5 V、ソース線 S L 1 ~ 2 の電位を 1 . 5 V、データ線 D L 1 ~ 2 をフローティングにして、スイッチトランジスタ S T 1 ~ 2 をオフにして、セルトランジスタ C T 1 ~ 2 の窒化膜に蓄積された電荷を引き抜くことによりデータを消去する。また、消去を行わない他のメモリセル (C T 3 ~ 8 , S T 3 ~ 8) については、非選択ウェル W E 2 の電位を - 8 . 5 V、制御線 C L 2 の電位を 0 V、ワード線 W L 2 の電位を 1 . 5 V、ソース線 S L 3 ~ 4 の電位を 1 . 5 V、データ線 D L 3 ~ 4 をフローティングにして、セルトランジスタ C T 3 ~ 8 の窒化膜に蓄積された電荷が逃げないようにする。

20

【 0 0 4 1 】

次に、書き込み動作を説明する。例えば、セルトランジスタ C T 1 にデータを書き込む場合、選択ウェル W E 1 の電位を - 1 0 . 5 V、制御線 C L 1 の電位を 1 . 5 V、ワード線 W L 1 の電位を 1 . 5 V、ソース線 S L 1 をフローティング、データ線 D L 1 の電位を - 1 0 . 5 V、スイッチトランジスタ S T 1 ~ 2 をオンにして、セルトランジスタ C T 1 の窒化膜に電荷を注入することによりデータを書き込む。また、書き込みを行わない他のメモリセル (C T 2 ~ 8 , S T 2 ~ 8) については、非選択ウェル W E 2 の電位を - 1 0 . 5 V、制御線 C L 2 の電位を 0 V、ワード線 W L 2 の電位を - 1 0 . 5 V、ソース線 S L 2 をフローティング、ソース線 S L 3 ~ 4 の電位を 1 . 5 V、データ線 D L 2 ~ 4 の電位を - 1 . 5 V にして、セルトランジスタ C T 2 ~ 8 の窒化膜に電荷が注入されないようにする。

30

【 0 0 4 2 】

次に、読み出し動作を説明する。例えば、セルトランジスタ C T 1 に " 1 " データが蓄積されトランジスタの閾値電圧が高くなっていて、セルトランジスタ C T 2 には " 0 " データが蓄積されトランジスタの閾値電圧が低くなっているとする。セルトランジスタ C T 1 ~ 2 のデータを読み出す場合、選択ウェル W E 1 の電位を 0 V、制御線 C L 1 の電位を 2 V、ワード線 W L 1 の電位を 0 V、ソース線 S L 1 ~ 2 の電位を 0 V、データ線 D L 1 ~ 2 の電位を 0 . 8 V にして、スイッチトランジスタ S T 1 ~ 2 をオンにして、セルトランジスタ C T 1 ~ 2 のデータを読み出す。この場合、セルトランジスタ C T 1 の閾値電圧は高く、セルトランジスタ C T 2 の閾値電圧は低くなっているため、データ線 D L 1 の電位は変わらず、データ線 D L 2 の電位は下がる。また、読み出しを行わない他のメモリセル (C T 3 ~ 8 , S T 3 ~ 8) については、非選択ウェル W E 2 の電位を 0 V、制御線 C L 2 の電位を 0 V、ワード線 W L 2 の電位を 0 V、ソース線 S L 3 ~ 4 の電位を 0 V、データ線 D L 3 ~ 4 の電位を 0 V にして、セルトランジスタ C T 3 ~ 8 がオンしないようにする。

40

【 0 0 4 3 】

図 5 は、図 1 に示す E E P R O M 1 2 のメモリセルアレイ構造と動作条件 (1 セル / 1 トランジスタ) の一例を示す説明図である。図 5 に示す各メモリセルは、電荷を蓄積する

50

セルトランジスタの1トランジスタのみで構成される場合の一例である。

【0044】

1トランジスタ型のメモリセルは、前述のMONOS型メモリセル構造を有し、それぞれ、セルトランジスタCT1～8から構成され、セルトランジスタCT1～8のゲートはワード線WL1～2に、ソースはソース線SL1～4に、ドレインはデータ線DL1～4に接続されている。また、セルトランジスタCT1～2，CT5～6のバックゲートは、それぞれウェルWE1に接続され、セルトランジスタCT3～4，CT7～8のバックゲートは、それぞれウェルWE2に接続されている。

【0045】

図5では、説明簡便化のため、メモリセルが2行4列に配列されている場合を示したが、これに限定されるわけではなく、実際は、さらに多くのメモリセルがマトリクス状に配列され、メモリアレイを構成している。また、同一ウェルおよび同一ワード線上のメモリセル配列は、図5では、例えばセルトランジスタCT1～2の2列構成であるが、8ビット(1バイト)構成の場合、同一ウェル上に8列となっている。なお、この場合、メモリセルの消去および書き込みは、1バイト単位で行われる。

【0046】

次に、図5により、1セル1トランジスタ型メモリセルの消去、書き込みおよび読み出しの動作を説明する。

【0047】

まず、消去動作から説明する。例えば、データを消去するメモリセル(選択メモリセル)として、セルトランジスタCT1～2に蓄積されたデータを消去する場合、選択ウェルWE1の電位を1.5V、ワード線WL1の電位を-8.5V、ソース線SL1～2の電位を1.5V、データ線DL1～2をフローティングにして、セルトランジスタCT1～2の窒化膜に蓄積された電荷を引き抜くことによりデータを消去する。また、消去を行わない他のメモリセル(非選択メモリセル)(CT3～8)については、非選択ウェルWE2の電位を-8.5V、ワード線WL2の電位を1.5V、ソース線SL3～4の電位を1.5V、データ線DL3～4をフローティングにして、セルトランジスタCT3～8の窒化膜に蓄積された電荷が逃げないようにする。

【0048】

次に、書き込み動作を説明する。例えば、データを書き込むメモリセル(選択メモリセル)として、セルトランジスタCT1にデータを書き込む場合、選択ウェルWE1の電位を-10.5V、ワード線WL1の電位を1.5V、ソース線SL1の電位を-10.5V、データ線DL1をフローティングにして、セルトランジスタCT1の窒化膜に電荷を注入することによりデータを書き込む。また、書き込みを行わない他のメモリセル(非選択メモリセル)(CT2～8)については、非選択ウェルWE2の電位を-10.5V、ワード線WL2の電位を-10.5V、ソース線SL2～4の電位を1.5V、データ線DL2～4をフローティングにして、セルトランジスタCT2～8の窒化膜に電荷が注入されないようにする。

【0049】

次に、読み出し動作を説明する。例えば、セルトランジスタCT1に"1"データが蓄積されトランジスタの閾値電圧が高くなっていて、セルトランジスタCT2には"0"データが蓄積されトランジスタの閾値電圧が低くなっているとすると、セルトランジスタCT1～2のデータを読み出す場合、選択ウェルWE1の電位を-2V、ワード線WL1の電位を0V、ソース線SL1～2の電位を0V、データ線DL1～2の電位を1Vにして、セルトランジスタCT1～2のデータを読み出す。この場合、セルトランジスタCT1の閾値電圧は高く、セルトランジスタCT2の閾値電圧は低くなっているため、データ線DL1の電位は変わらず、データ線DL2の電位は下がる。また、読み出しを行わない他のメモリセル(CT3～8)については、非選択ウェルWE2の電位を-2V、ワード線WL2の電位を-2V、ソース線SL3～4の電位を0V、データ線DL3～4の電位を0Vにして、セルトランジスタCT3～8がオンしないようにする。読み出し時に非選択メ

メモリセルのバックゲート電位を下げることにより、前記図4のようなスイッチトランジスタが不要となる。

【0050】

図6は、前記図1に示すフラッシュメモリ18のメモリセルアレイ構造と動作条件(1セル/1トランジスタ)の一例を示す説明図である。図6に示す各メモリセルは1トランジスタ型のメモリセルであり、前記図5に示したメモリセルと同じ構造であるが、トランジスタサイズは小さく、また、図5のようなウェル分割はない。

【0051】

1トランジスタ型のメモリセルは、前述のMONOS型メモリセル構造を有し、それぞれ、セルトランジスタCT1~8から構成され、セルトランジスタCT1~8のゲートはワード線WL1~2に、ソースはソース線SL1~4に、ドレインはデータ線DL1~4に接続されている。また、セルトランジスタCT1~8のバックゲートは、それぞれウェルWEに接続されている。

10

【0052】

図6では、説明簡便化のため、メモリセルが2行4列に配列されている場合を示したが、これに限定されるわけではなく、実際は、さらに多くのメモリセルがマトリクス状に配列され、メモリアレイを構成している。なお、この場合、メモリセルの消去および書き込みは、ワード線単位で行われる。

【0053】

次に、図6により、1セル1トランジスタ型メモリセルの消去、書き込みおよび読み出しの動作を説明する。

20

【0054】

まず、消去動作から説明する。例えば、データを消去するメモリセル(選択メモリセル)として、セルトランジスタCT18に蓄積されたデータを消去する場合、ウェルWEの電位を1.5V、ワード線WL1~2の電位を-8.5V、ソース線SL1~4の電位を1.5V、データ線DL1~4をフローティングにして、セルトランジスタCT1~2の窒化膜に蓄積された電荷を引き抜くことによりデータを消去する。

【0055】

次に、書き込み動作を説明する。例えば、データを書き込むメモリセル(選択メモリセル)として、セルトランジスタCT1にデータを書き込む場合、ウェルWEの電位を-10.5V、ワード線WL1の電位を1.5V、ソース線SL1の電位を-10.5V、データ線DL1をフローティングにして、セルトランジスタCT1の窒化膜に電荷を注入することによりデータを書き込む。また、書き込みを行わない他のメモリセル(非選択メモリセル)(CT2~8)については、ウェルWEの電位を-10.5V、ワード線WL2の電位を-10.5V、ソース線SL2~4の電位を1.5V、データ線DL2~4をフローティングにして、セルトランジスタCT2~8の窒化膜に電荷が注入されないようにする。

30

【0056】

次に、読み出し動作を説明する。例えば、セルトランジスタCT1に"1"データが蓄積されトランジスタの閾値電圧が高くなっていて、セルトランジスタCT2には"0"データが蓄積されトランジスタの閾値電圧が低くなっているとするとする。セルトランジスタCT1~2のデータを読み出す場合、ウェルWEの電位を-2V、ワード線WL1の電位を0V、ソース線SL1~2の電位を0V、データ線DL1~2の電位を1Vにして、セルトランジスタCT1~2のデータを読み出す。この場合、セルトランジスタCT1の閾値電圧は高く、セルトランジスタCT2の閾値電圧は低くなっているため、データ線DL1の電位は変わらず、データ線DL2の電位は下がる。また、読み出しを行わない他のメモリセル(CT3~8)については、ウェルWEの電位を-2V、ワード線WL2の電位を-2V、ソース線SL3~4の電位を0V、データ線DL3~4の電位を0Vにして、セルトランジスタCT3~8がオンしないようにする。

40

【0057】

50

図7は、前記図1に示すEEPROM12における書き込み時の誤消去（ディスターブ）現象を説明するためのメモリアレイ構成を示す説明図である。

【0058】

例えば、書き込み動作時に、セルトランジスタCT1にデータを書き込む場合、ウェルWE1～2の電位を-10.5V、ワード線WL1の電位を1.5V、ワード線WL2の電位を-10.5V、データ線DL1の電位を-10.5V、データ線DL2の電位を-1.5V、データ線DL3～4をフローティング、ソース線SL1～2をフローティング、ソース線SL3～4の電位を1.5Vとする。この時、セルトランジスタCT7～8の閾値電圧（ V_{th-H} ）の低下、すなわち、誤消去が発生する場合がある。

【0059】

この現象を図8により、より具体的に説明する。図8は、前記図1に示すEEPROM12における書き込み時の誤消去（ディスターブ）現象を説明するためのメモリセルの断面構造を示す説明図である。図8は、セルトランジスタCT7の非選択ウェル（ P^- ）WE2、ソース線（ n^+ ）SL3、ワード線WL2の部分を示す。誤消去現象は、ソース電位（ V_s ）が1.5V、バックゲート電位（ V_{sub} ）が-10.5V、ゲート電位（ V_g ）が-10.5Vであるので、ソース-バックゲート間のpn接合部の電界が強くなり、アバランシェ現象により電子または正孔が発生し、電子がソース線SL3に吸収され、正孔がシリコン窒化膜28に注入されることにより起こる。すなわち、書き込み動作時に非選択メモリセルCT2～CT8のうち、ゲート電極とソース間にかかる電位差が他のメモリセルに比べて大きいメモリセルCT7,8において、上記のような誤消去の問題が起こる。

【0060】

誤消去現象によりセルトランジスタCT7～8の閾値電圧が変化する様子を図9に示す。図9は、前記図1に示すEEPROM12における書き込み時の誤消去現象を説明するための非選択メモリセルの閾値電圧の時間的変化を示す図である。図9において、横軸は書き込み時間（累積時間）、縦軸は非選択メモリセルの閾値電圧（ V_{th} ）を示す。図9に示すように、書き込み時間が長くなるに従い、非選択メモリセルの閾値電圧（ V_{th} ）が低下していく。

【0061】

フラッシュメモリにおいても、同様に、書き込み動作による誤消去現象が発生する。図10は、前記図1に示すフラッシュメモリ18における書き込み時の誤消去（ディスターブ）現象を説明するためのメモリアレイ構成を示す説明図である。

【0062】

例えば、書き込み動作時に、選択メモリセルであるセルトランジスタCT1にデータを書き込む場合、ウェルWEの電位を-10.5V、ワード線WL1の電位を1.5V、ワード線WL2の電位を-10.5V、データ線DL1の電位を-10.5V、データ線DL2～4の電位を1.5V、ソース線SL1～4をフローティングとする。この時、非選択メモリセルであるセルトランジスタCT6～8の閾値電圧（ V_{th-H} ）の低下、すなわち、誤消去が発生する場合がある。すなわち、フラッシュメモリの場合においても、書き込み動作時に非選択メモリセルCT2～CT8のうち、ゲート電極とソース間にかかる電位差が他のメモリセルに比べて大きいメモリセルCT6,7,8において、上記のような誤消去の問題が起こる。

【0063】

図11により、上記の誤消去現象を解消するための対策を説明する。図11は、前記図1に示すフラッシュメモリ18における書き込み時の誤消去現象対策を説明するためのメモリアレイ構成を示す説明図である。

【0064】

例えば、書き込み動作時に、セルトランジスタCT1にデータを書き込む場合、データ線DL2～4の電位を-3Vとする。非選択メモリセルCT6～8のデータ線DL2～4の電位を1.5Vから-3Vへ下げることにより、拡散層-ウェル間電圧が低減し、誤消

10

20

30

40

50

去現象が解消する。すなわち、非選択データ線ウェル間電圧を小さくすることにより、誤消去を防止することが可能となる。

【0065】

データ線DL2～4の電位(Vd)が1.5V, -1.5V, -3Vの場合におけるセルトランジスタCT6～8の閾値電圧(Vth)が変化する様子を図12に示す。図12は、前記図1に示すフラッシュメモリ18の書き込み時における誤消去耐性のVd依存性を示す図である。図12において、横軸は書き込み時間(累積時間)、縦軸は非選択メモリセルの閾値電圧(Vth)を示す。図12に示すように、書き込み時間が長くなるに従い、非選択メモリセルの閾値電圧(Vth)が低下していくが、Vdを、1.5Vから-1.5Vへ、さらに-3Vへと下げることにより、Vth低下を抑制することができる。そして、Vdが-3Vの場合は、書き込み時間が100秒までは、ほとんどVthが低下せず、また、10000秒までは、Vthを約0.5Vまで維持することができ、誤消去の問題が生じない。なお、図12は、セルトランジスタCT1～8のゲート長(Lg)がL₂の場合を示す。

10

【0066】

図13に、セルトランジスタのゲート長(Lg)の影響を示す。図13は、前記図1に示すフラッシュメモリ18の書き込み時における誤消去耐性のLg依存性を示す図である。図13において、横軸は書き込み時間(累積時間)、縦軸は非選択メモリセルの閾値電圧(Vth)を示す。また、セルトランジスタのゲート長(Lg)は、 $l_1 > l_2 > l_3$ の関係にある。図13に示すように、書き込み時間が長くなるに従い、非選択メモリセルの閾値電圧(Vth)が低下していくが、Lgが小さくなるに従い、Vth低下に到る書き込み時間が短くなる。そこで、誤消去の問題が発生しない範囲内で、セルトランジスタのゲート長を小さくして、面積の縮小化を図る必要がある。

20

【0067】

しかし、図11で示したような誤消去対策をフラッシュメモリに施した場合、副作用が生じることがある。

【0068】

図14は、前記図1に示すフラッシュメモリ18における書き込み時の誤消去対策の副作用を説明するためのメモリアレイ構成を示す説明図である。

【0069】

例えば、書き込み動作時に、セルトランジスタCT1にデータを書き込む場合、誤消去対策のため、データ線DL2～4の電位を1.5Vから-3Vへ下げることにより、セルトランジスタCT2～4において、ゲート-チャンネル間電圧差が発生する。そのため、セルトランジスタCT2～4がオンになり、シリコン窒化膜に電子が注入されて閾値電圧が上昇することにより、非選択セルにおいて誤書き込み現象が生じる。

30

【0070】

データ線DL2～4の電位(Vd)が-3V, -4.5Vの場合におけるセルトランジスタCT2～4の閾値電圧(Vth)が変化する様子を図15に示す。図15は、前記図1に示すフラッシュメモリ18の書き込み時における誤書き込み耐性のVd依存性を示す図である。図15において、横軸は書き込み時間(累積時間)、縦軸は非選択メモリセルの閾値電圧(Vth)を示す。図15に示すように、書き込み時間が長くなるに従い、非選択メモリセルの閾値電圧(Vth)が上昇していくが、Vdを、-3Vから-4.5Vへと下げることにより、Vth上昇が顕著になってくる。そして、Vdが-3Vの場合は、書き込み時間が1m秒までは、ほとんどVthが上昇しないが、Vdが-4.5Vの場合は、書き込み時間が1m秒においては、Vthが上昇して誤書き込みが発生してしまう。なお、図15は、セルトランジスタCT1～8のゲート長(Lg)がL₂の場合を示す。

40

【0071】

したがって、図12に示した誤消去耐性と図15に示した誤書き込み耐性を考慮して、最適なVdを決定する必要がある。すなわち、選択されたメモリセルへのデータ書き込み

50

時に非選択データ線とウェルとの間に印加される電圧を、非選択のメモリセルの誤消去防止のため、非選択のメモリセルのトランジスタがオンになり誤書き込みが発生しない範囲内で最小の値とする。上記の場合では、 $Lg = l_2$ において、 $Vd = -3V$ が最適値となる。

【0072】

よって、本実施の形態の半導体装置によれば、半導体チップ内のフラッシュメモリをMONOS型不揮発性メモリセルで構成するため、チップサイズが小さくなり、ICカードへのフラッシュメモリ混載が可能になる。また、開発TATが短縮し、早期初期量産が可能となり、小口製品対応が可能となる。

【0073】

図16に、前記実施の形態の半導体チップ(半導体装置)19を搭載したICカード101のハードウェア構成を示す。

【0074】

ICカード101には、前記実施の形態の半導体装置が搭載される。ICカード101の表面にはICカードチップ用接点102がある。当該半導体装置とICカードチップ用接点102とは、ICカード101内部にて接続されている。当該半導体装置は、ICカードチップ用接点102を通して、ICカード101の外部にあるリーダライタから電源供給を受け、また、当該リーダライタとデータ通信を行う。

【0075】

一般に、接触型ICカードのICカードチップ用接点は、所定位置に、供給電圧端子Vcc、グランド端子GND、リセット端子RST、入出力端子I/O、クロック端子CLKを有する。

【0076】

近年においては、ICカード利用者の利便性を考慮した、接点を持たず電磁波誘導で電源供給やリーダライタのデータ通信を行う非接触型のICカードもある。さらに、接触型と非接触型を一体化して用途に応じて使い分けるICカードも今後普及が見込まれる。

【0077】

図16では、前記実施の形態の半導体装置が接触型ICカードに搭載される場合を説明したが、上記のような非接触型、接触・非接触一体型ICカード等にも搭載されうる。

【0078】

本実施の形態において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

(1) フラッシュメモリのメモリセルをMONOS型不揮発性メモリセルで構成するため、ICカードへのフラッシュメモリ混載が可能になる。

(2) 製品開発TATの短縮、早期初期量産および小口製品対応が可能となる。

【0079】

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【産業上の利用可能性】

【0080】

本願において開示される発明は半導体装置およびICカードに関する技術であり、特に、不揮発性メモリを有する半導体装置およびICカードについて適宜使用することが有効なものである。また、不揮発性メモリ混載マイコンなどについて使用することも適用可能である。

【図面の簡単な説明】

【0081】

【図1】本発明の一実施の形態による半導体装置のチップレイアウトの概略を示す図である。

【図2】図1に示すEEPROMおよびフラッシュメモリを構成するMONOS型不揮発

10

20

30

40

50

性メモリセルの構造の一例を示す断面図である。

【図3】図1に示すEEPROMのレイアウトの一部およびその断面の一例を示す図である。

【図4】図1に示すEEPROMのメモリセルアレイ構造と動作条件(1セル/2トランジスタ)の一例を示す説明図である。

【図5】図1に示すEEPROMのメモリセルアレイ構造と動作条件(1セル/1トランジスタ)の一例を示す説明図である。

【図6】図1に示すフラッシュメモリのメモリセルアレイ構造と動作条件(1セル/1トランジスタ)の一例を示す説明図である。

【図7】図1に示すEEPROMにおける書き込み時の誤消去(ディスターブ)現象を説明するためのメモリアレイ構成を示す説明図である。 10

【図8】図1に示すEEPROMにおける書き込み時の誤消去(ディスターブ)現象を説明するためのメモリセルの断面構造を示す説明図である。

【図9】図1に示すEEPROMにおける書き込み時の誤消去現象を説明するための非選択メモリセルの閾値電圧の時間的变化を示す図である。

【図10】図1に示すフラッシュメモリにおける書き込み時の誤消去(ディスターブ)現象を説明するためのメモリアレイ構成を示す説明図である。

【図11】図1に示すフラッシュメモリにおける書き込み時の誤消去現象対策を説明するためのメモリアレイ構成を示す説明図である。

【図12】図1に示すフラッシュメモリの書き込み時における誤消去耐性のVd依存性を示す図である。 20

【図13】図1に示すフラッシュメモリの書き込み時における誤消去耐性のセルトランジスタのゲート長(Lg)の影響を示す図である。

【図14】図1に示すフラッシュメモリにおける書き込み時の誤消去対策の副作用を説明するためのメモリアレイ構成を示す説明図である。

【図15】図1に示すフラッシュメモリの書き込み時における誤書き込み耐性のVd依存性を示す図である。

【図16】図1に示す半導体チップを搭載したICカードのハードウェア構成例を示す図である。

【図17】ICカードに搭載される半導体チップの構成例を示す図である。 30

【符号の説明】

【0082】

11, 19 半導体チップ

12 EEPROM

13 マスクROM

14 RAM

15 CPU

16 アナログ回路

17 I/O回路

18 フラッシュメモリ 40

20 基板

21 MONOS型不揮発性メモリセル

22 Pウェル

23, 24 ソース・ドレイン(n型拡散層)

25, 26, 37, 40 n型拡散層

27 トンネル絶縁膜(SiO₂)

28 シリコン窒化膜(SiN₃)(電荷蓄積層)

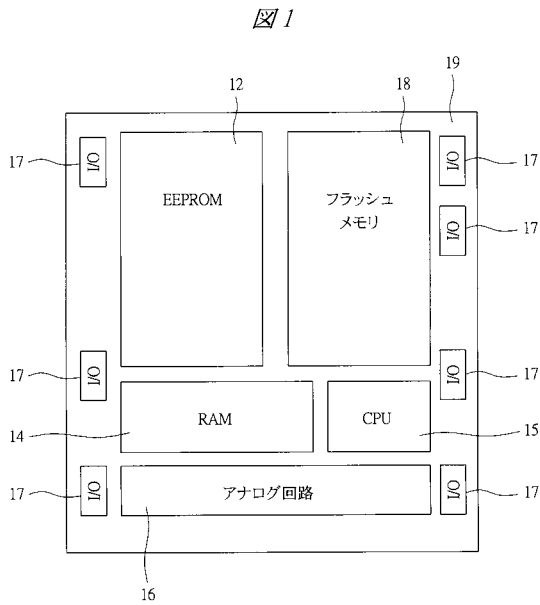
29 トップ絶縁膜(SiO₂)

30 多結晶シリコン(ゲート電極)

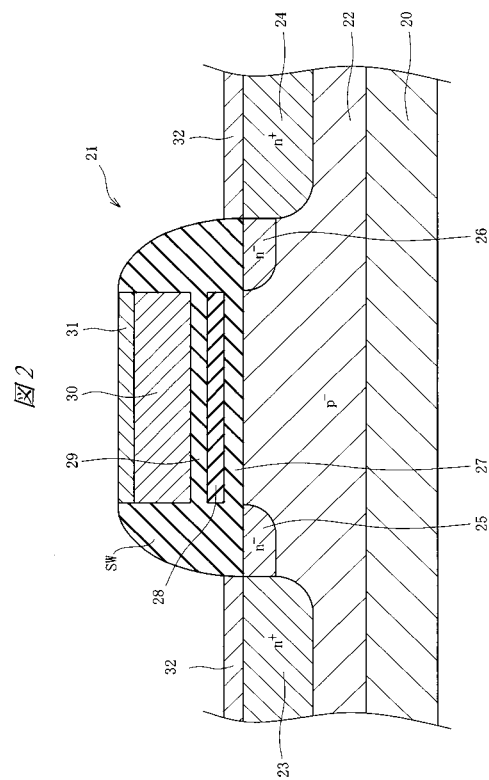
31, 32 コバルトシリサイド(CoSi₂) 50

- 3 3 メモリマット
- 3 4 ウェル分割
- 3 5 ワードシャント
- 3 6 メモリマットエッジ
- 3 8 酸化膜層
- 3 9 Pウェル (HPWL)
- 1 0 1 ICカード
- 1 0 2 ICカードチップ用接点
- C L 1 ~ 2 制御線
- C T 1 ~ 8 セルトランジスタ
- D L 1 ~ 4 データ線
- S L 1 ~ 4 ソース線
- S T 1 ~ 8 スイッチトランジスタ
- S W サイドウォールスペーサ
- W E , W E 1 ~ 2 ウェル
- W L 1 ~ 2 ワード線

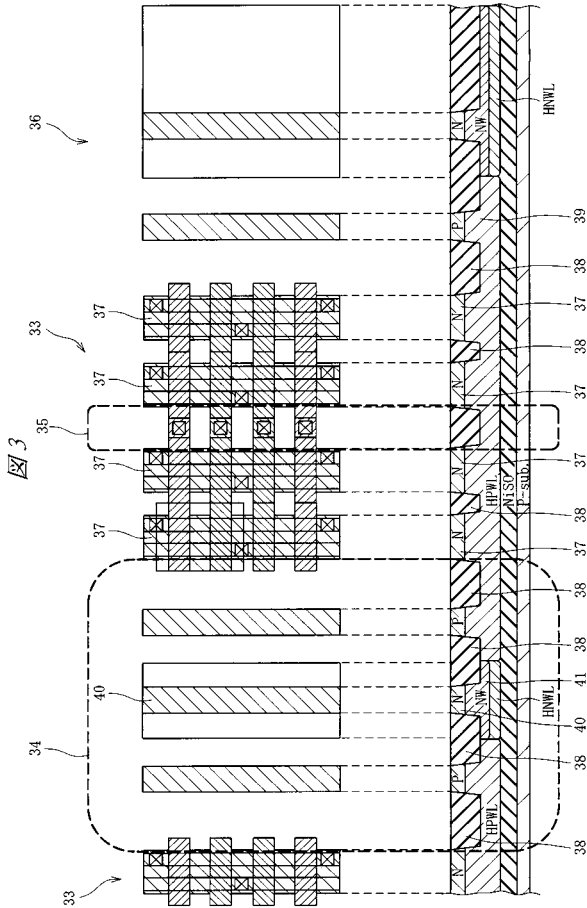
【図1】



【図2】

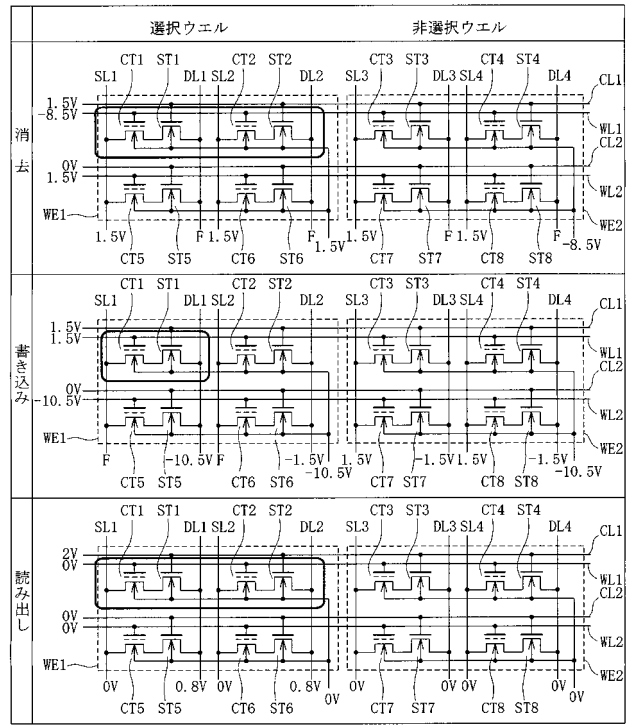


【図3】



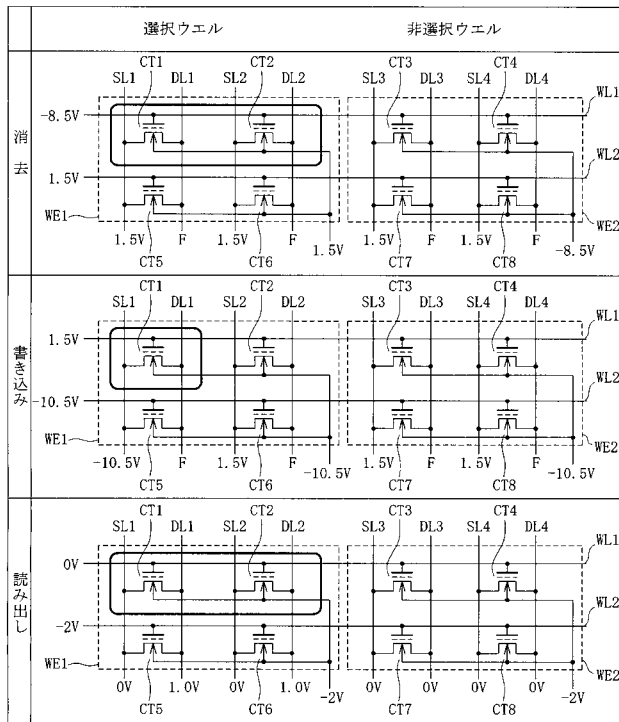
【図4】

図4



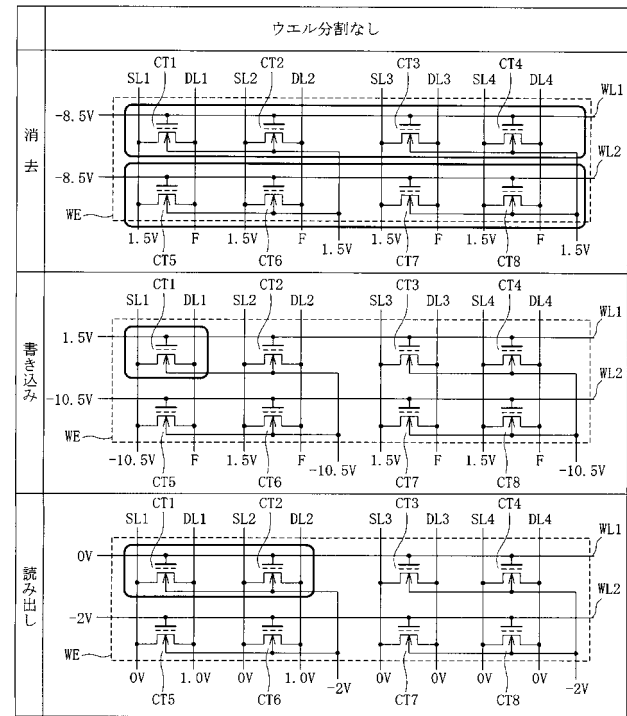
【図5】

図5

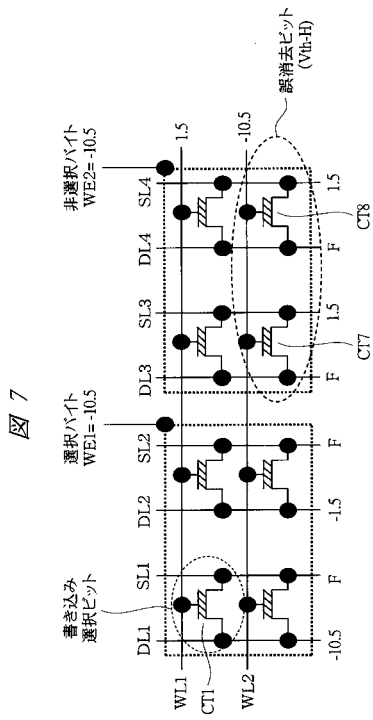


【図6】

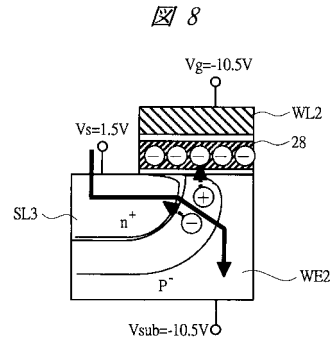
図6



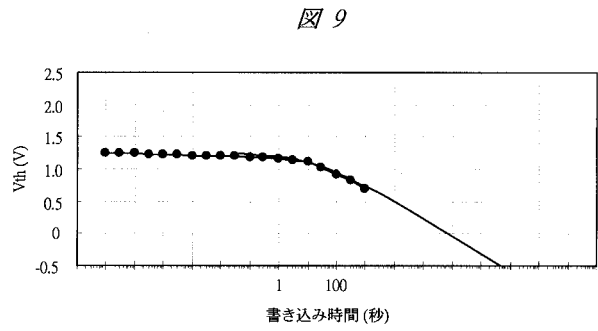
【 図 7 】



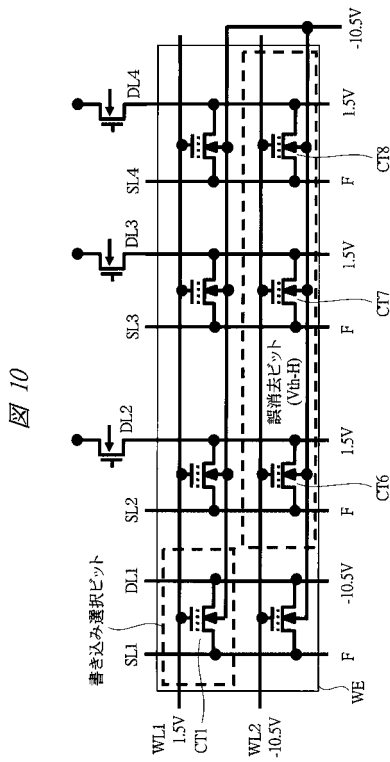
【 図 8 】



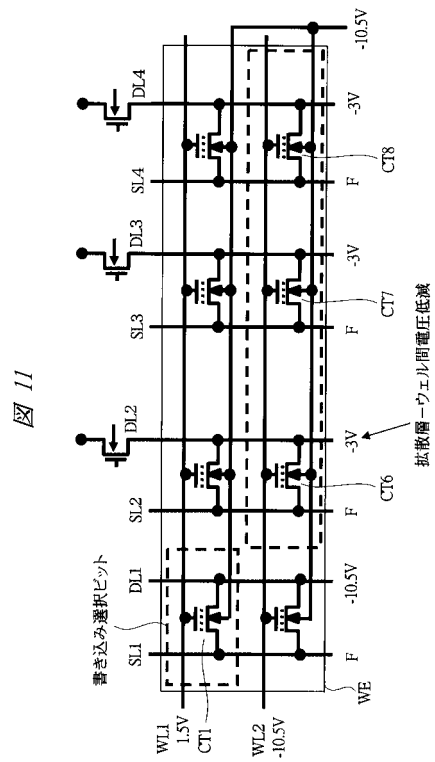
【 図 9 】



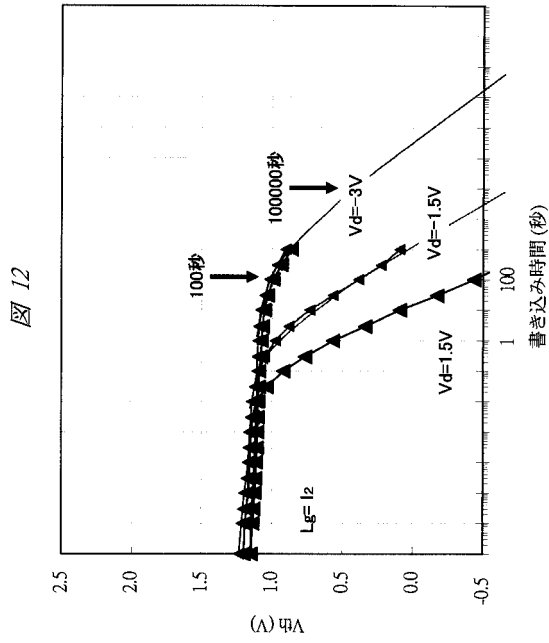
【 図 10 】



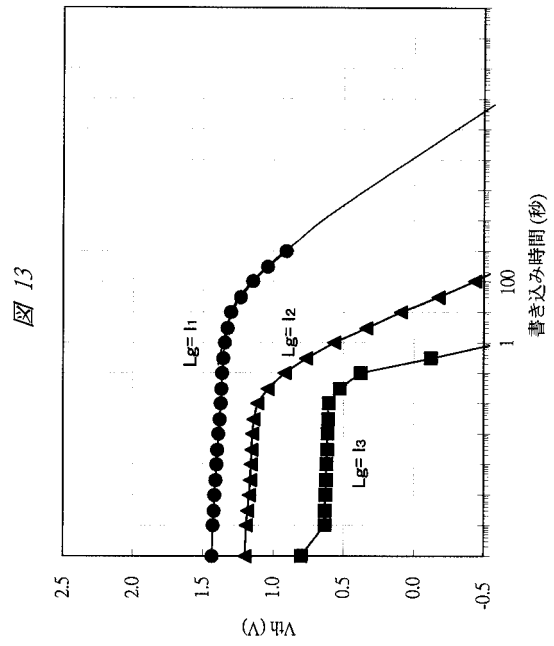
【 図 11 】



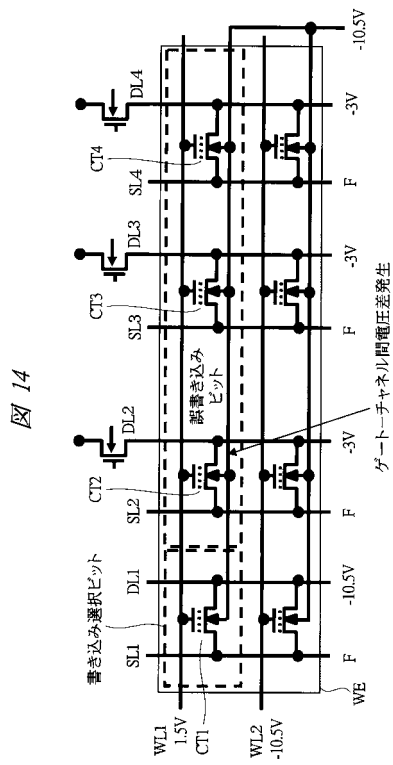
【 図 1 2 】



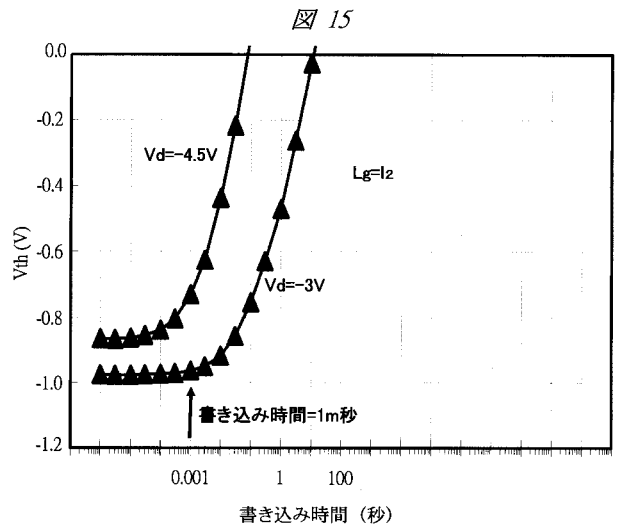
【 図 1 3 】



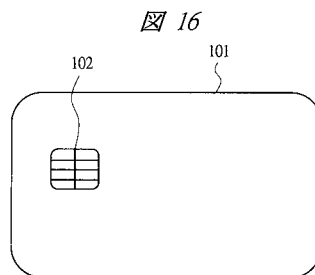
【 図 1 4 】



【 図 1 5 】

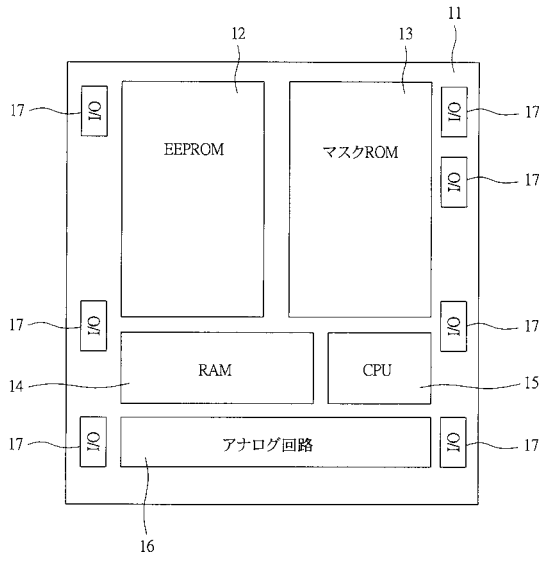


【 図 1 6 】



【図 17】

図 17



 フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
H 0 1 L 21/8247	H 0 1 L 29/78	3 7 1
H 0 1 L 27/10	G 1 1 C 17/00	6 2 1 Z
H 0 1 L 27/115	G 1 1 C 17/00	6 3 4 Z
H 0 1 L 29/788		
H 0 1 L 29/792		

Fターム(参考)	5B125	BA01	BA05	BA09	CA19	DB15	EA01	FA05	FA07	FA10	
	5F083	EP18	EP22	EP33	EP63	EP68	ER03	ER06	ER09	ER16	ER17
		ER19	ER21	ER22	ER29	ER30	GA09	GA15	GA16	JA35	JA39
		JA53	KA02	LA12	LA20	MA01	MA04	MA15	MA19	NA01	ZA12
		ZA13	ZA14								
	5F101	BA45	BB02	BD07	BD35	BE02	BE05	BE07	BH21		