

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
【部門区分】第 7 部門第 3 区分
【発行日】平成 21 年 9 月 10 日 (2009.9.10)

【公開番号】特開 2008-61176 (P2008-61176A)
【公開日】平成 20 年 3 月 13 日 (2008.3.13)
【年通号数】公開・登録公報 2008-010
【出願番号】特願 2006-238832 (P2006-238832)
【国際特許分類】

H 0 3 K 19/0185 (2006.01)

【F I】

H 0 3 K 19/00 1 0 1 D

【手続補正書】

【提出日】平成 21 年 7 月 22 日 (2009.7.22)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

1 本の入力信号を電圧レベル変換し、電圧レベル変換後の信号を出力するレベルシフト回路と、

前記レベルシフト回路の出力信号を入力して、前記入力信号のデューティに対する前記レベルシフト回路の出力信号のデューティのずれを相殺するデューティ補正回路とを備えたレベルシフト装置。

【請求項 2】

1 本の入力信号を電圧レベル変換し、電圧レベル変換後の信号を R-S ラッチ回路によって 2 本の信号として出力するレベルシフト回路と、

前記レベルシフト回路における前記 R-S ラッチ回路からの 2 本の出力信号をそれぞれ第 1、第 2 の入力信号とし、前記第 1 の入力信号がゲートに接続され、ソースが接地される第 1 の N M O S トランジスタと、前記第 2 の入力信号がゲートに接続され、ソースが接地される第 2 の N M O S トランジスタと、入力端子が前記第 2 の N M O S トランジスタのドレインに接続され、出力端子が前記第 1 の N M O S トランジスタのドレインに接続される第 1 のインバータと、入力端子が前記第 1 の N M O S トランジスタのドレインに接続され、出力端子が前記第 2 の N M O S トランジスタのドレインに接続される第 2 のインバータとからなるデューティ補正回路とを備えたレベルシフト装置。

【請求項 3】

前記デューティ補正回路は、前記第 1 のインバータの出力信号を入力信号としレベルシフトの出力とする第 1 のバッファと、前記第 2 のインバータの出力信号を入力信号とする第 2 のバッファとをさらに備えている請求項 2 に記載のレベルシフト装置。

【請求項 4】

1 本の入力信号を電圧レベル変換し、電圧レベル変換後の信号を R-S ラッチ回路によって 2 本の信号として出力するレベルシフト回路と、

前記レベルシフト回路における前記 R-S ラッチ回路からの 2 本の出力信号をそれぞれ第 1、第 2 の入力信号とし、前記第 1 の入力信号がゲートに接続され、ソースが高電位電源に接続される第 1 の P M O S トランジスタと、前記第 2 の入力信号がゲートに接続され、ソースが高電位電源に接続される第 2 の P M O S トランジスタと、入力端子が前記第 2 の P M O S トランジスタのドレインに接続され、出力端子が前記第 1 の P M O S トランジ

スタのドレインに接続される第 1 のインバータと、入力端子が前記第 1 の P M O S トランジスタのドレインに接続され、出力端子が前記第 2 の P M O S トランジスタのドレインに接続される第 2 のインバータとからなるデューティ補正回路とを備えたレベルシフト装置。

【請求項 5】

前記デューティ補正回路は、前記第 1 のインバータの出力信号を入力信号としレベルシフトの出力とする第 1 のバッファと、前記第 2 のインバータの出力信号を入力信号とする第 2 のバッファとをさらに備えている請求項 4 に記載のレベルシフト装置。

【請求項 6】

前記デューティ補正回路の前記第 1 の入力信号がハイレベル、前記第 2 の入力信号がローレベルのとき、前記第 1 のバッファの出力がローレベル、前記第 2 のバッファの出力がハイレベルとなり、前記第 1 の入力信号がローレベル、前記第 2 の入力信号がハイレベルのとき、前記第 1 のバッファの出力がハイレベル、前記第 2 のバッファの出力がローレベルとなり、前記第 1、第 2 の入力信号がローレベルのとき、前記第 1、第 2 のバッファの出力は保持されるように構成されている請求項 3 または請求項 5 に記載のレベルシフト装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 8

【補正方法】変更

【補正の内容】

【0 0 0 8】

すなわち、R - S ラッチ回路 L H の N A N D 回路 N 2 に入力される入力信号 S 4 の立ち下がりエッジは、所定の遅延の後、P M O S トランジスタ Q P 4、N M O S トランジスタ Q N 3 のゲート入力の立ち下がりエッジとして帰還される。この帰還信号により、P M O S トランジスタ Q P 4 はオン状態、N M O S トランジスタ Q N 3 はオフ状態となり、R - S ラッチ回路 L H の N A N D 回路 N 2 への入力信号 S 4 はハイレベルとなる。このとき、N A N D 回路 N 2 の他方の入力信号 S 5 はローレベルとなっているため、N A N D 回路 N 2 の出力信号 S 6 はハイレベルに保持される。