

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成21年9月10日(2009.9.10)

【公開番号】特開2008-61176(P2008-61176A)

【公開日】平成20年3月13日(2008.3.13)

【年通号数】公開・登録公報2008-010

【出願番号】特願2006-238832(P2006-238832)

【国際特許分類】

H 03K 19/0185 (2006.01)

【F I】

H 03K 19/00 101D

【手続補正書】

【提出日】平成21年7月22日(2009.7.22)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

1本の入力信号を電圧レベル変換し、電圧レベル変換後の信号を出力するレベルシフト回路と、

前記レベルシフト回路の出力信号を入力して、前記入力信号のデューティに対する前記レベルシフト回路の出力信号のデューティのずれを相殺するデューティ補正回路とを備えたレベルシフト装置。

【請求項2】

1本の入力信号を電圧レベル変換し、電圧レベル変換後の信号をR-Sラッチ回路によって2本の信号として出力するレベルシフト回路と、

前記レベルシフト回路における前記R-Sラッチ回路からの2本の出力信号をそれぞれ第1、第2の入力信号とし、前記第1の入力信号がゲートに接続され、ソースが接地される第1のN MOSトランジスタと、前記第2の入力信号がゲートに接続され、ソースが接地される第2のN MOSトランジスタと、入力端子が前記第2のN MOSトランジスタのドレインに接続され、出力端子が前記第1のN MOSトランジスタのドレインに接続される第1のインバータと、入力端子が前記第1のN MOSトランジスタのドレインに接続され、出力端子が前記第2のN MOSトランジスタのドレインに接続される第2のインバータとからなるデューティ補正回路とを備えたレベルシフト装置。

【請求項3】

前記デューティ補正回路は、前記第1のインバータの出力信号を入力信号としレベルシフトの出力とする第1のバッファと、前記第2のインバータの出力信号を入力信号とする第2のバッファとをさらに備えている請求項2に記載のレベルシフト装置。

【請求項4】

1本の入力信号を電圧レベル変換し、電圧レベル変換後の信号をR-Sラッチ回路によって2本の信号として出力するレベルシフト回路と、

前記レベルシフト回路における前記R-Sラッチ回路からの2本の出力信号をそれぞれ第1、第2の入力信号とし、前記第1の入力信号がゲートに接続され、ソースが高電位電源に接続される第1のPMOSトランジスタと、前記第2の入力信号がゲートに接続され、ソースが高電位電源に接続される第2のPMOSトランジスタと、入力端子が前記第2のPMOSトランジ

スタのドレインに接続される第1のインバータと、入力端子が前記第1のPMOSトランジスタのドレインに接続され、出力端子が前記第2のPMOSトランジスタのドレインに接続される第2のインバータとからなるデューティ補正回路とを備えたレベルシフト装置。

【請求項5】

前記デューティ補正回路は、前記第1のインバータの出力信号を入力信号としレベルシフトの出力とする第1のバッファと、前記第2のインバータの出力信号を入力信号とする第2のバッファとをさらに備えている請求項4に記載のレベルシフト装置。

【請求項6】

前記デューティ補正回路の前記第1の入力信号がハイレベル、前記第2の入力信号がローレベルのとき、前記第1のバッファの出力がローレベル、前記第2のバッファの出力がハイレベルとなり、前記第1の入力信号がローレベル、前記第2の入力信号がハイレベルのとき、前記第1のバッファの出力がハイレベル、前記第2のバッファの出力がローレベルとなり、前記第1、第2の入力信号がローレベルのとき、前記第1、第2のバッファの出力は保持されるように構成されている請求項3または請求項5に記載のレベルシフト装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

すなわち、R-Sラッチ回路LHのNAND回路N2に入力される入力信号S4の立ち下がりエッジは、所定の遅延の後、PMOSトランジスタQ_P4、NMOSトランジスタQ_N3のゲート入力の立ち下がりエッジとして帰還される。この帰還信号により、PMOSトランジスタQ_P4はオン状態、NMOSトランジスタQ_N3はオフ状態となり、R-Sラッチ回路LHのNAND回路N2への入力信号S4はハイレベルとなる。このとき、NAND回路N2の他方の入力信号S5はローレベルとなっているため、NAND回路N2の出力信号S6はハイレベルに保持される。