

Erfindungspatent für die Schweiz und Liechtenstein

Schweizerisch-liechtensteinischer Patentschutzvertrag vom 22. Dezember 1978

(12) PATENTSCHRIFT A5

②① Gesuchsnummer: 2401/82

②② Anmeldungsdatum: 21.04.1982

②④ Patent erteilt: 15.01.1986

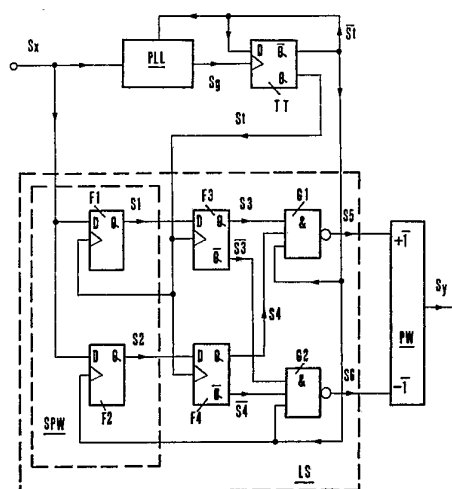
④ Patentschrift
veröffentlicht: 15.01.1986

⑦3 Inhaber:
Siemens-Albis Aktiengesellschaft, Zürich

72 Erfinder:
Marending, Peter, Urdorf
Wildhaber, Andreas, Zürich

⑤4 Codeumsetzer für binäre Signale.

57) Der Codesetzer decodiert ein von einem Lichtleistersystem empfangenes, binäres sogenanntes «2-Pegel-HDB3-codiertes» Signal (S_x) in ein übliches ternäres «HDB3-codiertes» Signal (S_y). Die Decodierung erfolgt mit Hilfe eines Phasenregelkreises (PLL), der einen Phasenvergleich zwischen der fallenden Flanke des ankommenden binären Eingangssignals (S_x) und der steigenden Flanke des geteilten Ausgangssignals (S_t) des Phasenregelkreises (PLL) bewirkt. Das binäre Eingangssignal (S_x) wird in einer Logikschaltung (LS) richtig decodiert, weil dieses Signal (S_x) nur aus den Bitkombinationen 11,00 und 01 zusammengesetzt ist.



PATENTANSPRÜCHE

1. Codeumsetzer für binäre Signale (S_x) mit einem Taktextrahierer der ein Taktsignal für eine Logikschaltung (LS) liefert, wobei die Eingänge des Taktextrahierers und der Logikschaltung (LS) mit den binären Signalen (S_x) beaufschlagt sind, dadurch gekennzeichnet, dass der Taktextrahierer als Phasenregelkreis (PLL) mit einem nachgeschalteten Takteiler (TT) ausgebildet ist, der das Steuersignal ($\bar{S}_t$) für den Phasenregelkreis (PLL) liefert, und dass der Phasenregelkreis (PLL) die Phasenlage des Steuersignals ($\bar{S}_t$) derart steuert, dass die Zeitspanne zwischen der fallenden Flanke des binären Signals (S_x) und der steigenden Flanke des Steuersignals ($\bar{S}_t$) einen vorgegebenen Wert t_p aufweist, der der Bedingung

$$T/2 < t_p < T$$

genügt, wobei $T/2$ zumindest angenähert der Bitdauer des binären Signals (S_x) entspricht.

2. Codeumsetzer nach Anspruch 1, dadurch gekennzeichnet, dass der Phasenregelkreis (PLL) aus der Reihenschaltung eines Phasendiskriminators (PD), einer Fangbereich-Eingrenzungsschaltung (FE), eines Tiefpassfilters (TPF), eines Taktgenerators (TG) und eines Rechteckformers (RF) besteht.

3. Codeumsetzer nach Anspruch 2, dadurch gekennzeichnet, dass der Phasendiskriminator (PD) aus der Reihenschaltung eines Impulsdiskriminators (D) und eines Stromgenerators (J) gebildet ist.

4. Codeumsetzer nach Anspruch 1, dadurch gekennzeichnet, dass der Logikschaltung (LS) ein Serie/Parallel-Wandler (SPW) vorgeschaltet ist.

Die vorliegende Erfindung betrifft einen Codeumsetzer für binäre Signale nach dem Oberbegriff des Patentanspruchs 1.

Bei der Übertragung von ternärcodierten Datensignalen über ein elektrooptisches Lichtleitersystem stellt sich das Problem, dass bei der Übertragung von Licht vielfach nur zwei Zustände zugelassen sind: Licht vorhanden oder nicht. Aus diesem Grund wird manchmal eine vom Lichtleitersystem empfangene binärcodierte Sequenz elektrischer Signale in einen ternärcodierten Datenstrom umgewandelt, der für die weitere Übertragung der Daten über eine elektrische Leitung viel besser geeignet ist. Zu diesem Zweck ist beispielsweise aus den Technischen Mitteilungen PTT, 7/1979, Seite 258 ein Codeumsetzer bekannt, der ein binäres sogenanntes «2-Pegel-HDB3-codiertes» Signal S_x in ein übliches ternäres «HDB3-codiertes» Signal S_y mit drei Pegeln umwandelt. Der dort beschriebene Codeumsetzer besteht aus einem Taktextrahierer und einer Logikschaltung, an die ein Pegelumwandler angeschlossen ist, der das umgewandelte Signal S_y abgibt. Die Eingänge des Taktextrahierers und der Logikschaltung werden gemeinsam mit dem Eingangssignal S_x beaufschlagt, wobei die Logikschaltung zusätzlich einen mit dem Ausgang des Taktextrahierers verbundenen Takteingang aufweist.

Durch die vorliegende Erfindung soll eine spezielle Lösung für einen Codeumsetzer für Lichtleitersignale angegeben werden, der keine zusätzliche Synchronisiereinrichtung benötigt und der eine besonders gute Jitterverträglichkeit aufweist.

Dies wird erfindungsgemäss durch die im kennzeichnenden Teil des Patentanspruchs 1 angegebenen Massnahmen erreicht. Vorteilhafte Ausgestaltungen der Erfindung sind in weiteren Ansprüchen angegeben.

Die Erfindung wird nachfolgend durch Beschreibung von Ausführungsbeispielen anhand von Zeichnungen näher erläutert. Es zeigt:

Fig. 1 das Schaltbild eines Codeumsetzers

Fig. 2 eine schematische Darstellung verschiedener Signale in diesem Codeumsetzer

Fig. 3 das Schaltbild eines Phasenregelkreises zu diesem Codeumsetzer

Fig. 4 eine schematische Darstellung verschiedener Signale in diesem Phasenregelkreis.

Der Codeumsetzer nach Fig. 1 umfasst einen digitalen Phasenregelkreis PLL (Phase-Lock-Loop) sowie eine Logikschaltung LS, die eingangsseitig miteinander verbunden und mit dem Eingangssignal S_x beaufschlagt sind. Das Ausgangssignal S_g des Phasenregelkreises PLL wird dem Takteingang eines als Taktleiter arbeitenden D-Flipflops TT zugeführt, dessen Ausgänge Q und $\bar{Q}$ die Taktsignale S_t bzw. $\bar{S}_t$ für die Logikschaltung LS liefern. Dabei wird das Signal $\bar{S}_t$ zusätzlich als Steuersignal für den Phasenregelkreis PLL und als D-Signal für das Flipflop TT verwendet. In der Logikschaltung LS sind zwei Flipflops F1 und F2 vorhanden, deren D-Eingänge gemeinsam mit dem Signal S_x beaufschlagt sind, sowie zwei weitere Flipflops F3 und F4, die zusammen mit dem Flipflop F1 gemeinsam mit dem Taktsignal S_t getaktet werden. Das Flipflop F2 ist mit dem Signal $\bar{S}_t$ gesteuert. Zudem ist der ein Signal S_1 liefernde Ausgang Q des Flipflops F1 mit dem D-Eingang des Flipflops F3 und der ein Signal S_2 liefernde Ausgang Q des Flipflops F2 mit dem D-Eingang des Flipflops F4 verbunden. Die zwei Flipflops F1 und F2 bilden zusammen einen Serie/Parallel-Wandler SPW.

Die Logikschaltung LS umfasst zudem zwei NAND-Tore G1 und G2. Das Tor G1 verknüpft das Taktsignal $\bar{S}_t$ und die Ausgangssignale S_3 und S_4 der Flipflops F3 bzw. F4 und liefert dem einen Eingang des Pegelumwandlers PW ein Signal S_5 . Das Tor G2 verknüpft das Signal $\bar{S}_t$ und die Ausgangssignale $\bar{S}_3$ und $\bar{S}_4$ der Flipflops F3 bzw. F4 und sendet ein Signal S_6 zum anderen Eingang des Pegelumwandlers PW, der das Ausgangssignal S_y bereitstellt.

Der Codeumsetzer nach Fig. 1 funktioniert in der Weise, dass er das Eingangssignal S_x (Fig. 2) in das Ausgangssignal S_y umwandelt. In Fig. 2 sind noch zwei Referenzsignale S_x' und S_y' zur Erleichterung des Verständnisses dargestellt. Das Signal S_x' ist ein ternäres Signal mit drei Pegeln +1, 0 und -1, wobei jedes Bit von der Dauer T ist. Das Signal S_y' ist ein ternäres Signal mit drei Pegeln +1, 0 und -1, wobei jedes Bit aus einem Halbbit der Dauer $T/2$ und einer Pause mit dem Pegel 0 der Dauer $T/2$ besteht. Es gilt somit folgendes Bildungsgesetz

S_x'		S_y'
+1	=	+10
-1	=	-10
0	=	00

Das Signal S_x ist aus dem Signal S_x' nach dem folgenden Bildungsgesetz mathematisch ableitbar:

S_x'		S_x
+1	=	11
-1	=	00
0	=	01

Das Signal $\bar{S}_t$ weist eine Taktdauer von $T/2$ und ein Takt/Pausen-Verhältnis 1 : 1 auf. Der Phasenregelkreis PLL vergeleicht die Signale S_x und $\bar{S}_t$ und regelt die Phasenlage des Signals $\bar{S}_t$ derart, dass für die Zeit t_p zwischen einer Endflanke des Signals S_x und einer Anstiegsflanke des Signals $\bar{S}_t$ die Bedingung

$$T/2 < t_p < T$$

gilt, wobei bei optimaler Einstellung $t_p = (3/4) T$ ist. Die Endflanken werden oft auch als fallende Flanken und die Anstiegsflanken als steigende Flanken bezeichnet.

Die Logikschaltung LS verarbeitet die Signale S_x , S_t und $\bar{S}_t$ mit Hilfe der Flipflops F1, F2, F3 und F4, deren Ausgangssignale S_1 , S_2 , S_3 , $\bar{S}_4$ und S_4 in Fig. 2 dargestellt sind. Anstelle der gezeigten Logikschaltung LS kann auch eine andere nach dem Stand der Technik verwendet werden. Durch den Einsatz des aus den Flipflops F1 und F2 gebildeten Serie/Parallel-Wandlers SPW wird jedoch eine optimale Jitterverträglichkeit erreicht. Der Pegelumwandler PW bildet aus den Signalen S_5 und S_6 das Signal S_y (Fig. 2), das gegenüber dem Signal S_y' um die Zeitdauer t_p phasenverschoben ist. Für gewisse Anwendungen können die Signale S_5 und/oder S_6 direkt verwendet werden, so dass in solchen Fällen der Pegelumwandler PW entfällt.

In weiterer Ausgestaltung der Erfindung kann als Phasenregelkreis PLL die in Fig. 3 angegebene Schaltung verwendet werden. Zur Erläuterung des Aufbaus und der Wirkungsweise der in dieser Schaltung verwendeten und nachstehend beschriebenen Elemente FE, TPF, TG und RF sei auf die europäische Patentschrift mit der Veröffentlichungsnummer 0 026 436 A3 verwiesen. Der Phasenregelkreis PLL umfasst einen Phasendiskriminator PD, dessen Ausgangssignal I_x über die Reihenschaltung einer sogenannten Fangbereicheingrenzschaftung FE, eines Tiefpassfilters TPF, eines Taktgenerators TG und eines Rechteckformers RF dem Takteingang des Flipflops TT (Fig. 1) zugeführt wird. Dabei kann der Taktgenerator TG einen spannungsabhängigen Oszillator enthalten.

Der in Fig. 3 dargestellte Phasendiskriminator PD besteht aus einem Impulsdiskriminator ID und einem Stromgenerator J, der gleich aufgebaut ist wie der Stromgenerator J in Fig. 2 der DE-AS 2 407 954. Der Impulsdiskriminator ID weist ein Monoflop MF auf, dessen invertierender Eingang mit dem Eingangssignal S_x beaufschlagt ist. Der invertierende Ausgang des Monoflops MF ist einerseits mit der Kathode einer Zenerdiode ZD des Stromgenerators J und andererseits über einen Inverter IN mit dem invertierenden Eingang eines D-Flipflops FO verbunden, dessen D-Eingang an ein Bezugspotential angeschlossen ist und dessen Takteingang den Steuereingang für das Signal $\bar{S}_t$ bildet. Der Ausgang Q des Flipflops FO ist über einen Widerstand RO mit der Basis eines Transistors T1 verbunden,

dessen Kollektor an den Kollektor eines zweiten Transistors T2 angeschlossen ist, der zusammen mit einem dritten Transistor T3 einen Differenzverstärker bildet. In Fig. 3 ist mit I_1 der Kollektorstrom des Transistors T1 und mit I_2 der Kollektorstrom des Transistors T2 bezeichnet.

Zur Erläuterung der Arbeitsweise des Phasendiskriminators PD nach Fig. 3 ist in Fig. 4 der Verlauf der Signale S_x , S_u , $\bar{S}_t$, S_v und der Ströme I_1 und I_2 angegeben. Die fallenden Flanken des Eingangssignals S_x aktivieren jeweils das Monoflop MF für eine Zeit t_m mit $T/2 < t_m < T$, so dass das Signal S_u entsteht, das immer wieder während der Zeit t_m den Wert «0» annimmt. Der Strom I_2 , der vom Signal S_u über die Zenerdiode ZD und den Transistor T3 gesteuert wird, folgt dem Signal S_u . Das Ausgangssignal S_v des Flipflops FO wird jeweils von einer Anstiegsflanke des Steuersignals $\bar{S}_t$ auf «0» und von den Anstiegsflanken des Signals auf «1» gesetzt. Der Strom I_1 , der vom Signal S_v gesteuert wird, folgt demnach dem Signal $\bar{S}_v$. Die Einstellwiderstände des Stromgenerators J sind derart dimensioniert, dass die Amplitude des Stromes I_2 etwa doppelt so gross wie die Amplitude des Stromes I_1 ist. Der Phasenregelkreis regelt die Phasenlage des Signals S_t derart, dass die Beziehung

$$I_2 \cdot t_m = I_1 \cdot (t_m - t_p)$$

gilt. Für $I_1 = 2 \cdot I_2$ und $t_m = (3/2) T$ ergibt sich daraus

$$t_p = t_m/2 = (3/4) T$$

Dadurch wird eine optimale Arbeitsweise des Phasenregelkreises erreicht.

Die Erfindung macht sich daher die Erkenntnis zunutze, dass die fallende Flanke des binären Signals nur zwischen den richtigen Bitkombinationen 11, 00, 01 auftreten kann. Bei der Verwendung eines Phasenregelkreises, der einen Phasenvergleich zwischen der fallenden Flanke des ankommenden binären Eingangssignals und der steigenden Flanke des geteilten Ausgangssignals des Phasenregelkreises bewirkt, wird das Signal in der Logikschaltung LS richtig decodiert, weil das binäre Eingangssignal gerade aus den Bitkombinationen 11, 00 und 01 zusammengesetzt ist.

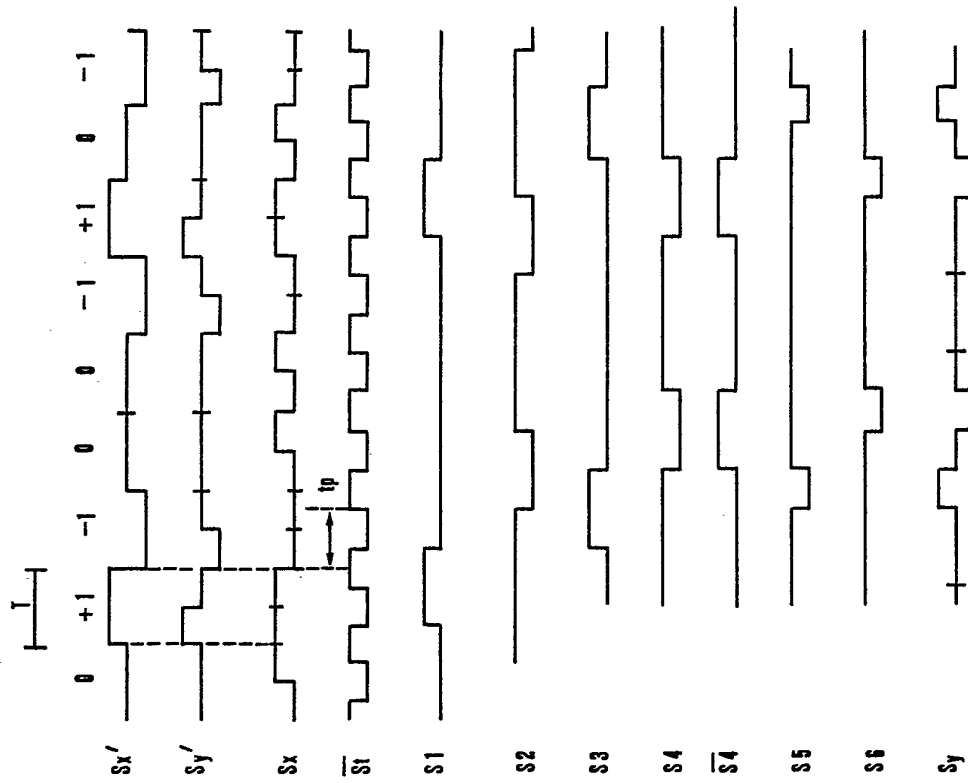


FIG. 2

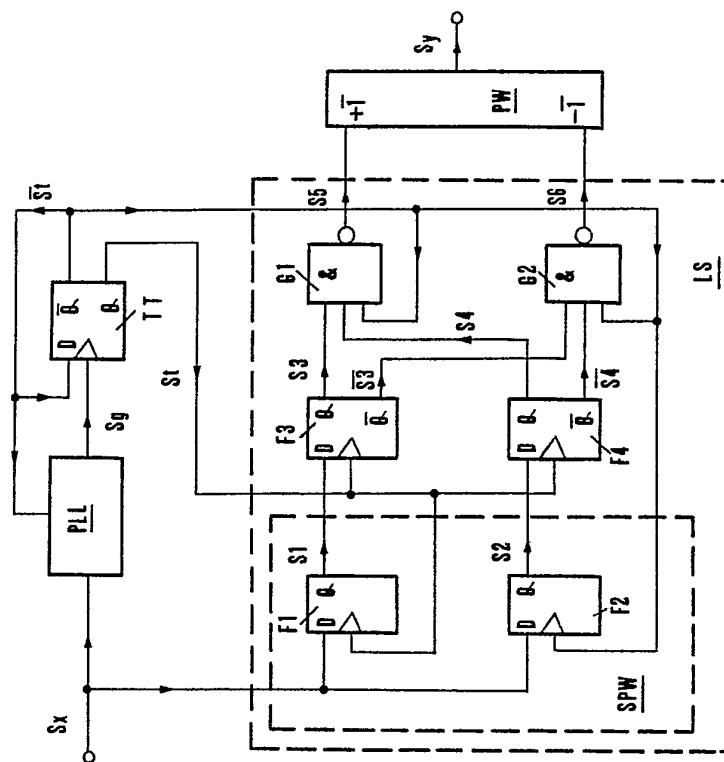


FIG. 1

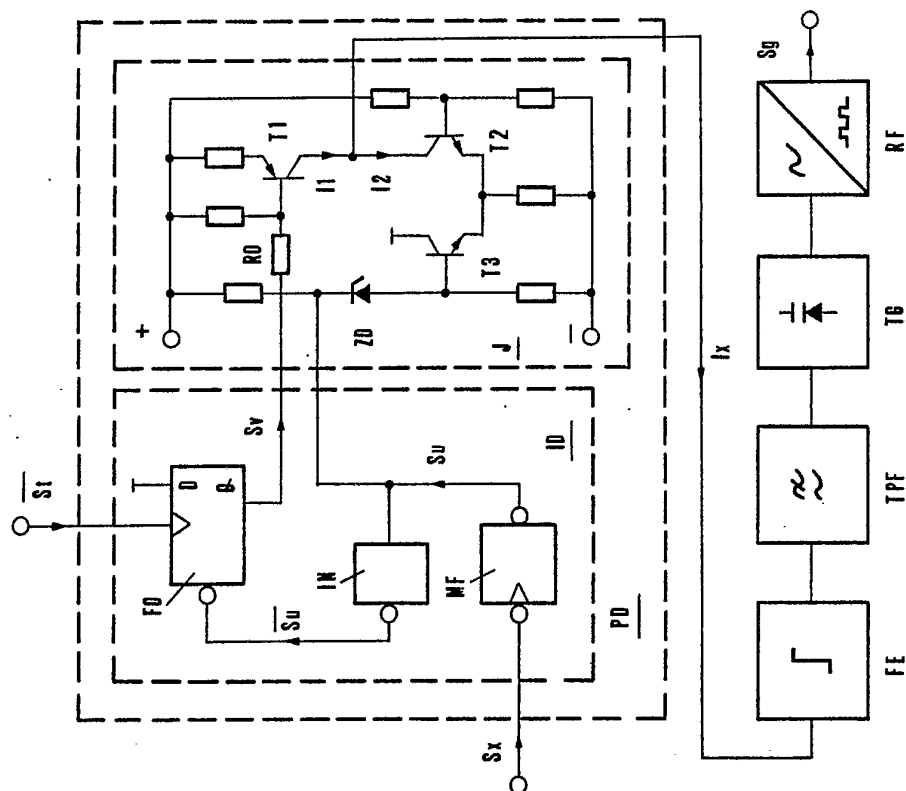


FIG. 3

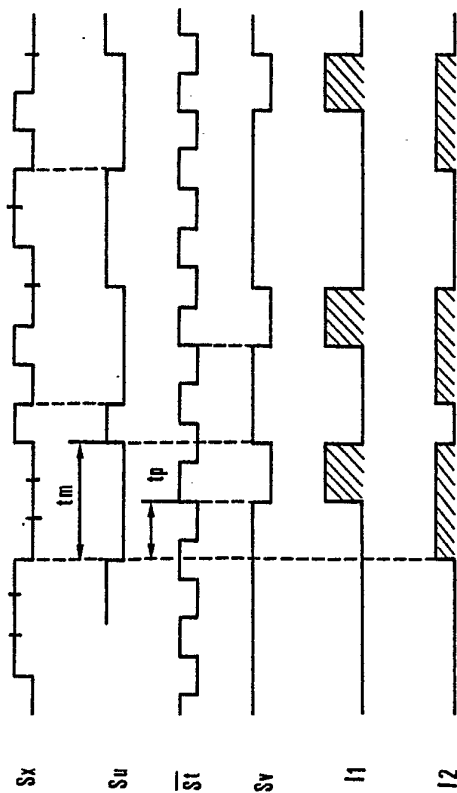


FIG. 4