(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
H01J 1/30

(11) 공개번호 특2001-0091953
(43) 공개일자 2001년10월23일

(21) 출원번호 10-2001-0012288
(22) 출원일자 2001년03월09일

(30) 우선권주장 2000-67641 2000년03월10일 일본(JP)
2000-175011 2000년06월12일 일본(JP)
2000-332522 2000년10월31일 일본(JP)

(71) 출원인 소니 가부시끼 가이샤
이데이 노부유끼
일본국 도쿄도 시나가와쿠 키타시나가와 6쵸메 7반 35고

(72) 발명자 고니시모리카즈
일본국도쿄도시나가와쿠키타시나가와6쵸메7반35고소니가부시끼가이샤내
이이다고이치
일본국도쿄도시나가와쿠키타시나가와6쵸메7반35고소니가부시끼가이샤내

(74) 대리인 박종길
김재만

심사청구 : 없음

(54) 평면형 표시 장치

요약

화면의 표시품질을 열화시키는 제1 패널과 제2 패널의 사이의 방전의 발생을 확실하게 제어하는 것이 가능한 평면형 표시 장치를 제공한다. 본 발명의 평면형 표시 장치는 전자 방출부를 가지는 제1 패널과, 전자 조사면을 가지는 제2 패널과, 전자 방출부를 구동하기 위한 전자 방출부 구동회로를 구비하고, 전자 방출부와 전자 조사면 사이의 방전을 방지하기 위해 전자 방출부와 전자 방출부 구동회로 사이에 전자 방출부 차단회로가 설치되어 있다.

대표도
도 3

색인어
평면형 표시 장치, 전자 방출부 구동회로, 전자 방출부 차단회로

명세서

도면의 간단한 설명

도 1은 발명의 실시의 형태 1에 있어서의 제1 구조의 평면형 표시 장치의 개념도면이다.

도 2는 발명의 실시의 형태 1에 있어서의 게이트 전극 및 캐소드 전극의 전위의 변화, 전자 방출부 차단회로의 동작 상태를 모식적으로 도시한 도면이다.

도 3은 발명의 실시의 형태 1에 있어서의 제1 구조의 평면형 표시 장치의 모식적인 일부 단면도면이다.

도 4는 발명의 실시의 형태 1에 있어서의 제1 구조의 평면형 표시 장치의 변형예의 개념도면이다.

도 5는 발명의 실시의 형태 1에 있어서의 제1 구조의 평면형 표시 장치의 다른 변형예의 개념도면이다.

도 6은 발명의 실시의 형태 2에 있어서의 제2 구조의 평면형 표시 장치의 개념도면이다.

도 7은 발명의 실시의 형태 2에 있어서의 게이트 전극 및 캐소드 전극의 전위의 변화, 전자 방출부 차단회로의 동작 상태를 모식적으로 도시한 도면이다.

도 8은 발명의 실시의 형태 2에 있어서의 제2 구조의 평면형 표시 장치의 모식적인 일부 단면도면이다.

도 9는 발명의 실시의 형태 3에 있어서의 제3 구조의 평면형 표시 장치의 개념도면이다.

도 10은 발명의 실시의 형태 3에 있어서의 게이트전극 및 캐소드 전극의 전위의 변화, 전자 방출부 차단회로의 동작 상태를 모식적으로 도시한 도면이다.

도 11은 발명의 실시의 형태 3에 있어서의 제3 구조의 평면형 표시 장치의 모식적인 일부 단면도면이다.

도 12는 발명의 실시의 형태 3에 있어서의 제3 구조의 평면형 표시 장치의 변형예의 개념도면이다.

도 13은 발명의 실시의 형태 3에 있어서의 제3 구조의 평면형 표시 장치의 다른 변형예의 개념도면이다.

도 14는 발명의 실시의 형태 3에 있어서의 제3 구조의 평면형 표시 장치의 또 다른 변형예의 개념도면이다.

도 15는 발명의 실시의 형태 4에 있어서의 제1 구조의 평면형 표시 장치의 개념도면이다.

도 16은 발명의 실시의 형태 4에 있어서의 제1 구조의 평면형 표시 장치의 변형예의 개념도면이다.

도 17은 발명의 실시의 형태 4에 있어서의 제1 구조의 평면형 표시 장치의 다른 변형예의 개념도면이다.

도 18은 발명의 실시의 형태 5에 있어서의 제2 구조의 평면형 표시 장치의 변형예의 개념도면이다.

도 19는 발명의 실시의 형태 5에 있어서의 제2 구조의 평면형 표시 장치의 다른 변형예의 개념도면이다.

도 20은 발명의 실시의 형태 6에 있어서의 제3 구조의 평면형 표시 장치의 개념도면이다.

도 21은 방전이 생기고 있을 때의 애노드전류, 캐소드전류의 변화를 모식적으로 도시한 도면이다.

도 22은 발명의 실시의 형태 6에 있어서의 제3 구조의 평면형 표시 장치의 변형예의 개념도면이다.

도 23은 발명의 실시의 형태 6에 있어서의 제3 구조의 평면형 표시 장치의 다른 변형예의 개념도면이다.

도 24은 발명의 실시의 형태 7의 평면형 표시 장치의 개념도면이다.

도 25는 발명의 실시의 형태 7의 평면형 표시 장치의 변형예의 개념도면이다.

도 26은 발명의 실시의 형태 7의 평면형 표시 장치의 다른 변형예의 개념도면이다.

도 27은 발명의 실시의 형태 7의 평면형 표시 장치의 또 다른 변형예의 개념도면이다.

도 28은 발명의 실시의 형태 7의 평면형 표시 장치에 있어서, 타이머의 유무에 의한 애노드 전극의 전위 및 애노드전류의 변화를 모식적으로 도시한 도면이다.

도 29는 발명의 실시의 형태 8의 평면형 표시 장치의 개념도면이다.

도 30은 발명의 실시의 형태 8의 평면형 표시 장치의 변형예의 개념도면이다.

도 31은 발명의 실시의 형태 8의 평면형 표시 장치의 다른 변형예의 개념도면이다.

도 32은 발명의 실시의 형태 9의 평면형 표시 장치의 개념도면이다.

도 33은 발명의 실시의 형태 9의 평면형 표시 장치에 있어서, 방전의 발생에 의한 각 부위에 있어서의 전위의 변화를 모식적으로 도시한 도면이다.

도 34는 발명의 실시의 형태 9의 평면형 표시 장치의 변형예의 개념도면이다.

도 35는 발명의 실시의 형태 9의 평면형 표시 장치의 다른 변형예의 개념도면이다.

도 36은 스핀트형 전계 방출 소자로 이루어지는 제1 구조를 가지는 전계 방출 소자의 제조 방법을 설명하기 위한 지지체 등의 모식적인 일부 단면도면이다.

도 37은 도 36에 계속해서, 스핀트형 전계 방출 소자로 이루어지는 제1 구조를 가지는 전계 방출 소자의 제조 방법을 설명하기 위한 지지체 등의 모식적인 일부 단면도면이다.

도 38은 제2 패널(애노드패널)의 제조 방법의 일예를 설명하기 위한 기판 등의 모식적인 일부 단면도면이다.

도 39는 크라운형 전계 방출 소자로 이루어지는 제1 구조를 가지는 전계 방출 소자의 제조 방법을 설명하기 위한 지지체 등의 모식적인 일부 단면도면이다.

도 40은 도 39에 계속해서, 크라운형 전계 방출 소자로 이루어지는 제1 구조를 가지는 전계 방출 소자의 제조 방법을 설명하기 위한 지지체 등의 모식적인 일부 단면도면이다.

도 41은 도 40에 계속해서, 크라운형 전계 방출 소자로 이루어지는 제1 구조를 가지는 전계 방출 소자의 제조 방법을 설명하기 위한 지지체 등의 모식적인 일부 단면도면 및 부분적인 사시도이다.

도 42는 편평형 전계 방출 소자로 이루어지는 제1 구조를 가지는 전계 방출 소자의 제조 방법을 설명하기 위한 지지체 등의 모식적인 일부 단면도이다.

도 43은 편평형 전계 방출 소자로 이루어지는 제1 구조를 가지는 전계 방출 소자의 변형예의 제조 방법을 설명하기 위한 지지체 등의 모식적인 일부 단면도이다.

도 44는 편평형 전계 방출 소자로 이루어지는 제1 구조를 가지는 전계 방출 소자의 다른 변형예의 제조 방법을 설명하기 위한 지지체 등의 모식적인 일부 단면도면이다.

도 45는 도 44에 계속해서, 편평형 전계 방출 소자로 이루어지는 제1 구조를 가지는 전계 방출 소자의 다른 변형예의 제조 방법을 설명하기 위한 지지체 등의 모식적인 일부 단면도면이다.

도 46은 평면형 전계 방출 소자로 이루어지는 제2 구조를 가지는 전계 방출 소자의 제조 방법을 설명하기 위한 지지체 등의 모식적인 일부 단면도이다.

도 47은 평면형 전계 방출 소자로 이루어지는 제2 구조를 가지는 전계 방출 소자의 변형예의 모식적인 일부 단면도이다.

도 48은 평면형 전계 방출 소자로 이루어지는 제2 구조를 가지는 전계 방출 소자의 다른 변형예의 모식적인 일부 단면도이다.

도 49는 평면형 전계 방출 소자로 이루어지는 제2 구조를 가지는 전계 방출 소자의 또 다른 변형예의 제조 방법을 설명하기 위한 지지체 등의 모식적인 일부 단면도면 및 부분적인 사시도이다.

도 50은 도 49에 계속해서, 평면형 전계 방출 소자로 이루어지는 제2 구조를 가지는 전계 방출 소자의 또 다른 변형예의 제조 방법을 설명하기 위한 지지체 등의 모식적인 일부 단면도면 및 부분적인 사시도이다.

도 51은 도 50에 계속해서, 평면형 전계 방출 소자로 이루어지는 제2 구조를 가지는 전계 방출 소자의 또 다른 변형예의 제조 방법을 설명하기 위한 지지체 등의 모식적인 일부 단면도면 및 부분적인 사시도이다.

도 52는 도 51에 계속해서, 평면형 전계 방출 소자로 이루어지는 제2 구조를 가지는 전계 방출 소자의 또 다른 변형예의 제조 방법을 설명하기 위한 지지체 등의 모식적인 일부 단면도이다.

도 53은 평면형 전계 방출 소자로 이루어지는 제2 구조를 가지는 전계 방출 소자의 또 다른 변형예의 제조 방법을 설명하기 위한 지지체 등의 모식적인 일부 단면도이다.

도 54는 평면형 전계 방출 소자로 이루어지는 제2 구조를 가지는 전계 방출 소자의 또 다른 변형예의 제조 방법을 설명하기 위한 지지체 등의 모식적인 일부 단면도면이다.

도 55는 평면형 전계 방출 소자로 이루어지는 제2 구조를 가지는 전계 방출 소자의 또 다른 변형예의 제조 방법을 설명하기 위한 지지체 등의 모식적인 일부 단면도면이다.

도 56은 도 55에 계속해서, 평면형 전계 방출 소자로 이루어지는 제2 구조를 가지는 전계 방출 소자의 또 다른 변형예의 제조 방법을 설명하기 위한 지지체 등의 모식적인 일부 단면도면이다.

도 57은 에지형 전계 방출 소자로 이루어지는 제3 구조를 가지는 전계 방출 소자가 모식적인 일부 단면도이다.

도 58은 에지형 전계 방출 소자로 이루어지는 제3 구조를 가지는 전계 방출 소자의 일예의 제조 방법을 설명하기 위한 지지체 등의 모식적인 일부 단면도면이다.

도 59는 도 62에 나타내는 스핀트형 전계 방출 소자를 제조하기 위한, 스핀트형 전계 방출 소자: [제조 방법의 변형-1]을 설명하기 위한 지지체 등의 모식적인 일부 단면도면이다.

도 60은 도 59에 계속해서, 도 62에 나타내는 스핀트형 전계 방출 소자를 제조하기 위한, 스핀트형 전계 방출 소자: [제조 방법의 변형-1]을 설명하기 위한 지지체 등의 모식적인 일부 단면도면이다.

도 61은 도 60에 계속해서, 도 62에 나타내는 스핀트형 전계 방출 소자를 제조하기 위한, 스핀트형 전계 방출 소자: [제조 방법의 변형-1]을 설명하기 위한 지지체 등의 모식적인 일부 단면도면이다.

도 62는 스핀트형 전계 방출 소자: [제조 방법의 변형-1]로써 얻어지는 스핀트형 전계 방출 소자의 모식적인 일부 단면도면이다.

도 63은 원추형상의 전자 방출부가 형성되는 원리를 설명하기 위한 도면이다.

도 64는 대레지스트선택비와, 전자 방출부의 높이와 형상의 관계를 모식적으로 도시한 도면이다.

도 65는 스핀트형 전계 방출 소자: [제조 방법의 변형-2]를 설명하기 위한 지지체 등의 모식적인 일부 단면도면이다.

도 66은 도 65에 계속해서, 스핀트형 전계 방출 소자: [제조 방법의 변형-2]를 설명하기 위한 지지체 등의 모식적인 일부 단면도면이다.

도 67은 도 66에 계속해서, 스핀트형 전계 방출 소자: [제조 방법의 변형-2]를 설명하기 위한 지지체 등의 모식적인 일부 단면도면이다.

도 68은 피에칭물의 표면프로파일이 일정시간마다 어떻게 변화되는가를 도시한 도면이다.

도 69는 스핀트형 전계 방출 소자: [제조 방법의 변형-3]을 설명하기 위한 지지체 등의 모식적인 일부 단면도면이다.

도 70은 도 69에 계속해서, 스핀트형 전계 방출 소자: [제조 방법의 변형-3]을 설명하기 위한 지지체 등의 모식적인 일부 단면도면이다.

도 71은 스핀트형 전계 방출 소자: [제조 방법의 변형-4]로써 제조되는 스핀트형 전계 방출 소자의 모식적인 일부 단면도면이다.

도 72는 스핀트형 전계 방출 소자: [제조 방법의 변형-4]를 설명하기 위한 지지체 등의 모식적인 일부 단면도면이다.

도 73은 도 72에 계속해서, 스핀트형 전계 방출 소자: [제조 방법의 변형-4]를 설명하기 위한 지지체 등의 모식적인 일부 단면도면이다.

도 74은 도 73에 계속해서, 스핀트형 전계 방출 소자: [제조 방법의 변형-4]를 설명하기 위한 지지체 등의 모식적인 일부 단면도면이다.

도 75는 스핀트형 전계 방출 소자: [제조 방법의 변형-5]를 설명하기 위한 지지체 등의 모식적인 일부 단면도면이다.

도 76은 도 75에 계속해서, 스핀트형 전계 방출 소자: [제조 방법의 변형-5]를 설명하기 위한 지지체 등의 모식적인 일부 단면도면이다.

도 77은 스핀트형 전계 방출 소자: [제조 방법의 변형-6]을 설명하기 위한 지지체 등의 모식적인 일부 단면도면이다.

도 78은 [평면형 전계 방출 소자(No. 3)]의 모식적인 일부 단면도면이다.

도 79는 [평면형 전계 방출 소자(No. 4)]의 모식적인 일부 단면도면이다.

도 80은 게이트전극이 가지는 복수의 개구부를 나타내는 모식적인 평면도.

도 81은 본 발명의 제3 양태에 의한 평면형 표시 장치에 있어서의 전자 방출부 및 실드부재의 모식적인 일부 단면도면이다.

도 82는 종래의 냉음극전계전자방출표시 장치의 대표적인 구성예를 나타내는 도면이다.

도 83은 제1 패널 및 제2 패널의 일부분의 모식적인 분해사시도이다.

도 84는 종래의 냉음극전계전자방출표시 장치에 있어서의 문제점을 설명하기 위한 도면이다.

도 85는 선택 게이트전극과 선택 캐소드 전극의 전위를 모식적으로 도시한 도면이다.

도 86은 방전이 생겼을 때의, 선택 게이트전극에 있어서의 전위의 변화를 모식적으로 도시한 도면이다.

[도면의 주요 부분에 대한 부호의 설명]

10···제1 패널(캐소드패널), 11···지지체, 11A···요부, 12, 112, 212···캐소드 전극, 112A···융기부, 112B···요부, 112C···선단부, 212A···에지부, 13, 13A, 13B, 113, 313···절연층, 14, 14A, 14B, 114, 314···게이트전극, 15, 15A, 15B, 44, 315···개구부, 16···전자 방출부, 16A, 16B, 16C, 16D, 16E···전자방출전극, 17···박리층, 18···도전체층, 20···제2 패널(애노드패널), 21···기판, 22, 22R, 22G, 22B···형광체층, 23···블랙매트릭스, 24···애노드전극, 31···제1 구동회로(게이트전극 구동회로), 32, 32A, 32B, 32C, 35, 35A, 35B, 35C···전자 방출부 차단회로, 33, 36···공통선, 34···제2 구동회로(캐소드전극 구동회로), 37···애노드전극 구동회로, 38, 38A, 38B···애노드전극차단회로, 40···실드부재, 41···실드부재 전압인가수단, 42, 42A, 42B, 42C···실드부재 차단회로, 43···제2 절연층, 60···박리층, 61···도전성조성물층, 62···저항체층, 63···탄소박막선택성장영역, 64···마스크층, 65···금속입자, 66···탄소박막, 67···레지스트층, 67A···레지스트개구부, 70, 170···구체, 170A···심재, 170B···표면처리층, 71···조성물층, 71A···분산매, 71B···캐소드 전극재료, 80···밀착층, 81···도전재료층, 81A···요부, 81B···주상부, 81C···확대부, 82···마스크재료층, 83···에칭정지층, 84···기부, 84A···도전재료층, 85···평탄화층, 314A···대상재료층, 316···돌기부, 317···박막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 예를 들면 냉음극 전계전자방출표시 장치로 불리는 평면형 표시 장치에 관한 것이다.

현재 주류인 음극선관(CRT)을 대체하는 화상 표시 장치로서, 평면형(플랫 패널형식)의 표시 장치가 연구되고 있다. 이러한 평면형 표시 장치로서, 액정표시 장치(LCD; liquid crystal display), 일렉트로루미네슨스 표시 장치(ELD; electro-luminescence display), 플라즈마 표시 장치(PDP)를 예시할 수가 있다. 또한 열적 여기에 의하지 않고, 고체로부터 진공 중에 전자를 방출하는 것이 가능한 냉음극 전계전자방출형 표시 장치, 소위 필드 이미션 디스플레이 (FED; field emission display)도 제안되고 있으며, 화면의 밝기 및 저소비 전력의 관점에서 주목을 모으고 있다.

냉음극 전계방출 표시 장치(이하, '표시 장치'라 약칭하는 경우가 있음)의 대표적인 구성예를 도82에 나타내고, 도83은 제1 패널(10) 및 제2 패널(20)의 일부분의 모식적인 분해사시도를 나타낸다. 이 표시 장치에서는, 제1 패널(캐소드 패널)(10)과 제2 패널(애노드 패널)(20)이 대향 배치되고, 제1 패널(10)과 제2 패널(20)은 각각의 주연부에서 도시하지 않는 프레임을 통하여 서로 접착되며, 양 패널(10, 20) 사이의 폐쇄공간은 진공공간으로 되어 있다. 제1 패널(10)은 전자방출체로서 냉음극 전계전자 방출소자(이하, '전계 방출 소자'라 약칭하는 경우가 있음)를 복수구비하고 있다. 도82은 전계 방출 소자의 일예로서 원추모양의 전자방출전극(16A)으로 구성된 전자 방출부(16)를 가지는, 소위 스핀트(Spindt)형 전계 방출 소자를 나타낸다. 스핀트형 전계 방출 소자는 지지체(11) 위에 형성된 스트라이프형의 캐소드 전극(12)과, 절연층(13)과, 절연층(13)상에 형성된 스트라이프형의 게이트 전극(14)과, 게이트 전극(14) 및 절연층(13)에 설치된 개구부(15) 내에 형성된 원추모양의 전자방출전극(16A)으로 구성되어 있다. 통상 소정의 배열을 가지

는 소정 수의 전자방출전극(16A)이 후술하는 형광체층(22)의 하나에 대응되고 있다. 전자방출전극(16A)에는 캐소드 전극 구동회로(34)로부터 캐소드 전극(12)을 통해 상대적으로 부(負)전압(주사신호)이 인가되고, 게이트 전극(14)에는 게이트전극 구동회로(31)로부터 상대적으로 정(正)전압(비디오신호)이 인가된다. 이들 전압인가에 의해 생긴 전계에 따라 전자방출전극(16A)의 선단으로부터 전자가 양자터널효과에 기초하여 방출된다. 또한 전계 방출 소자로서는 상술한 바와 같이 스핀트형 전계 방출 소자에 한정되지 않고, 소위 에지형이나 평면형 등 다른 타입의 전계 방출 소자가 이용되는 경우도 있다.

한편, 제2 패널(20)은 유리등으로 이루어지는 기판(21)상에 매트릭스 모양 또는 스트라이프형으로 형성된 복수의 형광체층(22) (22R, 22G, 22B)과, 형광체층(22)의 사이를 메우는 블랙매트릭스(23)와, 형광체층(22) 및 블랙매트릭스(23) 위의 전면에 형성된 애노드 전극(24)으로 구성되어 있다. 애노드 전극(24)에는 게이트 전극(14)에 인가되는 정전압보다도 높은 정전압이 애노드 전극구동회로(37)로부터 인가되고, 애노드 전극(24)은 전자방출전극(16A)으로부터 진공공간 중으로 방출된 전자가 형광체층(22)을 향하도록 유도하는 역할을 한다. 또한 애노드 전극(24)은 형광체층(22)을 구성하는 형광체입자를 이온 등의 입자에 의한 스퍼터로부터 보호할 뿐만 아니라, 전자여기에 의해 생긴 형광체층(22)의 발광을 기판(21) 측으로 반사시키고, 기판(21)의 외측에서 관찰되는 표시화면의 휘도를 향상시키는 기능도 가진다. 애노드 전극(24)은 예를 들면 알루미늄박막으로 구성되어 있다.

일반적으로, 캐소드 전극(12)과 게이트 전극(14)은 이들 양전극(12, 14)의 투영상이 서로 직교하는 방향에 각각 스트라이프형으로 형성되어 있고, 이들 양전극(12, 14)의 투영상이 중복되는 중복영역(단색표시 장치의 1화소 분의 영역, 또는 컬러표시 장치의 1화소를 구성하는 3개의 서브 픽셀 중 하나의 서브 픽셀 분의 영역에 상당함)에 통상 복수의 전계 방출 소자가 배열되어 있다. 또한, 이러한 중복영역이 제1 패널(10)의 유효영역(실제 표시화면으로서 기능하는 영역) 내에 2차원 매트릭스형으로 배열되어 있다. 1화소는 제1 패널(10)측 캐소드 전극(12)과 게이트 전극(14)의 중복영역에 소정수 배열된 전계 방출 소자의 1군과 이들 전계 방출 소자의 1군에 대면한 제2 패널(20)측 형광체층(22)으로 구성된다. 유효영역에는 이러한 화소가 예를 들면 수십만 수백만개 정도의 오더로 배열되어 있다.

제1 패널(10)과 제2 패널(20) 사이의 갭은 0.1 mm 1 mm 정도이다. 제2 패널(20)의 애노드 전극(24)에는 고전압(예를 들면, 5kV)이 인가된다. 이러한 표시 장치에서는 제1 패널(10)에 설치된 게이트 전극(14)과 제2 패널(20)에 설치된 애노드 전극(24) 사이에서 방전이 발생하는 경우가 있어, 화상 표시의 품질이 현저히 손상될 우려가 있다. 진공공간 중에 놓여지는 방전 발생기구에서는 먼저 강전계 하에서의 전자방출전극(16A)으로부터의 전자나 이온의 방출이 방전의 트리거로 되고, 애노드전극 구동회로(37)로부터 애노드 전극(24)으로 에너지가 공급되어 애노드 전극(24)의 온도가 국소적으로 상승하며, 애노드전극(24) 내부의 흡장 가스(occluded gas)의 방출, 또는 애노드전극(24)을 구성하는 재료 자체의 증발이 생겨, 소규모 방전이 대규모 방전(예를 들면, 불꽃방전)으로 발전한다.

표시 장치에서 화상을 표시하는 경우에는 발광할 화소를 구성하는 게이트전극('선택 게이트전극'이라고 부른다)에 정의 전압 V_{G-SL} (예를 들면 160볼트)을 인가하고, 발광시키지 않는 화소를 구성하는 게이트전극('비선택 게이트전극'이라고 부른다)에는 전압 V_{G-NSL} (예를 들면 0볼트)를 인가한다. 또한, 발광할 화소를 구성하는 캐소드 전극('선택 캐소드전극'이라고 부른다)에 전압 V_{C-SL} (휘도에 따라, 예를 들면 0볼트이상 30볼트 미만의 전압)을 인가하고, 발광시키지 않는 화소를 구성하는 캐소드 전극('비선택 캐소드전극'이라고 부른다)에 전압 V_{C-NSL} (예를 들면 30볼트)을 인가한다. 따라서, 가장 밝은 화소에서의 캐소드 전극(12)과 게이트 전극(14) 사이의 전위차는 160볼트이며, 가장 어두운 화소에서의 캐소드 전극(12)과 게이트 전극(14) 사이의 전위차는 130볼트이다. 이 상태를 도84의(A)에 모식적으로 나타내었다. 또한 게이트 전극(14)에 인가하는 전압을「V_g」로 나타내고, 캐소드 전극(12)에 인가하는 전압을「V_C」로 나타내었다. 애노드전극(24)의 전압은 5kV로 유지되어 있다. 또한, 이러한 상태에서의 선택 게이트전극과 선택 캐소드전극의 전위를 도 85의(A)에 모식적으로 나타내었다. 또한, 도85 및 도86에서 흰 삼각형 표시는 캐소드 전극의 전위의 일예를 나타내고, 흰 동그라미 표시, 검은 동그라미 표시 및 흰 사각형 표시는 게이트전극의 전위의 일예를 나타내고, 검은 삼각형 표시는 애노드전극의 전위의 일예를 나타낸다.

지금 애노드 전극(24)과 게이트 전극(14) 사이에서 방전이 발생하기 시작하면, 게이트 전극(14)의 전위는 시간과 같이 상승하여, 최종적으로 애노드 전극(24)의 전압에 가까운 전압 V"$_G$까지 상승한다. 게이트 전극(14)의 전위는 게이트전극 구동회로(31)에 즉시 전달되어 게이트전극 구동회로(31)가 손상될 가능성이 생긴다. 또한, 게이트 전극(14)의 전위가 시간과 같이 상승한 결과 캐소드 전극(12)과 게이트 전극(14) 사이의 전위차도 증대되어 전자방출전극(16A)으로부터 과도한 전자방출전류가 흐르며, 전자방출전극(16A)과 게이트 전극(14) 사이, 또는 전자방출전극(16A)과 애노드 전극(24) 사이에서도 방전이 생겨, 게이트 전극(14)이나 전자방출전극(16A)의 영구적인 손상의 원인이 된다. 더욱이, 전위가 상승한 게이트 전극(14)과 전자방출전극(16A) 사이의 방전에 따라 캐소드 전극(12)의 전위도 상승하며, 이러한 전위 V"$_C$가 캐소드전극 구동회로(34)에 즉시 전달되어 캐소드전극 구동회로(34)가 손상될 가능성이 생긴다. 이러한 상태를 도84의(B)에 모식적으로 나타내었다. 또한 이러한 상태에서의 선택 게이트전극과 선택 캐소드전극의 전위를 도 85의(B)에 모식적으로 나타내고, 선택 게이트전극에 있어서의 전위의 변화를 모식적으로 도86에 나타내었다. 또한, 도 85의(B) 및 도86에서, t0은 방전개시로부터 게이트전극이 상승을 개시하기까지의 경과시간(약 2마이크로 초)을 나타내고, t1은 게이트전극의 전위가 약170볼트로 되었을 때의 방전개시로부터의 경과시간(약 3마이크로 초)을 나타내고, t2는 게이트전극의 전위가 약 2kV로 되었을 때의 방전개시로부터의 경과시간(약 5마이크로 초)을 나타낸다.

애노드 전극(24)과 게이트 전극(14) 사이의 방전을 억제하기 위해서는, 방전의 트리거로 되는 전자나 이온의 방출을 억제하는 것이 효과적이지만, 이를 위해서는 매우 엄밀한 파티클 관리가 필요하게 된다. 이러한 관리를 제1 패널 또는 이것을 이용한 표시 장치의 제조 프로세스에서 행하는 데에는 막대한 기술적 곤란이 따른다

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 화면의 표시품질에 열화를 발생시킬 수 있는 제1 패널과 제2 패널 사이의 방전의 발생을 확실하게 억제하는 것이 가능한 평면형 표시 장치를 제공함에 있다.

발명의 구성 및 작용

상기의 목적을 달성하기 위한 본 발명의 제1 특징에 의한 평면형 표시 장치는, 전자 방출부를 가지는 제1 패널, 전자조사면을 가지는 제2 패널, 전자 방출부를 구동하기 위한 전자 방출부 구동회로를 구비하며, 전자 방출부와 전자조사면 사이의 방전을 방지하기 위해 전자 방출부와 전자 방출부 구동회로 사이에 전자 방출부 차단회로가 설치되어 있는 것을 특징으로 한다.

또한 본 발명의 평면형 표시 장치에 있어서, 제1 패널과 제2 패널사이의 폐쇄공간은 진공공간으로 되어 있다. 제1 패널과 제2 패널은 각각의 주연부에서 프레임을 통해 또는 프레임을 이용하지 않고 서로 접착되어 있다.

본 발명의 제1 특징에 의한 평면형 표시 장치에서는, 전자 방출부 차단회로에는 제1 소정 전위(V_{PD1})가 인가되고, 전자 방출부 차단회로에 접속된 전자 방출부 부분의 전위가 전자 방출부와 전자조사면 사이의 방전에 의해 제2 소정 전위(V_{PD2})로 되었을 때, 제1 소정 전위와 제2 소정 전위의 전위차 ($V_{PD2} - V_{PD1}$)에 따라 전자 방출부 차단회로가 동작하는 것이 바람직하다. 이 경우 전자 방출부 구동회로의 파괴전압을 $V_{COLAPSE}$, 출력전압의 최대치를 $V_{OUT-MAX}$로 했을 때, $|V_{OUT-MAX} - V_{PD1}| < VCOL_{APSE}$를 만족하는 것이 전자 방출부 구동회로의 파괴를 방지하는 관점에서 바람직하다. 또한, 전자 방출부 구동회로의 파괴전류를 $ICOL_{APSE, 전}$자 방출부 구동회로와 전자 방출부 사이 저항값을 REMI$_{SSION}$으로 했을 때, |VOUT$_{-MAX-VP}$ D1| < REMISSI$_{ON \cdot ICOLA}$ PS$_E$를 만족하는 것이 전자 방출부 구동회로의 파괴를 방지하는 관점에서 바람직하다.

본 발명의 제1 특징에 의한 평면형 표시 장치에서, 제2 패널은 기판, 형광체층 및 애노드 전극을 포함할 수 있으며, 이 경우 애노드전극 구동회로를 추가로 구비하고, 전자 방출부와 전자조사면 사이의 방전을 방지하기 위해 애노드전극과 애노드전극 구동회로 사이에 애노드전극 차단회로가 설치되어 있는 구성으로 하는 것이 바람직하다. 애노드전극 차단회로의 구성은 본 발명의 제2 특징에 의한 평면형 표시 장치에서의 애노드전극 차단회로의 구성과 동일하게 할 수 있다.

상기의 목적을 달성하기 위한 본 발명의 제2 특징에 의한 평면형 표시 장치는, 전자 방출부를 가지는 제1 패널과, 형광체층 및 애노드 전극으로 이루어지는 전자조사면을 가지는 제2 패널과, 애노드전극을 구동하기 위한 애노드전극 구동회로를 구비하는 평면형 표시 장치로서, 전자 방출부와 전자조사면 사이의 방전을 방지하기 위해 애노드전극과 애노드전극 구동회로 사이에 애노드전극 차단회로가 설치되어 있는 것을 특징으로 한다.

본 발명의 제2 특징에 의한 평면형 표시 장치에서, 전자 방출부와 전자조사면 사이에 방전이 발생하지 않은 경우 애노드전극 차단회로는 동작하지 않는 상태로 있으며, 전자 방출부와 전자조사면 사이에 방전이 발생한 경우 애노드전극 차단회로가 동작하는 것이 바람직하다. 또한, 전자 방출부와 전자조사면 사이의 방전에 기인하여 애노드 전극과 애노드전극 구동회로 사이를 흐르는 전류에 의해 애노드전극 차단회로가 동작하는 것이 바람직하다.

애노드전극은 유효영역을 한 장의 시트 모양의 도전재료로 피복한 형식의 애노드전극으로 해도 좋고, 하나 또는 복수의 전자 방출부, 하나 또는 복수의 화소에 대응하는 애노드전극 유닛이 집합한 형식의 애노드전극으로 해도 된다. 애노드전극이 전자의 구성인 경우 애노드전극 차단회로를 한 개 설치하면 되고, 애노드전극이 후자의 구성인 경우 애노드전극 차단회로를 유닛의 수만큼 설치하면 된다. 또한 각 애노드전극 유닛을 하나의 배선으로 접속하고, 이 배선에 하나의 애노드전극 차단회로를 접속할 수도 있다.

상기의 목적을 달성하기 위한 본 발명의 제3 특징에 의한 평면형 표시 장치는, 전자 방출부를 가지는 제1 패널과, 전자조사면을 가지는 제2 패널과, 전자 방출부를 구동하기 위한 전자 방출부 구동회로와, 전자 방출부와 전자조사면 사이에 배치된 실드부재와, 실드부재에 전압을 인가하기 위한 실드부재 전압인가수단을 구비하는 평면형 표시 장치로서, 실드부재와 전자조사면 사이의 방전을 방지하기 위해 실드부재와 실드부재 전압인가수단 사이에 실드부재 차단회로가 설치되어 있는 것을 특징으로 한다.

본 발명의 제3 특징에 의한 평면형 표시 장치에서는 실드부재에 대하여 소위 집속(focus) 전극으로서의 기능을 부여할 수도 있다. 실드부재는 유효영역을 한 장의 시트 모양의 도전재료로 피복한 형식의 실드부재로 해도 좋고, 하나 또는 복수의 전자 방출부, 하나 또는 복수의 화소에 대응하는 실드부재유닛이 집합한 형식의 실드부재로 해도 된다. 실드부재가 전자의 구성인 경우, 실드부재 차단회로를 하나 설치하면 된다. 한편, 실드부재가 후자의 구성인 경우, 실드부재 차단회로를 유닛의 수만큼 설치하면 되고, 또는 각 유닛을 하나의 배선으로 접속하여 이 배선에 하나의 실드부재 차단회로를 접속할 수도 있다. 또한, 집속전극은 전자 방출부로부터 제2 패널의 전자조사면으로 향하는 방출전자의 궤도를 집속시키고, 따라서 휘도의 향상이나 인접화소 사이의 광학적 크로스토크(crosstalk)의 방지를 가능하게 하기 위한 전극이다. 실드부재를 집속전극으로서 기능시키기 위해 실드부재 전압인가수단으로부터 상대적인 부전압이 인가된다. 실드부재는 전자 방출부와 일체로 설치해도 되고, 전자 방출부와 별개로 설치해도 된다. 실드부재에는 전자 방출부로부터 방출된 전자를 통과시키기 위한 개구부를 형성해 둘 필요가 있지만, 이러한 개구부는 하나의 전자 방출부에 대응하여 하나 설치해도 되고 복수의 전자 방출부에 대응하여 하나 설치해도 된다.

본 발명의 제3 특징에 의한 평면형 표시 장치에서, 제2 패널은 기판, 형광체층 및 애노드전극을 포함하는 것이 바람직하다. 그리고, 이 경우 애노드전극 구동회로를 추가로 구비하고, 전자 방출부와 전자조사면 사이의 방전을 방지하기 위해 애노드전극과 애노드전극 구동회로 사이에 애노드전극 차단회로가 설치되어 있는 구성으로 하는 것이 바람직하다. 애노드전극 차단회로의 구성은 본 발명의 제2 특징에 의한 평면형 표시 장치에 있어서의 애노드전극 차단회로의 구성과 동일하게 할 수 있다. 또한, 본 발명의 제3 특징에 의한 평면형 표시 장치에 본 발명의 제1 특징에 의한 평면형 표시 장치에 있어서의 전자 방출부 차단회로를 내장해도 된다.

본 발명의 제1 특징, 제2 특징 또는 제3 특징에 의한 평면형 표시 장치(이하, 이들 평면형 표시 장치를 총칭하여, 단순히 본 발명의 평면형 표시 장치라고 부르는 경우가 있다)에서는 스트라이프형의 게이트전극과, 스트라이프형의 게이트전극이 연장되는 방향과 상이한 방향으로 연장되는 스트라이프형의 캐소드 전극을 가지고, 전자 방출부는 스트라이프형의 게이트전극의 투영상과 스트라이프형의 캐소드 전극의 투영상이 중복되는 중복영역에 설치되어 있으며, 전자 방출부 구동회로는 게이트전극에 접속된 제1 구동회로와, 캐소드 전극에 접속된 제2 구동회로를 포함하며, 제1 구동회로는 전자 방출부 차단회로를 통하여 게이트전극에 접속되고 있는 구성으로 할 수 있다. 그리고, 이러한 구성을 편의상, 본 발명의 제1 구성에 의한 평면형 표시 장치라고 부른다.

또한, 본 발명의 평면형 표시 장치에서, 스트라이프형의 게이트전극과 스트라이프형의 게이트전극이 연장되는 방향과 상이한 방향으로 연장되는 스트라이프형의 캐소드 전극을 가지고, 전자 방출부는 스트라이프형의 게이트전극의 투영상과 스트라이프형의 캐소드 전극의 투영상이 중복되는 중복영역에 설치되고 있고, 전자 방출부 구동회로는 게이트전극에 접속된 제1 구동회로와 캐소드 전극에 접속된 제2 구동회로를 포함하며, 제2 구동회로는 전자 방출부 차단회로를 통하여 캐소드 전극에 접속되고 있는 구성으로 할 수 있다. 그리고, 이러한 구성을 편의상, 본 발명의 제2 구성에 의한 평면형 표시 장치라고 부른다.

본 발명의 제1 구성 또는 제2 구성에 의한 평면형 표시 장치에서, 전자 방출부와 전자조사면 사이에 방전이 발생하지 않은 경우 전자 방출부 차단회로는 동작하지 않는 상태로 있으며, 전자 방출부와 전자조사면 사이에 방전이 발생하는 경우 전자 방출부 차단회로가 동작하는 형태로 하는 것이 바람직하다.

또한, 본 발명의 평면형 표시 장치에서는, 스트라이프형의 게이트전극과 스트라이프형의 게이트전극이 연장되는 방향과 상이한 방향으로 연장되는 스트라이프형의 캐소드 전극을 가지고, 전자 방출부는 스트라이프형의 게이트전극의 투영상과 스트라이프형의 캐소드 전극의 투영상이 중복되는 중복영역에 설치되고 있고, 전자 방출부 구동회로는 게이트전극에 접속된 제1 구동회로와 캐소드 전극에 접속된 제2 구동회로를 포함하며, 전자 방출부 차단회로는 게이트전극과 제1 구동회로 사이에 설치된 제1 차단회로와, 캐소드 전극과 제2 구동회로 사이에 설치된 제2 차단회로를 포함하는 구성으로 할 수 있다. 그리고, 이러한 구성을 편의상, 본 발명의 제3 구성에 의한 평면형 표시 장치라고 부른다.

본 발명의 제3 구성에 의한 평면형 표시 장치에서, 전자 방출부와 전자조사면 사이에 방전이 발생하지 않은 경우 제1 및 제2 차단회로는 동작하지 않는 상태로 있으며, 전자 방출부와 전자조사면 사이에 방전이 발생하는 경우 제1 차단회로가 동작하며 제1 차단회로의 동작에 기초하여 제2 차단회로가 동작하는 형태로 하는 것이 바람직하다.

본 발명의 제1 구성, 제2 구성 또는 제3 구성에 의한 평면형 표시 장치에 있어서, 제1 패널은 복수의 냉음극 전계전자 방출소자를 구비하고,

각 냉음극전계전자방출소자는,

(a) 지지체와,

(b) 지지체 위에 형성된 캐소드 전극과,

(c) 지지체 및 캐소드 전극 위에 형성된 절연층과,

(d) 절연층 위에 형성된 게이트전극과,

(e) 게이트전극 및 절연층을 관통하는 개구부와,

(f) 개구부의 저부에 위치하는 캐소드 전극 부분의 위에 설치된 전자방출전극을 포함하며,

개구부의 저부에 노출된 전자방출전극이 전자 방출부에 대응하는 구조로 할 수 있다. 그리고, 이러한 구조를 편의상, 제1 구조를 가지는 냉음극 전계전자방출소자라고 부른다. 이러한 냉음극 전계전자방출소자의 형식으로서, 스핀트형(원추 모양의 전자방출전극이 개구부의 저부에 위치하는 캐소드 전극 부분의 위에 설치된 냉음극 전계전자방출소자), 크라운형(왕관 모양의 전자방출전극이 개구부의 저부에 위치하는 캐소드 전극의 부분 위에 설치된 냉음극 전계전자방출소자), 편평형(대략 평면의 전자방출전극이 개구부의 저부에 위치하는 캐소드 전극의 부분의 위에 설치된 냉음극 전계전자방출소자)을 들 수 있다.

또한, 본 발명의 제1 구성, 제2 구성 또는 제3 구성에 의한 평면형 표시 장치에 있어서, 제1 패널은 복수의 냉음극 전계전자방출소자를 구비하고,

각 냉음극 전계전자방출소자는,

(a) 지지체와,

(b) 지지체 위에 형성된 캐소드 전극과,

(c) 지지체 및 캐소드 전극 위에 형성된 절연층과,

(d) 절연층 위에 형성된 게이트전극과,

(e)게이트전극 및 절연층을 관통하여 저부에 캐소드 전극이 노출된 개구부를 포함하며,

개구부의 저부에 노출된 캐소드 전극 부분이 전자 방출부에 대응하는 구조로 할 수 있다. 그리고 이러한 구조를 편의상, 제2 구조를 가지는 냉음극 전계전자방출소자라고 부른다. 이러한 냉음극 전계전자방출소자의 형식으로서, 평탄한 캐소드 전극의 표면에서 전자를 방출하는 평면형 냉음극 전계전자방출소자, 요철이 형성된 캐소드 전극의 표면의 돌출부로부터 전자를 방출하는 크레이터(crater)형 냉음극 전계전자방출소자를 예시할 수 있다.

또한, 본 발명의 제1 구성, 제2 구성 또는 제3 구성에 의한 평면형 표시 장치에 있어서, 제1 패널은 복수의 냉음극 전계전자방출소자를 구비하고,

각 냉음극 전계전자방출소자는,

(a) 지지체와,

(b) 지지체의 위쪽 방향에 형성되고 에지부를 가지는 캐소드 전극과,

(c) 적어도 캐소드 전극 위에 형성된 절연층과,

(d) 절연층 위에 형성된 게이트전극과,

(e)적어도 게이트전극 및 절연층을 관통하는 개구부를 포함하며,

개구부의 저부 또는 측벽에 노출된 캐소드 전극의 에지부가 전자 방출부에 대응하는 구조로 할 수 있다. 그리고 이러한 구조를 편의상, 제3 구조를 가지는 냉음극 전계전자방출소자, 또는 에지형 냉음극 전계전자방출소자라고 부른다.

또한, 본 발명의 제1 구성, 제2 구성 또는 제3 구성에 의한 평면형 표시 장치에 있어서 제1 패널은 복수의 냉음극 전계전자방출소자를 구비하고,

각 냉음극 전계전자방출소자는,

(a) 지지체 위에 형성된 절연재료로 이루어지는 띠 모양의 스페이서,

(b) 복수의 개구부가 형성된 띠 모양 재료층으로 이루어지는 게이트전극, 및,

(c) 전자 방출부를 포함하며,

스페이서의 정상면에 접하도고 전자 방출부의 위쪽으로 개구부가 위치하도록 띠 모양 재료층이 배열되어 있다. 그리고, 이러한 구조를 편의상, 제4의 구조를 가지는 냉음극 전계전자방출소자라고 부른다. 제4의 구조를 가지는 냉음극 전계전자방출소자에 사용되는 전자 방출부로서 제1 구조 제3 구조를 가지는 냉음극 전계전자방출소자에 사용되는 각종 전자 방출전극이나 전자 방출부를 적용할 수가 있다.

전자 방출부를 구동하기 위한 전자 방출부 구동회로, 제1 구동회로, 제2 구동회로는 주지의 회로로 하면 된다. 또한 애노드전극 구동회로, 실드부재 인가회로도, 주지의 회로로 하면 된다.

본 발명의 제1 특징에 의한 평면형 표시 장치에 있어서의 전자 방출부 차단회로, 제1 차단회로, 제2 차단회로, 본 발명의 제3 특징에 의한 평면형 표시 장치에 있어서의 실드부재 차단회로는 이들 구성에 따라, 예를 들면, MOS형 FET(전계효과형 트랜지스터), MOS형 FET와 다이오드와의 조합, N 채널 MOS형과 P 채널 MOS 형 FET과의 조합, N 채널 MOS형과 P 채널 MOS형 FET과 다이오드와의 조합, TFT(박막트랜지스터), TFT와 다이오드와의 조합, N 채널형 TFT과 P 채널형 TFT과의 조합, N 채널형 TFT과 P 채널형 TFT과 다이오드와의 조합, 이들과 저항소자와의 조합 등으로 하면 된다. TFT으로서는, 바틈 게이트형, 탑 게이트형을 들 수 있다.

또한, 본 발명의 제1 특징에 의한 평면형 표시 장치에 있어서의 전자 방출부 차단회로, 제1 차단회로, 제2 차단회로, 본 발명의 제3 특징에 의한 평면형 표시 장치에 있어서의 실드부재 차단회로로서, 방전관이나 제너 다이오드를 들 수 있다. 또한, 방전관이나 제너 다이오드가 도통상태가 되기 위한 전위차는 이들의 오동작을 방지하기 위해 방전관이나 제너 다이오드가 접속된 구동회로의 출력전압의 최대치와 제1 소정 전위(V_{PD1})와의 전위차 보다 크고, 또한 방전관이나 제너 다이오드가 접속된 구동회로의 출력전압의 최소치와 제1 소정 전위(VPD1)와의 전위차 보다도 큰 것이 바람직하다.

본 발명의 제2 특징에 의한 평면형 표시 장치에 있어서의 애노드전극 차단회로로서, MOS형 FET과 저항소자와의 조합을 예시할 수가 있다.

전자 방출부 차단회로, 제1 차단회로, 제2 차단회로, 실드부재 차단회로를 예를 들면, 제1 패널 내에 내장해도 좋고, 전자 방출부 구동회로, 제1 구동회로, 제2 구동회로, 실드부재 인가회로 내에 내장해도 된다. 전자 방출부 차단회로, 제1 차단회로, 제2 차단회로, 실드부재 차단회로를 제1 패널내에 내장하는 경우, 전자 방출부 차단회로, 제1 차단회로, 제2 차단회로, 실드부재 차단회로를, 무효영역(실제표시화면으로서 기능하는 유효영역의 외측의 영역로서 진공공간내의 영역)안에 배치해도 프레임의 외측에 배치할 수도 있다.

애노드전극 차단회로, 실드부재 차단회로를, 예를 들면 제2 패널 내에 내장해도 좋고, 애노드전극 차단회로를 애노드전극 구동회로내에 내장해도 된다. 애노드전극 차단회로를 제2 패널 내에 내장하는 경우 애노드전극 차단회로를 무효영역내에 배치해도 좋고, 프레임의 외측에 배치할 수도 있다.

본 발명의 평면형 표시 장치에 있어서의 전자 방출부 차단회로, 제1 차단회로, 제2 차단회로, 애노드전극 차단회로, 또는 실드부재 차단회로에는 일단 이들 동작이 개시했으면 일정시간은 동작을 계속하도록 하기 위해 일종의 타이머가 구비되어 있어도 된다. 이러한 타이머로서 멀티 바이브레이타(multi vibrator)를 예시할 수가 있다.

제1 구조, 제2 구조 또는 제3 구조를 가지는 냉음극 전계전자방출소자에 있어서의 게이트전극을 구성하는 재료로서, 또한 실드부재를 구성하는 재료로서 텅스텐(W), 니오브(Nb), 탄탈(Ta), 티탄(Ti),몰리브덴(Mo),크롬(Cr),알루미늄(A1),동(Cu),금(Au),은(Ag),니켈(Ni),코발트(Co),지르코늄(Zr),철(Fe),백금(Pt) 및 아연(Zn)으로 이루어지는 군으로부터 선택된 적어도 1종류의 금속; 이들 금속원소를 포함하는 합금 또는 화합물 (예를 들면 TiN 등의 질화물이나, WSi_2, $MoSi_2$, $TiSi_2$, $TaSi_2$등의 실리사이드); 실리콘(Si)등의 반도체; ITO (indium tin oxide),산 화인듐, 산화아연 등의 도전성 금속산화물을 예시할 수가 있다. 게이트전극을 제작하기 위해서는, CVD법, 스퍼터링법, 증착법, 이온플레이팅법, 전해도금법, 무전해도금법, 스크린인쇄법, 레이저 연마(abrasion)법, 졸-겔법 등의 공지의 박막형성기술에 의해 전술한 구성 재료로 이루어지는 박막을 절연층상에 형성한다. 그리고, 박막을 절연층의 전면에 형성한 경우에는 공지의 패터닝 기술을 이용하여 박막을 패터닝하여, 스트라이프형의 게이트전극을 형성한다. 스트라이프형의 게이트전극의 형성 후 게이트전극에 개구부를 형성해도 좋고 스트라이프형의 게이트전극의 형성과 동시에 게이트전극에 개구부를 형성할 수도 있다. 또한, 게이트전극용 도전재료층을 형성하기 전의 절연층 위에 미리 레지스트 패턴을 형성해 두면, 리프트오프법에 의한 게이트전극의 형성이 가능하다. 나아가, 게이트전극의 형상으로 응한 개구부를 가지는 마스크를 이용하여 증착을 행하거나, 이러한 개구부를 가지는 스크린을 이용하여 스크린 인쇄를 행하면, 성막 뒤의 패터닝은 불필요하게 된다. 또한, 개구부를 가지는 띠모양 재료층을 미리 제작해 두고, 이러한 띠모양 재료층을 스페이서상에 고정함으로써 게이트전극을 설치하는 할 수도 있으며, 이에 따라 제4의 구조의 냉음극 전계전자방출소자를 얻을 수 있다.

스핀트형 냉음극 전계전자방출소자로 이루어지는 제1 구조를 가지는 냉음극 전계전자방출소자에서는, 전자방출전극을 구성하는 재료로서 텅스텐, 텅스텐합금, 몰리브덴, 몰리브덴합금, 티탄, 티탄합금, 니오브, 니오브합금, 탄탈, 탄탈 합금, 크롬 및 크롬합금, 불순물을 함유하는 실리콘 (폴리실리콘이나 아모퍼스실리콘)으로 이루어지는 군으로부터 선택된 적어도 1종류의 재료를 들 수 있다.

크라운형 냉음극 전계전자방출소자로 이루어지는 제1 구조를 가지는 냉음극 전계전자방출소자에서는, 전자방출전극을 구성하는 재료로서 도전성입자, 또는 도전성입자와 바인더의 조합을 들 수 있다. 도전성입자로서, 흑연등의 카본계재료; 텅스텐(W), 니오브(Nb), 탄탈(Ta), 티탄(Ti), 몰리브덴(Mo), 크롬(Cr) 등의 고융점금속; ITO등의 투명도전재료를 예로 들 수 있다. 바인더로서, 예를 들면 물유리와 같은 유리나 범용수지를 사용할 수가 있다. 범용수지로서, 염화비닐계수지, 폴리오레핀계 수지, 폴리아미드계 수지, 셀룰로오스 에스테르계 수지, 불소계 수지 등의 열 가소성계 수지나, 에폭시계수지, 아크릴계수지, 폴리에스테르계 수지 등의 열경화성 수지를 예시할 수가 있다. 전자방출효율의 향상을 위해, 도전성입자의 직경이 전자방출전극의 치수에 비해 충분히 작은 것이 바람직하다. 도전성입자의 형상은 구형, 다면체, 판형, 바늘모양, 원주, 부정형 등, 특히 한정되지 않지만 도전성입자의 노출부가 날카로운 돌기로 되어 있는 형상인 것이 바람직하다. 치수나 형상이 상이한 도전성입자를 혼합하여 사용할 수도 있다.

편평형 냉음극 전계전자방출소자로 이루어지는 제1 구조를 가지는 냉음극 전계전자방출소자에서는 전자방출전극을 구성하는 재료로서 캐소드 전극을 구성하는 재료보다도 일함수Φ가 작은 재료로 구성하는 것이 바람직하고, 어떠한 재료를 선택하는가는 캐소드 전극을 구성하는 재료의 일함수, 게이트전극과 캐소드 전극사이의 전위차, 요구되는 방출전자 전류밀도의 크기 등에 따라 결정하면 된다. 냉음극 전계전자방출소자에 있어서의 캐소드 전극을 구성하는 대표적인 재료로서, 텅스텐(Φ= 4.55 eV), 니오브(Φ= 4.02 4.87 eV), 몰리브덴(Φ= 4.53 4.95 eV), 알루미늄(Φ= 4.28 eV), 동(Φ= 4.6 eV), 탄탈(Φ= 4.3 eV), 크롬(Φ= 4.5 eV), 실리콘(Φ=4.9 eV)을 예시할 수가 있다. 전자방출전극은 이들 재료보다도 작은 일함수Φ를 가지고 있는 것이 바람직하고, 그 값은 대략 3eV 이하인 것이 바람직하다. 이러한 재료로서, 탄소(Φ< eV), 세슘(Φ=2.14 eV), LaB6(Φ = 2.66 2.76 eV), BaO(Φ= 1.6 2.7 eV), SrO (Φ= 1.25 1.6 eV), Y2O3 (Φ= 2.0 eV), CaO(Φ=1.6 1.86 eV), BaS (Φ= 2.05 eV), TiN (Φ= 2.92 eV), ZrN (Φ = 2.92 eV)을 예시할 수가 있다. 일함수Φ가 2eV 이하인 재료로부터 전자방출전극을 구성하는 것이 더욱 바람직하다. 또한, 전자방출전극을 구성하는 재료가 반드시 도전성을 구비하고 있을 필요는 없다.

특히 바람직한 전자방출전극의 구성 재료로서, 탄소 보다 구체적으로는 다이아몬드, 그 중에서도 아모포스 다이아몬드를 들 수 있다. 전자방출전극을 아모포스 다이아몬드로 구성하는 경우, 5×10^7 V/m 이하의 전계강도로써 평면형 표시장치에 필요한 방출전자 전류밀도를 얻을 수 있다. 또, 아모포스 다이아몬드는 전기저항체이기 때문에, 각 전자방출전극으로부터 얻어지는 방출전자전류를 균일화할 수가 있어 평면형 표시 장치에0 설치되는 경우의 휘도 편차의 억제가 가능하게 된다. 또한, 아모포스 다이아몬드는 평면형 표시 장치내의 잔류가스의 이온에 의한 스퍼터 작용에 대하여 매우 높은 내성을 가지기 때문에 냉음극 전계전자방출소자의 긴수명을 도모할 수 있다.

또한, 편평형 냉음극 전계전자방출소자로 이루어지는 제1 구조를 가지는 냉음극 전계전자방출소자에서는 전자방출전극을 구성하는 재료로서 이러한 재료의 2차전자이득δ이 캐소드 전극을 구성하는 도전성재료의 2차전자이득δ보다도 커지는 재료로부터 적당히 선택할 수도 있다. 즉, 은(Ag), 알루미늄(A1), 금(Au), 코발트(Co), 동(Cu), 몰리브덴(Mo), 니오브(Nb), 니켈(Ni), 백금(Pt), 탄탈(Ta), 텅스텐(W),지르코늄(Zr) 등의 금속; 실리콘(Si),게르마늄(Ge)등의 반도체; 탄소나 다이아몬드 등의 무기 단체; 및 산화알루미늄(Al_2O_3),산화바륨(BaO),산화베릴륨(BeO),산화칼슘(CaO), 산화마그네슘(MgO),산화주석(SnO_2),불화바륨(BaF_2),불화칼슘(CaF_2)등의 화합물 중에서 적당히 선택할 수가 있다. 또한, 전자방출전극을 구성하는 재료가 반드시 도전성을 구비하고 있을 필요는 없다.

제2 구조를 가지는 냉음극 전계전자방출소자(평면형 냉음극 전계전자방출소자 또는 크레이터형 냉음극 전계전자방출소자), 또는 제3 구조를 가지는 냉음극 전계전자방출소자(에지형 냉음극 전계전자방출소자)에서는 전자 방출부에 상당하는 캐소드 전극을 구성하는 재료로서 텅스텐(W)이나 탄탈(Ta), 니오브(Nb), 티탄(Ti), 몰리브덴(Mo), 크롬(Cr), 알루미늄(A1), 동(Cu), 금(Au), 은(Ag) 등의 금속, 또는 이들 합금이나 화합물 (예를 들면 TiN 등의 질화물이나, WSi_2, $MoSi_2$, $TiSi_2$, $TaSi_2$등의 실리사이드), 또는 다이아몬드 등의 반도체, 탄소박막을 예시할 수가 있다. 이러한 캐소드 전극의 두께는, 대략 0.05 0.5μm, 바람직하게는0.1 0.3μm의 범위로 하는 것이 바람직하지만, 이러한 범위에 한정되는 것이 아니다. 캐소드 전극의 형성방법으로서, 예를 들면 전자빔 증착법이나 열필라멘트 증착법, 스퍼터링법, CVD법이나 이온 플레이팅법과 에칭법과의 조합, 스크린인쇄법, 도금법 등을 들 수 있다. 스크린 인쇄법이나 도금법에 의하면 직접 스트라이프형의 캐소드 전극을 형성하는 것이 가능하다.

또한, 제2 구조(평면형 냉음극 전계전자방출소자 또는 크레이터형 냉음극 전계전자방출소자), 제3 구조를 가지는 냉음극 전계전자방출소자(에지형 냉음극 전계전자방출소자), 또는 편평형 냉음극 전계전자방출소자로 이루어지는 제1 구조를 가지는 냉음극 전계전자방출소자에서는 캐소드 전극이나 전자방출전극을, 도전성미립자를 분산시킨 도전성페이스트를 이용하여 형성할 수도 있다. 도전성미립자로서는 그래파이트분말; 산화바륨분말, 산화스트론튬분말, 금속분말의 적어도 일종을 혼합한 그래파이트분말; 질소, 인, 붕소, 트리아졸 등의 불순물을 포함하는 다이아몬드입자 또는 다이아몬드 같은 카본분말; 카본·나노·튜브분말; (Sr, Ba, Ca) CO_3분말; 실리콘·카바이드 분말을 예시할 수가 있다. 특히, 도전성미립자로서 그래파이트분말을 선택하는 것이 스레시홀드 전계의 저감이나 전자 방출부의 내구성의 관점에서 바람직하다. 도전성 미립자의 형상을, 구 모양, 비늘 조각 모양 외에 임의의 정형형상이나 부정형형상으로 할 수 있다. 또한 도전성미립자의 직경은 캐소드 전극이나 전자방출전극의 두께나 패턴 폭 이하면 된다. 입자의 직경이 작은 쪽이, 단위면적당의 방출전자수를 증대시킬 수 있지만, 지나치게 작으면 캐소드 전극이나 전자방출전극의 도전성이 열화될 우려가 있다. 따라서 바람직한 입자 직경의 범위는 대략 0.01 4.0μm 이다. 이러한 도전성미립자를 유리성분 기타 적당한 바인더와 혼합하여 도전성 페이스트를 조제하고, 이 도전성페이스트를 이용하여 스크린인쇄법에 의해 원하는 패턴을 형성한 뒤, 패턴을 소성함으로써 전자 방출부로서 기능하는 캐소드 전극이나 전자방출전극을 형성할 수가 있다. 또는 스핀코팅법과 에칭기술의 조합, 리프트오프법에 의해, 전자 방출부로서 기능하는 캐소드 전극이나 전자방출전극을 형성할 수도 있다.

또한, 스핀트형 냉음극 전계전자방출소자나 크라운형 냉음극 전계전자방출소자로 이루어지는 제1 구조를 가지는 냉음극 전계전자방출소자에서는 캐소드 전극을 구성하는 재료로서, 텅스텐(W), 니오브(Nb), 탄탈(Ta), 몰리브덴(Mo), 크롬(Cr), 알루미늄(A1), 동(Cu)등의 금속; 이들 금속원소를 포함하는 합금 또는 화합물 (예를 들면 TiN 등의 질화물이나, WSi_2, $MoSi_2$, $TiSi_2$, $TaSi_2$등의 실리사이드); 실리콘(Si)등의 반도체; 또는 ITO를 예시할 수가 있다. 캐소드 전극의 형성방법으로서, 예를 들면 전자빔 증착법이나 열필라멘트 증착법증착법, 스퍼터링법, CVD 법이나 이온 플레이팅법과 에칭법과의 조합, 스크린인쇄법, 도금법, 리프트 오프법등을 들 수 있다. 스크린인쇄법이나 도금법에 의하면 직접, 스트라이프형의 캐소드 전극을 형성하는 것이 가능하다.

제1 구성 제3 구성에 의한 평면형 표시 장치, 또는 제1 구조 제3 구조를 가지는 냉음극 전계전자방출소자를 구비한 평면형 표시 장치를 포함하는 본 발명의 평면형 표시 장치에 있어서, 제2 패널은 기판과 형광체층과 애노드전극을 포함하는 것이 바람직하다. 전자조사면은 제2 패널의 구조에 따르지만, 형광체층으로 구성되거나 애노드전극으로 구성된다.

애노드전극의 구성 재료는 평면형 표시 장치의 구성에 의해서 적당히 선택하면 된다. 즉, 평면형 표시 장치가 투과형(제2 패널이 표시면에 상당한다)으로서, 또한 기판상에 애노드전극과 형광체층이 이 순서로 적층되어 있는 경우에는, 기판뿐만 아니라 애노드 전극자체도 투명할 필요가 있어, ITO 등의 투명도전재료를 이용한다. 한편, 평면형 표시 장치가

반사형(제1 패널이 표시면에 상당한다)인 경우, 및 투과형이더라도 기판상에 형광체층과 애노드전극과가 이 순서로 적층되어 있는 경우에는, ITO 외에 캐소드 전극이나 게이트전극에 관련되어 상술한 재료를 적당히 선택하여 이용할 수 있다.

형광체층을 구성하는 형광체로서, 고속전자여기용 형광체나 저속전자여기용형광체를 이용할 수 있다. 평면형 표시 장치가 단색표시 장치인 경우, 형광체층은 특히 패터닝되어 있지 않더라도 된다. 또한, 평면형 표시 장치가 컬러표시 장치인 경우, 스트라이프형 또는 도트형으로 패터닝된 적(R),녹(G),청(B)의 삼원색에 대응하는 형광체층을 교대로 배치하는 것이 바람직하다. 그리고, 패터닝된 형광체층 사이의 간극은 표시화면의 콘트라스트 향상을 목적으로 한 블랙매트릭스로 설치하고 있더라도 된다.

애노드전극과 형광체층의 구성예로서, (1)기판 위에 애노드전극을 형성하여, 애노드전극 위에 형광체층을 형성하는 구성, (2)기판 위에 형광체층을 형성하고 형광체층 위에 애노드 전극을 형성하는 구성을 들 수 있다. 또한, (1)의 구성에 있어서, 형광체층의 위에, 애노드전극과 도통한 소위 메탈백막(metal back thin film)을 형성할 수도 있다. 또한, (2)의 구성에 있어서 애노드전극의 위에 메탈백막을 형성할 수도 있다.

스트라이프형의 게이트전극의 투영상과 스트라이프형의 캐소드 전극의 투영상이 직교하는 방향으로 연장되고 있는 것이 평면형 표시 장치의 구조의 간소화의 관점에서 바람직하다. 또한, 스트라이프형의 캐소드 전극과 스트라이프형의 게이트전극의 투영상이 중복되는 중복영역(1화소분의 영역 또는 1서브 픽셀분의 영역에 상당한다)에 전자 방출부 (하나 또는 복수의 냉음극 전계전자방출소자)가 설치되고 있고, 이러한 중복영역이 제1 패널의 유효영역 (실제 표시화면으로서 기능하는 영역)안에, 통상 2차원 매트릭스형으로 배열되어 있다.

제1 구조 제3 구조를 가지는 냉음극 전계전자방출소자에 있어서, 개구부의 평면형상(지지체 표면과 평행한 가상평면으로 개구부를 절단했을 때의 형상)은, 원형, 타원모양, 직사각형, 다각모양, 둥그스름을 띤 직사각형, 둥그스름을 띤 다각모양 등, 임의의 형상으로 할 수 있다. 개구부의 형성은, 예를 들면, 등방성 에칭, 이방성 에칭과 등방송 에칭의 조합에 따라 행할 수 있다. 게이트전극에 하나의 개구부를 설치하고, 이러한 게이트전극에 설치된 하나의 개구부와 연통되는 하나의 개구부를 절연층에 설치하고, 이러한 절연층에 설치된 개구부 내에 하나 또는 복수의 전자방출전극을 설치하더라도 좋고, 게이트전극에 복수의 개구부를 설치하고, 이러한 게이트전극에 설치된 복수의 개구부와 연통되는 하나의 개구부를 절연층에 설치하고, 이러한 절연층에 설치된 하나의 개구부내에 하나 또는 복수의 전자방출전극을 설치하더라도 된다.

절연층의 구성 재료로서, SiO_2, SiN, SiON, SOG(spin on glass),저융점 유리, 유리 페이스트를 단독 또는 적당히 조합시켜 사용할 수가 있다. 절연층의 형성에는, CVD법, 도포법, 스퍼터링법, 스크린 인쇄법등의 공지의 프로세스를 이용할 수 있다.

절연층을 격벽 모양으로 형성할 수도 있다. 이 경우, 격벽모양의 절연층을, 인접하는 스트라이프형의 캐소드 전극 사이의 영역, 또는 복수의 캐소드 전극을 1군의 캐소드 전극군으로 했을 때, 인접하는 캐소드 전극 사이의 영역에 형성하면 된다. 격벽상의 절연층을 구성하는 재료로서, 종래 공지의 절연재료를 사용할 수가 있어, 예를 들면, 널리 사용되고 있는 저융점 유리에 알루미나등의 금속산화물을 혼합한 재료를 이용할 수 있다. 격벽모양의 절연층의 형성방법으로서, 스크린인쇄법, 샌드 블래스트(sand blast)법, 드라이 필름법, 감광법을 예시할 수가 있다. 드라이 필름법은 지지체상에 감광성필름을 라미네이트하고, 노광 및 현상에 의해서 격벽모양의 절연층을 형성할 부위의 감광성필름을 제거하여, 제거에 의해서 생긴 개구부에 절연층재료를 설치하여 소성하는 방법이다. 감광성필름은 소성에 의해 연소 제거되고, 개구부에 설치된 격벽형성용 절연층재료가 남아 격벽모양의 절연층으로 된다. 감광법은 지지체 위에 감광성을 가지는 격벽

형성용 절연층재료를 형성하여, 노광 및 현상에 의해서 이 절연층 재료를 패터닝한 뒤, 소성을 행하는 방법이다. 제4의 구조를 가지는 냉음극 전계전자방출소자에 있어서의 절연재료로 이루어지는 띠모양은 같은 방법으로 형성할 수가 있다.

캐소드 전극과 전자방출전극 사이에 저항체층을 설치해도 된다. 또는 캐소드 전극의 표면 또는 그 에지부가 전자 방출부에 대응하는 경우, 캐소드 전극을 도전재료층, 저항체층, 전자 방출부에 대응하는 전자방출층의 3층구성으로 해도 된다. 저항체층을 설치함으로써 냉음극 전계전자방출소자의 동작안정화, 전자방출특성의 균일화를 도모할 수 있다. 저항체층을 구성하는 재료로서, 실리콘카바이드(SiC)카본계재료, SiN, 아모퍼스실리콘 등의 반도체재료, 산화루테늄(RuO_2),산화 탄탈, 질화 탄탈 등의 고융점 금속산화물을 예시할 수가 있다. 저항체층의 형성방법으로서 스퍼터링법이나 CVD 법이나 스크린인쇄법을 예시할 수가 있다. 저항값은 대강 1×10^5 $1\times 10^7\ \Omega$, 바람직하게는 수 MΩ이면 된다.

제1 패널을 구성하는 지지체 또는 제2 패널을 구성하는 기판은 적어도 표면이 절연성부재로 구성되면 좋으며, 유리기판, 표면에 절연막이 형성된 유리기판, 석영기판, 표면에 절연막이 형성된 석영기판, 표면에 절연막이 형성된 반도체기판을 예로 들 수 있다.

제1 패널과 제2 패널을 주연부에서 접합하는 경우, 접합은 접착층을 이용하여 행해도 좋고, 유리나 세라믹 등의 절연강성재료로 이루어지는 프레임과 접착층을 병용하여 행해도 된다. 프레임과 접착층을 병용하는 경우에는 프레임의 높이를 적당히 선택함으로써, 접착층만을 사용하는 경우에 비해 제1 패널과 제2 패널사이의 대향거리를 보다 길게 설정하는 것이 가능하다. 그리고 접착층의 구성 재료로서는 프릿트(frit) 유리가 일반적이지만, 융점이 120 400 °C 정도의 소위 저융점 금속재료를 사용할 수도 있다. 이러한 저융점 금속재료로서는 In(인듐: 융점157 °C); 인듐-금계의 저융점합금; $Sn_{80}\ Ag_{20}$ (융점220 370 °C), $Sn_{95}\ Cu_5$ (융점227 370 °C)등의 주석(Sn)계 고온땜납; $Pb_{97.5}\ Ag_{2.5}$ (융점304 °C), $Pb_{94.5}\ Ag_{5.5}$ (융점304 365 °C), $Pb_{97.5}\ Ag_{1.5}\ Sn_{1.0}$ (융점309 °C) 등의 납(Pb)계 고온땜납; $Zn_{95}\ Al_5$ (융점380 °C)등의 아연(Zn)계 고온땜납; Sn_5Pb_{95} (융점300 314 °C), Sn_2Pb_{98} (융점316 322 °C) 등의 주석-납계 표준땜납; $Au_{88}\ Ga_{12}$ (융점381 °C) 등의 용접 재료(이상의 첨자는 모두 원자%를 나타낸다)를 예시할 수가 있다.

제1 패널과 제2 패널과 프레임의 3자를 접합하는 경우 3자를 동시에 접합해도 좋고, 제1 단계에서 제1 패널 또는 제2 패널의 어느 한쪽과 프레임을 접합하고 제2 단계에서 제1 패널 또는 제2 패널의 다른 쪽(타면)과 프레임을 접합할 수도 있다. 3자 동시접합이나 제2 단계에서의 접합을 고진공 분위기속에서 행하면 제1 패널과 제2 패널과 프레임과 접착층에 의해 둘러싸인 공간은 접합과 동시에 진공으로 된다. 또는, 3자의 접합 종료 후, 제1 패널과 제2 패널과 프레임과 접착층에 의해 둘러싸인 공간을 배기하여 진공으로 할 수도 있다. 접합 후에 배기를 행하는 경우 접합시의 분위기의 압력은 상압/감압 중 어느 것이라도 좋고, 분위기를 구성하는 기체는 대기이더라도 좋고 질소가스나 주기율표0족에 속하는 가스(예를 들면 Ar 가스)를 포함하는 불활성가스가 될 수도 있다.

접합 후에 배기를 행하는 경우, 배기는 제1 패널 및/또는 제2 패널에 미리 접속된 팁관(tip tube)을 통하여 행할 수 있다. 팁관은, 전형적으로 유리관을 이용하여 구성되고, 제1 패널 및/또는 제2 패널의 무효영역에 설치된 관통부 주위에 프릿트유리 또는 전술한 저융점금속재료를 이용하여 접합되고, 공간이 소정의 진공도에 도달한 뒤 열융착에 의해서 봉합된다. 그리고, 이러한 봉합을 행하기 전에 평면형 표시 장치전체를 일단 가열한 후 온도를 내리면, 공간에 잔류가스를 방출시킬 수 있고 이 잔류가스를 배기에 의해 공간 밖으로 제거할 수가 있기 때문에 바람직하다.

본 발명의 제1 특징에 의한 평면형 표시 장치에서는, 전자 방출부와 전자조사면 사이의 방전을 방지하기 위해, 전자 방출부와 전자 방출부 구동회로 사이에 전자 방출부 차단회로가 설치되어 있기 때문에, 방전이 생긴 경우라도 전자 방출부와 전자 방출부 구동회로의 전기적인 접속은 전자 방출부 차단회로에 의해 즉시 차단된다. 또한, 본 발명의 제2 특징에 의한 평면형 표시 장치에서는, 전자 방출부와 전자조사면 사이의 방전을 방지하기 위해 애노드전극과 애노드전극 구동회로 사이에 애노드전극 차단회로가 설치되어 있기 때문에, 방전이 생긴 경우라도 애노드전극과 애노드전극 구동회로의 전기적인 접속은 애노드전극 차단회로에 의해 즉시 차단된다. 또한, 본 발명의 제3 특징에 의한 평면형 표시 장치에

서는, 실드부재와 전자조사면사이의 방전을 방지하기 위해 실드부재와 실드부재 전압인가수단 사이에 실드부재 차단회로가 설치되어 있기 때문에, 방전이 생긴 경우라도 실드부재와 실드부재 인가회로의 전기적인 접속은 실드부재 차단회로에 의해 즉시 차단되어 실드부재 인가회로, 전자 방출부나 전자 방출부 구동회로에 악영향이 생기는 일이 없다.

이하, 도면을 참조하여, 발명의 실시 형태에 기초하여 본 발명을 설명한다. 또한, 실시 형태1 실시 형태6에서, 본 발명의 제1 양태에 의한 각 구성의 평면형 표시 장치(구체적으로는, 냉음극 전계 전자 방출 표시 장치)를 설명하고, 실시 형태7에서, 본 발명의 제2 양태에 의한 평면형 표시 장치(구체적으로는, 냉음극 전계 전자 방출 표시 장치)를 설명하고, 실시 형태8 및 실시 형태9에서, 본 발명의 제3 형태에 의한 평면형 표시 장치(구체적으로는, 냉음극 전계 전자 방출 표시 장치)를 설명한다. 나아가서, 실시 형태10에 있어서, 여러가지의 냉음극 전계 전자 방출 소자(이하, 전계 방출 소자로 약칭한다)의 구조를 설명한다.

(실시 형태1)

실시 형태1은, 본 발명의 제1 양태에 의한 평면형 표시 장치(구체적으로는, 냉음극 전계 전자 방출 표시 장치)에 관한 것으로, 나아가서, 제1 구성의 평면형 표시 장치에 관한 것이다. 실시 형태1의 평면형 표시 장치의 개념도를 도 1에 나타내고, 모식적인 일부 단면도를 도 3에 나타낸다. 이 평면형 표시 장치는, 전자 방출부(16)를 가지는 제1 패널(캐소드 패널)(10)과, 전자 조사면을 가지는 제2 패널(애노드 패널)(20)과, 전자 방출부(16)를 구동하기 위한 전자 방출부 구동 회로(31, 34)를 구비하고, 전자 방출부(16)와 전자 조사면 사이의 방전을 방지하기 위해서, 전자 방출부(16)와 전자 방출부 구동 회로와의 사이에 전자 방출부 차단 회로가 설치되어 있다. 보다 구체적으로는, 실시 형태1의 평면형 표시 장치는, 스트라이프형의 게이트 전극(14)과, 스트라이프형의 게이트 전극(14)이 연장되는 방향과는 상이한 방향으로 연장되는 스트라이프형의 캐소드 전극(12)을 가지고, 전자 방출부(16)는 스트라이프형의 게이트 전극(14)의 투영상과, 스트라이프형의 캐소드 전극(12)의 투영상이 중복되는 중복 영역에 위치되어 있다. 전자 방출부 구동 회로는, 게이트 전극(14)에 접속된 제1 구동 회로(31)와, 캐소드 전극(12)에 접속된 제2 구동 회로(34)로 구성되어 있다. 그리고, 제1 구동 회로(31)는 전자 방출부 차단 회로(32)를 통하여 게이트 전극(14)에 접속되어 있다. 전자 방출부(16) 또는 스핀트형 전자 방출 전극(16A)의 구조에 대한 상세한 것은 후술한다.

제2 패널(20)은 유리 등으로 이루어지는 기판(21) 상에 매트릭스 형상 또는 스트라이프형으로 형성된 복수의 형광체층(22)과, 형광체층(22)의 사이를 메우는 블랙 매트릭스(23)와, 형광체층(22) 및 블랙 매트릭스(23)상의 전면에 형성된 애노드 전극(24)으로 구성된다. 애노드 전극(24)에는 게이트 전극(14)에 인가되는 정전압보다도 높은 정전압이 애노드 전극 구동 회로(37)로부터 인가되고, 애노드 전극(24)은 전자 방출 전극(16A)에서 진공 공간으로 방출된 전자를 형광체층(22)으로 향하게 유도하는 역할을 수행한다. 또, 애노드 전극(24)은 형광체층(22)을 구성하는 형광체 입자를 이온 등의 입자에 의한 스퍼터로부터 보호하는 동시에, 전자 여기에 의해서 발생되는 형광체층(22)의 발광을 기판(21)측으로 반사시키고, 기판(21)의 외측에서 관찰되는 표시 화면의 휘도를 향상시키는 기능도 가진다. 애노드 전극(24)은, 예를 들면, 알루미늄 박막으로 구성되어 있다.

전자 방출부 차단 회로(32)는 전자 방출부(16)와 전자 조사면(구체적으로는, 애노드 전극(24)과의 사이에 방전이 생기고 있지 않은 경우에는 동작하지 않는 상태로 있고, 전자 방출부(16)와 전자 조사면과의 사이에 방전이 생겼을 때, 동작한다. 구체적으로는, 전자 방출부 차단 회로(32)는 N 채널형의 보텀 게이트형 TFT (TR1, TR2, TR3・・・)와, 공통선(33)과, 저항 소자(저항 R)로 구성된다. 여기에서, 저항 R의 일단은, 공통선(33)에 접속되고 타단은 접지된다. 각 전자 방출부 차단 회로(32)를 구성하는 TFT (TRl, TR2, TR3・・・)의 한 쪽 소스/드레인 영역 및 게이트 영역은 제1 구동 회로(31)와 게이트 전극(14)과의 사이에 접속되어 있고, 다른 쪽의 소스/드레인 영역은 공통선(33)및 저항 R을 통하여 접지되어 있다. 전자 방출부 차단 회로(32)는 또한, 다이오드(D11, D21, D31・・・)로 구성되고, 이러한 다이오드(D11, D21, D3l・・・)가, TFT (TR1, TR2, TR3・・・)의 게이트 영역과 제1 구동 회로(게이트 전극 구동 회로)(31)의 사이에 배치되어 있다. 또, 캐소드 전극(12)은 제2 구동 회로(캐소드 전극 구동 회로)(34)에 접속되어 있고, 캐소드 전극(12)과 제2 구동 회로(34)사이에는 , 다이오드(D12, D22, D32・・・)가 배치되어 있다. 각 전자 방출부 차단 회로(32)를 구성하는 TFT (TRl, TR2, TR3・・・)는, 그들의 게이트 영역의 전위가 V_G 볼트 이하(예를 들면 160볼트 이하)에서는 완전히 비도통 상태이며, V'_G 볼트 이상(예를 들면 170볼트 이상)에서 완전히 도통 상태가 된다. 또한, V_G 볼트를 초과하여 V'_G 볼트 미만으로는 불안전한 도통 상태가 된다.

평면형 표시 장치에서 화상을 표시하는 경우에는, 발광할 화소를 구성하는 선택 게이트 전극에 정의 전압 V_{G-SL} (예를 들면 1 6 0볼트)를 인가한다. 한편, 발광시키지 않는 화소를 구성하는 비선택 게이트 전극에는 전압 V_{G-NSL} (예를 들면 0볼트)를 인가한다. 또, 발광할 화소를 구성하는 선택 캐소드 전극에 전압 V_{C-SL} (휘도에 대응하여 예를 들면 0볼트 이상, 30볼트 미만의 전압)을 인가한다. 한편, 발광시키지 않는 화소를 구성하는 비선택 캐소드 전극에 전압 V_{C-NSL} (예를 들면 30볼트)를 인가한다. 이 상태를 모식적으로 도 2의 (A)에 나타낸다. 따라서, 가장 밝은 화소에서의 캐소드 전극(12)과 게이트 전극(14)사이의 전위차는 160볼트이며, 가장 어두운 화소에서의 캐소드 전극(12)과 게이트 전극(14) 사이의 전위차는 130볼트이다. 또한, 도 2에 있어서, TFT (TR1, TR2, TR3・・・)를 단순히「TR」로 표시하고, 다이오드(D11, D21, D 31・・), 다이오드(D12, D22, D 32・・・)를 각각, 단순히「D1」,「D2」로 표시하였다. 또, 게이트 전극(14), 캐소드 전극(12)에 인가하는 전압을 각각 Vg, V_C로 나타내었다.

지금, 애노드 전극(24)과 게이트 전극(14)과의 사이에서 방전이 생기기 시작하면, 게이트 전극(14)의 전위는 시간에 따라 상승한다. 그리고, 게이트 전극(14)의 전위가 V'_G 이상이 되면, 이러한 게이트 전극(14)에 접속되어 있는 전자 방출부 차단 회로(32)를 구성하는 TFT (TR1, TR2, TR3・・・)가 완전히 도통 상태로 되고, 이러한 게이트 전극(14)은 저항 R을 통하여 접지된다. 이 상태를 모식적으로 도 2의 (B)에 나타낸다. 이러한 동작은, 수마이크로초로 완료된다. 그 결과, 평면형 표시 장치에서는 부분적으로 화면 표시가 이루어지지 않게 되지만, 제1 구동 회로(게이트 전극 구동 회로)(31)가 손상되는 것을 확실하게 회피할 수 있다. 또, 캐소드 전극(12)과 게이트 전극(14)사이의 전위차가 감소되고, 게이트 전극(14)이나 전자 방출부(16)의 영구적인 손상이 발생하지 않는다. 게이트 전극(14)의 전위가 저하되어 V_G 이하로 되면, 전자 방출부 차단 회로(32)를 구성하는 TFT (TR1, TR2, TR3・・・)가 완전히 비도통 상태가 된다. 그 결과, 평면형 표시 장치의 화면 표시 동작이 자동적으로 복구된다. 애노드 전극(24)과 게이트 전극(14)과의 사이에서의 방전이 없어질 때까지, 이상의 동작이 되풀이 된다. 또한, 전자 방출부 차단 회로(32)를 구성하는 TFT (TR1, TR2, TR3・・・)에 타이머를 접속해 두면, 일정한 시간이 경과할 때까지 전자 방출부 차단 회로(32)를 구성하는 TFT (TR1, TR2, TR3・・・)가 완전히 비도통 상태가 되는 것을 저지할 수가 있어, 한층 확실하게 애노드 전극(24)과 게이트 전극(14)과의 사이에서의 방전을 없앨 수 있다.

도 4에, 실시 형태1의 평면형 표시 장치의 변형 예를 나타낸다. 이 평면형 표시 장치에서는, 각 전자 방출부 차단 회로(32)를 구성하는 TFT (TR1, TR2, TR3・・・)의 다른 쪽의 소스/드레인 영역이 저항(R1, R2, R 3・・・) 각각을 통하여 접지되어 있는 점이, 도 1에 나타낸 평면형 표시 장치와 다르다. 기타 구성, 구조는 동일하다.

도 5에, 도 1에 나타낸 실시 형태1의 평면형 표시 장치의 변형 예를 나타낸다. 이 평면형 표시 장치에서는, 전자 방출부 차단 회로(32)를 구성하는 TFT (TR1, TR2, TR3・・・)의 다른 쪽의 소스/드레인 영역과 게이트 전극(14)과의 사이에 다이오드(D13, D23, D33・・・)가 배치되어 있는 점이, 도 1에 나타낸 평면형 표시 장치와 다르다. 기타 구성, 구조는 동일하다. 이와 같이, 다이오드(D13, D23, D33・・・)를 배치함으로써, 방전이 생기지 않은 게이트 전극(14)의 전위도 V'_G로 상승하여, 인접하는 게이트 전극(14)의 사이의 전위차에 의하여 게이트 전극(14)사이에 방전이 발생하는 것을 방지할 수 있다.

전자 방출부 차단 회로(32)를 구성하는 TFT (TRl, TR2, TR3・・・)나 다이오드(D11, D21, D31・・・) 등은, 무효 영역에 공지의 TFT 제조 기술 및 다이오드 제조 기술에 기초하여 형성할 수 있다. TFT는 바틈게이트형 뿐만 아니라 탑게이트형도 된다. TFT (TR1, TR2, TR3・・・)나 다이오드(D11, D21, D31・・・) 등을 제1 패널 상에 형성한 후, 후술하는 전계 방출 소자를 제조하는 것이 바람직하다. 또한, 전자 방출부 차단 회로(32)를 구성하는 TFT (TR1, TR2, TR3・・・)나 다이오드(D11, D21, D31・・・) 등을, 제1 패널(10)과 제2 패널(20)이 접합된 부분보다도 외측의 영역(외주부라고 부른다)의 제1 패널(10)상에 형성하여도 좋고, 무효 영역과 외주부에 적당히 형성하여도 좋다. 또는 전자 방출부 차단 회로(32)를 구성하는 트랜지스터를 MOS 형 FET 로 구성할 수도 있다. 나아가서, 전자 방출부 차단 회로(32)를 제1 구동 회로(31)내에 내장하여도 된다. 이하에 설명하는 실시 형태2 또는 실시 형태3에서의 전자 방출부 차단 회로, 제1 차단 회로, 제2 차단 회로에 관해서도 동일할 수 있다.

(실시 형태2)

실시 형태2는, 본 발명의 제1 양태에 의한 평면형 표시 장치에 관한 것으로, 나아가서, 제2 구성의 평면형 표시 장치에 관한 것이다. 실시 형태2의 평면형 표시 장치의 개념도를 도 6에 나타내고, 모식적인 일부 단면도를 도 8에 나타낸다. 이 평면형 표시 장치는, 스트라이프형의 게이트 전극(14)과, 스트라이프형의 게이트 전극(14)이 연장되는 방향과는 다른 방향으로 연장되는 스트라이프형의 캐소드 전극(12)을 가지고, 전자 방출부(16)는 스트라이프형의 게이트 전극(14)의 투영상과, 스트라이프형의 캐소드 전극(12)의 투영상이 중복되는 중복 영역에 위치하고 있다. 전자 방출부 구동 회로는 게이트 전극(14)에 접속된 제1 구동 회로(31)와, 캐소드 전극(12)에 접속된 제2 구동 회로(34)로 구성되어 있다. 그리고, 제2 구동 회로(34)는 전자 방출부 차단 회로(35)를 통하여 캐소드 전극(12)에 접속되어 있다.

제2 패널(20)의 구조는 실시 형태1에서 설명한 제2 패널(20)과 동일하게 할 수 있기 때문에, 상세한 설명은 생략한다.

전자 방출부 차단 회로(35)는 전자 방출부(16)와 전자 조사면(구체적으로는, 애노드 전극(24))과의 사이에 방전이 생기지 않는 경우에는 동작하지 않는 상태로 있고, 전자 방출부(16)와 전자 조사면 사이에 방전이 생겼을 때 동작한다. 구체적으로는, 전자 방출부 차단 회로(35)는 N 채널형의 바틈 게이트형 TFT (TR1, TR2, TR3・・・)로 구성된다. 각 전자 방출부 차단 회로(35)를 구성하는 TFT (TR1, TR2, TR3・・・)의 한 쪽 소스/드레인 영역 및 게이트 영역은, 제2 구동 회로(34)와 캐소드 전극(12) 사이에 접속되어 있고, 다른 쪽의 소스/드레인 영역은 공통선(36)을 통하여 소정의 전위를 가지는 전원 Vd에 접속되어 있다. 전자 방출부 차단 회로(35)는 또한, 다이오드(D12, D22, D32・・・)로 구성되고, 이러한 다이오드(D12, D22, D32・・・)가 전자 방출부 차단 회로(35)를 구성하는 TFT (TR1, TR2, TR3・・・)와 제2 구동 회로(캐소드 전극 구동 회로)(34) 사이에 배치되어 있다. 또, 게이트 전극(14)은 제1 구동 회로(게이트 전극 구동 회로)(31)에 접속되어 있고, 게이트 전극(14)과 제1 구동 회로(31) 사이에는 다이오드(D11, D21, D3l・・)가 배치되어 있다. 각 전자 방출부 차단 회로(35)를 구성하는 TFT (TR1, TR2, TR3・・・)는 그들의 게이트 영역의 전위가 V_C볼트 이하(단지, $V_C > VC-S_{L)에서}$ 는 완전히 비도통 상태이고, V'C볼트 이상(단지, V'C> $_V$C)에서 완$_{전}$히 도통 상태가 된다. 또한, VC볼트를 초$_{과}$하고 V'C볼트 미만$_{에}$서는 불완전한 도통 상태가 된다.

평면형 표시 장치에서 화상을 표시하는 경우에는, 발광할 화소를 구성하는 선택 게이트 전극에 정의 전압 V_{G-SL} (예를 들면 160볼트)를 인가한다. 한편, 발광시키지 않는 화소를 구성하는 비선택 게이트 전극에는 전압 V_{G-NSL} (예를 들면 0볼트)를 인가한다. 또, 발광할 화소를 구성하는 선택 캐소드 전극에 전압 V_{C-SL} (휘도에 따라, 예를 들면 0볼트 이상, 30볼트 미만의 전압)을 인가한다. 한편, 발광시키지 않는 화소를 구성하는 비선택 캐소드 전극에 전압 V_{C-NSL} (예를 들면 30볼트)를 인가한다. 이 상태를 모식적으로 도 7의 (A)에 나타낸다. 따라서, 가장 밝은 화소에서의 캐소드 전극(12)과 게이트 전극(14)사이의 전위차는 160볼트이며, 가장 어두운 화소에서의 캐소드 전극(12)과 게이트 전극(14)사이의 전위차는 130볼트이다. 또한, 도 7에 있어서, TFT (TR1, TR2, TR3・・・)를 단순히「TR」로 표시하고, 다이오드(D11, D2l, D31・・・), 다이오드(D12, D22, D32・・・)를 각각 단순히「D1」, 「D2」로 표시했다. 또, 게이트 전극(14), 캐소드 전극(12)에 인가하는 전압을 각각 「Vg」, 「Vc」로 나타내었다.

지금, 애노드 전극(24)과 게이트 전극(14) 사이에서 방전이 생기기 시작하면, 게이트 전극(14)의 전위는 시간에 따라 상승한다. 그러나, 게이트 전극(14)과 제1 구동 회로(게이트 전극 구동 회로)(31) 사이에는 다이오드(D11, D21, D31···)가 배치되어 있기 때문에, 제1 구동 회로(31)에 손상이 발생하는 것을 방지할 수 있다. 게이트 전극(14)의 전위가 시간에 따라 상승하는 결과, 캐소드 전극(12)에도 방전이 발생하여 캐소드 전극(12)의 전위도 증대된다. 그러나, 캐소드 전극(12)의 전위가 V'_C이상이 되면, 이러한 캐소드 전극(12)에 접속되어 있는 전자 방출부 차단 회로(35)를 구성하는 TFT (TR1, TR2, TR3···)가 완전히 도통 상태로 되고, 캐소드 전극12의 전위가 Vd 볼트가 된다. 이 상태를 모식적으로 도 7의 (B)에 나타낸다. 이러한 동작은 수마이크로초로 완료된다. 그 결과, 평면형 표시 장치에서는 부분적으로 화면 표시가 이루어지지 않게 되지만, 제2 구동 회로(캐소드 전극 구동 회로)(34)가 손상되는 것을 확실하게 회피할 수 있다. 또, 전자 방출부(16)의 영구적인 손상이 발생하는 것도 방지할 수 있다. 그리고, 캐소드 전극(12)의 전위가 저하되어 V_C이하로 되면, 전자 방출부 차단 회로(35)를 구성하는 TFT (TR1, TR2, TR3···)가 완전히 비도통 상태가 된다. 그 결과, 평면형 표시 장치의 화면 표시 동작이 자동적으로 복구된다. 애노드 전극(24)과 캐소드 전극(12) 사이에서의 방전이 없어질 때까지 이상의 동작이 되풀이된다. 또한, 전자 방출부 차단 회로(35)를 구성하는 TFT (TR1, TR2, TR3···)에 타이머를 접속해 두면, 일정한 시간이 경과할 때까지, 전자 방출부 차단 회로(35)를 구성하는 TFT (TR1, TR2, TR3···)가 완전히 비도통 상태가 되는 것을 저지할 수가 있어, 한층 확실하게 애노드 전극(24)과 캐소드 전극(12) 사이에서의 방전을 없앨 수 있다.

(실시 형태3)

실시 형태3은, 본 발명의 제1 양태에 의한 평면형 표시 장치에 관한 것으로, 나아가서, 제3 구성의 평면형 표시 장치에 관한 것이다. 실시 형태3의 평면 형표시 장치의 개념도를 도 9에 나타내고, 모식적인 일부 단면도를 도 11에 나타낸다. 실시 형태3의 평면형 표시 장치는, 스트라이프형의 게이트 전극(14)과, 스트라이프형의 게이트 전극(14)이 연장되는 방향과는 다른 방향으로 연장되는 스트라이프형의 캐소드 전극(12)을 가지고, 전자 방출부(16)는, 스트라이프형의 게이트 전극(14)의 투영상과 스트라이프형의 캐소드 전극(12)의 투영상이 중복되는 중복 영역에 위치하고 있다. 그리고, 전자 방출부 구동 회로는, 게이트 전극(14)에 접속된 제1 구동 회로(게이트 전극 구동 회로)(31)와, 캐소드 전극(12)에 접속된 제2 구동 회로(캐소드 전극 구동 회로)(34)로 구성되어 있다. 또, 전자 방출부 차단 회로는, 게이트 전극(14)과 제1 구동 회로(31) 사이에 설치된 제1 차단 회로(32A)와, 캐소드 전극(12)과 제2 구동 회로(34) 사이에 설치된 제2 차단 회로(35A)로 구성되어 있다.

제2 패널(20)의 구조는 실시 형태1에서 설명한 제2 패널(20)과 동일하게 할 수 있기 때문에 상세한 설명은 생략한다.

전자 방출부(16)와 전자 조사면 사이에 방전이 생기고 있지 않은 경우에는, 제1 및 제2 차단 회로(32A, 35A)는 동작하지 않는 상태로 있고, 전자 방출부(16)와 전자 조사면 사이에 방전이 생겼을 때, 제1 차단 회로(32A)가 동작하며, 제1 차단 회로(32A) 동작에 기초하여 제2 차단 회로(35A)가 동작한다. 구체적으로는, 제1 차단 회로(32A)는, N 채널형의 바틈 게이트형 TFT (TR11, TR21, TR31···)로 구성된다. 또한, 이러한 TFT를 제1 TFT라고 부른다. 각 제1 차단 회로(32A)를 구성하는 이들 제1 TFT (TR11, TR21, TR31···)의 한 쪽 소스/드레인 영역 및 게이트 영역은, 제1 구동 회로(31)와 게이트 전극(14) 사이에 접속되어 있고, 다른 쪽(타면)의 소스/드레인 영역은, 전자 방출부 차단 회로를 구성하는 공통선(33)에 접속되어 있다. 제1 차단 회로(32A)는 또한, 다이오드(D1l, D21, D31···)로 구성되고, 이러한 다이오드(D11, D21, D31···)가 제1 TFT (TR11, TR21, TR31···)의 게이트 영역과 제1 구동 회로(게이트 전극 구동 회로)(31) 사이에 배치되어 있다.

한편, 제2 차단 회로(35A)는 P 채널형의 바틈 게이트형 TFT (TR12, TR22, TR32···)와, N 채널형의 바틈 게이트형 TFT (TR13, TR23, TR33···)로 구성된다. 또한, P 채널형의 바틈 게이트형 TFT (TR12, TR22, TR32···)를 제2 TFT라고 부르고, N 채널형의 바틈 게이트형 TFT (TR13, TR23, TR33···)를 제3 TFT라고 부른다. 각 제2 차단 회로(35A)를 구성하는 제2 TFT (TR12, TR22, TR32···)의 한 쪽 소스/드레인 영역은 제2 구동 회로(34)와 캐소드 전극(12) 사이에 접속되어 있고, 다른 쪽의 소스/드레인 영역 및 게이트 영역은 공통선(33)

에 접속되고, 또한 전자 방출부 차단 회로를 구성하는 저항(R1, R2, R3・・・)을 통하여 접지되어 있다. 또, 각 제2 차단 회로(35A)를 구성하는 제3 TFT (TR13, TR23, TR33・・・)의 한 쪽 소스/드레인 영역은 제2 TFT (TR12, TR22, TR32・・・)의 한 쪽 소스/드레인 영역에 접속되어 있고, 다른 쪽의 소스/드레인 영역은 제2 구동 회로(34)에 접속되어 있으며, 제3 TFT (TR13, TR23, TR33・・・)의 게이트 영역은 제2 TFT (TR12, TR22, TR32・・・)의 다른 쪽의 소스/드레인 영역에 접속되어 있다.

제1 차단 회로(32A)를 구성하는 제1 TFT (TR11, TR2l, TR31・・), 및, 제2 차단 회로(35A)를 구성하는 제2 TFT (TR12, TR22, TR32・・・)는, 그들의 게이트 영역의 전위가 V_G볼트 이하(예를 들면 160볼트 이하)에서는 완전히 비도통 상태이며, V'_G볼트 이상(예를 들면 170볼트 이상)에서 완전히 도통 상태가 된다. 또한, V_G볼트를 넘고 V'_G볼트 미만에서는 불완전한 도통 상태가 된다. 한편, 제2 차단 회로(35A)를 구성하는 제3 TFT (TR13, TR23, TR33・・・)는 그들의 게이트 영역의 전위가 V_C볼트 이하($V_G \geq V_C$이며, 예를 들면 150볼트 이하)에서는 완전히 도통 상태이고, V'_C볼트 이상($V'_C \geq V'_C$이며, 예를 들면 160볼트 이상)에서 완전히 비도통 상태가 된다. 또한, V_C볼트를 넘고 V'_C볼트 미만에서는 불완전한 도통 상태가 된다.

평면형 표시 장치에서 화상을 표시하는 경우에는, 발광할 화소를 구성하는 선택 게이트 전극에 정의 전압 V_{G-SL} (예를 들면 1 6 0볼트)을 인가한다. 한편, 발광시키지 않는 화소를 구성하는 비선택 게이트 전극에는 전압 V_{G-NSL} (예를 들면 O 볼트)를 인가한다. 또, 발광할 화소를 구성하는 선택 캐소드 전극에 전압 V_{C-SL} (휘도에 대응하여 예를 들면 O 볼트 이상, 30볼트 미만의 전압)을 인가한다. 한편, 발광시키지 않는 화소를 구성하는 비선택 캐소드 전극에 전압 V_{C-NSL} (예를 들면 30볼트)를 인가한다. 이 상태를 모식적으로 도 10의 (A)에 나타낸다. 따라서, 가장 밝은 화소에서의 캐소드 전극(12)과 게이트 전극(14) 사이의 전위차는 160볼트이며, 가장 어두운 화소에서의 캐소드 전극(12)과 게이트 전극(14) 사이의 전위차는 130볼트이다. 또한, 도 10에 있어서, 제1 TFT (TR11, TR21, TR31・・・), 제2 TFT (TR12, TR22, TR32・・・) 및 제3 TFT (TR13, TR23, TR33・・・)의 각각을 단순히「TR1」, 「TR2」, 「TR3」로 표시하고, 다이오드(D1, D2, D3・・・)를 단순히「D」로 표시하며, 저항(R1, R2, R3・・・)을 단순히「R」로 표시한다. 또, 게이트 전극(14), 및 캐소드 전극(12)에 인가하는 전압을 각각 「Vg」, 「V_C」로 나타내었다.

지금, 애노드 전극(24)과 게이트 전극(14) 사이에서 방전이 생기기 시작하면, 게이트 전극(14)의 전위는 시간에 따라 상승한다. 그리고, 게이트 전극(14)의 전위가 V'_G이상이 되면, 이러한 게이트 전극(14)에 접속되어 있는 제1 차단 회로(32A)를 구성하는 제1 TFT (TR11, TR21, TR31・・・)가 완전히 도통 상태로 되고, 공통선(33)의 전위도 V'_G볼트가 된다. 그 결과, 공통선(33)에 접속되어 있는 제2 차단 회로(35A)를 구성하는 제2 TFT (TR12, TR22, TR32・・・) 모두도 완전히 도통 상태가 된다. 한편, 제2 차단 회로(35A)를 구성하는 제3 TFT (TR13, TR23, TR33・・・)는 완전히 비도통 상태가 된다. 이 상태를 모식적으로 도 10의 (B)에 나타낸다. 이러한 동작은 수마이크로초로 완료된다. 이상의 결과로서, 평면형 표시 장치에서는 화면 표시가 이루어지지 않게 되지만, 제1 구동 회로(게이트 전극 구동 회로)(31) 및 제2 구동 회로(캐소드 전극 구동 회로)(34)가 손상되는 것을 확실하게 회피할 수 있다. 또, 캐소드 전극(12)과 게이트 전극(14) 사이의 전위차가 증대되는 것도 없고, 게이트 전극(14)이나 전자 방출부(16)의 영구적인 손상이 발생하는 것도 없다. 그리고, 게이트 전극(14)의 전위가 저하되어 V_G이하로 되면 , 제1 차단 회로(32A)를 구성하는 제1 TFT (TR11, TR21, TR31・・・)가 완전히 비도통 상태로 되고, 그 결과, 제2 차단 회로(35A)를 구성하는 제2 TFT (TR12, TR22, TR32・・・)도 완전히 비도통 상태가 되고, 제3 TFT (TR13, TR23, TR33・・・)가 완전히 도통 상태가 된다. 그 결과, 평면형 표시 장치의 화면 표시 동작이 자동적으로 복구된다. 애노드 전극(24)과 게이트 전극(14) 사이의 방전이 없어질 때까지 이상의 동작이 되풀이된다. 또한, 제1 차단 회로(32A)를 구성하는 제1 TFT (TR11, TR21, TR31・・・)에 타이머를 접속해 두면, 일정한 시간이 경과할 때까지 제1 차단 회로(32A)를 구성하는 제1 TFT (TR11, TR21, TR31・・・)가 완전히 비도통 상태가 되는 것을 저지할 수가 있어, 한층 확실하게 애노드 전극(24)과 게이트 전극(14) 사이의 방전을 없앨 수 있다.

도 12에, 실시 형태3의 평면형 표시 장치의 변형 예를 나타낸다. 이 평면형 표시 장치에서는 각 제1 차단 회로(32A)를 구성하는 제1 TFT (TR3l, TR32, TR33・・・)의 다른 쪽의 소스/드레인 영역과 게이트 전극(14) 사이에 다이오드(D12, D22, D32・・・)가 배치되어 있는 점이, 도 9에 나타낸 평면형 표시 장치와 다르다. 기타 구성, 구조는 동일하다. 이와 같이 다이오드(D12, D22, D32・・・)를 배치함으로써, 방전이 생기고 있지 않은 게이트 전극(14)의 전위도 V'_G로 상승하여, 인접하는 게이트 전극(14)사이의 전위차에 의해서 게이트 전극(14) 사이에 방전이 발생하는 것을 방지할 수 있다.

도 13에, 실시 형태3의 평면형 표시 장치의 별도의 변형 예를 나타낸다. 이 평면형 표시 장치에서, 각 제2 차단 회로(35A)는 제2 TFT (TR2l, TR22, TR32・・・)와 다이오드(D12, D22, D32・・・)로 구성된다. 그리고, 제2 TFT (TR21, TR22, TR32・・・)의 한 쪽 소스/드레인 영역은 캐소드 전극(12)에 접속되고, 다른 쪽의 소스/드레인 영역은 다이오드(D12, D22, D32・・・)의 일단에 접속되어 있다. 또, 제2 TFT (TR21, TR22, TR32・・・)의 게이트 영역은 공통선(33)에 접속되어 있다. 다이오드(D12, D22, D32・・・)의 타단은 제2 구동 회로(34)에 접속되어 있다.

제1 차단 회로(32A)를 구성하는 제1 TFT (TR11, TR21, TR31・・・)는 그들의 게이트 영역의 전위가 V_G 볼트 이하(예를 들면 160볼트 이하)에서는 완전히 비도통 상태이고, V'_G 볼트 이상(예를 들면 170볼트 이상)에서 완전히 도통 상태가 된다. 또한, V_G 볼트를 넘고 V'_G 볼트 미만에서는 불완전한 도통 상태가 된다. 한편, 제2 차단 회로(35A)를 구성하는 제2 TFT (TR12, TR22, TR32・・・)는 그들의 게이트 영역의 전위가 V_C 볼트 이하($V_G \geq V_C$이며, 예를 들면 150볼트 이하)에서는 완전히 도통 상태이고, V'_C 볼트 이상($V'_G \geq V'_C$이며, 예를 들면 160볼트 이상)에서 완전히 비도통 상태가 된다. 또한, V_C 볼트를 넘고 V'_C 볼트 미만에서는 불완전한 도통 상태가 된다.

지금, 애노드 전극(24)과 게이트 전극(14) 사이에서 방전이 생기기 시작하면 게이트 전극(14)의 전위는 시간에 따라 상승한다. 그리고, 게이트 전극(14)의 전위가 V'_G 이상이 되면, 이러한 게이트 전극(14)에 접속되어 있는 제1 차단 회로(32A)를 구성하는 제1 TFT (TR11, TR21, TR31・・・)가 완전히 도통 상태로 되고, 공통선(33)의 전위도 V'_G 볼트로 된다. 그 결과, 공통선(33)에 접속되어 있는 제2 차단 회로(35A)를 구성하는 제2 TFT (TR12, TR22, TR32・・・) 모두는 완전히 비도통 상태가 된다. 이상의 결과로서, 평면형 표시 장치에서 화면 표시가 이루어지지 않게 되지만, 제1 구동 회로(게이트 전극 구동 회로)(31) 및 제2 구동 회로(캐소드 전극 구동 회로)(34)가 손상되는 것을 확실하게 회피할 수 있다. 또, 캐소드 전극(12)과 게이트 전극(14) 사이의 전위차가 그다지 증대되지 않고, 게이트 전극(14)이나 전자 방출부(16)의 영구적인 손상이 발생하는 것도 없다. 그리고, 게이트 전극(14)의 전위가 저하되어 V_G 이하로 되면, 제1 차단 회로(32A)를 구성하는 제1 TFT (TR11, TR21, TR31・・・)는 완전히 비도통 상태로 되고, 제2 차단 회로(35A)를 구성하는 제2 TFT (TR12, TR22, TR32・・・)가 완전히 도통 상태가 된다. 그 결과, 평면형 표시 장치의 화면 표시 동작이 자동적으로 복구된다. 애노드 전극(24)과 게이트 전극(14) 사이의 방전이 없어질 때까지 이상의 동작이 되풀이된다. 또한, 제1 차단 회로(32A)를 구성하는 제1 TFT (TR11, TR21, TR31・・・)에 타이머를 접속해 두면, 일정한 시간이 경과할 때까지 제1 차단 회로(32A)를 구성하는 제1 TFT (TR11, TR21, TR31・・・)가 완전히 비도통 상태가 되는 것을 저지할 수가 있어, 한층 확실하게 애노드 전극(24)과 게이트 전극(14) 사이의 방전을 없앨 수 있다.

도 14에, 도 13에 나타낸 실시 형태3의 평면형 표시 장치의 변형 예를 나타낸다. 이 평면형 표시 장치에서는 각 제1 차단 회로(32A)를 구성하는 제1 TFT(TR31, TR32, TR33・・・)의 다른 쪽의 소스/드레인 영역과 게이트 전극(14) 사이에 다이오드(D13, D23, D33・・・)가 배치되어 있는 점이, 도 13에 나타낸 평면형 표시 장치와 다르다. 기타 구성, 구조는 동일하다. 이와 같이, 다이오드(D13, D23, D33・・・)를 배치함으로써, 방전이 생기고 있지 않은 게이트 전극(14)의 전위도 V'_G로 상승하여, 인접하는 게이트 전극(14) 사이의 전위차에 의해서 게이트 전극(14) 사이에 방전이 발생하는 것을 방지할 수 있다.

(실시 형태4)

실시 형태4는, 실시 형태1의 평면형 표시 장치의 변형에 관한 것이다.

실시 형태1　실시 형태3에서는, 방전이 생기기 시작하고 전자 방출부 차단 회로가 동작하기까지의 시간을 충분히 짧게 하기 위해서, 전자 방출부 차단 회로를 구성하는 각종 트랜지스터의 동작 속도가 충분히 빠른 것이 요구된다. 또, 트랜지스터를 배치하는 위치에 의존하여 충분히 높은 내압을 가지는 트랜지스터를 사용해야 한다.

실시 형태4, 또는, 후술하는 실시 형태5 및 실시 형태6에서는, 전자 방출부 차단 회로를 방전관 또는 제너 다이오드로 구성하는 것에 의하여, 전자 방출부 차단 회로의 고속응답, 고내압을 용이하게 실현할 수 있다.

도 15에, 실시 형태4의 평면형 표시 장치의 개념도를 나타낸다. 이 평면형 표시 장치는 도 1에 나타낸 실시 형태1의 평면형 표시 장치의 변형이다. 또한, 모식적인 일부 단면도는 도 3에 나타낸 바와 동일하다.

전자 방출부 차단 회로(32B)는 구체적으로는, 방전관 DC(DC1, DC2, DC・・・)와 공통선(33)으로 구성되어 있다. 각 방전관 DC의 일단은 제1 구동 회로(31)와 게이트 전극(14) 사이에 접속되어 있고, 타단은 공통선(33)에 접속되어 있다. 전자 방출부 차단 회로(32B)를 구성하는 방전관 DC에는 공통선(33)을 통하여 제1 소정 전위(V_{PD1})가 인가된다. 그리고, 전자 방출부 차단 회로(32B)에 접속된 전자 방출부 부분(게이트 전극(14))의 전위가 전자 방출부와 전자 조사면 사이의 방전에 의해서 제2 소정 전위(V_{PD2})로 되었을 때, 제1 소정 전위와 제2 소정 전위의 전위차($V_{PD2}-V_{PD1}$)에 따라 전자 방출부 차단 회로(32B)를 구성하는 방전관 DC가 동작한다. 구체적으로는, 공통선(33)에는 제1 소정 전위(V_{PD1} = 80볼트)가 인가된다. 또, 작동 전압이 90볼트의 방전관 DC를 사용했다. 따라서, 전자 방출부 차단 회로(32B)에 접속된 전자 방출부 부분(게이트 전극(14))의 전위가 전자 방출부와 전자 조사면 사이의 방전에 의해서 제2 소정 전위(V_{PD2}, 160볼트를 넘어, 예를 들면 170볼트)로 되었을 때, 전자 방출부 차단 회로(32B)를 구성하는 방전관 DC가 동작한다. 또한, 방전관 DC가 도통 상태가 되기 위한 전위차는 방전관 DC의 오동작을 방지하는 관점에서, 방전관 DC가 접속된 제1 구동 회로(31)의 출력 전압의 최대치와 제1 소정 전위(V_{PD1})와의 전위차보다도 크고, 또한, 방전관 DC가 접속된 제1 구동 회로(31)의 출력 전압의 최소치와 제1 소정 전위(V_{PD1})와의 전위차보다도 큰 것이 바람직하다.

또한, 전자 방출부 구동 회로인 제1 구동 회로(게이트 전극 구동 회로)(31)의 파괴 전압을 V_{COLAPS}, 제1 구동 회로(게이트 전극 구동 회로)(31)의 출력 전압의 최대치를 $V_{OUT-MAX}$로 했을 때, $|V_{OUT-MAX}-V_{PD1}| < VCOL_{APSE}$를 만족하고, 또는 전자 방출부 구동 회로인 제1 구동 회로(게이트 전극 구동 회로)(31)의 파괴 전류를 $ICOL_{APSE}$, 제1 구동 회로(게이트 전극 구동 회로)(31)와 게이트 전극(14) 사이의 저항치를 REMISSION으로 했을 때, $|VOU--MAX-VPD1| < REMISSI_{ON}\cdot ICOL APS_{E}$를 만족한다. 이것을 만족함으로써, 제1 소정 전위(VpDl)에 의해 제1 구동 회로(게이트 전극 구동 회로)(31)가 파괴되는 것을 방지할 수 있다.

지금, 애노드 전극(24)과 게이트 전극(14) 사이에서 방전이 생기기 시작하면, 게이트 전극(14)의 전위는 시간에 따라 상승한다. 그리고, 게이트 전극(14)의 전위가 제2 소정 전위(V_{PD2}) 이상이 되면, 이러한 게이트 전극(14)에 접속되어 있는 전자 방출부 차단 회로(32B)를 구성하는 방전관 DC (DC1, DC2, DC3・・・)이 도통 상태로 되고, 공통선(33)을 통하여 게이트 전극(14)에는 제1 소정 전위(V_{PD1})가 인가된다. 그 결과, 평면형 표시 장치에서는 부분적으로 화면표시가 이루어지지 않게 되지만, 제1 구동 회로(게이트 전극 구동 회로)(31)가 손상되는 것을 확실하게 회피할 수 있다. 또, 캐소드 전극(12)과 게이트 전극(14) 사이의 전위차가 감소되고, 게이트 전극(14)이나 전자 방출부(16)의 영구적인 손상이 발생하는 것도 없다. 게이트 전극(14)의 전위가 저하되어 V_{PD2} 미만이 되면, 전자 방출부 차단 회로(32B)를 구성하는 방전관 DC (DC1, DC2, DC3・・・)가 완전히 비도통 상태가 된다. 그 결과, 평면형 표시 장치의 화면 표시 동작이 자동적으로 복구된다. 애노드 전극(24)과 게이트 전극(14) 사이의 방전이 없어질 때까지 이상의 동작이 되풀이된다. 또한, 전자 방출부 차단 회로(32B)를 구성하는 방전관 DC(DC1, DC2, DC3・・・)에 타이머를 접속해 두면, 일정한 시간이 경과할 때까지 전자 방출부 차단 회로(32B)를 구성하는 방전관 DC (DC1, DC2, DC3・・・)가 완전히 비도통 상태가 되는 것을 저지할 수가 있어, 한층 확실하게 애노드 전극(24)과 게이트 전극(14) 사이의 방전을 없앨 수 있다.

도 16에는, 방전관 대신에 제너 다이오드 TD (TD1, TD2, TD3・・・)로 전자 방출부 차단 회로(32B)가 구성된 예를 나타낸다. 또한, 제너 다이오드 TD가 도통 상태로 되기 위한 전위차는, 제너 다이오드 TD의 오동작을 방지하는 관점에서, 제너 다이오드 TD가 접속된 제1 구동 회로(31)의 출력 전압의 최대치와 제1 소정 전위(V_{PD1})의 전위차 보다도 크고, 또한 제너 다이오드 TD가 접속된 제1 구동 회로(31)의 출력 전압의 최소치와 제1 소정 전위(V_{PD1})의 전위차 보다도 큰 것이 바람직하다. 또, 도 5에 나타낸 실시 형태1의 평면형 표시 장치의 변형 예와 같이, 전자 방출부 차단 회로(32B)를 구성하는 방전관 DC (DC1, DC2, DC3・・・)의 타단과 게이트 전극(14) 사이에 다이오드(D13, D23, D 33・・・)를 배치해도 된다.(도 17참조). 또한, 도 17에 있어서, 방전관 DC을 제너 다이오드 TD로 치환해도 된다. 이와 같이, 다이오드(D13, D23, D 33・・・)를 배치함으로써, 방전이 생기고 있지 않은 게이트 전극(14)의 전위도 V_{PD1} 가 되고, 인접하는 게이트 전극(14) 사이의 전위차에 의해서 게이트 전극(14) 사이에 방전이 발생하는 것을 방지할 수 있다.

전자 방출부 차단 회로(32B)를 구성하는 방전관 DC나 제너 다이오드TD (TD1, TD2, TD3・・・)를, 제1 패널(10)과 제2 패널(20)이 접합된 부분보다도 외측의 영역(외주부라고 부른다)의 제1 패널(10)상에 형성해도 되고, 무효 영역과 외주부에 적당히 형성할 수도 있다. 또는 전자 방출부 차단 회로(32B)를 제1 구동 회로(31)내에 내장하여도 된다. 이하에 설명하는 실시 형태5 또는 실시 형태6에서의 전자 방출부 차단 회로, 제1 차단 회로, 제2 차단 회로에 대해서도 동일하게 할 수 있다.

(실시 형태5)

실시 형태5는, 실시 형태2의 평면형 표시 장치의 변형에 관한 것이다. 도 18에, 실시 형태5의 평면형 표시 장치의 개념도를 나타낸다. 이 평면형 표시 장치는 도 6에 나타낸 실시 형태2의 평면형 표시 장치의 변형이다. 또한, 모식적인 일부 단면도는 도 8에 나타낸 바와 동일하다.

전자 방출부 차단 회로(35)는, 전자 방출부(16)와 전자 조사면(구체적으로는 애노드 전극(24))과의 사이에 방전이 생기고 있지 않은 경우에는 동작하지 않는 상태로 있고, 전자 방출부(16)와 전자 조사면 사이에 방전이 생겼을 때 동작한다. 구체적으로는, 전자 방출부 차단 회로(35B)는 방전관 DC (DC1, DC2, DC3・・・)로 구성된다. 각 전자 방출부 차단 회로(35B)를 구성하는 방전관 DC (DC1, DC2, DC3・・・)의 일단은, 제2 구동 회로(34)와 캐소드 전극(12) 사이에 접속되어 있고, 타단은, 공통선(36)을 통하여 제1 소정 전위 V_{PD1} 을 가지는 전원에 접속되어 있다. 방전관 DC(DC1, DC2, DC3・・・)의 일단과 제2 구동 회로(34) 사이에는 다이오드(D12, D22, D 32・・・)가 배치되어 있다. 또, 게이트 전극(14)은 제1 구동 회로(게이트 전극 구동 회로)(31)에 접속되어 있고, 게이트 전극(14)과 제1 구동 회로(31) 사이에는 다이오드(D11, D21, D 31・・・)가 배치되어 있다. 그리고, 전자 방출부 차단 회로(35B)에 접속된 전자 방출부 부분(캐소드 전극(12))의 전위가 전자 방출부와 전자 조사면 사이의 방전에 의해서 제2 소정 전위(V_{PD2})로 되었을 때, 제1 소정 전위와 제2 소정 전위의 전위차(V_{PD2} - V_{PD1})에 따라 전자 방출부 차단 회로(35B)를 구성하는 방전관 DC가 동작한다. 구체적으로는, 공통선(36)에는 제1 소정 전위(V_{PD1} = 40볼트)가 인가되어 있다. 또, 작동 전압이 80볼트의 방전관 DC를 사용했다. 따라서, 전자 방출부 차단 회로(35B)에 접속된 전자 방출부 부분(캐소드 전극(12))의 전위가 전자 방출부와 전자 조사면 사이의 방전에 의해서 제2 소정 전위(V_{PD2} , 120볼트를 넘으며, 예를 들면 130볼트)로 되었을 때, 전자 방출부 차단 회로(35B)를 구성하는 방전관 DC가 동작한다.

또한, 전자 방출부 구동 회로인 제2 구동 회로(캐소드 전극 구동 회로)(34)의 파괴 전압을 $V_{COLAPSE}$, 제2 구동 회로(캐소드 전극 구동 회로)(34)의 출력 전압의 최대치를 $V_{OUT-MAX}$ 로 했을 때, $|V_{OUT-MAX} - V_{PD1}| < VCOL_{APSE}$를 만족하고, 또는 전자 방출부 구동 회로인 제2 구동 회로(캐소드 전극 구동 회로) (34)의 파괴 전류를 $ICOL_{APSE}$, 제2 구동 회로(캐소드 전극 구동 회로)(34)와 캐소드 전극(12) 사이의 저항치를 $REMI_{SSION}$으로 했을 때, $|VOUT-MAX-VPD1| < REMISSI_{ON} \cdot ICOLAPS_{E}$를 만족하고 있다. 이들을 만족함으로써, 제1 소정 전위(VPD1)에 의해서 제2 구동 회로(캐소드 전극 구동 회로)(34)가 파괴되는 것을 방지할 수 있다.

지금, 애노드 전극(24)과 게이트 전극(14) 사이에서 방전이 생기기 시작하면, 게이트 전극(14)의 전위는 시간에 따라 상승한다. 그러나, 게이트 전극(14)과 제1 구동 회로(게이트 전극 구동 회로)(31) 사이에는 다이오드(D11, D21, D 31・・・)가 배치되어 있기 때문에, 제1 구동 회로(31)에 손상이 발생하는 것을 방지할 수 있다. 게이트 전극(14)의 전위가 시간에 따라 상승하는 결과, 캐소드 전극(12)에도 방전이 생겨서 캐소드 전극(12)의 전위도 증대된다. 그러나, 캐소드 전극(12)의 전위가 제2 소정 전위 V_{PD2} 이상이 되면, 이러한 캐소드 전극(12)에 접속되어 있는 전자 방출부 차단 회로(35B)를 구성하는 방전관 DC (DC1, DC2, DC3・・・)이 도통 상태로 되고, 캐소드 전극(12)의 전위가 V_{PD1} 볼트로 된다. 그 결과, 평면형 표시 장치에서는 부분적으로 화면 표시가 이루어지 않게 되지만, 제2 구동 회로(캐소드 전극 구동 회로)(34)가 손상되는 것을 확실하게 회피할 수 있다. 또, 전자 방출부(16)의 영구적인 손상이 발생하는 것도 방지할 수 있다. 그리고, 캐소드 전극(12)의 전위가 저하되어 V_{PD2} 미만이 되면, 전자 방출부 차단 회로(35B)를 구성하는 방전관 DC (DC1, DC2, DC3・・・)이 비도통 상태가 된다. 그 결과, 평면형 표시 장치의 화면 표시 동작이 자동적으로 복구된다. 애노드 전극(24)과 캐소드 전극(12) 사이의 방전이 없어질 때까지 이상의 동작이 되풀이된다. 또한, 전자 방출부 차단 회로(35B)를 구성하는 방전관 DC (DC1, DC2, DC3・・・)에 타이머를 접속해 두면, 일정한 시간이 경과할 때까지, 전자 방출부 차단 회로(35B)를 구성하는 방전관 DC (DC1, DC2, DC3・・・)가 비도통 상태가 되는 것을 저지할 수가 있어, 한층 확실하게 애노드 전극(24)과 캐소드 전극(12) 사이의 방전을 없앨 수 있다.

도 19에는, 방전관 대신에 제너 다이오드 TD (TD1, TD2, TD3・・・)로 전자 방출부 차단 회로(32B)가 구성된 예를 나타낸다.

(실시 형태6)

실시 형태6은 실시 형태3의 평면형 표시 장치의 변형에 관한 것이다.

도 20에, 실시 형태6의 평면형 표시 장치의 개념도를 나타낸다. 이 평면형 표시 장치는 도 9에 나타낸 실시 형태3의 평면형 표시 장치의 변형이다. 또한, 모식적인 일부 단면도는 도 11에 나타낸 바와 동일하다. 실시 형태6에서, 전자 방출부 차단 회로는 제1 차단 회로(32C)와 제2 차단 회로(35C)로 구성되어 있다. 제1 차단 회로(32C), 제2 차단 회로(35C) 각각은 실시예4의 전자 방출부 차단 회로(32B), 전자 방출부 차단 회로(35B) 각각 과 동일하게 할 수 있기 때문에, 상세한 설명은 생략한다. 여기에서, 제1 차단 회로(32C)를 구성하는 방전관 DC에는 제1 소정 전위가 인가되고, 제2 차단 회로(35C)를 구성하는 방전관 DC에는 제1 소정 전위가 인가되며, 이들 제1 소정 전위는 다르기 때문에 제1 차단 회로(32C)를 구성하는 방전관 DC에 인가되어 있는 제1 소정 전위를 V_{PD1} 로 나타내고, 제2 차단 회로(35C)를 구성하는 방전관 DC에 인가되는 제1 소정 전위를 V'_{PD1} 로 나타내었다. 또한, 방전이 생기고 있을 때의 애노드 전류, 캐소드 전류의 변화를 모식적으로 도 21에 나타낸다. 또, 도 22에는, 방전관 대신에 제너 다이오드 TD (TD11, TD21, TD31・・・, TD12, TD22, TD32・・・)로 각각 차단 회로(32B, 35B)가 구성된 예를 나타낸다. 나아가서, 도 12에 나타낸 실시 형태3의 평면형 표시 장치의 변형 예와 같이, 제1 차단 회로(32C)를 구성하는 방전관 DC (DC31, DC32, DC33・・・)의 타단과 게이트 전극(14)사이에 다이오드(D32, D32, D 33・・・)를 배치해도 된다(도 23참조). 이와 같이, 다이오드(D32, D32, D 33・・・)를 배치함으로써, 방전이 생기고 있지 않은 게이트 전극(14)의 전위도 V_{PD1} 이 되고, 인접하는 게이트 전극(14) 사이의 전위차에 의해서 게이트 전극(14)사이에 방전이 발생하는 것을 방지할 수 있다. 또한, 도 23에 있어서, 방전관 DC를 제너 다이오드 TD로 치환해도 된다.

또한, 제1 소정 전위 V_{PD1} 에 의한 제1 구동 회로(31)의 손상 발생, 제1 소정 전위 V'_{PD1} 에 의한 제2 구동 회로(34)의 손상 발생을 방지하기 해서, $|V_{PD1} - V'_{PD1}|$ 의 값이, 선택 게이트 전극에 인가하는 전압을 V_{G-SL} , 선택 캐소드 전극에 인가하는 전압의 최저치를 V'_{C-SL} 로 했을 때, 이하의 식을 만족하는 것이 바람직하다. 또한, α은 일종 안전 계수이고 1를 초과하며, 예를 들면 10 이하의 임의의 값이다.

수학식 1

$$|V_{PD1} - V'_{PD1}| < \alpha |V_{C-SL} - V'_{C-SL}|$$

(실시 형태7)

실시 형태7은 본 발명의 제2 양태에 의한 평면형 표시 장치(구체적으로는 냉음극 전계 전자 방출 표시 장치)에 관한 것이다. 도 24에, 실시 형태7의 평면형 표시 장치의 개념도를 나타낸다. 이 평면형 표시 장치의 모식적인 일부 단면도는 애노드 전극 차단 회로(38)의 유무를 제외하고는, 실질적으로 도 3에 나타낸 실시 형태1의 평면형 표시 장치와 동일하기 때문에 상세한 설명은 생략한다. 또, 제1 패널(10)의 구성은 종래의 제1 패널의 구성 또는, 실시 형태1 실시 형태6에서 설명한 각종 제1 패널의 구성과 동일하게 할 수 있기 때문에 상세한 설명은 생략한다.

실시 형태7의 평면형 표시 장치는, 전자 방출부(16)를 가지는 제1 패널(캐소드 패널)(10)과, 형광체층(22) 및 애노드 전극(24)으로 이루어지는 전자 조사면을 가지는 제2 패널(애노드 패널)(20)과, 애노드 전극(24)을 구동하기 위한 애노드 전극 구동 회로(37)를 구비하고, 전자 방출부(16)와 전자 조사면 사이의 방전을 방지하기 위해서, 애노드 전극(24)과 애노드 전극 구동 회로(37) 사이에 애노드 전극 차단 회로(38)가 설치되어 있다.

실시 형태7에서의 애노드 전극 구동 회로(37)는 주지의 회로 구성으로 할 수 있다. 평면형 표시 장치의 동작시, 애노드 전극 구동 회로(37)로부터 애노드 전극(24)에 대하여, 예를 들면, 직류5 kV의 전압(Va)이 인가된다. 도 24에 나타낸 애노드 전극(24)은 유효 영역을 1장의 시트상의 도전 재료로 피복한 형식의 애노드 전극이다.

애노드 전극 차단 회로(38)는 N 채널형 MOS 형 FET(TR_A)와, 제1 저항소자(R_{A1})와, 제2 저항소자(R_{A2})로 구성되어 있다. MOS 형 FET(TR_A)의 한 쪽 소스/드레인 영역은 제1 저항소자(R_{A1})를 통하여 애노드 전극(24)에 접속되고, 다른 쪽의 소스/드레인 영역은 애노드 전극 구동 회로(37)에 접속되어 있다. 제2 저항소자(R_{A2})는 그 일단이 애노드 전극(24)에 접속되고 타단은 접지되어 있다. 실시 형태7에서는 제1 저항소자(R_{A1})의 저항치를 100Ω, 제2 저항소자(R_{A2})의 저항치를 5 MΩ로 했다. 또, MOS 형 FET(TR_A)의 게이트 영역은 MOS 형 FET 구동용 전원 V_0(예를 들면, 2볼트)의 일단에 접속되어, MOS 형 FET 구동용 전원 V_0의 타단은 애노드 전극(24)에 접속되어 있다. MOS 형 FET(TR_A)은 게이트 영역에 2볼트 이상의 전압이 인가되어 있는 경우 도통 상태로 되고, 1볼트 이하로서는 비도통 상태로 되는 것을 사용한다. 또한,애노드 전극 구동 회로(37)와 애노드 전극 차단 회로(38) 사이에는 과전류가 흐르는 것을 방지하기 위한 고저항 소자(도시하지 않음)를 배설하여도 된다.

지금, 평면형 표시 장치가 통상의 동작을 행하고 있는 경우의 애노드전류를 1 mA로 한다. 이 때, 제1 저항 소자(R_{A1})의 양단에는 0.1볼트의 전위차가 생기고 있는 것에 지나가지 않고, 게이트 영역과 한 쪽 소스/드레인 영역 사이의 전위차도 1.9 볼트이며, MOS 형 FET(TR_A)은 도통 상태로 있다. 즉, 애노드 전극(24)과 애노드 전극 구동 회로(37)는 애노드 전극 차단 회로(38)를 통하여 전기적으로 접속되어 있다.

애노드 전극(24)으로부터의 방전이 생기고 방전 전류가 10 mA가 되었다고 하자. 이 때, 제1 저항 소자(R_{A1})의 양단의 전위차는 1볼트가 되고, 게이트 영역과 한쪽의 소스/드레인 영역 사이의 전위차는 1.0 볼트가 된다. 그 결과, MOS 형 FET(TR_A)는 비도통 상태가 된다. 즉, 애노드 전극(24)과 애노드 전극 구동 회로(37)는 애노드 전극 차단 회로(38)의 동작에 의해서 전기적으로 비접속 상태가 된다. 또한, 전자 방출부(16)와 전자 조사면(구체적으로는 애노드 전극(24)) 사이의 방전에 기인하여 애노드 전극(24)과 애노드 전극 구동 회로(37) 사이를 흐르는 전류에 의해 애노드 전극 차단 회로(38)가 동작한다. 애노드 전극(24)은 제2 저항 소자(R_{A2})를 통하여 접지되어 있기 때문에, 애노드 전극(24)의 전위는 5 kV에서 0볼트를 향하여, 예를 들면 수백볼트까지 저하된다. 이상의 결과로서 애노드 전극(24)과 전자 방출부(16) 사이의 전위차가 적어져서 방전이 정지한다. 애노드 전극(24)과 전자 방출부(16) 사이의 방전이 없어질 때까지 이상의 동작이 되풀이된다.

또한, 제2 저항 소자(R_{A2})는 경우에 따라서 생략할 수도 있다. MOS 형 FET(TR_A)은 완전히 비도통 상태가 되는 것은 아니고, 실제로는 비도통 상태로 있어도 리크 전류가 존재한다. 따라서, MOS형 FET(TR_A)가 비도통 상태로 되었을 때 애노드 전극(24)의 전위는 리크 전류의 영향을 받아 5kV에서 2 3 kV로 저하된다. 이와 같은 애노드 전극(24)의 전위 저하에 있어 방전이 정지하는데는 충분한 전위 저하이다.

또, 애노드 전극을 1 또는 복수의 전자 방출부, 또는, 1 또는 복수의 화소에 대응하는 애노드 전극 유닛(241, 242, 243···)이 집합한 형식의 애노드 전극으로 성하여, 애노드 전극 유닛(241, 242, 243···)의 모두를 하나의 배선을 통하여 애노드 전극 차단 회로(38)에 접속하여도 된다.

도 25에는, 도 24에 나타낸 평면형 표시 장치의 변형 예를 나타낸다. 이 평면형 표시 장치에서, 애노드 전극은 1 또는 복수, 또는, 1 또는 복수의 화소의 전자 방출부에 대응하는 애노드 전극 유닛(241, 242, 243···)이 집합한 형식의 애노드 전극이다. 애노드 전극 차단 회로(38A)는 애노드 전극 유닛(241, 242, 243···)의 수만큼 설치되어 있다. 애노드 전극 차단 회로(38A)의 구성은 도 24에 나타낸 애노드 전극 차단 회로(38)와과 동일하게 할 수 있기 때문에 상세한 설명은 생략한다.

도 26에는 도 25에 나타낸 평면형 표시 장치의 변형 예를 나타낸다. 이 평면형 표시 장치에서는 각각의 애노드 전극 차단 회로(38A)를 구성하는 MOS형 FET 구동용 전원 V0가 공통화 되어 있다. 즉, 각각의 애노드 전극 차단 회로(38A)를 구성하는 MOS형 FET(TR_A)의 게이트 영역이 하나의 배선에 접속되어 있다. 이러한 구성으로 함에 따라, 하나의 애노드 전극 유닛에 방전이 생기고, 그 애노드 전극 유닛에 접속된 애노드 전극 차단 회로(38A)가 동작하면, 다른 애노드 전극 차단 회로(38A) 모두도 동작을 개시하여 애노드 전극 전체는 애노드 전극 구동 회로(37)로부터 전기적으로 단절된다.

도 27에는 도 24에 나타낸 평면형 표시 장치의 변형 예를 나타낸다. 이 평면형 표시 장치에서는 애노드 전극 차단 회로(38B)에 논트리거블・모노 스테이불・멀티 바이브레이터 (nontrigerable・ monostable・ multi vibrator)로 이루어지는 타이머(39)가 접속되어 있다. 이와 같이, 타이머(39)를 접속함으로써, 일정한 시간(예를 들면, 1 수밀리초)가 경과할 때까지 애노드 전극 차단 회로(38B)가 도통 상태로 되는 것을 저지할 수가 있어, 한층 확실하게 애노드 전극(24)과 전자 방출부(16) 사이의 방전을 없앨 수 있다. 또한, 타이머(39)를 배치한 경우 방전이 생겼을 때의 애노드 전극의 전위 및 애노드 전류의 변화를 도 28의 (A)에 모식적으로 나타내고, 타이머(39)를 배치하지 않은 경우 방전이 생겼을 때의 애노드 전극의 전위 및 애노드 전류의 변화를 도 28의 (B)에 모식적으로 나타낸다.

(실시 형태8)

실시 형태8은 본 발명의 제3 양태에 의한 평면형 표시 장치(구체적으로는, 냉음극 전계 전자 방출 표시 장치)에 관한 것이다. 도 29에, 실시 형태8의 평면형 표시 장치의 개념도를 나타낸다. 이 평면형 표시 장치가 모식적인 일부 단면도는 실드 부재(40), 실드 부재 인가 수단(41) 및 실드 부재 차단 회로(42)의 유무를 제외하고, 실질적으로 도 3에 나타낸 실시 형태1의 평면형 표시 장치와 동일하기 때문에 상세한 설명은 생략한다. 또, 제1 패널(10)의 구성은 종래의 제1 패널의 구성, 또는, 실시 형태1 실시 형태6에서 설명한 각종 제1 패널의 구성과 동일하게 할 수 있기 때문에, 상세한 설명은 생략한다. 나아가서, 제2 패널(20)은 종래의 제2 패널의 구성, 또는, 실시 형태7에서 설명한 각종 제2 패널의 구성(실드 부재(40)와 전자 조사면사이의 방전을 방지하기 위해서 애노드 전극(24)과 애노드 전극 구동 회로(37) 사이에 애노드 전극 차단 회로(38, 38A, 38B가 설치되어 있는 구성)과 동일하게 할 수 있기 때문에, 상세한 설명은 생략한다.

실시 형태8의 평면형 표시 장치는 전자 방출부(16)를 가지는 제1 패널(10)과, 전자 조사면을 가지는 제2 패널(20)과, 전자 방출부(16)를 구동하기 위한 전자 방출부 구동 회로(31, 34)와, 전자 방출부(16)와 전자 조사면(구체적으로는, 애노드 전극(24)) 사이에 배치된 실드 부재(40)와, 실드 부재(40)에 전압을 인가하기 위한 실드 부재 인가 수단(41)(전위: V_{CONV})를 구비하고 있다. 그리고, 실드 부재(40)와 전자 조사면 사이의 방전을 방지하기 위해서, 실드 부재(40)와 실드 부재 인가 수단(41) 사이에 실드 부재 차단 회로(42)가 설치되어 있는 제2 패널(20)은, 구체적으로는, 기판(21),형광체층(22) 및 애노드 전극(24)으로 구성되어 있다.

실시 형태8에서, 실드 부재(40)는 수속 전극으로도 기능한다. 실드 부재(40)는 유효 영역을 1장의 시트상의 도전 재료로 피복한 형식의 실드 부재로 해도 좋고, 1 또는 복수의 전자 방출부, 또는, 1 또는 복수의 화소에 대응하는 실드 부재 유닛이 집합한 형식의 실드 부재로 해도 된다. 실드 부재가 전자의 구성인 경우 실드 부재 차단 회로를 하나 설치하면 된다. 한편, 실드 부재가 후자의 구성인 경우, 실드 부재 차단 회로를 유닛의 수만큼 설치하면 되고, 또는 각 실드 부재를 1개의 배선으로 접속하고 이러한 배선에 하나의 실드 부재 차단 회로를 배설하면 된다. 실드 부재 인가 수단(41)은 종래의 주지 회로로 구성할 수 있다. 실드 부재(40)에는 전자 방출부(16)로부터 방출된 전자를 통과시키기 위한 개구부를 형성해 놓아야 하지만, 이러한 개구부는 하나의 전자 방출부(16)에 대응하여 하나 설치하여도 좋고, 복수의 전자 방출부(16)에 대응하여 하나 설치해도 된다.

실시 형태8에서의 실드 부재 차단 회로(42)는 실질적으로, 실시 형태4에서 설명한 전자 방출부 차단 회로(32B), 또는 실시 형태1에서 설명한 전자 방출부 차단 회로(32)와 일하게 할 수 있다. 구체적으로는, 도 29에 도시한 바와 같이, 실드 부재 차단 회로(42)는 예를 들면, 방전관 DC 로 구성되어 있다. 방전관 DC의 일단은 실드 부재(40)와 실드 부재 인가 수단(41)사이에 접속되어 있고, 타단에는 제1 소정 전위(V_{PD1})가 인가된다. 그리고, 실드 부재(40)의 전위가 실드 부재(40)와 전자 조사면(구체적으로는, 애노드 전극(24)) 사이의 방전에 의해서 제2 소정 전위(V_{PD2})로 되었을 때, 제1 소정 전위와 제2 소정 전위의 전위차($V_{PD2} - V_{PD1}$)에 따라 실드 부재 차단 회로(42)를 구성하는 방전관 DC가 동작한다. 즉, 실드 부재(40)의 전위가 전자 방출부와 전자 조사면 사이의 방전에 의해서 제2 소정 전위(V_{PD2})로 되었을 때, 실드 부재 차단 회로(42)를 구성하는 방전관 DC가 동작한다.

또한, 실드 부재 인가 수단(41)의 파괴 전압을 $V_{COLAPSE}$, 실드 부재 인가 수단(41)의 출력 전압의 최대치를 $V_{OUT-MAX}$로 했을 때, $|V_{OUT-MAX}-VPD1| < VCOL_{APSE}$를 만족하며, 또는 실드 부재 인가 수단(41)의 파괴 전류를 $ICOL_{APSE}$, 실드 부재 인가 수단(41)과 실드 부재(40) 사이의 저항치를 $REMI_{SSION}$으로 했을 때, $|VOUT_{-MAX}-VPD1| < REMISSI_{ON} \cdot ICOLA PS_{E}$를 만족한다. 이들을 만족함으로써, 제1 소정 전위(VPD11)에 의해서 실드 부재 인가 수단(41)이 파괴되는 것을 방지할 수 있다.

지금, 애노드 전극(24)과 실드 부재(40) 사이에서 방전이 생기기 시작하면 실드 부재(40)의 전위는 시간에 따라 상승한다. 그리고, 실드 부재(40)의 전위가 제2 소정 전위(V_{PD2})이상이 되면 , 실드 부재(40)에 접속되어 있는 실드 부재 차단 회로(42)를 구성하는 방전관 DC가 도통 상태로 되고, 실드 부재(40)에는 제1 소정 전위(V_{PD1})가 인가된다. 그 결과, 실드 부재 인가 수단(41)이 손상되는 것을 확실하게 회피할 수 있다. 또, 게이트 전극(14)이나 전자 방출부(16)의 영구적인 손상이 발생하는 것도 없다. 실드 부재 차단 회로(42)의 전위가 저하되어 V_{PD2} 미만이 되면, 실드 부재 차단 회로(42)를 구성하는 방전관 DC가 완전히 비도통 상태로 된다. 애노드 전극(24)과 실드 부재(40) 사이의 방전이 없어질 때까지 이상의 동작이 되풀이된다. 또한, 실드 부재 차단 회로(42)를 구성하는 방전관 DC에 타이머를 접속해 두면, 일정한 시간이 경과할 때까지 실드 부재 차단 회로(42)를 구성하는 방전관 DC가 완전히 비도통 상태로 되는 것을 저지할 수가 있어, 한층 확실하게 애노드 전극(24)과 실드 부재(40) 사이의 방전을 없앨 수 있다.

도 30에는, 방전관 DC 대신에 제너 다이오드 TD로 실드 부재 차단 회로(42)가 구성된 예를 나타낸다. 나아가서, 도 31에는, 방전관 DC 대신에, 실시 형태1에서 설명한 바와 같이, N 채널형의 트랜지스터(TR_{CONV})와, 저항 소자(저항 R_{CONV})로 구성할 수도 있다. 또한, 트랜지스터(TR_{CONV})의 한 쪽 소스/드레인 영역 및 게이트 영역은 실드 부재(40)와 실드 부재 인가 수단(41) 사이에 접속되어 있고, 다른 쪽의 소스/드레인 영역은 저항(R_{CONV})을 통하여 접지되어 있다. 트랜지스터(TR_{CONV})의 동작은 동작하는 전압 · 전위의 관계가 상이한 점을 제외하고는 실질적으로 실시 형태1에서 설명한 트랜지스터와 동일하기 때문에, 상세한 설명은 생략한다.

(실시 형태9)

실시 형태9는 실시 형태8에서 설명한 실드 부재 차단 회로(42)의 변형이다. 도 32에, 실시 형태9의 평면형 표시 장치의 개념도를 나타낸다. 또, 방전의 발생에 기초하는 애노드 전극(24) 및 실드 부재(40) 또는 X 점(도 32 참조)에서의 전위의 변화를 모식적으로 도 33에 나타낸다.

이 평면형 표시 장치의 모식적인 일부 단면도는, 실드 부재(40), 실드 부재 인가 수단(41) 및 실드 부재 차단 회로(42)의 유무를 제외하고는 실질적으로 도 3에 나타낸 실시 형태1의 평면형 표시 장치와 동일하기 때문에 상세한 설명은 생략한다. 또, 제1 패널(10)의 구성은 종래의 제1 패널의 구성, 또는, 실시 형태1 실시 형태6에서 설명한 각종 제1 패널의 구성과 동일하게 할 수 있기 때문에 상세한 설명은 생략한다. 나아가서, 제2 패널(20)은 종래의 제2 패널의 구성, 또는, 실시 형태7에서 설명한 각종 제2 패널의 구성(실드 부재(40)와 전자 조사면 사이의 방전을 방지하기 위해서, 애노드 전극(24)과 애노드 전극 구동 회로(37) 사이에 애노드 전극 차단 회로(38, 38 A, 38B)가 설치되어 있는 구성)와 동일하게 할 수 있기 때문에 상세한 설명은 생략한다.

실시 형태9에서도, 실드 부재(40)는 수속 전극으로도 기능한다. 실드 부재(40)는 유효 영역을 1장의 시트상의 도전 재

료로 피복한 형식의 실드 부재로 해도 좋고, 1 또는 복수의 전자 방출부, 1 또는 복수의 화소에 대응하는 실드 부재 유닛이 집합한 형식의 실드 부재로 해도 된다. 실드 부재가 전자의 구성인 경우, 실드 부재 차단 회로를 하나 설치하면 된다. 한편, 실드 부재가 후자의 구성인 경우, 실드 부재 차단 회로를 유닛의 수만큼 설치하면 되고, 또는 각 실드 부재를 1개의 배선으로 접속하고 이러한 배선에 하나의 실드 부재 차단 회로를 배설하면 된다. 실드 부재 인가 수단(41)은 종래의 주지 회로로 구성할 수 있다. 실드 부재(40)에는 전자 방출부(16)로부터 방출된 전자를 통과시키기 위한 개구부를 형성해 놓아야 하지만, 이러한 개구부는 하나의 전자 방출부(16)에 대응하여 1개 설치하여도 되고, 복수의 전자 방출부(16)에 대응하여 하나 설치해도 된다.

실시 형태9에서의 실드 부재 차단 회로(42A)는 일단이 실드 부재(40)에 접속되고 타단이 제1 소정 전위(V_{PD1})에 접속된 제1 방전관(DC_A)와, 일단이 실드 부재(40)에 접속되고 타단이 애노드 전극(24)에 접속된 제2 방전관 (DC_B)로 구성되어 있다. 그리고, 실드 부재(40)의 전위가 실드 부재(40)와 전자 조사면(구체적으로는, 애노드 전극(24)) 사이의 방전에 의해서 제2 소정 전위(V_{PD2})로 되었을 때, 제1 소정 전위와 제2 소정 전위의 전위차($V_{PD2} - V_{PD1}$)에 따라 실드 부재 차단 회로(42A)를 구성하는 방전관(DC_A, DC_B)이 동작한다. 즉, 실드 부재(40)의 전위가 전자 방출부와 전자 조사면 사이의방전에 의해서 제2 소정 전위(V_{PD2})로 되었을 때, 실드 부재 차단 회로(42A) 구성하는 제1 방전관(DC_A) 및 제2 방전관(DC_B)가 동작한다.

구체적으로는, 예를 들면, 실드 부재 인가 수단(41)으로부터 실드 부재(40)에 인가되는 전위(V_{CONV})를 -5볼트, 제1 소정 전위(V_{PD1})를 -250볼트, 제1 방전관(DC_A)의 동작 전압(방전관이 도통 상태가 될 때 방전관 양단에서의 전위차)를 300볼트, 제2 방전관(DC_B)의 동작 전압을 5.1 킬로볼트, 애노드 전극 구동 회로(37)로부터 애노드 전극(24)에 인가되는 전위를 5 킬로볼트로 한다.

지금, 애노드 전극(24)과 실드 부재(40) 사이에서 방전이 생기기 시작하면, 실드 부재(40)의 전위는 시간에 따라 상승한다. 그리고, 실드 부재(40)의 전위가 제2 소정 전위(V_{PD2}) [여기에서, V_{PD2} 는 ($V_{PD2} - V_{PD1}$)≥ 제1 방전관(DC_A)의 동작 전압을 만족하는 값이며, 이 예에서는 (300-250)= 50볼트]이상이 되면, 실드 부재(40)에 접속되어 있는 실드 부재 차단 회로(42A)를 구성하는 제1 방전관(DC_A)가 도통 상태로 되고, 실드 부재(40)에는 제1 소정 전위(V_{PD1} = -250볼트)가 인가된다. 동시에, 제2 방전관(DC_B)의 양단의 전위차는 (5000+ 250) 볼트가 되고, 제2 방전관(DC_B)도 도통 상태로 되고, 애노드 전극(24)의 전위도 -250볼트가로 된다. 그 결과, 실드 부재 인가 수단(41)이 손상되는 것을 확실하게 회피할 수 있다. 또, 게이트 전극(14)이나 전자 방출부(16)의 영구적인 손상이 발생하지 않는다. 실드 부재 차단 회로(42A)의 전위가 저하되어 V_{PD2} 미만이 되면, 실드 부재 차단 회로(42A)를 구성하는 제1 방전관(DC_A)가 완전히 비도통 상태로 되고, 나아가서, 제2 방전관(DC_B)도 완전히 비도통 상태가 된다. 애노드 전극(24)과 실드 부재(40) 사이의 방전이 없어질 때까지 이상의 동작이 되풀이 된다. 또한, 실드 부재 차단 회로(42A)를 구성하는 제1 방전관(DC_A)에 타이머를 접속해 두면, 일정한 시간이 경과할 때까지 실드 부재 차단 회로(42A)를 구성하는 제1 방전관 (DC_A)가 완전히 비도통 상태가 되는 것을 저지할 수가 있어, 한층 확실하게 애노드 전극(24)과 실드 부재(40) 사이의 방전을 없앨 수 있다.

도 34에는, 도 32에 나타낸 실드 부재 차단 회로(42A)의 변형 예를 구비한 평면형 표시 장치의 개념도를 나타낸다. 도 32에 나타낸 실드 부재 차단 회로(42A)에서는 실드 부재(40)와 애노드 전극(24) 사이에 1단의 방전관(DC_B)를 배치했지만, 도 34에 나타내는 실드 부재 차단 회로(42B)에서는 실드 부재(40)와 애노드 전극(24) 사이에 2단의 방전관(제2 방전관(DC_B) 및 제3 방전관(DC_C))이 배치되어 있다.

즉, 이 실드 부재 차단 회로(42B)는 일단이 실드 부재(40)에 접속되고 타단이 제1 소정 전위(V_{PD1})에 접속된 제1 방전관(DC_A)와, 일단이 실드 부재(40)에 접속되고 타단이 제3 방전관(DC_C)의 일단에 접속되며, 나아가서, 타단이 제3 소정 전위(V_{PD3})에 접속된 제2 방전관(DC_B)와, 타단이 애노드 전극(24)에 접속된 제3 방전관(DC_C)으로 구성되어 있다. 그리고, 실드 부재(40)의 전위가 실드 부재(40)와 전자 조사면(구체적으로는, 애노드 전극(24)) 사이의 방전에 의해서 제2 소정 전위(V_{PD2})로 되었을 때, 제1 소정 전위와 제2 소정 전위의 전위차($V_{PD2} - V_{PD1}$)에 따라 실드 부재 차단 회로(42B)를 구성하는 방전관(DC_A, DC_B, DC_C)이 동작한다. 즉, 실드 부재(40)의 전위가 전자 방출부와 전자 조사면 사이의 방전에 의해서 제2 소정 전위(V_{PD2})로 되었을 때, 실드 부재 차단 회로(42A)를 구성하는 제1 방전관(DC_A), 제2 방전관(DC_B), 제3 방전관(DC_C)이 동작한다.

구체적으로는, 예를 들면, 실드 부재 인가 수단(41)으로부터 실드 부재(40)에 인가되는 전위(V_{CONV})를 -5볼트, 제1 소정 전위(V_{PD1})를 -250볼트, 제3 소정 전위(V_{PD3})를 4킬로 볼트, 제1 방전관(DC_A)의 동작 전압을 300볼트, 제2 방전관(DC_B), 제3 방전관(DC_C)의 동작 전압을 4.1 킬로볼트, 애노드 전극 구동 회로(37)로부터 애노드 전극(24)에 인가되는 전위를 8 킬로볼트로 한다.

지금, 애노드 전극(24)과 실드 부재(40) 사이에서 방전이 생기기 시작하면, 실드 부재(40)의 전위는 시간에 따라 상승한다. 그리고, 실드 부재(40)의 전위가 제2 소정 전위(V_{PD2}) [여기에서, V_{PD2} 는 ($V_{PD2} - V_{PD1}$) ≥ 제1 방전관(DC_A)의 동작 전압을 만족하는 값이며, 이 예에서는 (300-250)= 50볼트] 이 상이 되면, 실드 부재(40)에 접속되어 있는 실드 부재 차단 회로(42B)를 구성하는 제1 방전관(DC_A)가 도통 상태로 되고, 실드 부재(40)에는 제1 소정 전위(V_{PD1} = -250볼트)가 인가된다. 동시에, 제2 방전관(DC_B)의 양단의 전위차는 (4000+ 250)볼트가 되고, 제2 방전관(DCB_B)도 도통 상태로 되고, 제2 방전관(DC_B)의 타단의 전위도 -250볼트가 된다. 나아가서, 제3 방전관(DC_C)의 양단의 전위차도 동작 전압을 넘기 때문에, 제3 방전관(DC_C)도 도통 상태로 되고, 애노드 전극(24)의 전위도 -250볼트가 된다. 그 결과, 실드 부재 인가 수단(41)이 손상되는 것을 확실하게 회피할 수 있다. 또, 게이트 전극(14)이나 전자 방출부(16)의 영구적인 손상이 발생하는 것도 없다. 실드 부재 차단 회로(42B)의 전위가 저하되어 V_{PD2} 미만이 되면, 실드 부재 차단 회로(42B)를 구성하는 제1 방전관(DC_A)가 완전히 비도통 상태로 되고, 나아가서, 제2 방전관(DC_B), 제3 방전관(DC_C)도 완전히 비도통 상태가 된다. 애노드 전극(24)과 실드 부재(40) 사이의 방전이 없어질 때까지 이상의 동작이 되풀이 된다. 또한, 실드 부재 차단 회로(42B)를 구성하는 제1 방전관(DC_A)에 타이머를 접속해 두면, 일정한 시간이 경과할 때까지 실드 부재 차단 회로(42B)를 구성하는 제1 방전관(DC_A)가 완전히 비도통 상태가 되는 것을 저지할 수가 있어, 한층 확실하게 애노드 전극(24)과 실드 부재(40) 사이의 방전을 없앨 수 있다.

도 32, 도 34에 나타낸 실드 부재 차단 회로(42A,42B)에서는 방전 개시를 전위 상승의 형태로 검출했지만, 애노드 전극(24)과 실드 부재(40) 사이를 흐르는 리크 전류의 상승에 의해서 검출하는 것도 가능하다. 이러한 형태의 실드 부재 차단 회로(42C)를 구비한 평면형 표시 장치의 개념도를 도 35에 나타낸다.

이 실드 부재 차단 회로(42C)는, 일단이 실드 부재(40)에 접속되고 타단이 제1 소정 전위(V_{PD1})에 접속된 제1 방전관(DC_D)와, 일단이 애노드 전극(24)에 접속되고 타단이 제1 방전관(DC_D)의 일단에 접속된 제2 방전관(DC_E)로 구성되어 있다. 또한, 실드 부재 인가 수단(41)과 실드 부재(40) 사이에는 저항(R4)가 배치되고, 애노드 전극 구동 회로(37)와 애노드 전극(24) 사이에는 저항(R5)이 배치되어 있다. 그리고, 실드 부재(40)의 전위가 실드 부재(40)와 전자 조사면(구체적으로는, 애노드 전극(24)) 사이의 방전에 의해서 제2 소정 전위(V_{PD2})로 되었을 때, 제1 소정 전위와 제2 소정 전위의 전위차($V_{PD2} - V_{PD1}$)에 따라 실드 부재 차단 회로(42C)를 구성하는 방전관(DC_D, DC_E)이 동작한다. 즉, 실드 부재(40)의 전위가 전자 방출부와 전자 조사면 사이의 방전에 의해서 제2 소정 전위(V_{PD2})로 되었을 때, 실드 부재 차단 회로(42C)를 구성하는 제1 방전관(DC_D), 제2 방전관(DC_E)가 동작한다.

구체적으로는, 예를 들면, 실드 부재 인가 수단(41)으로부터 실드 부재(40)에 인가되는 전위(V_{CONV})를 O볼트, 제1 소정 전위(V_{PD1})를 -100볼트, 제1 방전관(DC_D)의 동작 전압을 200볼트, 제2 방전관(DC_E)의 동작 전압을 7.1킬로볼트, 애노드 전극 구동 회로(37)로부터 애노드 전극(24)에 인가되는 전위를 7 킬로볼트, 저항(R4, R5)의 저항치를 1 MΩ로 한다.

지금, 애노드 전극(24)과 실드 부재(40) 사이에서 방전이 생기기 시작하고, 0.10 mA의 전류(리크 전류)가 애노드 전극(24)과 실드 부재(40) 사이를 흘렀다고 하면, 실드 부재(40)의 전위가 제2 소정 전위(V_{PD2}) [여기에서, V_{PD2} 는 ($V_{PD2} - V_{PD1}$) ≥ 제1 방전관(DC_A)의 동작 전압을 만족하는 값이며, 이 예에서는 (200-100)=100볼트]로 된다. 그 결과, 제1 방전관(DC_D)의 양단의 전위차가 200볼트가 되고, 실드 부재(40)에 접속되어 있는 실드 부재 차단 회로(42C)를 구성하는 제1 방전관(DC_D)가 도통 상태로 되고, 실드 부재(40)에는 제1 소정 전위(V_{PD1} = -100볼트)가 인가된다. 동시에, 제2 방전관(DC_E)의 양단의 전위차는 7.1 킬로볼트가 되고, 제2 방전관(DC_E)도 도통 상태가 되는 결과, 실드 부재 인가 수단(41)이 손상되는 것을 확실하게 회피할 수 있다. 또, 게이트 전극(14)이나 전자 방출부(16)의 영구적인 손상이 발생하는 것도 없다. 그 후, 저항(R5)에 의해서 전압 강하가 생겨 제2 방전관(DC_E)의 양단의 전위차가 7.1 킬로볼트 미만으로 되면, 실드 부재 차단 회로(42C)를 구성하는 제2 방전관(DC_E)이 완전히 비도통 상태로 되고, 나아가서, 제1 방전관(DC_D)도 완전히 비도통 상태가 된다. 애노드 전극(24)과 실드 부재(40)사이의 방전이 없어질 때까지 이상의 동작이 되풀이된다. 또한, 실드 부재 차단 회로(42C)를 구성하는 제2 방전관(DC_E)에 타이머를 접속해 두면, 일정한 시간이 경과할 때까지 실드 부재 차단 회로(42C)를 구성하는 제2 방전관 (DC_E)가 완전히 비도통 상태가 되는 것을 저지할 수가 있어, 한층 확실하게 애노드 전극(24)과 실드 부재(40) 사이의 방전을 없앨 수 있다.

(실시 형태10)

이하, 각종 전계 방출 소자에 대해 설명하지만, 이들 전계 방출 소자를 이용한 평면형 표시 장치의 구성은, 각종 변형을 포함하는 본 발명의 제1 양태 제3 양태에 의한 평면형 표시 장치, 또는, 각종 변형을 포함하는 제1 구성 제3 구성으로 하면 된다.

[스핀트형 전계 방출 소자]

스핀트형 전계 방출 소자로 이루어지는 제1 구조를 가지는 전계 방출 소자의 모식적인 일부 단면도를 도 37의 (B)에 나타낸다. 스핀트형 전계 방출 소자는 지지체(11)상에 형성된 캐소드 전극(12)과, 지지체(11) 및 캐소드 전극(12) 상에 형성된 절연층(13)과, 절연층(13) 상에 형성된 게이트 전극(14)과, 게이트 전극(14) 및 절연층(13)을 관통하는 개구부(15)와, 개구부(15)의 저부에 위치하는 캐소드 전극(12) 상에 설치된 원추 모양의 전자 방출 전극(16A)로 구성되어 있다. 개구부(15)의 저부에 노출된 원추 모양의 전자 방출 전극(16A)이 전자 방출부(16)에 상당한다.

스핀트형 전계 방출 소자의 제조 방법은, 기본적으로는 원추 모양의 전자 방출 전극(16A)을 금속 재료의 수직 증착에 의해 형성하는 방법이다. 즉, 개구부(15)에 대하여 증착 입자는 수직으로 입사하지만, 개구부(15)의 부근에 형성되는 오버 핸더(over hander) 상의 퇴적물에 의한 차단 효과를 이용하여, 개구부(15)의 저부에 도달하는 증착 입자의 양을 점차 감소시키고, 원추 모양의 퇴적물인 전자 방출 전극(16A)를 자기 정합적으로 형성한다. 여기서는, 불필요한 오버 핸더 상의 퇴적물 제거를 용이하게 하기 위해서, 게이트 전극(14) 상에 박리층(17)을 미리 형성해 두는 방법에 대해, 지지체 등의 모식적인 일부 단면도인 도 36 도 37를 참조하여 설명한다.

[공정-100]

먼저, 예를 들면 유리 기판으로 이루어지는 지지체(11) 상에 니오븀(Nb)으로 이루어지는 스트라이프형의 캐소드 전극(12)을 형성한 후, 전면에 SiO2로 이루어지는 절연층(13)을 형성하고, 또한 게이트 전극(14)을 절연층(13) 상에 형성한다. 게이트 전극(14)의 형성은 예를 들면, 스퍼터링법, 리소그라피 기술 및 드라이 에칭 기술에 기초하여 행할 수 있다. 다음에, 게이트 전극(14) 및 절연층(13)에 개구부(15)를 RIE (반응성 이온 에칭)법으로 형성하고, 개구부(15)의 저부에 캐소드 전극(12)을 노출시킨다(도 36의 (A) 참조). 또한, 캐소드 전극(12)은 단일 재료층이 될 수도 있고, 복수의 재료층을 적층하여 구성할 수도 있다. 예를 들면, 뒤의 공정에서 형성되는 각 전자 방출 전극의 전자 방출 특성의 편차를 적게 하기 위해서, 캐소드 전극(12)의 표층부를 잔부보다도 전기 저항율이 높은 재료로 구성할 수 있다.

[공정-110]

다음에, 개구부(15)의 저부에 노출된 캐소드 전극(12) 상에 전자 방출 전극(16A)를 형성한다. 구체적으로는, 먼저, 알루미늄을 기울어지게 증착하여 박리층(17)을 형성한다. 이 때, 지지체(11)의 법선에 대한 증착 입자의 입사각을 충분히 크게 선택하여 개구부(15)의 저부에 알루미늄을 거의 퇴적시키지 않고, 게이트 전극(14) 및 절연층(13) 상에 박리층(17)을 형성할 수 있다. 이 박리층(17)은 개구부(15)의 개구단부로부터 처마 형상으로 길게 연장되어 있고, 이에 따라 개구부(15)가 실질적으로 직경이 축소된다(도 36의 (B) 참조).

[공정-120]

다음에, 전면에 예를 들면, 몰리브덴(Mo)을 수직 증착한다. 이 때, 도 37의 (A)에 도시한 바와 같이, 박리층(17)상에서 오버행잉(overhanging) 형상을 가지는 몰리브덴으로 이루어지는 도전체층(18)이 성장함에 따라, 개구부(15)의 실질적인 직경이 점차로 축소되기 때문에, 개구부(15)의 저부에서 퇴적에 기여하는 증착 입자는 점차로 개구부(15)의 중앙 부근을 통과하는 것에 한정되게 된다. 그 결과, 개구부(15)의 저부에는 원추 모양의 퇴적물이 형성되고, 이 원추 모양의 몰리브덴으로 이루어지는 퇴적물이 전자 방출 전극(16A)으로 된다.

그 후, 전기 화학적 프로세스 및 습식 프로세스에 의해서 박리층(17)을 절연층(13) 및 게이트 전극(14)의 표면에서 박리하여, 절연층(13) 및 게이트 전극(14)의 상측의 도전체층(18)을 선택적으로 제거한다. 그 결과, 도 37의 (B)에 도시한 바와 같이, 개구부(15)의 저부에 위치하는 캐소드 전극(12) 상에 원추 모양의 전자 방출 전극(16A)을 남길 수 있다.

또한, 이러한 전계 방출 소자가 다수 형성된 제1 패널(캐소드 패널) (10)과 제2 패널(애노드 패널)(20)을 조합시키면, 도 3에 나타낸 평면형 표시 장치를 얻을 수 있다. 구체적으로는, 예를 들면, 세라믹스나 유리로 제작된 높이 약 1mm의 프레임(도시하지 않음)을 준비하여, 프레임과 제1 패널(10)과 제2 패널(20)을 예를 들면, 프린트 유리를 이용하여 맞붙여 프린트유리를 건조한 후, 약 450 °C에서 10 30 분만큼 소성하면 된다. 그 후, 평면형 표시 장치의 내부를 10^{-4} Pa 정도의 진공도로 될 때까지 배기하여 적당한 방법으로 봉지한다. 또는 예를 들면, 프레임과 제1 패널(10)과 제2 패널(20)과의 붙이기 맞춤을 높은 진공속에서 행해도 된다. 또는 평면형 표시 장치의 구조에서는 프레임 없이 제1 패널(10)과 제2 패널(20)을 맞붙여도 된다.

제2 패널(20)의 제조 방법의 일 예를 이하, 도 38를 참조하여 설명한다. 먼저, 발광성 결정 입자 조성물을 조제한다. 그 때문에, 예를 들면, 순수에 분산제를 분산시키고, 호모 믹서를 이용하여 3000rpm에서 1분간 교반을 행한다. 다음에, 발광성 결정 입자를 분산제가 분산된 순수에 투입하고 호모 믹서를 이용하여 5000rpm에서 5분간 교반을 행한다. 그 후, 예를 들면, 폴리비닐 알콜 및 중크롬산 암모늄을 첨가하여 충분히 교반하여 여과한다.

제2 패널(20)의 제조에서는, 예를 들면 유리로 이루어지는 기판(21)상의 전면에 감광성 피막(50)을 형성한다. 그리고, 노광 광원(도시하지 않음)으로부터 사출되어 마스크(53)에 설치된 개구(54)를 통과한 노광광에 따라 기판(21)상에 형성된 감광성 피막(50)을 노광하여 감광 영역(51)을 형성한다(도 38의 (A) 참조). 그 후, 감광성 피막(50)을 현상하여 선택적으로 제거하여, 감광성 피막의 잔부(노광 현상 뒤의 감광성 피막)(52)를 기판(21) 상에 남긴다.(도 38의 (B) 참조). 다음에, 전면에 카본제 (카본 슬러리)를 도포하여, 건조, 소성한 후, 리프트 오프법으로 감광성 피막의 잔부(52) 및 그 위의 카본제를 제거하여, 노출된 기판(21) 상에 카본제로 이루어지는 블랙 매트릭스(23)를 형성하고, 더불어 감광성 피막의 잔부(52)를 제거한다(도 38의 (C) 참조). 그 후, 노출된 기판(21) 상에, 적, 녹, 청의 각 형광체층(22)(22R,22G,22B)를 형성한다(도 38의 (D) 참조). 구체적으로는, 각 발광성 결정 입자(형광체 입자)로 조제된 발광성 결정 입자 조성물을 사용하고, 예를 들면, 적색의 감광성의 발광성 결정 입자 조성물(형광체 슬러리)를 전면에 도포하여, 노광, 현상하고, 이어서, 녹색의 감광성의 발광성 결정 입자 조성물(형광체 슬러리)를 전면에 도포하여, 노광, 현상하고, 또한, 청색의 감광성의 발광성 결정 입자 조성물(형광체 슬러리)를 전면에 도포하여, 노광, 현상하면 된다. 그 후, 형광체층(22) 및 블랙 매트릭스(23) 상에 스퍼터링법으로 두께 약 0.07㎛의 알루미늄 박막으로 이루어지는 애노드 전극(24)을 형성한다. 또한, 스크린 인쇄법 등에 의하여 각 형광체층(22)을 형성할 수도 있다.

또한, 애노드 전극은, 유효 영역을 1장의 시트상의 도전 재료로 피복한 형식의 애노드 전극으로도 좋고, 1 또는 복수의 전자 방출부, 또는, 1 또는 복수의 화소에 대응하는 애노드 전극 유닛이 집합한 형식의 애노드 전극으로도 된다. 본 발명의 제1 양태 또는 제3 양태에 의한 평면형 표시 장치에서, 애노드 전극이 전자의 구성인 경우, 이러한 애노드 전극에 애노드 전극 구동 회로를 접속하면 되고, 애노드 전극이 후자의 구성인 경우, 예를 들면, 각 애노드 전극 유닛에 애노드 전극 구동 회로를 접속하면 된다. 또, 본 발명의 제2 양태에 의한 평면형 표시 장치에서, 애노드 전극이 전자의 구성인 경우, 애노드 전극 차단 회로를 하나 설치하면 되고, 애노드 전극이 후자의 구성인 경우, 예를 들면, 애노드 전극 차단 회로를 애노드 전극 유닛의 수만큼 설치하면 된다.

[크라운형 전계 방출 소자]

크라운형 전계 방출 소자로 이루어지는 제1 구조를 가지는 전계 방출 소자의 모식적인 일부 단면도를 도 41의 (A)에 나타내고, 일부를 잘라낸 모식적인 사시도를 도 41의 (B)에 나타낸다. 크라운형 전계 방출 소자는, 지지체(11) 상에 형성된 캐소드 전극(12)과, 지지체(11) 및 캐소드 전극(12)상에 형성된 절연층(13)과, 절연층(13) 상에 형성된 게이트 전극(14)과, 게이트 전극(14) 및 절연층(13)을 관통하는 개구부(15)와, 개구부(15)의 저부에 위치하는 캐소드 전극(12)의 일부분 위에 설치된 크라운(왕관)형의 전자 방출 전극(16B)으로 구성되어 있다. 개구부(15)의 저부에 노출된 크라운(왕관)형의 전자 방출 전극(16B)은 전자 방출부(16)에 상당한다.

이하, 크라운형 전계 방출 소자의 제조 방법을 지지체 등의 모식적인 일부 단면도인 도 39 도 41를 참조하여 설명한다.

[공정-200]

먼저, 예를 들면 유리 기판으로 이루어지는 지지체(11) 상에 스트라이프의 캐소드 전극(12)을 형성한다. 또한, 캐소드 전극(12)은 도면의 지면좌우 방향으로 연장되어 있다. 스트라이프형의 캐소드 전극(12)은 예를 들면 지지체(11) 상에 ITO 막을 스퍼터링법에 의해 약 0.2㎛의 두께로 전면에 걸쳐 성막한 후, ITO 막을 패터닝하여 형성할 수 있다. 또한, 캐소드 전극(12)은 단일의 재료층이 될 수도 있고, 복수의 재료층을 적층하여 구성할 수도 있다. 예를 들면, 뒤의 공정에서 형성되는 각 전자 방출 전극의 전자 방출 특성의 편차를 적게 하기 위해서, 캐소드 전극(12)의 표층부를 잔부보다도 전기 저항율이 높은 재료로 구성할 수 있다. 다음에, 지지체(11) 및 캐소드 전극(12) 상에 절연층(13)을 형성한다. 여기서는, 일 예로서 유리 페이스트를 전면에 약 3㎛의 두께에 스크린 인쇄한다. 다음에, 절연층(13)에 포함되는 수분이나 용제를 제거하고, 또한, 절연층(13)을 평탄화하기 위해서 예를 들면 100℃, 10분간의 소성, 및 500℃, 20분간의 본 소성 2단계의 소성을 행한다. 또한, 상술한 바와 같이 유리 페이스트를 이용한 스크린 인쇄로 바꾸고, 예를 들면 플라즈마 CVD 법에 의해 SiO_2 막을 형성할 수도 있다.

다음에, 절연층(13) 상에 스트라이프형의 게이트 전극(14)을 형성한다(도 39의 (A) 참조). 또한, 게이트 전극(14)은 도면의 지면 수직 방향으로 연장되어 있다. 게이트 전극(14)은 예를 들면, 절연층(13) 상에 두께 약20 nm의 크롬(Cr)막과 두께 0.2㎛의 금(Au)막을 전자빔 증착법에 의해 이 순서로 전면 성막하고, 계속해서 이 적층막을 패터닝하여 형성할 수 있다. 또한, 크롬막은 절연층(13)에 대한 금막의 밀착성의 부족을 보충하기 위해서 형성된다. 게이트 전극(14)의 투영상이 연장되는 방향은 스트라이프형의 캐소드 전극(12)의 투영상이 연장되는 방향과 90도를 이룬다.

[공정-210]

다음에, 예를 들면 포토 레지스트 재료로 이루어지는 에칭용 마스크를 이용하여 게이트 전극(14) 및 절연층(13)을 RIE 법에 기초하여 에칭하여, 게이트 전극(14) 및 절연층(13)에 개구부(15)를 형성하고, 개구부(15)의 저부에 캐소드 전극(12)을 노출시킨다(도 39의 (B) 참조). 개구부(15)의 직경을 약2 50㎛로 한다.

[공정-220]

다음에, 에칭용 마스크를 제거하고, 게이트 전극(14) 위, 절연층(13)위, 및 개구부(15)의 측벽면 상에 박리층(60)을 형성한다(도 40의 (A) 참조). 이러한 박리층(60)을 형성하기 위해서는 예를 들면, 포토 레지스트 재료를 스핀 코팅법에 의해 전면에 도포하고, 개구부(15)의 저부의 일부분(중앙부)만을 제거하는 것 같은 패터닝를 행하면 된다. 이 시점에서 개구부(15)의 실질적인 직경은, 약1 20㎛로 축소된다.

[공정-230]

다음에, 도 40의 (B)에 도시한 바와 같이, 전면에 조성물 원료로 이루어지는 도전성 조성물층(61)을 형성한다. 여기서 사용하는 조성물 원료는 예를 들면, 도전성 입자로서 평균 직경이 약 0.1㎛의 흑연 입자를 60 중량%, binder로서 4호의 물 유리를 40 중량% 포함한다. 이 조성물 원료를 예를 들면 1400 rpm, 10초간의 조건으로 전면에 스핀코트한다. 개구부(15)내에서의 도전성 조성물층(61)의 표면은 조성물 원료의 표면 장력에 기인하여, 개구부(15)의 측벽면을 따라 상승하여 개구부(15)의 중앙부를 향하여 우묵하게 들어간다. 그 후, 도전성 조성물층(61)에 포함되는 수분을 제거하기 위한 가소성을, 예를 들면 대기중 400℃에서 30분간 행한다.

조성물 원료에서, 바인더는 (1) 그 자체가 도전성 입자의 분산매이어도 되고, (2) 도전성 입자를 피복하고 있어도 되며, (3)적당한 용매에 분산 또는 용해되는 것에 따라 도전성 입자의 분산매를 구성하여도 된다. (3)의 케이스의 전형예는 물유리이고 일본 공업 규격(JIS) K1408에 규정되는 1호 내지 4호, 또는 이들 동등품을 사용할 수 있다. 1호 내지 4호는 물유리의 구성 성분인 산화나트륨(Na_2O) 1 몰(mol)에 대한 산화 규소(SiO_2)의 몰수(약2 4 몰)의 차이에 기초하는 4단계의 등급이며, 각각 점도가 크게 다르다. 따라서, 리프트 오프·프로세스로 물유리를 사용하는 경우에는 물유리에 분산시키는 도전성 입자의 종류나 함유량, 박리층(60)과의 친화성, 개구부(15)의 종횡비 등의 여러 가지 조건을 고려하여, 최적 등급의 물유리를 선택하든지, 또는, 이들 등급과 동등의 물유리를 조제하여 사용하는 것이 바람직하다.

바인더는 일반적으로 도전성에 열화되기 때문에, 조성물 원료중의 도전성 입자의 함유량에 대한 바인더의 함유량이 초과되면, 형성되는 전자 방출 전극(16B)의 전기 저항치가 상승하여 전자 방출이 원활히 행해지지 않게 되는 우려가 있다. 따라서, 예를 들면 물유리에 도전성 입자로서 카본계재료 입자를 분산시켜 이루어지는 조성물 원료를 예로 들면, 조성물 원료의 전체 중량에서 차지하는 카본계 재료 입자의 비율은, 전자 방출 전극(16B)의 전기 저항치, 조성물 원료의 점도, 도전성 입자끼리의 접착성 등의 특성을 고려하여 대강 30 95중량%의 범위에서 선택하는 것이 바람직하다. 카본계 재료 입자의 비율을 이러한 범위내에서 선택함으로써, 형성되는 전자 방출 전극(16B)의 전기 저항치를 충분히 내리는 동시에, 카본계 재료 입자끼리의 접착성을 양호하게 유지하는 것이 가능하게 된다. 단지, 도전성 입자로 카본계 재료 입자에 알루미나 입자를 혼합하여 이용하는 경우에는, 도전성 입자끼리의 접착성이 저하되는 경향이 있기 때문에, 알루미나 입자의 함유량에 따라 카본계 재료 입자의 비율을 높이는 것이 바람직하고, 60 중량% 이상으로 하는 것이 특히 바람직하다. 또한, 조성물 원료에는, 도전성 입자의 분산 상태를 안정화시키기 위한 분산제나, pH 조정제, 건조제, 경화제, 방부제 등의 첨가제가 포함되어 있어도 된다. 또, 도전성 입자를 결합제(바인더)의 피막으로 덮은 분체를, 적당한 분산매중에 분산시켜 이루어지는 조성물 원료를 사용할 수도 있다.

일 예로서, 왕관 형상의 전자 방출 전극(16B)의 직경을 대강 1 20㎛로 하고 도전성 입자로 카본계 재료 입자를 사용하는 경우, 카본계 재료 입자의 직경은 대강 0.1㎛ 1㎛의 범위로 하는 것이 바람직하다. 카본계 재료 입자의 직경을 이러한 범위에서 선택함으로써, 왕관 형상의 전자 방출 전극(16B)의 에지부(edge portion)에 충분히 높은 기계적 강도가 구비되고, 또한, 캐소드 전극(12)에 대한 전자 방출 전극(16B)의 밀착성이 양호하게 된다.

[공정-240]

다음에, 도 40의 (C)에 도시한 바와 같이, 박리층(60)을 제거한다. 박리는 2중량%의 수산화나트륨 수용액에 30초간 격으로 침지하는 것에 의하여 이루어진다. 이 때, 초음파 진동을 가하면서 박리를 행해도 된다. 이에 따라, 박리층(60)과 같이 박리층(60) 상의 도전성 조성물층(61)의 부분이 제거되어, 개구부(15)의 저부에 노출된 캐소드 전극(12) 상의 도전성 조성물층(61)의 부분만이 남겨진다. 이 잔존한 부분이 전자 방출 전극(16B)가 된다. 전자 방출 전극(16B)의 형상은 표면이 개구부(15)의 중앙부를 향하여 움푹 들어가서 왕관 형상이 된다. [공정-240]이 종료한 시점에서의 상태를 도 41에 나타낸다. 도 41의 (B)는 전계 방출 소자의 일부를 나타내는 모식적인 사시도이며, 도 41의 (A)는 도 41의 (B)의 선 A-A에 따른 모식적인 일부 단면 도면이다. 도 41의 (B)에서 전자 방출 전극(16B)의 전체가 보이도록, 절연층(13)과 게이트 전극(14)의 일부를 잘라내고 있다. 또한, 나의 중복 역에는 5 100개 도의 전자 방출 전극(16B)을 설치하는 것으로 충분하다. 또한, 도전성 입자가 전자 방출 전극(16B)의 표면에 확실하게 노출되 도록, 전자 방출 전극(16B)의 표면에 노출된 바인더를 에칭에 의해 제거할 수도 있다.

[공정-250]

다음에, 전자 방출 전극(16B)의 소성을 행한다. 소성은 건조 대기 중에서 400℃, 30분간의 조건으로 행한다. 또한, 소성 온도는 조성물 원료에 포함되는 바인더의 종류에 따라 선택하면 된다. 예를 들면, 바인더가 물유리와 같은 무기 재료인 경우에는 무기 재료를 소성할 수 있는 온도로 열처리를 행하면 된다. 바인더가 열경화성 수지인 경우에는 열경화성 수지를 경화할 수 있는 온도로 열처리를 행하면 된다. 다만, 도전성 입자끼리의 밀착성을 유지하기 위해서 열경화성 수지가 과도히 분해하거나 탄화하는 우려가 없는 온도로 열처리를 행하는 것이 바람직하다. 어느 바인더를 이용하여도 열처리 온도는 게이트 전극이나 캐소드 전극, 절연층에 손상이나 결함이 생기지 않는 온도로 할 필요가 있다. 열처리 분위기는 게이트 전극이나 캐소드 전극의 전기 저항율이 산화에 의해서 상승하거나, 또는 게이트 전극이나 캐소드 전극에 결함이나 손상이 생기는 일이 없도록, 불활성 가스 분위기로 하는 것이 바람직하다. 또한, 바인더로서 열가소성 수지를 사용한 경우에는 열처리를 필요로 하지 않는 경우가 있다.

[편평형(plane-type) 전계 방출 소자(1)]

편평형 전계 방출 소자로 이루어지는 제1 구조를 가지는 전계 방출 소자의 모식적인 일부 단면도를 도 42의 (C)에 나타낸다. 편평형 전계 방출 소자는 예를 들면, 유리로 이루어지는 지지체(11) 상에 형성된 캐소드 전극(12), 지지체(11) 및 캐소드 전극(12) 상에 형성된 절연층(13), 절연층(13)상에 형성된 게이트 전극(14), 게이트 전극(14) 및 절연층(13)을 관통하는 개구부(15) 및, 개구부(15)의 저부에 위치하는 캐소드 전극(12)의 부분 위에 설치된 편평한 전자 방출 전극(16C)으로 이루어진다. 여기에서, 전자 방출 전극(16C)은 도 42의 (C)의 지면 수직 방향으로 연장된 스트라이프형의 캐소드 전극(12) 상에 형성되어 있다. 또, 게이트 전극(14)은 도 42의 (C)의 지면 좌우 방향으로 연장되어 있다. 캐소드 전극(12) 및 게이트 전극(14)은 크롬으로 이루어진다. 전자 방출 전극(16C)은 구체적으로는, 그래파이트(graphite) 분말로 이루어지는 박층으로 구성되어 있다. 또, 전계 방출 소자의 동작 안정화, 전자 방출 특성의 균일화를 위해, 캐소드 전극(12)과 전자 방출 전극(16C) 사이에 SiC로 이루어지는 저항체층(62)이 설치되어 있다. 도 42의 (C)에 나타낸 편평형 전계 방출 소자에서는 캐소드 전극(12)의 표면의 전역에 걸쳐, 저항체층(62) 및 전자 방출 전극(16C)이 형성되어 있지만, 이러한 구조에 한정하는 것이 아니라, 요컨대, 적어도 개구부(15)의 저부에 전자 방출 전극(16C)이 설치되어 있으면 된다.

이하, 지지체 등의 모식적인 일부 단면도인 도 42를 참조하여 편평형 전계 방출 소자의 제조 방법을 설명한다.

[공정-300]

먼저, 지지체(11) 상에 크롬(Cr)으로 이루어지는 캐소드 전극용 도전 재료층을 스퍼터링법으로 형성한 후, 리소그라피 기술 및 드라이 에칭 기술에 기초하여 캐소드 전극용 도전 재료층을 패터닝한다. 이로 인해, 스트라이프형의 캐소드 전극(12)을 지지체(11) 상에 형성할 수 있다.(도 42의 (A) 참조). 또한, 캐소드 전극(12)은 도 42의 지면 수직 방향으로 연장되어 있다.

[공정-310]

다음에, 캐소드 전극(12) 상에 전자 방출 전극(16C)을 형성한다. 구체적으로는 먼저, 전면에 스퍼터링법으로 SiC로 이루어지는 저항체층(62)을 형성하고, 이어서, 저항체층(62) 위에 그래파이트 분말 도료로 이루어지는 전자 방출 전극(16C)을 스핀코팅법으로 형성하고 전자 방출 전극(16C)을 건조시킨다. 그 후, 전자 방출 전극(16C) 및 저항체층(62)을 공지의 방법에 따라 패터닝 한다(도 42의 (B) 참조). 전자 방출부는 전자 방출 전극(16C)으로 구성된다.

[공정-320]

다음에, 전면에 절연층(13)을 형성한다. 구체적으로는, 전자 방출 전극(16C) 및 지지체(11)상에 예를 들면, 스퍼터링법으로 SiO_2로 이루어지는 절연층(13)을 형성한다. 또한, 절연층(13)을, 유리 페이스트를 스크린 인쇄하는 방법이나, SiO_2층을 CVD 법으로 형성하는 방법에 기초하여 형성할 수도 있다. 그 후, 스트라이프형의 게이트 전극(14)을 절연층(13) 상에 형성한다.

[공정-330]

다음에, 에칭용 마스크를 설치한 후, 게이트 전극(14) 및 절연층(13)에 개구부(15)를 형성하여, 개구부(15)의 저부에 전자 방출 전극(16C)을 노출시킨다. 그 후, 에칭용 마스크를 제거하여, 전자 방출 전극(16C) 중의 유기 용제를 제거하기 위해서, 400℃로 30분간 열처리를 실시한다. 이렇게 해서, 도 42의 (C)에 나타낸 전계 방출 소자를 얻을 수 있다.

[편평형 전계 방출 소자(2)]

편평형 전계 방출 소자로 이루어지는 제1 구조를 가지는 전계 방출 소자의 변형 예의 모식적인 일부 단면도를 도 43의 (C)에 나타낸다. 도 43의 (C)에 나타내는 편평형 전계 방출 소자에서는, 전자 방출 전극(16C)의 구조가 도 42의 (C)에 나타낸 편평형 전계 방출 소자와 약간 다르다. 이하, 지지체 등의 모식적인 일부 단면도인 도 43을 참조하여, 이러한 전계 방출 소자의 제조 방법을 설명한다.

[공정-400]

먼저, 지지체(11) 상에 캐소드 전극용 도전 재료층을 형성한다. 구체적으로는, 지지체(11)의 전면에 레지스트 재료층(도시하지 않음)을 형성한 후, 캐소드 전극을 형성할 부분의 레지스트 재료층을 제거한다. 그 후, 전면에 크롬(Cr)으로 이루어지는 캐소드 전극용 도전 재료층을 스퍼터링법으로 형성한다. 또한, 전면에 스퍼터링법으로 SiC로 이루어지는 저항체층(62)을 형성하고, 이어서, 저항체층(62) 위에 그래파이트 분말 도료층을 스핀코팅법으로 형성하고 그래파이트 분말 도료층을 건조시킨다. 그 후, 박리액을 이용하여 레지스트 재료층을 제거하면, 레지스트 재료층 상에 형성된 캐소드 전극용 도전 재료층, 저항체층(62) 및 그래파이트 분말 도료층도 제거된다. 이렇게 해서, 캐소드 전극(12), 저저항체층(62) 및 전자 방출 전극(16C)이 적층된 구조를 얻을 수 있다(도 43의 (A) 참조).

[공정-410]

다음에, 전면에 절연층(13)을 형성한 후, 절연층(13) 상에 스트라이프형의 게이트 전극(14)을 형성한다(도 43의 (B) 참조). 그 후, 게이트 전극(14) 및 절연층(13)에 개구부(15)를 형성하여 개구부(15)의 저부에 전자 방출 전극(16C)을 노출시킨다(도 43의 (C) 참조). 개구부(15)의 저부에 노출된 캐소드 전극(12)의 표면에 설치된 전자 방출 전극(16C)이 전자 방출부에 상당한다.

[편평형 전계 방출 소자(3)]

편평형 전계 방출 소자로 이루어지는 제1 구조를 가지는 전계 방출 소자의 별도의 변형예의 모식적인 일부 단면도를 도 45의 (B)에 나타낸다. 이 편평형 전계 방출 소자에서 전자 방출 전극(16D)는 CVD 법에 기초하여 형성된 탄소 박막으로 구성되어 있다.

전자 방출부를 탄소 박막으로 구성하는 것은, 탄소(C)의 일함수가 낮고, 높은 방출 전자 전류를 달성할 수 있기 때문에 바람직하다. 탄소 박막으로부터 전자를 방출시키기 위해서는 탄소 박막이 적절한 전계(예를 들면, 1O6볼트/cm 정도의 강도를 가지는 전계) 중에 놓여진 상태라고 하면 된다.

그러나, 레지스트층을 에칭용 마스크로 사용하고 산소 가스를 이용하여 다이아몬드 박막과 같은 탄소 박막의 플라즈마 에칭을 행한 경우, 에칭 반응계에서의 반응부 생성물로서 (CHx)계 또는 (CFx)계 등의 탄소계 폴리머가 퇴적성 물질로

서 생성한다. 일반적으로, 플라즈마 에칭에 있어서 퇴적성물질이 에칭 반응계에 생성한 경우, 이 퇴적성 물질은 이온 입사 확률이 낮은 레지스트층의 측벽면, 또는 피에칭물의 가공 단면에 퇴적하여 소위 측벽보호막을 형성하여, 피에칭물의 이방성 가공에 의해서 얻어지는 형상의 달성에 기여한다. 그러나, 산소 가스를 에칭용 가스로 사용한 경우에는, 탄소계 폴리머로 이루어지는 측벽 보호막은 생성하여도, 즉시 산소 가스에 의해서 제거되어 버린다. 또, 산소가스를 에칭용 가스로 사용한 경우에는 레지스트층의 소모도 심하다. 이러한 이유로 인하여, 종래 다이아몬드 박막의 산소 플라즈마 가공에서는 다이아몬드 박막의 마스크의 치수에 대한 치수 변환 차이가 크고, 이방성 가공도 곤란한 경우가 많다.

이러한 문제를 해결하기 위해서는, 예를 들면, 캐소드 전극의 표면에 탄소 박막 선택 성장 영역을 형성하여, 탄소 박막 선택 성장 영역 상에 탄소 박막으로 이루어지는 전자 방출부를 형성하는 구성으로 하면 된다. 즉, 이 전계 방출 소자의 제조에서는 지지체 상에 캐소드 전극을 형성한 후, 캐소드 전극의 표면에 탄소 박막 선택 성장 영역을 형성하고, 그 후, 탄소 박막 선택 성장 영역 상에 탄소 박막(전자 방출부에 상당한다)을 형성한다. 또한, 캐소드 전극의 표면에 탄소 박막 선택 성장 영역을 형성하는 공정을 탄소 박막 선택 성장 영역 형성 공정이라고 부른다.

여기에서, 탄소 박막 선택 성장 영역은 표면에 금속 입자가 부착된 캐소드 전극의 부분, 또는, 표면에 금속 박막이 형성된 캐소드 전극의 부분인 것이 바람직하다. 또한, 탄소 박막 선택 성장 영역에서의 탄소 박막의 선택 성장을 한층 확실하게 하기 위해서, 탄소 박막 선택 성장 영역의 표면에, 유황(S), 붕소(B) 또는 인(P)이 부착하는 것이 요구되고, 이러한 물질은 일종의 촉매로서 작용을 다하는 것으로 생각되며, 이것에 의하여 탄소 박막의 선택 성장성을 한층 향상시킬 수 있다. 또한, 탄소 박막 선택 성장 영역은 개구부의 저부에 위치하는 캐소드 전극의 부분의 표면에 형성되어 있으면 좋고, 개구부의 저부에 위치하는 캐소드 전극의 부분으로부터 개구부의 저부 이외의 캐소드 전극의 부분의 표면에 연장되도록 형성되어 있어도 된다. 또, 탄소 박막 선택 성장 영역은 개구부의 저부에 위치하는 캐소드 전극의 부분의 표면의 전면에 형성되어 있어도, 부분적으로 형성되어 있어도 된다.

탄소 박막 선택 성장 영역 형성 공정은 탄소 박막 선택 성장 영역을 형성할 캐소드 전극 부분의 표면(이하, 단순히 캐소드 전극의 표면이라고 부르는 경우가 있다)에 금속 입자를 부착시키고, 또는, 금속 박막을 형성하는 공정으로 이루지고, 따라서, 표면에 금속 입자가 부착되며, 또는, 표면에 금속 박막이 형성된 캐소드 전극의 부분으로 이루어지는 탄소 박막 선택 성장 영역을 얻는 것이 바람직하다. 또, 이 경우, 탄소 박막 선택 성장 영역에서의 탄소 박막의 선택 성장을 한층 확실하게 하기 위해서, 탄소 박막 선택 성장 영역의 표면에, 유황(S),붕소(B)또는 인(P)을 부착시키는 것이 요구되고, 이로 인해, 탄소 박막의 선택 성장성을 한층 향상시킬 수 있다. 탄소 박막 선택 성장 영역의 표면에 유황, 붕소 또는 인을 부착시키는 방법으로는, 예를 들면, 유황, 붕소 또는 인을 포함하는 화합물로 이루어지는 화합물층을 탄소 박막 선택 성장 영역의 표면에 형성하고, 이어서, 예를 들면 가열 처리를 화합물층에 실시하여 화합물층을 구성하는 화합물을 분해시키고, 탄소 박막 선택 성장 영역의 표면에 유황, 붕소 또는 인을 남기는 방법을 들 수 있다. 유황을 포함하는 화합물로서 티오나프텐(thionaphthene), 티오프텐(thiophthene), 티오펜(thiophene)을 예시할 수 있다. 붕소를 포함하는 화합물로서는 트리페닐보론(triphenylboron)을 예시할 수 있다. 인을 포함하는 화합물로서는 트리페닐포스핀(triphenylphosphine)을 예시할 수 있다.

또한 탄소 박막 선택 성장 영역에서의 탄소 박막의 선택 성장을 한층 확실하게 하기 위해서, 캐소드 전극의 표면에 금속 입자를 부착시키고, 또는, 금속 박막을 형성한 후, 금속 입자의 표면 또는 금속 박막의 표면의 금속 산화물(소위, 자연 산화막)을 제거하는 것이 바람직하다. 금속 입자의 표면 또는 금속 박막의 표면의 금속 산화물의 제거를 예를 들면, 수소 가스 분위기에서의 마이크로파 플라즈마법, 트랜스 결합형 플라즈마법, 유도 결합형 플라즈마법, 전자 사이클로트론 공명 플라즈마법, RF 플라즈마법 등 에 기초하는 플라즈마 환원 처리, 아르곤 가스 대기에서의 스퍼터 처리, 또는, 예를 들면 물화 수소산(hydrofluroic acid) 등의 산이나 염기를 이용한 세정 처리에 의하여 행하는 것이 바람직하다. 또한, 탄소 박막 선택 성장 영역의 표면에 유황, 붕소 또는 인을 부착시키는 공정, 또는 금속 입자의 표면 또는 금속 박막의

표면의 금속 산화물을 제거하는 공정을 포함하는 경우, 절연층에 개구부를 설치한 후, 탄소 박막 선택 성장 영역 상에 탄소 박막을 형성하기 전에 이들 공정을 실행하는 것이 바람직하다.

탄소 박막 선택 성장 영역을 얻기 위해서 캐소드 전극의 표면에 금속 입자를 부착시키는 방법으로, 예를 들면, 탄소 박막 선택 성장 영역을 형성할 캐소드 전극의 영역 이외의 영역을 적절한 재료(예를 들면, 마스크층)으로 피복한 상태에서, 용매와 금속 입자로 이루어지는 층을 탄소 박막 선택 성장 영역을 형성할 캐소드 전극의 부분의 표면에 형성한 후, 용매를 제거하여,금속 입자를 남기는 방법을 들 수 있다. 또는 캐소드 전극의 표면에 금속 입자를 부착시키는 공정으로, 예를 들면, 탄소 박막 선택 성장 영역을 형성할 캐소드 전극의 영역 이외의 영역을 적절한 재료(예를 들면, 마스크층)으로 피복한 상태에서, 금속 입자를 구성하는 금속 원자를 포함하는 금속 화합물 입자를 캐소드 전극의 표면에 부착시킨 뒤, 금속 화합물 입자를 가열하여 분해하여, 표면에 금속 입자가 부착된 캐소드 전극의 부분으로 이루어지는 탄소 박막 선택 성장 영역을 얻는 방법을 들 수 있다. 이 경우, 구체적으로는, 용매와 금속 화합물 입자로 이루어지는 층을 탄소 박막 선택 성장 영역을 형성할 캐소드 전극의 부분의 표면에 형성한 후, 용매를 제거하여 금속 화합물 입자를 남기는 방법을 예시할 수 있다. 금속 화합물 입자는 금속 입자를 구성하는 금속의 할로겐화물(예를 들면, 옥화물, 염화물, 취화물 등), 산화물, 수산화물 및 유기 금속으로 이루어지는 군으로부터 선택된 적어도 1종류의 재료로 이루어지는 것이 바람직하다. 또한, 이들 방법에서는 적절한 단계에서, 탄소 박막 선택 성장 영역을 형성할 캐소드 전극의 영역 이외의 영역을 피복한 재료(예를 들면, 마스크층)를 제거한다.

탄소 박막 선택 성장 영역을 얻기 위해서 캐소드 전극의 표면에 금속박막을 형성하는 방법으로서, 예를 들면, 탄소 박막 선택 성장 영역을 형성할 캐소드 전극의 영역 이외의 영역을 적절한 재료로 피복한 상태에서의, 전해 도금법, 무전해 도금법, MOCVD 법을 포함하는 CVD법(화학적 기상성장법), 물리적 기상성장법(PVD법, Physical Vapor Deposition 법)등의 공지의 방법을 들 수 있다. 또한, 물리적 기상 성장법으로서 (a)전자빔 가열법, 저항 가열법, 플래시 증착 등의 각종 진공증착법, (b)플라즈마 증착법, (c) 2극 스퍼터링법, 직류 스퍼터링법, 직류 마그네트론 스퍼터링법, 고주파 스퍼터링법, 마그네트론 스퍼터링법, 이온 빔 스퍼터링법, 바이어스 스퍼터링법 등의 각종 스퍼터링법, (d) DC (direct current)법, RF법, 다음극법, 활성화 반응법, 전계 증착법, 고주파 이온 플레이팅(plating)법, 반응성 이온 플레이팅법 등의 각종 이온 플레이팅을 들 수 있다.

여기에서, 금속 입자 또는 금속 박막은, 몰리브덴(Mo),니켈(Ni), 티탄(Ti), 크롬(Cr), 코발트(Co), 텅스텐(W), 지르코늄(Zr), 탄탈(Ta), 철(Fe), 동(Cu), 백금(Pt) 및 아연(Zn)으로 이루어지는 군에서 선택된 적어도 1종류의 금속으로 구성되는 것이 바람직하다.

탄소 박막으로서, 그래파이트 박막, 아모포스 카본(amorphous carbon) 박막, 다이아모드라이트(diamond-like) 카본 박막, 또는 풀리렌(fullerene) 박막을 들 수 있다. 탄소 박막의 형성 방법으로서 마이크로파 플라즈마법, 트랜스 결합형 플라즈마법, 유도 결합형 플라즈마법, 전자 사이클로트론 공명 플라즈마법, RF 플라즈마법 등에 기초하는 CVD법, 평행 평판형 CVD 장치를 이용한 CVD 법을 예시할 수 있다. 탄소 박막의 형태는 박막 형상뿐만 아니라, 카본 위스커(caron whisker), 탄소의 나노튜브(nano-tube)(중공(hollow) 및 솔리드 튜브(solid tube)를 포함한다)가 포함된다.

또한, 캐소드 전극의 구조로서는 도전 재료층의 1층 구성으로 할 수 있고, 하층 도전 재료층, 하층 도전 재료층상에 형성된 저항체층, 저항체층상에 형성된 상층 도전 재료층의 3층 구성으로 할 수도 있다. 후자의 경우, 상층 도전 재료층의 표면에 탄소 박막 선택 성장 영역을 형성한다. 이와 같이, 저항체층을 설치하는 것에 따라 전자 방출 전극에서의 전자 방출 특성의 균일화를 도모할 수 있다.

이하, 지지체 등의 모식적인 일부 단면도면인 도 44 및 도 45를 참조하여, 편평형 전계 방출 소자의 제조 방법의 일 예를 설명한다.

[공정-500]

먼저, 예를 들면 유리 기판으로 이루어지는 지지체(11) 상에 캐소드 전극용 도전 재료층을 형성하고, 이어서, 주지의 리소그라피 기술 및 RIE 법에 기초하여 캐소드 전극용 도전 재료층을 패터닝하여, 스트라이프형의 캐소드 전극(12)을 지지체(11) 상에 형성한다. 스트라이프형의 캐소드 전극(12)은 도면의 지면 좌우 방향으로 연장되어 있다. 캐소드 전극(12)은 예를 들면 스퍼터링법에 의해 형성된 두께 약 0.2㎛㎜의 크롬(Cr)층으로 이루어진다.

[공정-510]

그 후, 전면에 구체적으로는, 지지체(11) 위 및 캐소드 전극(12) 위에 절연층(13)을 형성한다.

[공정-520]

이어서, 스트라이프형의 게이트 전극(14)을 절연층(13) 상에 형성한 후, 게이트 전극(14) 및 절연층(13)에 개구부(15)를 형성하여 개구부(15)의 저부에 캐소드 전극(12)을 노출시킨다(도 44의 (A) 참조). 스트라이프형의 게이트 전극(14)은 도면의 지면 수직 방향으로 연장되어 있다. 개구부(15)의 평면 형상은 예를 들면 직경 1㎛ 30㎛의 원형이다. 개구부(15)를 예를 들면, 1 화소분의 영역(중복 영역)에 1개 3000개 정도 형성하면 된다.

[공정-530]

다음에, 개구부(15)의 저부에 노출된 캐소드 전극(12) 상에 전자 방출 전극(16D)를 형성한다. 구체적으로는, 먼저, 개구부(15)의 저부에 위치하는 캐소드 전극(12)의 표면에 탄소 박막 선택 성장 영역(63)을 형성한다. 이를 위하여 먼저, 개구부(15)의 저부의 중앙부에 캐소드 전극(12)의 표면이 노출된 마스크층(64)을 형성한다(도 44의 (B) 참조). 구체적으로는, 레지스트 재료층을 스핀코팅법으로 개구부(15) 내를 포함하는 전면에 성막한 후, 리소그라피 기술에 기초하여 개구부(15)의 저부의 중앙부에 위치하는 레지스트 재료층에 구멍부를 형성하여 마스크층(64)을 얻을 수 있다. 마스크층(64)은 개구부(15)의 저부에 위치하는 캐소드 전극(12)의 일부분, 개구부(15)의 측벽, 게이트 전극(14) 및 절연층(13)을 피복하고 있다. 이로 인하여 다음 공정에서, 개구부(15)의 저부의 중앙부에 위치하는 캐소드 전극(12)의 표면에 탄소 박막 선택 성장 영역을 형성하지만, 캐소드 전극(12)과 게이트 전극(14)이 금속 입자에 의해서 단락되는 것을 확실하게 방지할 수 있다.

다음에, 노출된 캐소드 전극(12)의 표면을 포함하는 마스크층(64) 상에 금속 입자를 부착시킨다. 구체적으로는, 니켈(Ni) 미립자를 폴리실록산(polysiloxane) 용액에 분산시킨 용액(용매로서 이소프로필 알코올(isopropyl alcohol)을 사용)을 스핀 코팅법으로 전면에 도포하여, 탄소 박막 선택 성장 영역(63)을 형성할 캐소드 전극(12)의 부분의 표면에 용매와 금속 입자로 이루어지는 층을 형성한다. 그 후, 마스크층(64)을 제거하고 400℃ 정도로 가열하여 용매를 제거하여, 노출된 캐소드 전극(12)의 표면에 금속 입자(65)를 남김으로써 탄소 박막 선택 성장 영역(63)을 얻을 수 있다(도 45의 (A) 참조). 또한, 폴리실록산은 노출된 캐소드 전극(12)의 표면에 금속 입자(65)를 고정시키는 기능(소위, 접착 기능)을 가진다.

[공정-540]

그 후, 탄소 박막 선택 성장 영역(63) 상에, 두께 약 0.2㎛의 탄소 박막(66)을 형성하여 전자 방출 전극(16D)를 얻는다. 이 상태를 도 45의 (B)에 나타낸다. 마이크로파 플라즈마 CVD 법에 기초하는 탄소 박막(66)의 성막 조건을 이하의 표1에 예시한다.

[표 1]

[탄소 박막의 성막 조건]

사용 가스	CH_4/H_2 = 100/10SCCM
압력	1.3×10^3 Pa
마이크로파 파워	500W(13.56㎒)
성막 온도	500℃

[평면형(flat-type) 전계 방출 소자(1)]

평면형 전계 방출 소자로 이루어지는 제2 구조를 가지는 전계 방출 소자의 모식적인 일부 단면도를 도 46의 (C)에 나타낸다. 이 평면형 전계 방출 소자는 예를 들면 유리로 이루어지는 지지체(11) 상에 형성된 스트라이프형의 캐소드 전극(12), 지지체(11) 및 캐소드 전극(12) 상에 형성된 절연층(13), 절연층(13) 상에 형성된 스트라이프형의 게이트 전극(14) 및, 게이트 전극(14) 및 절연층(13)을 관통하다, 저부에 캐소드 전극(12)이 노출된 개구부(15)로 이루어진다. 캐소드 전극(12)은 도 46의 (C)의 지면 수직 방향으로 연장되고, 게이트 전극(14)은 도 46의 (C)의 지면 좌우 방향으로 연장되어 있다. 캐소드 전극(12) 및 게이트 전극(14)은 크롬(Cr)으로 이루어지고, 절연층(13)은 SiO_2로 이루어진다. 여기에서, 개구부(15)의 저부에 노출된 캐소드 전극(12)의 부분이 전자 방출부(16)에 상당한다.

이하, 지지체 등의 모식적인 일부 단면도인 도 46을 참조하여 평면형 전계 방출 소자의 제조 방법을 설명한다.

[공정-600]

먼저, 지지체(11) 상에 전자 방출부(16)로 기능하는 캐소드 전극(12)을 형성한다. 구체적으로는, 지지체(11) 상에 크롬(Cr)으로 이루어지는 캐소드 전극용 도전 재료층을 스퍼터링법으로 형성한 후, 리소그라피 기술 및 드라이 에칭 기술에 기초하여 캐소드 전극용 도전 재료층을 패터닝한다. 이에 따라, 스트라이프형의 캐소드 전극(12)을 지지체(11) 상에 형성할 수가 있다(도 46의 (A)참조). 또한, 캐소드 전극(12)은 도 46의 지면 수직 방향으로 연장되어 있다.

[공정-610]

다음에, 예를 들면 CVD 법으로 SiO_2로 이루어지는 절연층(13)을 지지체(11) 및 캐소드 전극(12)의 위에 형성한다. 또한, 절연층(13)을 스크린 인쇄법에 기초하여 유리 페이스트로부터 형성할 수도 있다.

[공정-620]

그 다음에, 스트라이프형의 게이트 전극(14)을 절연층(13) 상에 형성한다. 구체적으로는, 먼저, 전면에 크롬으로 이루어지는 도전 재료층을 스퍼터링법으로 형성한 후, 리소그라피 기술 및 드라이 에칭 기술에 기초하여 도전 재료층을 패터닝한다. 이에 따라, 스트라이프형의 게이트 전극(14)을 형성할 수 있다(도 46의 (B) 참조). 또한, 게이트 전극(14)은 도 46의 지면 좌우 방향으로 연장되어 있다. 예를 들면 스크린 인쇄법으로 스트라이프형의 게이트 전극(14)을 절연층(13) 상에 직접 형성할 수도 있다.

[공정-630]

다음에, 게이트 전극(14) 및 절연층(13)에 개구부(15)를 형성하여, 개구부(15)의 저부에 전자 방출부(16)로 기능하는 캐소드 전극(12)을 노출시킨다(도 46의 (C) 참조).

[평면형 전계 방출 소자(2)]

도 47의 (A)에 모식적인 일부 단면도를 나타내는 평면형 전계 방출 소자가 도 46의 (C)에 나타낸 평면형 전계 방출 소자와 서로 다른 점은, 개구부(15)의 저부에 노출된 캐소드 전극(12)의 표면(전자 방출부(16)에 상당한다)에, 미소 요철부(12A)가 형성되어 있는 점이다. 이러한 평면형 전계 방출 소자는 이하의 제조 방법으로 제조할 수 있다.

[공정-700]

먼저, 실시 형태1의 [공정-600] [공정-620]과 대략 동일하게 하여 지지체(11) 상에 스트라이프형의 캐소드 전극(12)을 형성하고 전면에 절연층(13)을 형성한 후, 스트라이프형의 게이트 전극(14)을 절연층(13) 상에 형성한다. 즉, 예를 들면 유리 기판으로 이루어지는 지지체(11)의 위에, 스퍼터링법에 의해 두께 약 0.2㎛의 텅스텐층을 성막하고, 보통의 순서에 따라서 이 텅스텐층을 스트라이프형으로 패터닝하여 캐소드 전극(12)을 형성한다. 다음에, 지지체(11) 및 캐소드 전극(12) 상에 절연층(13)을 형성한다. 절연층(13)은 TEOS(tetraethoxysilane)를 원료 가스로서 이용하는 CVD 법에 의해 형성할 수 있다. 또한, 이 절연층(13)의 위에 예를 들면 두께 약 0. 2㎛의 크롬으로 이루어지는 도전 재료층을 성막하고, 스트라이프형으로 패터닝하여 게이트 전극(14)을 형성한다. 여기까지 프로세스가 종료한 상태가, 실질적으로, 도 46의 (B)에 나타낸 바와 동일하다.

[공정-710]

다음에, [공정-630]과 같이 하여 게이트 전극(14) 및 절연층(13)에 개구부(15)를 형성하여, 개구부(15)의 저부에 캐소드 전극(12)을 노출시킨다. 그 후, 개구부(15)의 저부에 노출된 캐소드 전극(12)의 부분에 미소 요철부(12A)를 형성한다. 미소 요철부(12A)의 형성에서는, 에칭 가스로서 SF6를 이용하여 캐소드 전극(12)을 구성하는 텅스텐의 결정 입자의 에칭 속도보다도 입자계와 에칭 속도가 빨리 되는 에칭 조건을 설정하여 RIE 법에 기초하는 드라이 에칭을 행한다. 그 결과, 텅스텐의 결정 직경을 거의 반영하는 치수를 가지는 미소 요철부(12A)를 형성할 수 있다.

이러한 평면형 전계 방출 소자의 구성에서는, 캐소드 전극(12)의 미소 요철부(12A), 보다 구체적으로는 미소 요철부(12A)의 돌출부에, 게이트 전극(14)으로부터 큰 전계가 가해진다. 이 때, 돌출부에 집중하는 전계는 캐소드 전극(12)의 표면이 평활한 경우에 비해 크기 때문에, 돌출부로부터는 양자 터널 효과에 의해서 전자가 효율적으로 방출된다. 따라서, 개구부(15)의 저부에 단순히 평활한 캐소드 전극(12)이 노출되고 있는 평면형 전계 방출 소자에 비해, 평면형 표시 장치에 갖추어진 경우의 휘도의 향상을 기대할 수 있다. 따라서, 도 47의 (A)에 나타낸 평면형 전계 방출 소자에 의하면, 게이트 전극(14)과 캐소드 전극(12) 사이의 전위차가 비교적 작더라도 충분한 방출 전자 전류 밀도를 얻을 수 있어서 평면형 표시 장치의 고휘도화가 달성된다. 또는, 같은 휘도를 달성하기 위해 필요한 게이트 전압이 낮고, 따라서, 저소비 전력화를 달성하는 것이 가능하다.

또한, 절연층(13)을 에칭하여 개구부(15)를 형성하고, 다음에 이방성 에칭 기술에 기초하여 캐소드 전극(12)에 미소 요철부(12A)를 형성하지만, 개구부(15)를 형성하기 위한 에칭에 따라 미소 요철부(12A)를 동시에 형성하는 것도 가능하다. 즉, 절연층(13)을 에칭할 때에, 어느 정도의 이온 스퍼 작용이 기대할 수 있는 이방적인 에칭 조건을 채용하여 수직벽을 가지는 개구부(15)가 형성된 뒤에도 에칭을 계속하여, 개구부(15)의 저부에 노출된 캐소드 전극(12)의 부분에 미소 요철부(12A)를 형성할 수 있다. 그 후, 절연층(13)의 등방성 에칭을 행하면 된다.

또, [공정-600]과 같은 공정에서, 지지체(11) 상에 텅스텐으로 이루어지는 캐소드 전극용 도전 재료층을 스퍼터링법으로 형성한 후, 리소그라피 기술 및 드라이 에칭 기술에 기초하여 캐소드 전극용 도전 재료층을 패터닝하고, 이어서, 캐소드 전극용 도전 재료층의 표면에 미소 요철부(12A)를 형성한 다음, [공정-610] [공정-630]과 같은 공정을 실행하여 도 47의 (A)에 나타낸 바와 같은 전계 방출 소자를 제작할 수도 있다.

또는 [공정-600]과 같은 공정에서, 지지체(11) 상에 텅스텐으로 이루어지는 캐소드 전극용 도전 재료층을 스퍼터링법으로 형성한 후, 캐소드 전극용 도전 재료층의 표면에 미소 요철부(12A)를 형성하고, 이어서, 리소그라피 기술 및 드라이 에칭 기술에 기초하여 캐소드 전극용 도전 재료층을 패터닝한 다음, [공정-610] [공정-630]과 같은 공정을 실행하여 도 47의 (A)에 나타낸 바와 같은 전계 방출 소자를 제작할 수도 있다.

도 47의 (B)에는 도 47의 (A)에 나타낸 전계 방출 소자의 변형 예를 나타낸다. 도 47의 (B)에 나타내는 전계 방출 소자에서는, 미소 요철부(12A)의 선단부의 평균 높이 위치가 절연층(13)의 하면 위치보다도 지지체(11) 측에 존재하고 있는(즉, 낮게 있다) 이러한 전계 방출 소자를 형성하기 위해서는, [공정-710]에서의 드라이 에칭의 계속 시간을 연장하면 된다. 이러한 구성에 의하면 개구부(15)의 중앙부 근방의 전계 강도를 한층 높일 수 있다.

도 48은, 전자 방출부(16)에 상당하는 캐소드 전극(12)의 표면(보다 구체적으로는, 적어도 미소 요철부(12A)의 위)에 피복층(12B)이 형성되어 있는 평면형 전계 방출 소자를 나타낸다.

이 피복층(12B)은, 캐소드 전극(12)을 구성하는 재료보다도 일함수 Φ가 작은 재료로 구성하는 것이 바람직하고, 어떠한 재료를 선택하는가는 캐소드 전극(12)을 구성하는 재료의 일함수, 게이트전극(14)과 캐소드 전극(12) 사이의 전위차, 요구되는 방출전자전류 밀도의 크기 등 에 따라 결정하면 된다. 피복층(12B)의 구성 재료로서, 아모포스 다이아몬드를 예시할 수 있다. 피복층(12B)을 아모포스 다이아몬드를 이용하여 구성한 경우에는, 5×10^{7} V/m 이하의 전계강도로써, 평면형 표시 장치에 필요한 방출전자전류 밀도를 얻을 수 있다.

피복층(12B)의 두께는, 미소요철부(12A)를 반영할 수 있는 정도로 선택한다. 이것은, 피복층(12B)에 의해서 미소요철부(12A)의 요부가 매립되고, 전자 방출부의 표면이 평활화 되 버려서는, 미소요철부(12A)를 설치한 의미가 없어지기 때문이다. 따라서, 미소요철부(12A)의 치수에도 의존하지만, 예를 들어 미소요철부(12A)가 전자 방출부의 결정직경을 반영하여 형성되어 있는 경우에는, 피복층(12B)의 두께를 대강 30 100 nm 정도로 선택하는 것이 바람직하다. 또, 미소요철부(12A)의 선단부의 평균높이 위치를 절연층의 하면 위치보다도 낮게 하는 경우에는, 피복층(12B)의 선단부의 평균높이 위치를 절연층의 하면 위치보다도 낮게 하는 것이 한층 바람직하다.

구체적으로는, [공정-710]의 후, 전면에, 예를 들어 CVD 법에 의해 아모포스 다이아몬드로 이루어지는 피복층(12B)을 형성하면 된다. 또한, 피복층(12B)은, 게이트 전극(14) 및 절연층(13)의 위에 형성된 에칭용 마스크(도시하지 않음)의 위에도 퇴적되지만, 이 퇴적부분은 에칭용 마스크를 제거할 때, 함께 제거된다. 원료가스로서, 예를 들면 CH_4/H_2 혼합가스나, CO/H_2 혼합가스를 사용한 CVD 법에 기초하여 피복층(12B)을 형성할 수가 있어서, 각각 탄소를 포함하는 화합물의 열분해에 의해서 아모포스 다이아몬드로 이루어지는 피복층(12B)이 형성된다.

또는, [공정-600]과 같은 공정에서, 지지체(11)상에, 텅스텐으로 이루어지는 캐소드 전극용 도전재료층을 스퍼터링법으로써 형성한 후, 리소그라피 기술 및 드라이에칭 기술에 기초하여 캐소드 전극용 도전재료층을 패터닝하고, 그 후, 캐소드 전극용 도전재료층의 표면에 미소요철부(12A)를 형성하며, 이어서, 피복층(12B)을 형성한 후, [공정-610] [공정-630]과 같은 공정을 실행함으로써, 도 48에 나타낸 전계 방출 소자를 제작할 수도 있다.

또는, [공정-600]과 같은 공정에서, 지지체(11)상에, 텅스텐으로 이루어지는 캐소드 전극용 도전재료층을 스퍼터링법으로써 형성한 후, 캐소드 전극용 도전재료층의 표면에 미소요철부(12A)를 형성하고, 이어서, 피복층(12B)을 형성한 후, 리소그라피 기술 및 드라이에칭 기술에 기초하여 피복층(12B), 캐소드 전극용 도전재료층을 패터닝한 뒤, [공정-610] [공정-630]과 같은 공정을 실행함으로써, 도 48에 나타내는 전계 방출 소자를 제작할 수도 있다.

또는, 피복층을 구성하는 재료로서는, 그 재료의 2차 전자이득(δ)이 캐소드 전극을 구성하는 도전성재료의 2차 전자이득(δ)보다 크게 되는 재료를 적당히 선택할 수 있다.

또한, 도 46의 (C)에 나타낸 평면형 전계 방출 소자의 전자 방출부(16) (캐소드 전극(12)의 표면)에 피복층을 형성할 수도 있다. 이 경우에는, [공정-630]의 뒤, 개구부(15)의 저부에 노출된 캐소드 전극(12)의 표면에 피복층(12B)을 형성하는 것이 바람직하다. 또는 [공정-600]에 있어서, 예를 들면, 지지체(11)상에 캐소드 전극용 도전재료층을 형성한 뒤, 캐소드 전극용 도전재료층상에 피복층(12B)을 형성하고, 이어서, 리소그라피 기술 및 드라이에칭 기술을 사용하여 이들 층을 패터닝하면 된다.

[크레이터형 전계 방출 소자(No. 1)]

[크레이터형 전계 방출 소자의 모식적인 일부 단면도를, 도 52의 (B)에 나타낸다. [크레이터형 전계 방출 소자에서는, 전자를 방출하는 복수의 융기부(112A)와, 각 융기부(112A)에 둘러싸인 요부(112B)를 가지는 캐소드 전극(112)이, 지지체(11)상에 구비되어 있다. 또한, 절연층(13) 및 게이트 전극(14)을 제거한 모식적인 사시도를 도 51의 (B)에 나타낸다.

요부의 형상은 특히 한정되지 않지만, 전형적으로는 대략 구면을 이룬다. 이것은, 이러한 크레이터형 전계 방출 소자의 제조 방법에 있어서 구체가 사용되어, 요부(112B)가 구체의 형상의 일부를 반영하여 형성되는 것과 관련되어 있다. 따라서, 요부(112B)가 대략 구면을 이루는 경우, 요부(112B)를 둘러싸는 융기부(112A)는 원고리형으로 되고, 이 경우의 요부(112B)와 융기부(112A)와는, 전체적으로 [크레이터 또는 칼데라와 같은 형상을 이룬다. 융기부(112A)는 전자를 방출하는 부분이기 때문에, 전자방출효율을 높이는 관점에서는, 그 선단부(112C)가 첨예한 것이 특히 바람직하다. 융기부(112A)의 선단부(112C)의 프로파일은, 불규칙한 요철을 가지고 있거나, 또는 매끄러운 모양이 되어도 무방하다. 1화소 내에서의 융기부(112A)의 배치는 규칙적이거나 랜덤하거나 무방하다. 또한, 요부(112B)는, 요부(112B)의 주방향에 따라 연속한 융기부(112A)에 의해 둘러싸여 있더라도 좋고, 경우에 따라는, 요부(112B)의 주방향에 따라 불연속인 융기부(112A)에 의해 둘러싸여 있어도 좋다.

이러한 크레이터형 전계 방출 소자의 제조 방법에 있어서, 지지체상에 스트라이프형의 캐소드 전극을 형성하는 공정은, 보다 구체적으로는, 복수의 구체를 피복한 스트라이프형의 캐소드 전극을 지지체상에 형성하는 공정과, 구체를 제거함으로써, 구체를 피복한 캐소드 전극의 부분을 제거하고, 따라서, 전자를 방출하는 복수의 융기부와, 각 융기부에 둘러싸이고, 또한, 구체의 형상의 일부를 반영한 요부를 가지는 캐소드 전극을 형성하는 공정으로 이루어진다.

구체의 상태변화 및/또는 화학변화에 따라 구체를 제거하는 것이 바람직하다. 여기에서, 구체의 상태변화 및/또는 화학변화란, 팽창, 승화, 발포, 가스발생, 분해, 연소, 탄화 등의 변화 또는 이들의 조합을 의미한다. 예를 들면, 구체가 유기재료로 이루어지는 경우, 구체를 연소시키는 것에 따라 제거하는 것이 한층 바람직하다. 또한, 구체의 제거와 구체를 피복하는 캐소드 전극 부분의 제거, 또는, 구체의 제거와 구체를 피복하는 캐소드 전극, 절연층 및 게이트 전극의 부분의 제거는, 반드시 동시에 일어나지 않아도 된다. 예를 들면, 구체를 피복하는 캐소드 전극의 부분, 또는 이것에 더하여 절연층이나 게이트 전극의 부분을 제거한 후에 구체의 일부가 잔존하고 있는 경우, 잔존한 구체의 제거를 뒤에서 행하면 된다.

특히, 구체가 유기재료로 이루어지는 경우, 구체를 예를 들면 연소시키면, 예를 들면, 일산화탄소, 이산화탄소, 수증기가 발생하고, 구체 근방의 폐쇄공간의 압력이 높아져, 구체근방의 캐소드 전극은 어떤 내압한계를 넘는 시점에서 파열한다. 이 파열의 기세에 따라 구체를 피복하는 캐소드 전극의 부분이 비산하여, 융기부 및 요부가 형성되고, 더구나, 구체가 제거된다. 또는 구체를 예를 들면 연소시키면, 같은 원리에 기초하여, 캐소드 전극과 절연층과 게이트전극은 어떤 내압한계를 넘은 시점에서 파열한다. 이 파열의 기세에 따라 구체를 피복하는 캐소드 전극과 절연층과 게이트전극의 부분이 비산하여, 융기부 및 요부와 동시에 개구부가 형성되고, 더군다나, 구체가 제거된다. 즉, 구체를 제거하기 이전에는 절연층 및 게이트전극에는 개구부가 존재하지 않고, 구체의 제거에 따라 개구부가 형성된다. 이 때, 구체의 연소의 초기과정은 폐쇄공간 내에서 진행하기 때문에, 구체의 일부는 탄화할 가능성도 있다. 구체를 피복하는 캐소드 전극 부분의 두께를, 파열에 의해서 비산할 수 있는 정도로 얇게 하는 것이 바람직하다. 또, 구체를 피복하는 캐소드 전극, 절연층 및 게이트 전극의 부분의 두께를, 파열에 의해서 비산할 수 있는 정도로 얇게 하는 것이 바람직하고, 특히, 절연층에 관해서는, 구체를 피복하지 않고 있는 부분의 두께를 구체의 직경과 같은 정도로 하는 것이 바람직하다.

후술하는 [크레이터형 전계 방출 소자(No. 3)]에 있어서도, 구체의 상태변화 및 /또는 화학변화에 의해서 구체를 제거

할 수가 있지만, 캐소드 전극의 파열을 따르지 않기 때문에, 외력에 의해서 제거를 행하는 쪽이 간편한 경우도 있다. 또, 후술하는 [크레이터형전계 방출 소자(No. 4)]에서는 구체를 제거하기 전의 시점에서 이미 개구부가 완성되고 있지만, 개구부의 크기가 구체의 직경보다도 큰 경우에는, 구체를 외력에 의해서 제거할 수가 있다. 여기서, 외력은 공기 또는 불활성가스의 내뿜는 압력, 세정액의 내뿜는 압력, 자기흡인력, 정전기력, 원심력등의 물리적인 힘이다. 그리고, [크레이터형전계 방출 소자(No. 3)] 또는 [크레이터형전계 방출 소자(No.4)]에서는, [크레이터형전계 방출 소자(No. 1)]와 달리 구체를 피복하는 부분의 캐소드 전극, 또는 경우에 따라 절연층이나 게이트전극을 비산시킬 필요가 없기 때문에, 캐소드 전극, 절연층 또는 게이트전극의 잔사가 발생되기 어렵다고 하는 이점이 있다.

후술하는 [크레이터형전계 방출 소자(No. 3)] 또는 [크레이터형전계 방출 소자(No. 4)]로 사용되는 구체는, 적어도 표면이, 캐소드 전극 구성에 따라 서는 절연층이나 게이트전극을 구성하는 재료의 각계면장력(표면장력)에 비해, 큰 계면장력을 가지는 재료로 구성되어 있는 것이 바람직하다. 이에 따라, 크레이터형전계 방출 소자(No. 4)]에서는 캐소드 전극, 절연층 및 게이트전극은 구체의 적어도 정상부를 피복하는 일이 없고, 개구부가 처음부터 절연층 및 게이트전극에 형성된 상태가 얻어진다. 개구부의 직경이 어느 정도가 되는가는, 예를 들면, 캐소드 전극, 절연층이나 게이트전극을 구성하는 재료의 두께와 구체의 직경과의 관계나, 캐소드 전극, 절연층이나 게이트전극의 형성방법, 캐소드 전극, 절연층이나 게이트전극을 구성하는 재료의 계면장력(표면장력)에 의존한다.

후술하는 [크레이터형 전계 방출 소자(No. 3)] 또는 [크레이터형 전계 방출 소자(No. 4)]에 있어서, 구체는, 적어도 표면이 계면장력에 관한 전술한 조건을 채우고 있으면 된다. 즉, 캐소드 전극, 절연층 및 게이트 전극의 각 계면장력보다도 큰 계면장력을 가지고 있는 부분은, 구체의 표면만 이거나 전체이거나 무방하고, 또, 구체의 표면 및/또는 전체의 구성 재료는, 무기재료, 유기재료, 또는 무기재료와 유기재료를 조합한 것 중 어느 것이라도 좋다. [크레이터형 전계 방출 소자(No.3)] 또는 [크레이터형 전계 방출 소자(No. 4)]에 있어서, 캐소드 전극이나 게이트 전극이 보통의 금속계 재료로 구성되어, 절연층이 유리 등의 산화실리콘계 재료로 구성되는 경우, 금속계 재료의 표면에는 흡착수분에서 유래하는 수산기, 절연층의 표면에는 Si-0결합의 댕글링 본드(dangling bond)와 흡착수분에서 유래하는 수산기가 존재하여, 친수성이 높은 상태로 있는 것이 보통이다. 따라서, 소수성의 표면처리층을 가지는 구체를 이용하는 것이 특히 유효하다. 소수성의 표면처리층의 구성 재료로서, 불소계 수지, 예를 들면 폴리 테트라 플루오르 에틸렌을 들 수 있다. 구체가 소수성의 표면처리층을 가지는 경우, 소수성의 표면처리층의 내측의 부분을 심재라 칭하기로 하면, 심재의 구성 재료는, 유리, 세라믹스, 불소계 수지 이외의 고분자 재료 중 어느 것이라도 좋다.

구체를 구성하는 유기재료는 특히 한정되지 않지만, 범용의 고분자재료가 바람직하다. 단지, 중합도가 극단적으로 크거나, 다중결합 함유량이 극단적으로 많은 고분자재료로서는, 연소온도가 지나치게 높아져, 연소에 의한 구체의 제거 때, 캐소드 전극이나 절연층, 게이트 전극에 악영향이 미칠 우려가 있다. 따라서, 이들 에 대한 악영향이 생길 우려가 없는 온도로써 연소 또는 탄화시키는 것이 가능한 고분자 재료를 선택하는 것이 바람직하다. 특히, 절연층을 유리페이스트와 같은 후 공정에서 소성을 요하는 재료를 이용하여 형성하는 경우에는, 공정수를 되도록이면 감소시키는 관점에서, 유리페이스트의 소성온도로써 연소 또는 탄화가 가능한 고분자재료를 선택하는 것을 바람직하다. 유리페이스트의 전형적인 소성온도는 약 530 ℃ 이기 때문에, 이러한 고분자 재료의 연소온도는 350 500 ℃ 정도인 것이 바람직하다. 대표적인 고분자 재료로서, 스티렌계, 우레탄계, 아크릴계, 비닐계, 디비닐 벤젠계, 멜라민계, 포름알데히드계, 폴리메틸렌계의 호모폴리머 또는 공중합체를 들 수 있다. 또는, 구체로서 지지체 상에서의 확실한 배치를 확보하기 위하여, 부착력을 가지는 고착타입의 구체를 사용할 수도 있다. 고착타입의 구체로서, 아크릴계수지로 이루어지는 구체를 예시할 수가 있다.

또는, 예를 들면, 염화비닐리덴 · 아크릴로니트릴 공중합체를 외곽으로 하여, 발포재로서 이소부탄을 내포하여 캡슐화한 가열팽창형 마이크로스피어를 구체로서 사용할 수 있다. [크레이터형 전계 방출 소자(No. 1)에 있어서, 이러한 가열팽

창형 마이크로스피어를 이용하고, 열팽창형 마이크로스페어를 가열하면, 외곽의 폴리머가 연화되고, 더욱이, 내포된 이소부탄이 가스화하여 팽창하는 결과, 직경이 팽창 전과 비교하여 약 4배 정도인 진구의 중공체가 형성된다. 그 결과, [크레이터형 전계 방출 소자(No. 1)에 있어서, 전자를 방출하는 융기부, 및, 융기부에 둘러싸이고, 또한, 구체의 형상의 일부를 반영한 요부를, 캐소드 전극에 형성할 수 있다. 또, 이러한 요부나 융기부에 더하여, 게이트 전극 및 절연층을 관통한 개구부를 형성할 수도 있다. 또한, 열팽창형 마이크로스피어의 가열에 의한 팽창도, 본 명세서에서는, 구체의 제거라는 개념에 포함한다. 그 후, 열팽창형 마이크로스피어를 적절한 용제를 이용하여 제거하면 된다.

[크레이터형 전계 방출 소자(No. 1)에서는, 지지체 상에 복수의 구체를 배치한 뒤, 구체를 피복하는 캐소드 전극을 형성하면 된다. 이 경우에서, 또는 후술하는 [크레이터형 전계 방출 소자(No. 3)] 또는 [크레이터형 전계 방출 소자(No. 4)]에서는, 지지체 상에의 복수의 구체의 배치방법으로서, 구체를 지지체 상에 살포하는 건식법을 들 수 있다. 구체의 살포에는, 예를 들면 액정표시 장치의 제조분야에서, 패널간격을 일정하게 유지하기 위한 스페이서를 살포하는 기술을 응용할 수 있다. 구체적으로는, 압착기체로 구체를 노즐로부터 분사하는, 소위 스프레이건을 이용할 수 있다. 또한, 구체를 노즐로부터 분사할 때, 구체를 휘발성의 용제 중에 분산시킨 상태로도 가능하다. 또는, 정전분체도장의 분야에서 통상 사용되고 있는 장치나 방법을 이용하여 구체를 살포할 수도 있다. 예를 들면, 코로나방전을 이용하여, 정전분체를 내뿜는 건에 의해 부에 대전시킨 구체를, 접지한 지지체를 향하여 내뿜을 수 있다. 사용하는 구체는, 후술하는 바와 같이 매우 작기 때문에, 지지체 상에 살포되면 지지체의 표면에, 예를 들면 정전기력에 의해서 부착되어, 이후의 공정에서도 쉽게 지지체로부터 탈락하지 않는다. 지지체 상에 복수의 구체를 배치한 후, 구체를 가압하면, 지지체 상의 복수의 구체가 중첩되는 것을 해소할 수가 있어서, 구체를 지지체상에서 단층에 조밀히 배치할 수 있다.

또는, 후술하는 [크레이터형 전계 방출 소자(No. 2)]와 같이, 구체와 캐소드 전극재료를 분산매 중에 분산시켜 이루어지는 조성물로 이루어지는 조성물층을 지지체 상에 형성하여, 결국 지지체상에 복수의 구체를 배치하고, 캐소드 전극재료로 이루어지는 캐소드 전극으로 구체를 피복한 뒤, 분산매를 제거할 수도 있다. 조성물의 성상으로서는, 슬러리나 페이스트가 가능하고 이들의 원하는 성상에 대응하여, 분산매의 조성이나 점도를 적당히 선택하면 된다. 조성물층을 지지체상에 형성하는 방법으로서는 스크린인쇄법이 바람직하다. 캐소드 전극재료는, 전형적으로는, 분산매 중에 놓을 수 있으며 침강 속도가 구체보다도 느린 미립자인 것이 바람직하다. 이러한 미립자를 구성하는 재료로서, 카본, 바륨, 스트론튬, 철을 들 수 있다. 분산매를 제거한 뒤, 필요에 따라 캐소드 전극의 소성을 행한다. 조성물층을 지지체상에 형성하는 방법으로서는, 분무법, 적하법, 스핀코팅법, 스크린인쇄법을 들 수 있다. 또한, 구체가 배치되는 동시에, 캐소드 전극재료로 이루어지는 캐소드 전극으로 구체가 피복되지만, 조성물층의 형성방법에 따라서는 이러한 캐소드 전극의 패터닝을 행할 필요가 있다.

또는, 후술하는 [크레이터형 전계 방출 소자(No. 3)] 또는 [크레이터형 전계 방출 소자(No. 4)]에서는, 구체를 분산매 중에 분산시켜 이루어지는 조성물로 이루어지는 조성물층을 지지체상에 형성하여, 결국 지지체상에 복수의 구체를 배치한 뒤, 분산매를 제거할 수가 있다. 조성물의 성상으로서는, 슬러리나 페이스트가 가능하고, 이들의 원하는 성상에 대응하여 분산매의 조성이나 점도를 적당히 선택하면 된다. 전형적으로는, 이소프로필알코올 등의 유기 용매를 분산매로서 이용하여, 증발에 의해 분산매를 제거할 수가 있다. 조성물층을 지지체상에 형성하는 방법으로서는, 분무법, 적하법, 스핀코팅법, 스크린인쇄법을 들 수 있다.

그러나, 게이트전극과 캐소드 전극은 서로 상이한 방향(예를 들면, 스트라이프형의 게이트전극의 투영상과 스트라이프형의 캐소드 전극의 투영상이 이루는 각도가 90도)으로 연장되어 있고, 또한, 예를 들면 스트라이프형으로 패터닝되어 있고, 중복영역에 위치하는 융기부에서 전자가 방출된다. 따라서, 융기부는, 기능상, 중복영역에만 존재하면 된다. 다만, 가령 중복영역 이외의 영역에 융기부 및 요부가 존재하고 있다고 하더라도, 이러한 융기부 및 요부는 절연층에 피복된 채로, 전혀 전자를 방출하는 기능을 하지 않는다. 따라서, 구체를 전면에 배치하더라도 전혀 문제는 생기지 않는다.

이것에 대하여, 구체를 피복한 캐소드 전극, 절연층 및 게이트 전극(게이트전극)의 각 부분을 제거하는 경우, 개개의 구체의 배치 위치와 개구부의 형성 위치가 일대일로 대응하기 때문에, 중복영역 이외의 영역에도 개구부가 형성된다. 이하, 중복영역이외의 영역에 형성되는 개구부를「무효개구부」라고 부르고, 전자방출에 기여하는 원래의 개구부와 구별한다. 그러나, 중복영역 이외의 영역에 무효개구부가 형성되었다고 해도, 이 무효개구부는 전계 방출 소자로서 전혀 기능하지 않고, 중복영역에 형성되는 전계 방출 소자의 동작에 전혀 악영향을 미치지 않는다. 왜냐하면, 무효개구부의 저부에 융기부 및 요부가 노출되고 있더라도, 무효개구부의 상단부에 게이트전극이 형성되어 있지 않거나, 또는 무효개구부의 상단부에 게이트전극이 형성되어 있더라도 저부에 융기부 및 요부가 노출되어 있지 않거나, 또는, 무효개구부의 저부에 융기부 및 요부가 노출되어 있지 않고, 더하여 상단부에 게이트 전극도 형성되어 있지 않고, 단순히 지지체의 표면이 노출되어 있거나 중의 어느 하나이기 때문이다. 따라서, 구체를 전면에 배치하더라도 전혀 문제는 생기지 않는다. 또한, 중복영역과 그 이외의 영역과의 경계선 상에 형성된 공은, 개구부에 포함된다.

구체의 직경은, 원하는 개구부의 직경, 요부의 직경, 전계 방출 소자를 이용하여 구성되는 평면형 표시 장치의 표시화면 치수, 화소수, 중복영역의 치수, 1화소를 구성할 전계 방출 소자의 개수에 따라 선택할 수가 있지만, 0.1 10㎛의 범위로 선택하는 것이 바람직하다. 예를 들면, 액정표시 장치의 스페이서로서 시판되어 있는 구체는, 직경분포가 1 3%로 양호하기 때문에, 이것을 이용하는 것이 바람직하다. 구체의 형상은 진구인 것이 이상적이지만, 반드시 진구일 필요는 없다. 또, 전계 방출 소자의 제조 방법에 따라서는, 전술한 바와 같이, 구체의 배치된 장소에 개구부나 무효개구부 중의 어느 것이 형성되지만, 지지체상에는 구체를 100 5000개/㎟정도의 밀도로 배치하는 것이 바람직하다. 예를 들면 구체를 약 1000개/㎟의 밀도로 지지체상에 배치하면, 예를 들어 중복영역의 치수를 만일 0.5 mm×0.2 mm으로 한 경우, 이 중복영역내에 약 100개의 구체가 존재하여, 약 100개의 융기부가 형성되게 된다. 하나의 중복영역에 이 정도의 개수의 융기부가 형성되어 있으면, 구체의 직경분포나 진구도의 편차에 기인하는 요부의 직경의 편차는 거의 평균화되어, 실용상, 1화소(또는 1서브 픽셀)당의 방출전자전류밀도나 휘도는 거의 균일해 진다.

[크레이터형 전계 방출 소자(No. 1) 또는 후술하는 [크레이터형 전계 방출 소자(No. 2)] 내지 [크레이터형 전계 방출 소자(No. 4)]에서는, 구체의 형상의 일부가 전자 방출부를 구성하는 요부의 형상으로 반영된다. 융기부의 선단부의 프로파일은, 불규칙한 요철을 가지고 있거나, 또는 매끄러운 모양이어도 좋지만, 특히, [크레이터형 전계 방출 소자(No. 1)나 [크레이터형 전계 방출 소자(No. 2)]에서는, 이 선단부는 캐소드 전극의 파단에 의해 형성되기 때문에, 융기부의 선단부가 불규칙한 형상으로 되기 쉽다. 파단에 의해 융기부에 선단부가 날카로와지면, 선단부가 고효율의 전자 방출부로서 기능할 수 있기 때문에 안성마춤이다. [크레이터형 전계 방출 소자(No. 1) 내지 [크레이터형 전계 방출 소자(No. 4)]에서는, 요부를 둘러싸는 융기부는 모두 대략 원고리형이 되고, 이 경우의 요부와 융기부는 전체로서 크레이터 또는 칼데라와 같은 형상을 이룬다.

지지체상에 놓일 수 있는 융기부의 배치는 규칙적이거나 랜덤하여도 좋고, 이는 구체의 배치방법에 의존한다. 전술한 건식법 또는 습식법을 채용한 경우, 지지체상에 놓을 수 있는 융기부의 배치는 램덤해 진다.

[크레이터형 전계 방출 소자(No. 1) 내지 [크레이터형 전계 방출 소자(No. 4)]에 있어서, 절연층의 형성 후, 절연층에 개구부를 형성하는 경우, 융기부의 선단부에 손상이 생기지 않도록, 융기부를 얻은 후 보호층을 형성하고, 개구부를 형성한 후 보호층을 제거하는 구성으로 하는 것도 가능하다. 보호층을 구성하는 재료로서는 크롬을 예시할 수가 있다.

이하, 도 49 도 52를 참조하여, [크레이터형 전계 방출 소자(No. 1)의 제조 방법을 설명하지만, 도 49의 (A), 도 50의 (A), 도 51의 (A) 모식적인 일부 단면도이고, 도 52의 (A) 및 (B)는 모식적인 일부 단면도이며, 도 49의 (B), 도 50의 (B) 및 도 51의 (B)는 도 49의 (A), 도 50의 (A) 및 도 51의 (A) 보다도 넓은 범위를 모식적으로 나타내는 일부사시도이다.

[공정-800]

먼저, 복수의 구체(70)를 피복한 캐소드 전극(112)을 지지체(11)상에 형성한다. 구체적으로는, 먼저, 예를 들어 유리기판으로 이루어지는 지지체(11)상의 전면에, 구체(70)를 배치한다. 구체(70)는, 예를 들면 폴리메틸렌계의 고분자재료로 이루어지고, 평균직경 약 5㎛, 직경분포 1% 미만이다. 구체(70)를, 스프레이건을 이용하여, 지지체(11)상에 대략 1000개/㎟의 밀도로 램덤하게 배치한다. 스프레이건을 이용한 살포는 구체를 휘발성 용제와 혼합하여 분무하는 방식, 또는 분말상태대로 노즐로부터 분사하는 방식의 어느 것이라도 좋다. 배치된 구체(70)는, 정전기력으로 지지체(11)상에 유지되고 있다. 이 상태를 도 49의 (A) 및 도 49의 (B)에 나타낸다.

[공정-810]

다음에, 구체(70) 및 지지체(11)상에 캐소드 전극(112)을 형성한다. 캐소드 전극(112)을 형성한 상태를, 도 50A 및 도 50B에 나타낸다. 캐소드 전극(112)은, 예를 들면 카본페이스트를 스트라이프형으로 스크린인쇄함으로써 형성할 수 있다. 이 때, 구체(70)는 지지체(11)상의 전면에 배치되어 있기 때문에, 구체(70) 중에는, 도 50B에 도시한 바와 같이, 캐소드 전극(112)으로 피복되지 않는 것도 당연히 존재한다. 다음에, 캐소드 전극(112)에 포함되는 수분이나 용제를 제거하고, 또한, 캐소드 전극(112)을 평탄화하기 위해서, 예를 들면 150℃에서 캐소드 전극(112)을 건조한다. 이 온도에서는, 구체(70)는 전혀 상태변화 및/또는 화학변화를 일으키지 않는다. 또한, 상술한 바와 같이 카본페이스트를 이용한 스크린인쇄로 바꿔, 캐소드 전극(112)을 구성하는 캐소드 전극용 도전재료층을 전면에 형성하고, 이 캐소드 전극용 도전재료층을 보통의 리소그라피 기술과 드라이에칭 기술을 이용하여 패터닝하여, 스트라이프형의 캐소드 전극(112)을 형성할 수도 있다. 리소그라피 기술을 적용하는 경우, 통상, 레지스트층을 스핀코팅법에 의해 형성하지만, 스핀코팅시의 지지체(11)의 회전수가 500 rpm정도, 회전시간이 수초 사이 정도이면, 구체(70)는 탈락하거나 변위하는 일없이, 지지체(11)상에 유지될 수 있다.

[공정-820]

다음에, 구체(70)를 제거함으로써, 구체(70)를 피복한 캐소드 전극(112)의 부분을 제거하여, 결국 전자를 방출하는 복수의 융기부(112A)와, 각 융기부(112A)에 둘러싸이고, 또한, 구체(70)의 형상의 일부를 반영한 요부(112B)를 가지는 캐소드 전극(112)을 형성한다. 이 상태를, 도 51의 (A) 및 (B)에 나타낸다. 구체적으로는, 캐소드 전극(112)의 소성을 겸하여, 약 530℃에서 가열을 행하는 것에 의해 구체(70)를 연소시킨다. 구체(70)의 연소에 따라 구체(70)가 가두고 있었던 폐쇄공간의 압력이 상승하여, 구체(70)를 피복하는 캐소드 전극(112)의 부분이 어떤 내압한계를 넘는 시점에서 파열하여 제거된다. 그 결과, 지지체(11)상에 형성된 캐소드 전극(112)의 일부분에, 융기부(112A) 및 요부(112B)가 형성된다. 또한, 구체를 제거한 후에, 구체의 일부분이 잔사로서 남는 경우에는, 사용하는 구체를 구성하는 재료에 따르지만, 적절한 세정액을 이용하여 잔사를 제거하면 된다.

[공정-830]

그 후, 캐소드 전극(112) 및 지지체(11)상에 절연층(13)을 형성한다. 구체적으로는, 예를 들어 유리페이스트를 전면에 약 5 ㎛의 두께에 스크린인쇄한다. 다음에, 절연층(13)에 포함되는 수분이나 용제를 제거하고, 또한, 절연층(13)을 평탄화하기 위해서, 예를 들면 150 ℃에서 절연층(13)을 건조한다. 상술한 바와 같이 유리페이스트를 이용한 스크린인쇄로 바꾸고, 예를 들어 플라즈마 CVD 법에 의해 SiO_2막을 형성할 수도 있다.

[공정-840]

다음에, 절연층(13)상에, 스트라이프형의 게이트 전극(14)을 형성한다(도 52A 참조). 게이트 전극(14)은, 예를 들면 카본페이스트를 스트라이프형으로 스크린인쇄함으로써 형성할 수가 있다. 이 때의 스트라이프형의 게이트 전극(14)의 투영상이 연장되는 방향은, 스트라이프형의 캐소드 전극(112)의 투영상이 연장되는 방향과 90도의 각도를 이루고 있다. 다음에, 게이트 전극(14)에 포함되는 수분이나 용제를 제거하고, 또한, 게이트 전극(14)을 평탄화하기 위해서, 예를 들면 150℃에서 게이트 전극(14)을 건조한 뒤, 게이트 전극(14) 및 절연층(13)을 구성하는 재료를 소성한다. 또한, 카본페이스트를 이용한 스크린인쇄로 바꿔, 게이트 전극(14)을 구성하는 게이트전극을 절연층(13)의 전면에 형성하고, 이어서, 게이트전극을 보통의 리소그라피 기술과 드라이에칭 기술을 이용하여 패터닝할 수도 있다.

[공정-850]

그 후, 게이트 전극(14)의 투영상과 캐소드 전극(112)의 투영상이 중복되는 중복영역에서, 게이트 전극(14) 및 절연층(13)에 개구부(15)를 형성하여, 결국 개구부(15)의 저부에 복수의 융기부(112A) 및 요부(112B)를 노출시킨다. 개구부(15)의 형성은, 보통의 리소그라피 기술에 의한 레지스트 마스크의 형성과, 레지스트 마스크를 이용한 에칭에 의해 행할 수 있다. 단지, 캐소드 전극(112)에 대하여 충분히 높은 에칭선택비를 확보할 수 있는 조건으로 에칭을 행하는 것이 바람직하다. 또는, 융기부(112A)를 형성한 뒤, 예를 들어 크롬으로 이루어지는 보호층을 형성해 두고, 개구부(15)를 형성한 뒤에 보호층을 제거하는 것이 바람직하다. 그 후, 레지스트 마스크를 제거한다. 이렇게 해서, 도 52B에 나타낸 전계 방출 소자를 얻을 수 있다.

또한, [크레이터형 전계 방출 소자(그 1)의 제조 방법의 변형예로서, [공정-810]의 후에, [공정-830] [공정-850]을 실행하고, 이어서, [공정-820]을 실행할 수도 있다. 이 경우, 구체의 연소와 게이트 전극(14) 및 절연층(13)을 구성하는 재료의 소성을 동시에 행하면 된다.

또는, [공정-810]의 후에, [공정-830]을 실행하고, 또한, [공정-840]과 같은 공정에서 개구부를 가지고 있지 않은 스트라이프형의 게이트 전극을 절연층상에 형성한 뒤, [공정-820]을 실행한다. 이로 인해, 구체(70)를 피복한 캐소드 전극(112), 절연층(13) 및 게이트 전극(14)의 각 부분이 제거되어, 결국 게이트 전극(14) 및 절연층(13)을 관통한 개구부가 형성되는 동시에, 전자를 방출하는 융기부(112A)와, 융기부(112A)에 둘러싸이고, 구체(70)의 형상의 일부를 반영한 요부(112B)로 이루어지는 전자 방출부를, 개구부의 저부에 위치하는 캐소드 전극(112)에 형성할 수가 있다. 즉, 구체(70)의 연소에 따라 구체(70)가 가두고 있는 폐쇄공간의 압력이 상승하여, 구체를 피복하는 부분의 캐소드 전극(112)과 절연층(13)과 게이트 전극(14)이 어떤 내압한계를 넘은 시점에서 파열하여, 융기부(112A) 및 요부(112B)와 동시에 개구부가 형성되고, 구체(70)가 제거된다. 개구부는, 게이트 전극(14) 및 절연층(13)을 관통하고, 또한, 구체(70)의 형상의 일부를 반영하고 있다. 또, 개구부의 저부에는, 전자를 방출하는 융기부(112A), 및, 융기부(112A)에 둘러싸이고, 또한, 구체(70)의 형상의 일부를 반영한 요부(112B)가 남는다.

[크레이터형 전계 방출 소자(No. 2)]

다음, [크레이터형 전계 방출 소자(No. 2)]의 제조 방법을 도 53을 참조하여 설명하지만, 지지체(11)상에 복수의 구체(70)를 배치하는 공정이, 구체(70)와 캐소드 전극재료를 분산매 중에 분산시켜 이루어지는 조성물로 이루어지는 조성물층(71)을 지지체(11)상에 형성하여, 결국, 지지체(11)상에 복수의 구체(70)를 배치하고, 캐소드 전극재료로 이루어지는 캐소드 전극(112)으로 구체를 피복한 뒤, 분산매를 제거하는 공정으로 이루어진다, 즉, 습식법으로 이루어지는 점이, [크레이터형 전계 방출 소자(No. 1)의 제조 방법과 상위하다.

[공정-900]

먼저, 지지체(11)상에 복수의 구체(70)를 배치한다. 구체적으로는, 구체(70)와 캐소드 전극재료(71B)를 분산매(71A) 중에 분산시켜 이루어지는 조성물로 이루어지는 조성물층(71)을 지지체(11)상에 형성한다. 즉, 예를 들면, 이소프로필알코올을 분산매(71A)로서 사용하고, 평균직경 약 5㎛의 폴리메틸렌계의 고분자재료로 이루어지는 구체(70)와, 평균직경 약 0.05㎛의 카본입자를 캐소드 전극재료(71B)로서 분산매(71A) 중에 분산시켜 이루어지는 조성물을 지지체(11)상에 스트라이프형으로 스크린인쇄하여, 조성물층(71)을 형성한다. 도 53A에는, 조성물층(71)의 형성직후의 상태를 나타낸다.

[공정-910]

지지체(11)로 유지된 조성물층(71) 속에서는, 머지않아 구체(70)가 침강하여 지지체(11)상에 배치되는 동시에, 구체(70)로부터 지지체(11)상에 걸쳐 캐소드 전극재료(71B)가 침강하여, 캐소드 전극재료(71B)로 이루어지는 캐소드 전극(112)이 형성된다. 이로 인해, 지지체(11)상에 복수의 구체(70)를 배치하고, 캐소드 전극재료로 이루어지는 캐소드 전극(112)으로 구체(70)를 피복할 수가 있다. 이 상태를, 도 53B에 나타낸다.

[공정-920]

그 후, 분산매(71A)를, 예를 들어 증발시킴으로써 제거한다. 이 상태를, 도 53C에 나타낸다.

[공정-930]

이어서, [크레이터형 전계 방출 소자(No. 1)의 [공정-820] [공정-850]과 같은 공정, 또는, [크레이터형 전계 방출 소자(No. 1)의 제조 방법의 변형예를 실행함으로써, 도 52의 (B)에 나타낸 것과 같은 전계 방출 소자를 완성할 수가 있다.

[크레이터형 전계 방출 소자(No. 3)]

다음에, [크레이터형 전계 방출 소자(No. 3)]의 제조 방법을 설명하지만, 지지체상에 스트라이프형의 캐소드 전극을 형성하는 공정은, 보다 구체적으로는 지지체상에 복수의 구체를 배치하는 공정과, 전자를 방출하는 복수의 융기부와, 각 융기부에 둘러싸이고, 또한, 구체의 형상의 일부를 반영한 요부를 가지며, 각 융기부가 구체의 주위에 형성된 캐소드 전극을, 지지체상에 설치하는 공정과, 구체를 제거하는 공정으로 이루어진다. 지지체상에의 복수의 구체의 배치는, 구체의 살포에 의해서 행한다. 또, 구체는 소수성의 표면처리층을 가진다. 이하, [크레이터형 전계 방출 소자(No. 3)]을, 도 54를 참조하여 설명한다.

[공정-1000]

먼저, 지지체(11)상에 복수의 구체(170)를 배치한다. 구체적으로는, 유리 기판으로 이루어지는 지지체(11)상의 전면에, 복수의 구체(170)를 배치한다. 이 구체(170)는, 예를 들어 디비닐 벤젠계의 고분자재료로 이루어지는 심재(170A)를 폴리 테트라 플루오르 에틸렌계수지로 이루어지는 표면처리층(170B)에서 피복하여 이루어지고, 평균직경 약 5㎛, 직경분포 1% 미만이다. 구체(170)를, 스프레이건을 이용하여, 지지체(11)상에 대략 1000개/㎟의 밀도로 램덤하게 배치한다. 배치된 구체(170)는, 정전기력으로 지지체(11)상에 흡착되어 있다. 여기까지의 프로세스가 종료한 상태를, 도 54의 (A)에 나타낸다.

[공정-1010]

다음에, 전자를 방출하는 복수의 융기부(112A)와, 각 융기부(112A)에 둘러싸이고, 또한, 구체(170)의 형상의 일부를 반영한 요부(112B)를 가지며, 각 융기부(112A)가 구체(170)의 주위에 형성된 캐소드 전극(112)을, 지지체(11)상에 설치한다. 구체적으로는, [크레이터형 전계 방출 소자(No. 1)에서 설명한 것과 동양으로, 예를 들면 카본페이스트를 스트라이프형으로 스크린인쇄하지만, [크레이터형 전계 방출 소자(No. 3)]에서는 구체(170)의 표면이 표면처리층(170B)에 의해 소수성을 띠기 위해서, 구체(170)의 위에 스크린인쇄된 카본페이스트는 곧 터져서 낙하하고, 구체(170)의 주위에 퇴적하여 융기부(112A)가 형성된다. 융기부(112A)의 선단부(112C)는, [크레이터형 전계 방출 소자(No. 1)의 경우만큼 첨예하게 되지는 않는다. 구체(170)와 지지체(11)와의 사이에 들어간 캐소드 전극(112)의 부분이, 요부(112B)로 된다. 도 54B에서는, 캐소드 전극(112)과 구체(170)와의 사이에 간극이 존재하는 것으로 도시되어 있지만, 캐소드 전극(112)과 구체(170)는 접촉하고 있는 경우도 있다. 그 후, 캐소드 전극(112)을 예를 들어 150℃에서 건조시킨다. 여기까지의 프로세스가 종료한 상태를, 도 54의 (B)에 나타낸다.

[공정-1020]

다음에, 구체(170)에 외력을 부여하는 것에 따라, 지지체(11)상에서 구체(170)를 제거한다. 구체적인 제거방법으로서는, 세정이나 압착기체의 내뿜기를 들 수 있다. 여기까지의 프로세스가 종료한 상태를, 도 54의 (C)에 나타낸다. 또한, 구체의 제거는, 구체의 상태변화 및/또는 화학변화에 따라, 보다 구체적으로는, 예를 들어 연소에 의해서 구체를 제거하는 것도 가능하다. 이하에 설명하는 [크레이터형 전계 방출 소자(No. 4)]에 있어서도 동일하다.

[공정-1030]

그 후, [크레이터형 전계 방출 소자(No. 1)의 [공정-830] [공정-850]을 실행함으로써, 도 52의 (B)에 나타낸 것과 거의 같은 전계 방출 소자를 얻을 수 있다.

또한, [크레이터형 전계 방출 소자(No. 3)]의 제조 방법의 변형예로서, [공정-1010]의 후에 [크레이터형 전계 방출 소자(No. 1)의 [공정-830] [공정-850]을 실행하여, 이어서, [공정-1020]을 실행할 수도 있다.

[크레이터형 전계 방출 소자(No. 4)]

다음에, [크레이터형 전계 방출 소자(No. 4)]의 제조 방법을 설명하지만, 이 전계 방출 소자의 제조 방법에 있어서, 지지체상에 스트라이프형의 캐소드 전극을 형성하는 공정은, 보다 구체적으로는, 지지체상에 복수의 구체를 배치하는 공정과, 전자를 방출하는 복수의 융기부와, 각 융기부에 둘러싸이고, 또한, 구체의 형상의 일부를 반영한 요부를 가지며, 각 융기부가 구체의 주위에 형성된 캐소드 전극을 지지체상에 설치하는 공정으로 이루어진다. 또한, 전면에 절연층을 설치할 때, 구체의 상방에 개구부가 형성된 절연층을, 캐소드 전극 및 지지체상에 설치한다. 구체의 제거는, 개구부의 형성 후에 행한다. [크레이터형 전계 방출 소자(No. 4)]의 전계 방출 소자의 제조 방법에서는, 지지체상에의 복수의 구체의 배치는, 구체의 살포에 의해서 행한다. 또, 구체는 소수성의 표면처리층을 가진다. 이하, [크레이터형 전계 방출 소자(No. 4)]를, 도 55 및 도 56을 참조하여 설명한다.

[공정-1100]

먼저, 지지체(11)상에 복수의 구체(170)를 배치한다. 구체적으로는, [크레이터형 전계 방출 소자(No. 3)]의 [공정-1000]과 같은 공정을 실행한다.

[공정-1110]

그 후, 전자를 방출하는 복수의 융기부(112A)와, 각 융기부(112A)에 둘러싸이고, 또한, 구체(170)의 형상의 일부를 반영한 요부(112B)를 가지고, 각 융기부(112A)가 구체(170)의 주위에 형성된 캐소드 전극(112)을, 지지체(11)상에 설치한다. 구체적으로는, [크레이터형 전계 방출 소자(No. 3)]의 [공정-1010]과 같은 공정을 실행한다.

[공정-1120]

다음에, 구체의 상방으로 개구부(15A)가 형성된 절연층(113)을, 캐소드 전극(112) 및 지지체(11)상에 설치한다. 구체적으로는, 예를 들면, 유리페이스트를 전면에 약 5㎛의 두께에 스크린인쇄한다. 유리페이스트를 이용한 스크린인쇄는, [크레이터형 전계 방출 소자(No. 1)]과 같이 행할 수 있지만, 구체(170)의 표면이 표면처리층(170B)에 의해 소수성을 띠기 위해서, 구체(170)의 위에 스크린인쇄된 유리페이스트는 곧 터져서 낙하하고, 자기의 표면장력에 의해 절연층(113)의 구체(170)의 위의 부분은 수축한다. 그 결과, 구체(170)의 정상부는 절연층(113)으로 덮이는 일없이, 개구부(15A) 내에 노출된다. 이 상태를 도 55의(A)에 나타낸다. 도시한 예에서는, 개구부(15A)의 상단부의 직경은 구체(170)의 직경보다도 크지만, 표면처리층(170B)의 계면장력이, 유리페이스트의 계면장력보다도 작은 경우에는, 개구부(15A)의 직경이 작아지는 경향에 있다. 반대로, 표면처리층(170B)의 계면장력이, 유리페이스트의 계면장력보다도 현저하게 큰 경우에는, 개구부(15A)의 직경은 커지기 쉽다. 그 후, 절연층(113)을 예를 들어 150℃에서 건조시킨다.

[공정-1130]

다음에, 개구부(15A)와 연통되는 개구부(15B)를 가지는 게이트 전극(114)을 절연층(113)상에 형성한다. 구체적으로는, 예를 들면, 카본페이스트를 스트라이프형에 스크린인쇄한다. 카본페이스트를 이용한 스크린인쇄는, [크레이터형 전계 방출 소자(No. 1)]과 같이 행하면 좋지만, 구체(170)의 표면이 표면처리층(170B)에 의해 소수성을 띠도록 하기 위해서, 구체(170)의 위에 스크린인쇄된 카본페이스트는 곧 터져서, 자기의 표면장력에 의해 수축하여, 절연층(113)의 표면에만 부착된 상태가 된다. 이 때, 게이트 전극(114)은, 도시한 바와 같이, 절연층(113)의 개구단부로부터 개구부(15A) 내로 약간 돌아 들어간 것처럼 형성되는 것도 있다. 그 후, 게이트 전극(114)을 예를 들어 150℃에서 건조시킨다. 여기까지의 프로세스가 종료한 상태를, 도 55의(B)에 나타낸다. 또한, 표면처리층(170B)의 계면장력이, 카본페이스트의 계면장력보다도 작은 경우에는, 개구부(15A)의 직경이 작아지는 경향이 있다. 반대로, 표면처리층(170B)의 계면장력이, 카본페이스트의 계면장력보다도 현저하게 큰 경우에는, 개구부(15A)의 직경은 커지기 쉽다.

[공정-1140]

다음에, 개구부(15B, 15A)의 저부에 노출된 구체(170)를 제거한다. 구체적으로는, 캐소드 전극(112)과 절연층(113)과 게이트 전극(114)의 소성을 겸하여, 유리페이스트가 전형적인 소성온도인 약 530℃에서 가열을 행하는 것에 의해, 구체(170)를 연소시킨다. 이 때, [크레이터형 전계 방출 소자(No. 1)]과 달리, 절연층(113) 및 게이트 전극(114)에는 개구부(15A, 15B)가 처음부터 형성되어 있기 때문에, 캐소드 전극(112)이나 절연층(113), 게이트 전극(114)의 일부가 비산하지 않고, 구체(170)는 빠르게 제거된다. 또한, 개구부(15A, 15B)의 상단부의 직경이 구체(170)의 직경보다도 큰 경우, 구체(170)를 연소시키지 않더라도, 예를 들어, 세정이나 압착기체를 내뿜는 등의 외력에 의해서 구체(170)를 제거하는 것이 가능하다. 여기까지의 프로세스가 종료한 상태를, 도 56의(A)에 나타낸다.

[공정-1150]

그 후, 개구부(15A)의 측벽면에 상당하는 절연층(113)의 일부를 등방적으로 에칭하면, 도 56의(B)에 나타내는 전계 방출 소자를 완성할 수가 있다. 여기서는, 게이트 전극(114)의 단부가 하방을 향하고 있지만, 이것은, 개구부(15)내의 전계강도를 높이는 데에 있어서 바람직하다.

[에지형 전계 방출 소자]

에지형 전계 방출 소자의 모식적인 일부 단면도를 도 57의(A)에 나타낸다. 이 에지형 전계 방출 소자는, 지지체(11)상

에 형성된 스트라이프형의 캐소드 전극(212)과, 지지체(11) 및 캐소드 전극(212)상에 형성된 절연층(13)과, 절연층(13)상에 형성된 스트라이프형의 게이트 전극(14)으로 구성되어 있고, 개구부(15)가 게이트 전극(14) 및 절연층(13)에 설치되어 있다. 개구부(15)의 저부에는 캐소드 전극(212)의 에지부(212A)가 노출되어 있다. 캐소드 전극(212) 및 게이트 전극(14)에 전압을 인가함으로써, 캐소드 전극(212)의 에지부(212A)에서 전자가 방출된다.

또한, 도 57의(B)에 도시한 바와 같이, 개구부(15)내의 캐소드 전극(212)의 아래의 지지체(11)에 요부(11A)가 형성되어 있어도 된다. 또는, 모식적인 일부 단면도를 도 57의(C)에 도시한 바와 같이, 지지체(11)상에 형성된 제1 게이트 전극(14A)과, 지지체(11) 및 제1 게이트 전극(14A) 상에 형성된 제1 절연층(13A)과, 제1 절연층(13A) 상에 형성된 캐소드 전극(212)과, 제1 절연층(13A) 및 캐소드 전극(212)에 형성된 제2 절연층(13B)과, 제2 절연층(13B) 상에 형성된 제2 게이트 전극(14B)으로 구성할 수도 있다. 그리고, 개구부(15)가, 제2 게이트 전극(14B), 제2 절연층(13B), 캐소드 전극(212) 및 제1 절연층(13A)에 설치되어 있고, 개구부(15)의 측벽에는 캐소드 전극(212)의 에지부(212A)가 노출되어 있다. 캐소드 전극(212) 및 제1 게이트 전극(14A), 제2 게이트 전극(14B)에 전압을 인가함으로써, 캐소드 전극(212)의 에지부(212A)에서 전자가 방출된다.

예를 들면, 도 57의(C)에 나타낸 에지형 전계 방출 소자의 제조 방법을, 지지체 등의 모식적인 일부 단면도면인 도 58을 참조하여 이하에서 설명한다.

[공정-1200]

먼저, 예를 들어 유리기판으로 이루어지는 지지체(11)의 위에, 스퍼터링법에 의해 두께 약 0.2㎛의 텅스텐막을 성막하고, 보통의 순서에 따라서 포토리소그라피 기술 및 드라이에칭 기술에 의해 이 텅스텐막을 패터닝하여, 제1 게이트 전극(14A)을 형성한다. 다음, 전면에 SiO_2로 이루어지는 두께 0.3㎛의 제1 절연층(13A)을 형성한 뒤, 제1 절연층(13A)의 위에 텅스텐으로 이루어지는 스트라이프형의 캐소드 전극(212)을 형성한다(도 58의(A)참조).

[공정-1210]

그 후, 전면에, 예를 들면 SiO_2로 이루어지는 두께 0.7㎛의 제2 절연층(13B)을 형성하고, 이어서, 제2 절연층(13B)상에 스트라이프형의 제2 게이트 전극(14B)을 형성한다(도 58의(B)참조). 제2 게이트 전극(14B)의 구성 재료나 두께에 관해서는, 제1 게이트 전극(14A)과 같아도 좋고, 다르더라도 된다.

[공정-1220]

다음에, 전면에 레지스트층(67)을 형성한 뒤, 레지스트층(67)에 제2 게이트 전극(14B)의 표면을 일부 노출시키도록 레지스트 개구부(67A)를 형성한다. 레지스트 개구부(67A)의 평면형상은 직사각형이다. 직사각형의 길이 변은 대략 100㎛, 단변은 수 ㎛ 10㎛ 이다. 계속해서, 레지스트 개구부(67A)의 바닥면에 노출된 제2 게이트 전극(14B)을 예를 들면 RIE 법에 의해 이방적으로 에칭하여, 개구부를 형성한다. 다음에, 개구부의 바닥면에 노출된 제2 절연층(13B)을 등방적으로 에칭하고, 개구부를 형성한다(도 58의(C)참조). 제2 절연층(13B)을 SiO_2를 이용하여 형성하고 있기 때문에, 완충화 불산수용액을 이용한 습식 에칭을 행한다. 제2 절연층(13B)에 형성된 개구부의 벽면은, 제2 게이트 전극(14B)에 형성된 개구부의 개구단면보다도 후퇴하지만, 이 때의 후퇴양은 에칭시간의 장단에 의해 제어할 수 있다. 여기서는, 제2 절연층(13B)에 형성된 개구부의 하단이, 제2 게이트 전극(14B)에 형성된 개구부의 개구단면보다도 후퇴할 때까지, ?? 에칭을 행한다.

다음에, 개구부의 바닥면에 노출된 캐소드 전극(212)을, 이온을 주에칭종으로 하는 조건에 의해 드라이에칭한다. 이온을 주에칭종으로 하는 드라이에칭으로서는, 피에칭물에의 바이어스 전압의 인가나 플라즈마와 자계와의 상호작용을 이용하여 하전입자인 이온을 가속할 수 있기 때문에, 일반적으로는 이방성에칭이 진행되어, 피에칭물의 가공면은 수직벽으로 된다. 그러나, 이 공정에서는, 플라즈마중의 주에칭종의 속에도 수직 이외의 각도를 가지는 입사성분이 약간 존재

하는 것 및 개구부의 단부에 있어서의 산란에 의해서도 기울어진 입사성분이 생기는 것에 의해, 캐소드 전극(212)의 노출면의 안에서, 원래 이면 개구부에 의해서 차단되어 이온이 도달되지 않을 영역에도, 어느 정도의 확률로 주에칭종이 입사한다. 이 때, 지지체(11)의 법선에 대한 입사각이 작은 주에칭종일수록 입사확률은 높고, 입사각이 큰 주에칭종일수록 입사확률은 낮다.

따라서, 캐소드 전극(212)에 형성된 개구부의 상단부의 위치는, 제2 절연층(13B)에 형성된 개구부의 하단부와 거의 같지만, 캐소드 전극(212)에 형성된 개구부의 하단부의 위치는 그 상단부보다도 돌출된 상태가 된다. 즉, 캐소드 전극(212)의 에지부(212A)의 두께가, 돌출방향의 선단부를 향해서 얇아져, 에지부(212A)가 첨예화된다. 예를 들면, 에칭·가스로서 SF_6를 이용하는 것에 의해, 캐소드 전극(212)을 양호하게 가공할 수 있다.

다음에, 캐소드 전극(212)에 형성된 개구부의 바닥면에 노출된 제1 절연층(13A)을 등방적으로 에칭하여, 제1 절연층(13A)에 개구부를 형성하여, 개구부(15)를 완성시킨다. 여기서는, 완충화 불산수용액을 이용한 ?? 에칭을 행한다. 제1 절연층(13A)에 형성된 개구부의 벽면은, 캐소드 전극(212)에 형성된 개구부의 하단부보다도 후퇴한다. 이 때의 후퇴양은 에칭시간의 장단에 의해 제어가능하다. 개구부(15)의 완성 후에 레지스트층(67)을 제거하면, 도 57의(C)에 나타낸 구성을 얻을 수 있다.

[스핀트형 전계 방출 소자: 제조 방법의 변형-1]

먼저, [스핀트형 전계 방출 소자]로써 설명한 스핀트형 전계 방출 소자의 제조 방법의 변형예를, 이하, 지지체등의 모식적인 일부 단면도면인 도 59 도 61을 참조하여 설명하지만, 이 스핀트형 전계 방출 소자(도 62참조)는, 기본적으로는, 이하의 공정에 기초하여 제작된다. 즉,

(a)지지체(11)상에 캐소드 전극(12)을 형성하는 공정

(b)캐소드 전극(12) 위를 포함하는 지지체(11)상에 절연층(13)을 형성하는 공정

(c)절연층(13)상에 게이트 전극(14)을 형성하는 공정

(d)저부에 캐소드 전극(12)이 노출된 개구부(15)를, 적어도 절연층(13)에 형성하는 공정

(e)개구부(15)내를 포함하는 전면에 전자 방출부형성용 도전재료층(81)을 형성하는 공정

(f)개구부(15)의 중앙부에 위치하는 도전재료층(81)의 영역을 차단하도록 마스크재료층(82)을 도전재료층(81)상에 형성하는 공정

(g)도전재료층(81)의 지지체(11)에 대하여 수직한 방향에 있어서의 에칭속도가 마스크재료층(82)의 지지체(11)에 대하여 수직한 방향에 있어서의 에칭속도보다 빠르게 되는 이방성에칭조건 하에서 도전재료층(81)과 마스크재료층(82)을 에칭함으로써, 도전재료층(81)으로 이루어져, 선단부가 송곳 형상을 가지는 전자방출전극(16E)을 개구부(15)내에 노출된 캐소드 전극(12)상에 형성하는 공정

[공정-1300]

먼저, 예를 들면 유리기판상에 두께 약 0.6㎛의 SiO_2층을 형성하여 이루어지는 지지체(11)상에, 크롬(Cr)으로 이루어지는 캐소드 전극(12)을 설치한다. 구체적으로는, 지지체(11)상에, 예를 들면 스퍼터링법이나 CVD 법으로써 크롬으로 이루어지는 캐소드 전극용 도전재료층을 퇴적시키고, 이러한 캐소드 전극용 도전재료층을 패터닝함으로써, 복수의 캐소드 전극(12)을 형성할 수가 있다. 캐소드 전극(12)의 폭을 예를 들면 50㎛, 캐소드 전극(12)의 사이의 스페이스를 예를 들면 30㎛으로 한다. 그 후, 전면에, 구체적으로는, 캐소드 전극(12) 및 지지체(11)상에, 원료가스로서 TEOS (tetraethoxysilane)를 사용하는 플라즈마 CVD 법으로써 SiO_2로 이루어지는 절연층(13)을 형성한다. 절연층(13)의 두께를 약 1㎛으로 한다. 다음에, 절연층(13)상의 전면에, 캐소드 전극(12)과 직교하는 방향으로 평행으로 연장되는 스트라이프형의 게이트 전극(14)을 형성한다.

다음에, 스트라이프형의 캐소드 전극(12)과 스트라이프형의 게이트 전극(14)과의 중복영역, 즉, 1화소영역에서, 게이트 전극(14)과 절연층(13)을 관통하는 개구부(15)를 형성한다. 개구부(15)의 평면형상은, 예를 들면, 직경 0.3㎛의 원형이다. 개구부(15)는 통상, 1화소영역(1중복영역)에 수백 내지 천 개정도 형성된다. 개구부(15)를 형성하기 위해서는, 보통의 포토리소그라피(photolithography) 기술에 의해 형성된 레지스트층을 마스크로 하여, 먼저, 게이트 전극(14)에 개구부(15)를 형성하고, 계속해서, 절연층(13)에 개구부(15)를 형성한다. RIE 종료후, 레지스트층을 애싱에 의해 제거한다(도 59의(A)참조).

[공정-1310]

다음에, 전면에 밀착층(80)을 스퍼터링법으로써 형성한다(도 59의(B)참조). 이 밀착층(80)은, 게이트전극이 형성되어 있지 않은 영역이나 개구부(15)의 측벽면에 노출되어 있는 절연층(13)과, 다음 공정에서 전면적으로 성막되는 도전재료층(81)사이의 밀착성을 높이기 위해서 설치되는 층이다. 도전재료층(81)을 텅스텐으로 형성하는 것을 전제로 하여, 텅스텐으로 이루어지는 밀착층(80)을, DC 스퍼터링법에 의해 0.07㎛의 두께로 형성한다.

[공정-1320]

다음에, 개구부(15) 내를 포함하는 전면에, 두께 약 0.6㎛의 텅스텐으로 이루어지는 전자 방출부 형성용 도전재료층(81)을 수소환원감압 CVD 법에 의해 형성한다(도 60의(A)참조). 성막된 도전재료층(81)의 표면에는, 개구부(15)의 상단면과 바닥면 사이의 단차를 반영한 요부(81A)가 형성된다.

[공정-1330]

다음에, 개구부(15)의 중앙부에 위치하는 도전재료층(81)의 영역(구체적으로는 요부(81A)를 차단하도록 마스크재료층(82)을 형성한다. 구체적으로는, 먼저, 스핀코트법에 의해 두께 0.5㎛의 레지스트층을 마스크재료층(82)으로서 도전재료층(81)의 위에 형성한다(도 60의(B)참조). 마스크재료층(82)은, 도전재료층(81)의 요부(81A)를 흡수하여, 거의 평탄한 표면으로 된다. 다음에, 마스크재료층(82)을 산소계 가스를 이용한 RIE 법에 의해 에칭한다. 이 에칭을, 도전재료층(81)의 평탄면이 노출된 시점에서 종료한다. 이에 따라, 도전재료층(81)의 요부(81A)가 평탄하게 되도록 마스크재료층(82)이 남는다(도 61의(A)참조).

[공정-1340]

다음에, 도전재료층(81)과 마스크재료층(82)과 밀착층(80)을 에칭하고, 원추형상의 전자방출전극(16E)을 형성한다(도 61의(B)참조). 이들 층의 에칭은, 도전재료층(81)의 에칭속도가 마스크재료층(82)의 에칭속도보다도 빠르게 되는 이방성에칭조건 하에 행한다. 에칭조건을 이하의 표2에 예시한다.

[표 2]

[도전재료층(81) 등의 에칭조건]

SF_6 유량	150 SCCM
O_2 유량	30 SCCM
Ar 유량	90 SCCM
압력	35 Pa
RF 파워	0.7 kW(13.56 MHz)

[공정-1350]

그 후, 등방적인 에칭조건으로써 개구부(15)의 내부에 있어 절연층(13)에 설치된 개구부(15)의 측벽면을 후퇴시키면, 도 62에 나타내는 전계 방출 소자가 완성되어진다. 등방적인 에칭은, 케미컬드라이에칭과 같이 라디칼을 주에칭종으로서 이용하는 드라이에칭, 또는, 에칭액을 이용하는 습식 에칭에 의해 행할 수 있다. 에칭액으로서, 예를 들면 49% 불산 수용액과 순수의 1:100 (용적비) 혼합액을 이용할 수 있다.

여기에서, [공정-1340]에 있어서, 전자방출전극(16E)이 형성되는 원리에 대해, 도 63을 참조하여 설명한다. 도 63의(A)는, 에칭의 진행에 따라, 피에칭물의 표면 프로파일이 일정시간마다 어떻게 변화되는가를 나타내는 모식도이며, 도 63의(B)는, 에칭시간과 개구부(15)의 중심에서의 피에칭물의 두께와의 관계를 나타내는 그래프이다. 개구부(15)의 중심에서의 마스크재료층의 두께를 hp, 개구부(15)의 중심에서의 전자방출전극(16E)의 높이를 he로 한다.

표 2에 나타낸 에칭조건으로서는, 레지스트 재료로 이루어지는 마스크재료층(82)의 에칭속도보다도, 도전재료층(81)의 에칭속도 쪽이 당연히 빠르다. 마스크재료층(82)이 존재하지 않는 영역에서는, 도전재료층(81)이 바로 에칭되기 시작하여, 피에칭물의 표면이 빠르게 하강하여 간다. 이것에 대하여, 마스크재료층(82)이 존재하는 영역에서는, 최초에 마스크재료층(82)이 제거되지 않으면 그 아래의 도전재료층(81)의 에칭이 시작되지 않기 때문에, 마스크재료층(82)이 에칭되고 있는 동안에는 피에칭물의 두께의 감소속도는 느리고 (hp 감소구간), 마스크재료층(82)이 소실한 시점에서부터 피에칭물의 두께의 감소속도가 마스크재료층(82)이 존재하지 않는 영역과 같이 빠르게 된다(he 감소구간). he 감소구간의 개시시기는, 마스크재료층(82)의 두께가 최대로 되는 개구부(15)의 중심에서 가장 느리고, 마스크재료층(82)이 얇은 개구부(15)의 주변으로 갈수록 빨라진다. 이와 같이하여, 원추형상의 전자방출전극(16E)이 형성된다.

레지스트 재료로 이루어지는 마스크재료층(82)의 에칭속도에 대한 도전재료층(81)의 에칭속도의 비를, 「대레지스트선택비」라고 칭하기로 한다. 이 대레지스트선택비가, 전자방출전극(16E)의 높이와 형상을 결정하는 중요한 인자인 것을, 도 64를 참조하여 설명한다. 도 64의(A)는, 대레지스트선택비가 상대적으로 작은 경우, 도 64의(C)는, 대레지스트선택비가 상대적으로 큰 경우, 도 64의(B)는 이들 중간인 경우의, 전자방출전극(16E)의 형상을 나타내고 있다. 대레지스트선택비가 클수록, 마스크재료층(82)의 막 감소에 비해 도전재료층(81)의 막 감소가 심하게 되기 때문에, 전자방출전극(16E)은 보다 높고, 또한 날카롭게 되는 것을 알 수 있다. 대레지스트선택비는, SF_6 유량에 대한 O_2 유량의 비율을 높이면 저하된다. 또, 기판 바이어스를 병용하여 이온의 입사에너지를 변화시키는 것이 가능한 에칭장치를 이용하는 경우에는, RF 바이어스파워를 높이거나, 바이어스인가용 교류전원의 주파수를 내림으로써 대레지스트선택비를 내릴 수 있다. 대레지스트선택비의 값은 1.5이상, 바람직하게는 2이상, 보다 바람직하게는 3이상으로 선택한다.

또한, 상기의 에칭에서는 당연히 게이트 전극(14)이나 캐소드 전극(12)에 대하여 높은 선택비를 확보해야 하지만, 표 2에 나타낸 조건으로 전혀 문제는 없다. 왜냐하면, 게이트 전극(14)이나 캐소드 전극(12)을 구성하는 재료는, 불소계의 에칭종으로서는 거의 에칭되지 않고, 상기의 조건이면, 대강 10이상의 에칭선택비가 얻어지기 때문이다.

[스핀트형 전계 방출 소자: 제조 방법의 변형-2]

스핀트형 전계 방출 소자의 제조 방법의 변형-2는, 스핀트형 전계 방출 소자의 제조 방법의 변형-1의 변형이다. 제조 방법의 변형-2에서는, 마스크재료층에 의해 차단되는 도전재료층의 영역을, 제조 방법의 변형-1에 있어서 보다도 좁

게 하는 것이 가능하다. 즉, 제조 방법의 변형-2에서는, 개구부의 상단면과 바닥면 사이의 단차를 반영하여, 주상부와 이 주상부의 상단에 연통되는 확대부로 이루어지는 대략 깔때기상의 요부를 도전재료층의 표면에 생성시키고, 공정(f)에 있어서, 도전재료층의 전면에 마스크재료층을 형성한 뒤, 마스크재료층과 도전재료층을 지지체의 표면에 대하여 평행한 면내에서 제거함으로써, 주상부에 마스크재료층을 남긴다.

이하, 스핀트형 전계 방출 소자의 제조 방법의 변형-2를, 지지체 등의 모식적인 일부 단면도면인 도 65 도 67을 참조하여 설명한다.

[공정-1400]

먼저, 지지체(11)상에 캐소드 전극(12)을 형성한다. 캐소드 전극(12)을 포함하는 캐소드 전극용 도전재료층은, 예를 들면 DC 스퍼터링법에 의해, TiN 층(두께 0.1㎛), Ti 층(두께 5nm), Al-Cu 층(두께 0.4㎛), Ti 층(두께 5nm), TiN 층(두께 0.02㎛) 및 Ti 층(0.02㎛)을 이 순차로 적층하여 적층막을 형성하고, 계속해서 이 적층막을 스트라이프형으로 패터닝하여 형성한다. 또한, 도면에서는 캐소드 전극(12)을 단층으로 나타내었다. 다음에, 전면에, 구체적으로는, 지지체(11)와 캐소드 전극(12)의 위에, 두께 0.7㎛의 절연층(13)을, TEOS를 원료가스로 하는 플라즈마 CVD 법에 기초하여 형성한다. 이어서, 절연층(13)의 위에 스트라이프형의 게이트 전극(14)을 형성한다.

또한, 전면에 예를 들면 SiO_2로 이루어지는 두께 0.2㎛의 에칭정지층(83)을 형성한다. 에칭정지층(82)은, 전계 방출 소자의 기능상 불가결한 부재가 아니라, 뒤 공정에서 행해지는 도전재료층(81)의 에칭시에, 게이트 전극(14)을 보호하는 역활을 다 한다. 또한, 도전재료층(81)의 에칭조건에 대하여 게이트 전극(14)이 충분히 높은 에칭내성을 가져는 경우에는, 에칭정지층(82)을 생략하더라도 상관없다. 그 후, RIE 법에 의해, 에칭정지층(82),게이트 전극(14), 절연층(13)을 관통하여, 저부에 캐소드 전극(12)이 노출된 개구부(15)를 형성한다. 이와 같이 하여, 도 65의(A)에 나타내는 상태가 얻어진다.

[공정-1410]

다음에, 개구부(15) 내를 포함하는 전면에, 예를 들면 두께 0.03㎛의 텅스텐으로 이루어지는 밀착층(80)을 형성한다(도 65의(B)참조). 이어서, 개구부(15)내를 포함하는 전면에 전자 방출부 형성용 도전재료층(81)을 형성한다. 단지, 제조 방법의 변형-2에 있어서의 도전재료층(81)은, 제조 방법의 변형-1로 설명한 요부(81A)보다도 깊은 요부(81A)가 표면에 생성되도록, 도전재료층(81)의 두께를 선택한다. 즉, 도전재료층(81)의 두께를 적절하게 설정하는 것에 따라, 개구부(15)의 상단면과 바닥면 사이의 단차를 반영하여, 주상부(81B)와 이 주상부(81B)의 상단에 연통되는 확대부(81C)로 이루어지는 대략 깔때기상의 요부(81A)를 도전재료층(81)의 표면에 생성시킬 수 있다.

[공정-1420]

다음에, 도전재료층(81)의 전면에, 예를 들면 무전해도금법에 의해, 두께 약 0.5㎛의 동(Cu)으로 이루어지는 마스크재료층(82)을 형성한다(도 66의(A)참조). 무전해도금조건을 이하의 표 3에 예시한다.

[표 3]

도금액	유산동($CuSO_4 \cdot 5H_2O$) 7 g/리터
	포르말린(37% HCHO) 20 m1/리터
	수산화나트륨(NaOH) 10 g/리터
	주석산나트륨칼륨 20 g/리터
도금온도	50℃

[공정-1430]

그 후, 마스크재료층(82)과 도전재료층(81)을 지지체(11)의 표면에 대하여 평행한 면내에서 제거함으로써, 주상부(81B)에 마스크재료층(82)을 남긴다(도 66의(B)참조). 이 제거는, 예를 들면 화학적기계적연마법(CMP 법)에 의해 행할 수 있다.

[공정-1440]

다음에, 도전재료층(81)과 밀착층(80)의 에칭속도가 마스크재료층(82)의 에칭속도보다도 빠르게 되는 이방성에칭조건 하에, 도전재료층(81)과 마스크재료층(82)과 밀착층(80)을 에칭한다. 그 결과, 개구부(15)내에 송곳 형상을 가지는 전자방출전극(16E)이 형성된다(도 67의(A)참조). 또한, 전자방출전극(16E)의 선단부에 마스크재료층(82)이 잔존하는 경우에는, 희석된 불산수용액을 이용한 습식 에칭에 의해 마스크재료층(82)을 제거할 수가 있다.

[공정-1450]

다음에, 등방적인 에칭조건으로 개구부(15)의 내부에 있어 절연층(13)에 설치된 개구부(15)의 측벽면을 후퇴시키면, 도 67의(B)에 나타낸 전계 방출 소자가 완성된다. 이 때, 에칭정지층(82)도 제거된다. 등방적인 에칭에 관해서는, 제조 방법의 변형-1에서 설명한 것과 동일하게 하면 된다.

그러나, 제조 방법의 변형-2로 형성된 전자방출전극(16E)에서는, 제조 방법의 변형-1로 형성된 전자방출전극(16E)에 비하여 보다 날카로운 송곳 형상이 달성되어 있다. 이것은, 마스크재료층(82)의 형상과, 마스크재료층(82)의 에칭속도에 대한 도전재료층(81)의 에칭속도의 비가 다른 것에 기인한다. 이 차이에 대해, 도 68을 참조하면서 설명한다. 도 68은, 피에칭물의 표면 프로파일이 일정 시간마다 어떻게 변화되는가를 도시한 도면이며, 도 68의(A)는 동으로 이루어지는 마스크재료층(82)을 이용한 경우, 도 68의(B)는 레지스트 재료로 이루어지는 마스크재료층(82)을 이용한 경우를 각각 나타낸다. 또한, 간략화를 위해 도전재료층(81)의 에칭속도와 밀착층(80)의 에칭속도를 각각 동등한 것으로 가정하여, 도 68에서는 밀착층(80)의 도시를 생략한다.

동으로 이루어지는 마스크재료층(82)을 이용한 경우(도 68의(A)참조)는, 마스크재료층(82)의 에칭속도가 도전재료층(81)의 에칭속도에 비해 충분히 느린 때문에, 에칭중에 마스크재료층(82)이 소실하는 일이 없고, 따라서, 선단부가 날카로운 전자방출전극(16E)을 형성할 수가 있다. 이것에 대하여, 레지스트 재료로 이루어지는 마스크재료층(82)을 이용한 경우(도 68의(B)참조)는, 마스크재료층(82)의 에칭속도가 도전재료층(81)의 에칭속도에 비해 그만큼 느리지 않은 때문에, 에칭중에 마스크재료층(82)이 소실하기 쉽고, 따라서, 마스크재료층의 소실 뒤의 전자방출전극(16E)의 송곳 형상이 둔화하는 경향이 있다.

또, 주상부(81B)에 남는 마스크재료층(82)에는, 주상부(81B)의 깊이가 다소 변화되더라도, 전자방출전극(16E)의 형상은 변화되기 어렵다고 하는 이점도 있다. 즉, 주상부(81B)의 깊이는, 도전재료층(81)의 두께나 스텝커버리지의 편차에 의해서 변화할 수 있지만, 주상부(81B)의 폭은 깊이에 의존하지 않고 거의 일정하기 때문에, 마스크재료층(82)의 폭도 거의 일정하게 되고, 최종적으로 형성되는 전자방출전극(16E)의 형상은 큰 차가 생기지 않는다. 이것에 대하여, 요부(81A)에 남는 마스크재료층(82)에서는, 요부(81A)가 얕은 경우와 깊은 경우에 따라 마스크재료층의 폭도 변

화되어 버리기 때문에, 요부(81A)가 얕고 마스크재료층(82)의 두께가 얇은 경우일 록 보다 빠른 시기에 전자방출전극(16E)의 송곳 형상의 둔화가 시작된다. 전계 방출 소자의 전자방출효율은, 게이트전극과 캐소드 전극 사이의 전위차, 게이트전극과 캐소드 전극 사이의 거리, 전자 방출부의 구성 재료의 일함수 외에 전자 방출부의 선단부의 형상에 의하여도 변화된다. 이로 인하여, 필요에 따라 전술한 바와 같이 마스크재료층의 형상이나 에칭속도를 선택하는 것이 바람직하다.

[스핀트형 전계 방출 소자: 제조 방법의 변형-3]

제조 방법의 변형-3은, 제조 방법의 변형-2의 변형이다. 제조 방법의 변형-3에서는, 공정(e)에 있어서, 개구부의 상단면과 바닥면사이의 단차를 반영하여, 주상부와 이 주상부의 상단에 연통되는 확대부로 이루어지는 대략 깔때기상의 요부를 도전재료층의 표면에 생성시키고, 공정(f)에 있어서, 도전재료층의 전면에 마스크재료층을 형성한 뒤, 도전재료층상으로 확대부내의 마스크재료층을 제거함으로써, 주상부에 마스크재료층을 남긴다. 이하, 스핀트형 전계 방출 소자의 제조 방법의 변형-3을, 지지체등의 모식적인 일부 단면도면인 도 69 및 도 70을 참조하여 설명한다.

[공정-1500]

먼저, 도 66의(A)에 나타낸 마스크재료층(82)의 형성까지를 제조 방법의 변형-2의 [공정-1400] [공정-1420]과 같이 행한 뒤, 도전재료층(81) 위로 확대부(81C) 내의 마스크재료층(82)만을 제거함으로써, 주상부(81B)에 마스크재료층(82)을 남긴다(도 69의(A)참조). 이 때, 예를 들면 희석된 불산수용액을 이용한 습식 에칭을 행하는 것에 의해, 텅스텐으로 이루어지는 도전재료층(81)을 제거하는 일없이, 동으로 이루어지는 마스크재료층(82)만을 선택적으로 제거할 수가 있다. 주상부(81B) 내에 남는 마스크재료층(82)의 높이는, 에칭시간에 의존하지만, 이 에칭시간은, 확대부(81C)에 설치된 마스크재료층(82)의 부분이 충분히 제거되는 한, 어느 이상의 엄밀함을 요하지 않는다. 왜냐하면, 마스크재료층(82)의 고저에 관한 의론은, 도 68의(A)를 참조하면서 전술한 주상부(81B)의 얕고 깊음에 관한 의론과 실질적으로 같은 이며, 마스크재료층(82)의 고저는 최종적으로 형성되는 전자방출전극(16E)의 형상에 큰 영향을 미치게 하지 않기 때문이다.

[공정-1510]

다음에, 도전재료층(81)과 마스크재료층(82)과 밀착층(80)의 에칭을, 제조 방법의 변형-2와 같이 행하여, 도 69의(B)에 나타내는 것과 같은 전자방출전극(16E)을 형성한다. 이 전자방출전극(16E)은, 도 67의(A)에 나타낸 바와 같이 전체가 송곳형상을 가지고 있더라도 물론 상관없지만, 도 69의(B)에는 선단부만이 송곳 형상을 가지는 변형예를 나타내었다. 이러한 형상은, 주상부(81B)에 설치된 마스크재료층(82)의 높이가 낮거나, 또는, 마스크재료층(82)의 에칭속도가 비교적 빠른 경우에 생기지만, 전자방출전극(16E)으로서의 기능에는 전혀 지장이 없다.

[공정-1520]

그 후, 등방적인 에칭조건으로 개구부(15)의 내부에 있어 절연층(13)에 설치된 개구부(15)의 측벽면을 후퇴시키면, 도 70에 나타내는 전계 방출 소자가 완성되어진다. 등방적인 에칭에 관해서는, 제조 방법의 변형-1로 설명한 것과 동일하게 하면 된다.

[스핀트형 전계 방출 소자: 제조 방법의 변형-4]

제조 방법의 변형-4는, 제조 방법의 변형-1의 변형이다. 제조 방법의 변형-4로써 제조된 스핀트형 전계 방출 소자의 모식적인 일부 단면도를 도 71이 나타낸다. 제조 방법의 변형-4가 제조 방법의 변형-1과 상이한 점은, 전자 방출부가, 기부(84)와, 기부(84)상에 적층된 송곳상의 전자방출전극(16E)으로 구성되어 있는 점에 있다. 여기에서, 기부(84)와 전자방출전극(16E)과는 상이한 도전재료로 구성되어 있다. 구체적으로는, 기부(84)는, 전자방출전극(16E)과 게이트 전극(14)의 개구단부 사이의 거리를 조절하기 위한 부재이며, 또한, 저항체층으로서의 기능을 가지고, 불순물을 함유하는 폴리실리콘층로 구성되어 있다. 전자방출전극(16E)은 텅스텐으로 구성되어 있고, 송곳 형상, 보다 구체적으로는 원추형상을 가진다. 또한, 기부(84)와 전자방출전극(16E)과의 사이에는, TiN으로 이루어지는 밀착층(80)이 형성되어 있다. 또한, 밀착층(80)은, 전자 방출부의 기능상 불가결한 구성 요소가 아니라, 제조상의 이유로 형성되어 있다. 절연층(13)이 게이트 전극(14)의 직하로부터 기부(84)의 상단부에 걸쳐 도려 내어지는 것에 의해, 개구부(15)가 형성되어 있다.

이하, 제조 방법의 변형-4를, 지지체 등의 모식적인 일부 단면도면인 도 72 도 74를 참조하여 설명한다.

[공정-1600]

먼저, 개구부(15)의 형성까지를, 제조 방법의 변형-1의 [공정-1300]과 같이 행한다. 계속해서, 개구부(15) 내부를 포함하는 전면에 기부형성용 도전재료층(84A)을 형성한다. 도전재료층(84A)은, 저항체층으로서도 기능하며, 폴리실리콘층로 구성되어, 플라즈마 CVD 법에 의해 형성할 수가 있다. 이어서, 전면에, 스핀코트법으로써 레지스트층으로 이루어지는 평탄화층(85)을 표면이 대략 평탄하여지도록 형성한다(도 72의(A)참조). 다음에, 평탄화층(85)과 도전재료층(84A)의 에칭속도가 대략 동일하게 되는 조건으로 양층을 에칭하여, 개구부(15)의 저부를 상면이 평탄한 기부(84)로 한다(도 72의(B)참조). 에칭은, 염소계가스와 산소계가스를 포함하는 에칭가스를 이용한 RIE 법에 의해 행할 수 있다. 도전재료층(84A)의 표면을 평탄화층(85)으로 일단 평탄화한 후 에칭을 행하고 있기 때문에, 기부(84)의 상면이 평탄하여 진다.

[공정-1610]

다음에, 개구부(15)의 잔부를 포함하는 전면에 밀착층(80)을 성막하고, 또한, 개구부(15)의 잔부를 포함하는 전면에 전자 방출부형성용 도전재료층(81)을 성막하여, 개구부(15)의 잔부를 도전재료층(81)으로 채운다(도 73의(A)참조). 밀착층(80)은, 스퍼터링법에 의해 형성되는 두께 0.07㎛의 TiN 층이며, 도전재료층(81)은 감압 CVD 법에 의해 형성되는 두께 0.6㎛의 텅스텐층이다. 도전재료층(81)의 표면에는, 개구부(15)의 상단면과 바닥면 사이의 단차를 반영하여 요부(81A)가 형성되어 있다.

[공정-1620]

다음에, 도전재료층(81)의 전면에, 스핀코트법에 의해 레지스트층으로 이루어지는 마스크재료층(82)을 표면이 대략 평탄하여지도록 형성한다(도 73의(B)참조). 마스크재료층(82)은, 도전재료층(81)의 표면의 요부(81A)를 흡수하여 평탄한 표면으로 되어있다. 다음에, 마스크재료층(82)을 산소계가스를 이용한 RIE 법에 의해 에칭한다(도 74의(A)참조). 이 에칭은, 도전재료층(81)의 평탄면이 노출된 시점에서 종료한다. 이에 따라, 도전재료층(81)의 요부(81A)에 마스크재료층(82)이 평탄하게 남겨져, 마스크재료층(82)이 개구부(15)의 중앙부에 위치하는 도전재료층(81)의 영역을 차단하도록 형성되어 있다.

[공정-1630]

다음에, 제조 방법의 변형-1의 [공정-1340]과 같이 하여, 도전재료층(81),마스크재료층(82) 및 밀착층(80)을 함께 에칭하면, 전술한 원리에 의하여 대레지스트선택비의 크기에 따른 원추형상을 가지는 전자방출전극(16E)과 밀착층(80)이 형성되고, 전자 방출부가 완성된다(도 74의(B)참조). 그 후, 개구부(15)의 내부에 있어 절연층(13)에 설치된 개구부(15)의 측벽면을 후퇴시키면, 도 71에 나타낸 전계 방출 소자를 얻을 수 있다.

[스핀트형 전계 방출 소자: 제조 방법의 변형-5]

제조 방법의 변형-5는, 제조 방법의 변형-2의 변형이다. 제조 방법의 변형-5로써 제조되는 스핀트형 전계 방출 소자의 모식적인 일부 단면도를 도 76의(B)에 나타낸다. 제조 방법의 변형-5가 제조 방법의 변형-2와 상이한 점은, 전자방출부가, 제조 방법의 변형-4와 같이, 기부(84)와, 기부(84)상에 적층된 송곳상의 전자방출전극(16E)으로 구성되어 있는 점에 있다. 여기에서, 기부(84)와 전자방출전극(16E)과는 상이한 도전재료로 구성되어 있다. 구체적으로는, 기부(84)는, 전자방출전극(16E)과 게이트 전극(14)의 개구단부 사이의 거리를 조절하기 위한 부재이며, 또한, 저항체층으로서의 기능을 가지고, 불순물을 함유하는 폴리실리콘층로 구성되어 있다. 전자방출전극(16E)은 텅스텐으로 구성되어 있고, 송곳 형상, 보다 구체적으로는 원추형상을 가진다. 또한, 기부(84)와 전자방출전극(16E)의 사이에는, TiN으로 이루어지는 밀착층(80)이 형성되어 있다. 또한, 밀착층(80)은, 전자 방출부의 기능상 불가결한 구성 요소가 아니라, 제조상의 이유로 형성되어 있다. 절연층(13)이 게이트 전극(14)의 직하로부터 기부(84)의 상단부에 걸쳐 도려 내어지는 것에 의해, 개구부(15)가 형성되어 있다.

이하, 제조 방법의 변형-5를, 지지체 등의 모식적인 일부 단면도면인 도 75 및 도 76을 참조하여 설명한다.

[공정-1700]

먼저, 개구부(15)의 형성까지를, 제조 방법의 변형-1의 [공정-1300]과 같이 행한다. 다음에, 개구부(15) 내를 포함하는 전면에 기부형성용 도전재료층을 형성하고, 도전재료층을 에칭함으로써, 개구부(15)의 저부를 채우는 기부(84)를 형성할 수가 있다. 또한, 도시된 기부(84)는 평탄화된 표면을 가지고 있지만, 표면이 우묵하게 들어가 있더라도 무방하다. 또한, 평탄화된 표면을 가지는 기부(84)는, 제조 방법의 변형-4의 [공정-1600]과 같은 프로세스에 의해서 형성 가능하다. 또한, 개구부(15)의 잔부를 포함하는 전면에, 밀착층(80), 및 전자 방출부형성용 도전재료층(81)을 순차 형성한다. 이 때, 개구부(15)의 잔부의 상단면과 바닥면 사이의 단차를 반영한 주상부(81B)와 이 주상부(81B)의 상단에 연통되는 확대부(81C)로 이루어지는 대략 깔때기상의 요부(81A)가 도전재료층(81)의 표면에 생성되도록, 도전재료층(81)의 두께를 선택한다. 다음에, 도전재료층(81)상에 마스크재료층(82)을 형성한다. 이 마스크재료층(82)은, 예를 들면 동을 이용하여 형성한다. 도 75의(A)는, 여기까지의 프로세스가 종료한 상태를 나타내고 있다.

[공정-1710]

다음에, 마스크재료층(82)과 도전재료층(81)을 지지체(11)의 표면에 대하여 평행한 면내에서 제거함으로써, 주상부(81B)에 마스크재료층(82)을 남긴다(도 75의(B)참조). 이 제거는, 제조 방법의 변형-2의 [공정-1430]과 같이, 화학적기계적연마법(CMP 법)에 의해 행할 수 있다.

[공정-1720]

다음에, 도전재료층(81)과 마스크재료층(82)과 밀착층(80)을 에칭하면, 전술한 원리에 기초하여 대레지스트선택비의 크기에 따라 원추형상을 가지는 전자방출전극(16E)이 형성된다. 이들 층의 에칭은, 제조 방법의 변형-2의 [공정-1440]과 같이 행할 수 있다. 전자방출전극(16E)과 기부(84) 및, 전자방출전극(16E)과 기부(84)의 사이에 잔존하는 밀착층(80)에 의해, 전자 방출부가 형성된다. 전자 방출부는, 전체가 송곳형상을 가지고 있더라도 물론 상관없지만, 도 76의(A)에는 기부(84)의 일부가 개구부(15)의 저부를 채우며 잔존한 상태를 나타내었다. 이러한 형상은, 주상부(81

B)에 설치된 마스크재료층(82)의 높이가 낮거나, 또는, 마스크재료층(82)의 에칭속도가 비교적 빠른 경우에 생기지만, 전자 방출부로서의 기능에는 전혀 지장이 없다.

[공정-1730]

그 후, 등방적인 에칭조건으로 개구부(15)의 내부에 있어 절연층(13)의 측벽면을 후퇴시키면, 도 76의(B)에 나타낸 전계 방출 소자가 완성되어진다. 등방적인 에칭조건은, 제조 방법의 변형-1에서 설명한 것과 동일하게 하면 된다.

[스핀트형 전계 방출 소자: 제조 방법의 변형-6]

제조 방법의 변형-6은, 제조 방법의 변형-3의 변형이다. 제조 방법의 변형-6이 제조 방법의 변형-3과 상이한 점은, 전자 방출부가, 제조 방법의 변형-4와 같이, 기부(84)와, 기부(84)상에 적층된 송곳상의 전자방출전극(16E)으로 구성되어 있는 점에 있다. 이하, 제조 방법의 변형-6을, 지지체 등의 모식적인 일부 단면도면인 도 77을 참조하여 설명한다.

[공정-1800]

마스크재료층(82)의 형성까지를 제조 방법의 변형-5의 [공정-1700]과 동일하게 행한다. 그 후, 도전재료층(81)상으로 확대부(81C) 내의 마스크재료층(82)만을 제거함으로써, 주상부(81B)에 마스크재료층(82)을 남긴다(도 77참조). 예를 들면 희석된 불산수용액을 이용한 습식 에칭을 행하고, 텅스텐으로 이루어지는 도전재료층(81)을 제거함이 없이, 동으로 이루어지는 마스크재료층(82)만을 선택적으로 제거할 수가 있다. 이 다음의 도전재료층(81)과 마스크재료층(82)의 에칭, 절연층(13)의 등방적인 에칭 등의 프로세스는, 모두, 제조 방법의 변형-5와 동일하게 행할 수 있다.

[평면형 전계 방출 소자(No. 3)]

[평면형 전계 방출 소자(No. 3)]은, 먼저 설명한 [평면형 전계 방출 소자(No. 1)]의 변형이다. [평면형 전계 방출 소자(No. 3)]이 [평면형 전계 방출 소자(No. 1)]과 상위한 점은, 제4의 구조를 가지고 있는 점에 있다.

즉, [평면형 전계 방출 소자(No. 3)]은,

(A)지지체(11)상에 배치되어 있으며, 절연재료로 이루어지는 띠상태의 스페이서,

(B)복수의 개구부(315)가 형성되어 있고, 띠상태의 재료층(314A)으로 이루어지는 게이트 전극(314), 및,

(C)전자 방출부

로 이루어지고,

스페이서의 정상면에 접하도록, 또한, 전자 방출부의 상방으로 개구부(315)가 위치하도록 띠상태의 재료층(314A)이 길게 걸쳐져 있다. 대상재료층(314A)은, 스페이서의 정상면에, 열경화성접착제(예를 들면 에폭시계접착제)로써 고정되어 있다. 또는, 도 78에서, 지지체(11)의 단부근방에 대한 모식적인 일부 단면도를 나타낸 바와 같이, 스트라이프형의 대상재료층(314A)의 양단부는, 지지체(11)의 주변부에 고정되어 있는 구조로 할 수도 있다. 보다 구체적으로는, 예를 들어, 지지체(11)의 주변부에 돌기부(316)를 미리 형성해 둬, 이 돌기부(316)의 정상면에 대상재료층(314A)을 구성하는 재료와 같은 재료의 박막(317)을 형성해 둔다. 그리고, 스트라이프형의 대상재료층(314A)을 길게 걸쳐놓은 상태에서 이러한 박막(317)에, 예를 들면 레이저를 이용하여 용접한다. 또한, 돌기부(316)는, 예를 들면, 스페이서의 형성과 동시에 형성할 수가 있다.

이하, [평면형 전계 방출 소자(No. 3)]의 제조 방법의 일예를 설명한다.

[공정-1900]

먼저, [평면형 전계 방출 소자(No. 1)]의 [공정-600]과 같이하여, 지지체(11)상에, 제1방향으로 연장되는 스트라이프형의 캐소드 전극용 도전재료층으로 구성된 캐소드 전극(12)(Cr로 이루어진다)을 형성한다.

[공정-1910]

이어서, [평면형 전계 방출 소자(No. 1)]의 [공정-610]과 같이하여, 전면에 절연층(13)을 형성한다. 그 후, 리소그라피 기술 및 에칭 기술을 이용하여 절연층(13)에 개구부(15)를 형성한다. 또는, 예를 들면, 스크린인쇄법으로써, 절연층(13)을 형성할 때, 더불어, 개구부(15)를 형성할 수도 있다. 이렇게 해서, 개구부(15)의 저부에 전자 방출부에 상당하는 캐소드 전극(12)의 표면을 노출시킬 수 있다. 여기에서, 절연층(13)이 스페이서에 상당한다.

[공정-1320]

그 후, 복수의 개구부(315)가 형성된 스트라이프형의 대상재료층(314A)을 개구부(315)가 전자 방출부의 상방으로 위치하도록, 게이트 전극 지지부 또는 스페이서인 절연층(13)에 의해서 지지된 상태로 배치하고, 더하여, 제1방향과는 상이한 제2방향으로 스트라이프형의 대상재료층(314A)을 배치하여, 결국, 스트라이프형의 대상재료층(314A)으로 구성되어 있고, 복수의 개구부(315)를 가지는 게이트 전극(314)을 전자 방출부의 상방에 위치시킨다.

또한, 이러한 게이트 전극의 형성방법은, 상술한 각종 전계 방출 소자의 제조에 대하여 적용할 수가 있다.

[평면형 전계 방출 소자(No. 4)]

[평면형 전계 방출 소자(No. 4)]는, [평면형 전계 방출 소자(No. 3)]의 변형이다. [평면형 전계 방출 소자(No. 4)]는, 도 79의(A)에 모식적인 일부 단면도를 나타낸 바와 같이, [평면형 전계 방출 소자(No. 3)]과 달리, 캐소드 전극(12)과 캐소드 전극(12)과의 사이에 격벽(313)(스페이서에 상당한다)이 설치되어 있다. 캐소드 전극(12),대상재료층(314A), 게이트 전극(314) 및, 격벽(313)의 모식적인 배치도를, 도 79의(B)에 나타내었다.

그리고, 대상재료층(314A)은, 격벽(313)의 정상면에, 열경화성접착제(예를 들면 에폭시계접착제)로써 고정되어 있다. 또는, 도 78에 모식적인 일부 단면도를 나타낸 바와 같이, 스트라이프형의 대상재료층(314A)의 양단부는, 지지체(11)의 주변부에 고정되어 있는 구조로 하는 것도 가능하다. 보다 구체적으로는, 예를 들면, 지지체(11)의 주변부에 돌기부(316)를 미리 형성해 둬, 이 돌기부(316)의 정상면에 대상재료층(314A)을 구성하는 재료와 같은 재료의 박막(317)을 형성해 둔다. 그리고, 스트라이프형의 대상재료층(314A)을 길게 걸쳐놓은 상태에서 이러한 박막(317)에, 예를 들면 레이저를 이용하여 용접한다.

[평면형 전계 방출 소자(No. 4)]는, 예를 들면, 이하에 설명하는 제조 방법으로써 제조할 수가 있다.

[공정-2000]

먼저, 지지체(11)상에 스페이서(게이트전극지지부)를 구성하는 격벽(313)을, 예를 들면, 샌드블래스트(sand blast)법에 의하여 형성한다.

[공정-2010]

그 후, 지지체(11)상에 전자 방출부를 형성한다. 구체적으로는, 전면에, 스핀코팅법으로써 레지스트 재료로 이루어지는 마스크층을 형성하여, 격벽(313)과 격벽(313) 사이의 캐소드 전극을 형성할 영역 부분의 마스크층을 제거한다. 그 후, [평면형 전계 방출 소자(그 1)]의 [공정-600]과 같이하여, 크롬(Cr)으로 이루어지는 캐소드 전극용 도전재료층을 스퍼터링법으로써 전면에 형성한 뒤, 마스크층을 제거한다. 이로 인해, 마스크층상에 형성된 캐소드 전극용 도전재료층도 제거되어, 격벽(313)과 격벽(313)과의 사이에, 전자 방출부로서 기능하는 캐소드 전극(12)이 남겨진다.

[공정-2020]

그 후, 복수의 개구부(315)가 형성된 스트라이프형의 대상재료층(314A)을 복수의 개구부(315)가 전자 방출부의 상방에 위치하도록, 스페이서인 격벽(313)에 의해서 지지된 상태로 배치하여, 결국, 스트라이프형의 대상재료층(314A)으로 구성되어 있고, 복수의 개구부(315)를 가지는 게이트 전극(314)을 전자 방출부의 상방에 위치시킨다. 스트라이프형의 대상재료층(314A)의 배치방법은, 전술한 대로 진행하면 된다.

또한, 이러한 게이트전극의 형성방법은, 상술한 각종 전계 방출 소자의 제조에 대하여 적용할 수가 있다.

[평면형 전계 방출 소자(No. 3)] 또는 [평면형 전계 방출 소자(No. 4)]에 있어서의 개구부(315)의 평면형상은 원형에 한정되지 않는다. 대상재료층(314A)에 설치된 개구부(315)의 형상의 변형예를 도 80의(A), (B), (C) 및 (D)에 예시한다.

[전계 방출 소자와 실드부재와의 조합]

본 발명의 제3 양태에 의한 평면형 표시 장치에 있어서의 전자 방출부(16) 및 실드부재(40)의 모식적인 일부 단면도를 도 81에 예시한다. 도 81에 나타낸 예에 있어서는, 게이트 전극(14) 및 절연층(13)의 위에 제2 절연층(43)이 형성되고, 제2 절연층(43)의 위에 실드부재(40)가 형성되어 있다. 실드부재(40)는, 집속전극으로서의 기능도 가진다. 실드부재(40) 및 제2 절연층(43)에는, 개구부(15)와 연통된 개구부(44)가 설치되어 있다. 또한, 스핀트형 전계 방출 소자를 예시했지만, 전계 방출 소자는 이것에 한정되는 것이 아니라, 상술한 각종 전계 방출 소자를 이용할 수 있다.

이러한 실드부재(40)가 조합된 전계 방출 소자는, 실질적으로, 게이트 전극(14) 및 절연층(13)의 위에 제2 절연층(43)을 형성한 뒤, 제2 절연층(43)의 위에 실드부재(40)를 형성하고, 이어서, 실드부재(40) 및 제2 절연층(43)에 개구부(44)를 형성하는 공정을, 전술한 각종 전계 방출 소자의 제조 방법의 공정을 적용하여 진행함으로써 제조할 수 있기 때문에, 상세한 설명은 생략한다. 또한, 실드부재의 패터닝에 의하여, 1 또는 복수의 전자 방출부, 1 또는 복수의 화소에 대응하는 실드부재유닛이 집합한 형태의 실드부재로 하는 것도 가능하고, 또는 유효영역을 1장의 시트상의 도전재료로 피복한 형식의 실드부재로 하는 것도 가능하다.

또한, 실드부재는, 이러한 방법으로써 형성할 수 있을 뿐만 아니라, 예를 들면, 두께 수십㎛의 42% Ni-Fe 합금으로 이루어지는 금속판의 양면에, 예를 들면 SiO_2로 이루어지는 절연막을 형성한 뒤, 각 화소에 대응하는 영역에 펀칭이나 에칭을 통하여 개구부(44)를 형성함으로써 실드부재를 제작할 수도 있다. 그리고, 제1 패널, 금속판, 제2 패널을 겹쳐 쌓아, 양패널의 외주부에 프레임을 배치하고, 가열처리를 실시하는 것에 의하여, 금속판의 한 쪽 면에 형성된 절연막과 절연층(13)을 접착시키고, 금속판의 다른 쪽 면에 형성된 절연막과 제2 패널을 접착하여, 이들 부재를 일체화시키고, 그 후, 진공봉입 하는 것으로, 평면형 표시 장치를 완성시키는 것도 가능하다.

이상, 본 발명을, 발명의 실시의 형태에 따라서 설명했지만, 본 발명은 이들에 한정되지 않다. 발명의 실시의 형태로써 설명한 각종 전자 방출부 차단회로나 애노드전극 차단회로, 실드부재 차단회로의 회로 구성, 평면형 표시 장치나 냉음

극전계전자방출소자의 구조, 구성은 예시이며, 적당히 변경할 수가 있고, 평면형 표시 장치나 냉음극전계전자방출소자의 제조 방법도 예시이며, 적당히 변경할 수가 있다. 평면형 표시 장치로서, 본 발명의 제1 양태에 의한 평면형 표시 장치, 본 발명의 제2 양태에 의한 평면형 표시 장치, 본 발명의 제3 양태에 의한 평면형 표시 장치뿐만 아니라, 본 발명의 제1 양태에 의한 평면형 표시 장치와 본 발명의 제2 양태에 의한 평면형 표시 장치의 조합, 본 발명의 제1 양태에 의한 평면형 표시 장치와 본 발명의 제3 양태에 의한 평면형 표시 장치의 조합, 본 발명의 제2 양태에 의한 평면형 표시 장치와 본 발명의 제3 양태에 의한 평면형 표시 장치의 조합, 본 발명의 제1 양태에 의한 평면형 표시 장치와 본 발명의 제2 양태에 의한 평면형 표시 장치와 본 발명의 제3 양태에 의한 평면형 표시 장치의 조합도 가능하다.

예를 들면, 도 1이나 도 4에 나타낸 제1 구성의 평면형 표시 장치에 있어서의 전자 방출부 차단회로에, 도 5에 나타낸 다이오드(D13, D23, D33)를 내장하더라도 무방하다. 또, 도 1이나 도 4에 나타낸 제1 구성의 평면형 표시 장치에 있어서의 전자 방출부 차단회로와, 도 6에 나타낸 제2 구성의 평면형 표시 장치에 있어서의 전자 방출부 차단회로를 조합시키는 것에 의하여, 제3 구성의 평면형 표시 장치에 있어서의 전자 방출부 차단회로를 얻을 수도 있다.

나아가서, 냉음극전계전자방출소자의 제조에 있어서 사용한 각종 재료도 예시이며, 적당히 변경할 수가 있다. 냉음극전계전자방출소자에서는, 오로지 하나의 개구부에 하나의 전자 방출부(전자방출전극)가 대응하는 형태를 설명했지만, 냉음극전계전자방출소자의 구조에 따라서는, 하나의 개구부에 복수의 전자 방출부(전자방출전극)가 대응한 형태, 또는, 복수의 개구부에 하나의 전자 방출부(전자방출전극)가 대응하는 형태로 하는 것도 가능하다. 또는, 게이트전극에 복수의 개구부를 설치하고, 절연층에 이러한 복수의 개구부에 연통된 하나의 개구부를 설치하고, 1 또는 복수의 전자 방출부를 설치하는 형태도 가능하다.

게이트전극을, 유효영역을 1장의 시트상의 도전재료(개구부를 가지는)로 피복한 형식의 게이트전극으로 하는 것도 가능하다. 이 경우에는, 이러한 게이트전극에 양의 전압 (V_{G-SL}) (예를 들면 160볼트)을 인가한다. 그리고, 각 화소를 구성하는 전자 방출부와 제2 구동회로(캐소드 전극 구동회로)와의 사이에, 예를 들면, TFT으로 이루어지는 스위칭(switching) 소자를 설치하고, 이러한 스위칭 소자의 작동에 따라 각 화소를 구성하는 전자 방출부에의 인가상태를 제어하여, 화소의 발광상태를 제어한다. 또한, 복수의 화소를 1단위로 하여 (예를 들면, 1열의 화소),이러한 1단위의 화소를 구성하는 전자 방출부와 제2 구동회로(캐소드 전극 구동회로)와의 사이에 전자 방출부 차단회로를 설치하는 구성도 가능하다.

또는, 캐소드 전극을 유효영역을 1장의 시트상의 도전재료로 피복한 형태의 캐소드 전극으로 하는 것도 가능하다. 이 경우에는, 이러한 캐소드 전극에 전압 (V_{C-SL})(예를 들면 0볼트)을 인가한다. 그리고, 각 화소를 구성하는 전자 방출부와 제1 구동회로(게이트전극 구동회로)와의 사이에, 예를 들면, TFT으로 이루어지는 스위칭 소자를 설치하고, 이러한 스위칭 소자의 작동에 따라 각 화소를 구성하는 전자 방출부에의 인가상태를 제어하여, 화소의 발광상태를 제어한다. 또한, 복수의 화소를 1단위로 하여 (예를 들면, 1열의 화소),이러한 1단위의 화소를 구성하는 전자 방출부와 제2 구동회로(게이트전극구동회로)와의 사이에 전자 방출부 차단회로를 설치하는 구성도 가능하다.

표면전도형 전자방출소자로 통칭되는 소자로부터 전자 방출부를 구성할 수도 있다. 이 표면전도형 전자방출소자는, 예를 들면 유리로 이루어지는 지지체상에 산화주석(SnO_2), 금(Au), 산화인듐(In_2O_3) /산화주석(SnO_2),카본, 산화팔라듐(PdO) 등의 도전재료로 이루어져, 미소면적을 가지고, 소정의 간격(갭)을 두고 배치된 한 쌍의 전극이 매트릭스상으로 형성되어 이루어진다. 각각의 전극의 위에는 탄소박막이 형성되어 있다. 그리고, 한 쌍의 전극중 한 쪽 전극에 행방향 배선이 접속되고, 한 쌍의 전극중 다른 쪽의 전극에 열방향 배선이 접속된 구성을 가진다. 한 쌍의 전극에 전압을 인가함으로써, 갭을 사이에 두고 마주본 탄소박막에 전계가 가해져, 탄소박막으로부터 전자가 방출된다. 이러한 전자를 애노드 패널상의 형광체층에 충돌시키는 것에 따라, 형광체층이 여기되어 발광하여, 원하는 화상을 얻을 수 있다. 또한, 행방향 배선 및/또는 열방향 배선과, 전자 방출부 구동회로의 사이에 전자 방출부 차단회로를 설치하면 된다. 또는, 한 쌍의 전극의 상방에 설치된 게이트전극과 전자 방출부 구동회로의 사이에 전자 방출부 차단회로를 설치하면 된다.

발명의 효과

이상의 설명으로부터도 명확히 알 수 있는 바와 같이, 본 발명에서는, 전자 방출부 구동회로와 전자 방출부와의 사이에 전자 방출부 차단회로를 설치하는 것에 의하여, 또는, 애노드전극 구동회로와 애노드전극과의 사이에 애노드전극 차단회로를 설치하는 것에 의하여, 또는, 실드부재 인가회로와 실드부재와의 사이에 실드부재 차단회로를 설치하는 것에 의하여, 대규모 방전의 트리거가 되는 방전현상 그 자체를 방지하는 것은 아니고, 소규모 방전이 발생하여도 대규모인 방전으로 성장하는 것을 효과적으로 방지할 수가 있다. 그 결과, 캐소드 전극이나 애노드 전극, 게이트전극, 전자 방출부의 손상발생, 또는, 전자 방출부 구동회로나 애노드 전극 구동회로, 실드부재 전압인가수단의 손상발생을 효과적으로 억제하는 것이 가능하게 되어, 평면형 표시 장치의 장수명화를 달성할 수가 있다. 더구나, 평면형 표시 장치의 초기동작 단계에서 다발하는 방전에 의한 손상발생을 억제할 수 있어서, 평면형 표시 장치의 에이징 처리가 용이해 진다.

(57) 청구의 범위

청구항 1.

전자 방출부를 가지는 제1 패널과, 전자 조사면을 가지는 제2 패널과, 전자 방출부를 구동하기 위한 전자 방출부 구동회로를 구비하는 평면형 표시 장치에 있어서,

상기 전자 방출부와 상기 전자 조사면 사이의 방전을 방지하기 위해, 상기 전자 방출부와 상기 전자 방출부 구동회로 사이에 전자 방출부 차단회로가 설치되어 있는 것을 특징으로 하는 평면형 표시 장치.

청구항 2.

제1항에 있어서,

상기 전자 방출부 차단회로에 제1 소정 전위(V_{PD1})가 인가되고, 상기 전자 방출부 차단회로에 접속된 전자 방출부의 전위가 상기 전자 방출부와 상기 전자 조사면 사이의 방전에 의해 제2 소정 전위(V_{PD2})로 되는 경우, 상기 제1 소정 전위와 상기 제2 소정 전위의 전위 차($V_{PD2} - V_{PD1}$)에 기초하여 상기 전자 방출부 차단회로가 동작하는 것을 특징으로 하는 평면형 표시 장치.

청구항 3.

제2항에 있어서,

상기 전자 방출부 구동회로의 파괴전압을 $V_{COLAPSE}$, 상기 전자 방출부 구동회로의 출력전압의 최대치를 $V_{OUT-MAX}$로 했을 때, $|V_{OUT-MAX} - V_{PD1}| < VCOL_{APSE}$를 만족하는 것을 특징으로 하는 평면형 표시 장치.

청구항 4.

제1항에 있어서,

스트라이프형의 게이트전극과, 스트라이프형의 게이트전극이 연장되는 방향과 상이한 방향으로 연장되는 스트라이프형의 캐소드 전극을 구비하며,

상기 전자 방출부는 스트라이프형의 게이트전극의 투영상과 스트라이프형의 캐소드 전극의 투영상이 중복되는 중복영역에 형성되며,

상기 전자 방출부 구동회로는 상기 게이트전극에 접속된 제1 구동회로와 상기 캐소드 전극에 접속된 제2 구동회로를 포함하며,

상기 제1 구동회로는 상기 전자 방출부 차단회로를 통하여 상기 게이트전극에 접속되는 것을 특징으로 하는 평면형 표시 장치.

청구항 5.

제4항에 있어서,

상기 전자 방출부와 상기 전자 조사면 사이에 방전이 발생하지 않는 경우 상기 전자 방출부 차단회로는 동작하지 않은 상태로 있으며,

상기 전자 방출부와 상기 전자 조사면 사이에 방전이 발생하는 경우 상기 전자 방출부 차단회로가 동작하는 것을 특징으로 하는 평면형 표시 장치.

청구항 6.

제4항에 있어서,

상기 제1 패널은 복수의 냉음극 전계전자방출소자를 구비하고,

각 냉음극 전계전자방출소자는,

(a) 지지체와,

(b) 상기 지지체 위에 형성된 캐소드 전극과,

(c) 상기 지지체 및 상기 캐소드 전극 위에 형성된 절연층과,

(d) 상기 절연층 위에 형성된 게이트전극과,

(e) 상기 게이트전극 및 상기 절연층을 관통하는 개구부와,

(f) 상기 개구부의 저부에 위치하는 캐소드 전극 부분의 위에 형성된 전자방출전극을 포함하며,

상기 개구부의 저부에 노출된 전자방출전극이 상기 전자 방출부에 대응하는 것을 특징으로 하는 평면형 표시 장치.

청구항 7.

제4항에 있어서,

상기 제1 패널은 복수의 냉음극 전계전자방출소자를 구비하고,

각 냉음극전계전자방출소자는,

(a) 지지체와,

(b) 상기 지지체 위에 형성된 캐소드 전극과,

(c) 상기 지지체 및 상기 캐소드 전극 위에 형성된 절연층과,

(d) 상기 절연층 위에 형성된 게이트전극과,

(e) 상기 게이트전극 및 상기 절연층을 관통하며 저부에 상기 캐소드 전극이 노출된 개구부를 포함하며,

상기 개구부의 저부에 노출된 캐소드 전극 부분이 상기 전자 방출부에 대응하는 것을 특징으로 하는 평면형 표시 장치.

청구항 8.

제4항에 있어서,

상기 제1 패널은 복수의 냉음극 전계전자방출소자를 구비하고,

각 냉음극전계전자방출소자는,

(a) 지지체와,

(b) 상기 지지체의 위쪽에 형성되고 에지부를 가지는 캐소드 전극과,

(c) 적어도 상기 캐소드 전극 위에 형성된 절연층과,

(d) 상기 절연층상에 형성된 게이트전극과,

(e) 적어도 상기 게이트전극 및 상기 절연층을 관통하는 개구부를 포함하며,

상기 개구부의 저부 또는 측벽에 노출된 캐소드 전극의 에지부가 상기 전자 방출부에 대응하는 것을 특징으로 하는 평면형 표시 장치.

청구항 9.

제1항에 있어서,

스트라이프형의 게이트전극과, 스트라이프형의 게이트전극이 연장되는 방향과 상이한 방향으로 연장되는 스트라이프형의 캐소드 전극을 구비하며,

상기 전자 방출부는 스트라이프형의 게이트전극의 투영상과 스트라이프형의 캐소드 전극의 투영상이 중복되는 중복영역에 형성되며,

상기 전자 방출부 구동회로는 상기 게이트전극에 접속된 제1 구동회로와 상기 캐소드 전극에 접속된 제2 구동회로를 포함하며,

상기 제2 구동회로는 상기 전자 방출부 차단회로를 통하여 상기 캐소드 전극에 접속되는 것을 특징으로 하는 평면형 표시 장치.

청구항 10.

제9항에 있어서,

상기 전자 방출부와 상기 전자 조사면 사이에 방전이 발생하지 않는 경우 상기 전자 방출부 차단회로는 동작하지 않은 상태로 있으며,

상기 전자 방출부와 상기 전자 조사면 사이에 방전이 발생하는 경우 상기 전자 방출부 차단회로가 동작하는 것을 특징으로 하는 평면형 표시 장치.

청구항 11.

제9항에 있어서,

상기 제1 패널은 복수의 냉음극 전계전자방출소자를 구비하고,

각 냉음극 전계전자방출소자는,

(a) 지지체와,

(b) 상기 지지체 위에 형성된 캐소드 전극과,

(c) 상기 지지체 및 상기 캐소드 전극 위에 형성된 절연층과,

(d) 상기 절연층 위에 형성된 게이트전극과,

(e) 상기 게이트전극 및 상기 절연층을 관통하는 개구부와,

(f) 상기 개구부의 저부에 위치하는 캐소드 전극 부분의 위에 형성된 전자방출전극을 포함하며,

상기 개구부의 저부에 노출된 전자방출전극이 상기 전자 방출부에 대응하는 것을 특징으로 하는 평면형 표시 장치.

청구항 12.

제9항에 있어서,

상기 제1 패널은 복수의 냉음극 전계전자방출소자를 구비하고,

각 냉음극전계전자방출소자는,

(a) 지지체와,

(b) 상기 지지체 위에 형성된 캐소드 전극과,

(c) 상기 지지체 및 상기 캐소드 전극 위에 형성된 절연층과,

(d) 상기 절연층 위에 형성된 게이트전극과,

(e) 상기 게이트전극 및 상기 절연층을 관통하며 저부에 상기 캐소드 전극이 노출된 개구부를 포함하며,

상기 개구부의 저부에 노출된 캐소드 전극 부분이 상기 전자 방출부에 대응하는 것을 특징으로 하는 평면형 표시 장치.

청구항 13.

제9항에 있어서,

상기 제1 패널은 복수의 냉음극 전계전자방출소자를 구비하고,

각 냉음극전계전자방출소자는,

(a) 지지체와,

(b) 상기 지지체의 위쪽에 형성되고 에지부를 가지는 캐소드 전극과,

(c) 적어도 상기 캐소드 전극 위에 형성된 절연층과,

(d) 상기 절연층상에 형성된 게이트전극과,

(e)적어도 상기 게이트전극 및 상기 절연층을 관통하는 개구부를 포함하며,

상기 개구부의 저부 또는 측벽에 노출된 캐소드 전극의 에지부가 상기 전자 방출부에 대응하는 것을 특징으로 하는 평면형 표시 장치.

청구항 14.

제1항에 있어서,

스트라이프형의 게이트전극과, 스트라이프형의 게이트전극이 연장되는 방향과 상이한 방향으로 연장되는 스트라이프형의 캐소드 전극을 구비하며,

상기 전자 방출부는 스트라이프형의 게이트전극의 투영상과 스트라이프형의 캐소드 전극의 투영상이 중복되는 중복영역에 형성되며,

상기 전자 방출부 구동회로는 상기 게이트전극에 접속된 제1 구동회로와 상기 캐소드 전극에 접속된 제2 구동회로를 포함하며,

상기 전자 방출부 차단회로는 상기 게이트 전극과 상기 제1 구동회로 사이에 설치된 제1 차단회로와, 상기 캐소드 전극과 상기 제2 구동회로 사이에 설치된 제2 차단회로를 포함하는 것을 특징으로 하는 평면형 표시 장치.

청구항 15.

제14항에 있어서,

상기 전자 방출부와 상기 전자조사면 사이에 방전이 발생하지 않는 경우 상기 제1 및 제2 차단 회로는 동작하지 않은 상태로 있으며,

상기 전자 방출부와 상기 전자조사면 사이에 방전이 발생하는 경우 상기 제1 차단 회로가 동작하고, 상기 제2 차단 회로는 상기 제1 차단 회로의 동작에 기초하여 동작하는 것을 특징으로 하는 평면형 표시 장치.

청구항 16.

제14항에 있어서,

상기 제1 패널은 복수의 냉음극 전계전자방출소자를 구비하고,

각 냉음극 전계전자방출소자는,

(a) 지지체와,

(b) 상기 지지체 위에 형성된 캐소드 전극과,

(c) 상기 지지체 및 상기 캐소드 전극 위에 형성된 절연층과,

(d) 상기 절연층 위에 형성된 게이트전극과,

(e) 상기 게이트전극 및 상기 절연층을 관통하는 개구부와,

(f) 상기 개구부의 저부에 위치하는 캐소드 전극 부분의 위에 형성된 전자방출전극을 포함하며,

상기 개구부의 저부에 노출된 전자방출전극이 상기 전자 방출부에 대응하는 것을 특징으로 하는 평면형 표시 장치.

청구항 17.

제14항에 있어서,

상기 제1 패널은 복수의 냉음극 전계전자방출소자를 구비하고,

각 냉음극전계전자방출소자는,

(a) 지지체와,

(b) 상기 지지체 위에 형성된 캐소드 전극과,

(c) 상기 지지체 및 상기 캐소드 전극 위에 형성된 절연층과,

(d) 상기 절연층 위에 형성된 게이트전극과,

(e) 상기 게이트전극 및 상기 절연층을 관통하며 저부에 상기 캐소드 전극이 노출된 개구부를 포함하며,

상기 개구부의 저부에 노출된 캐소드 전극 부분이 상기 전자 방출부에 대응하는 것을 특징으로 하는 평면형 표시 장치.

청구항 18.

제14항에 있어서,

상기 제1 패널은 복수의 냉음극 전계전자방출소자를 구비하고,

각 냉음극전계전자방출소자는,

(a) 지지체와,

(b) 상기 지지체의 위쪽에 형성되고 에지부를 가지는 캐소드 전극과,

(c) 적어도 상기 캐소드 전극 위에 형성된 절연층과,

(d) 상기 절연층 위에 형성된 게이트전극과,

(e) 적어도 상기 게이트전극 및 상기 절연층을 관통하는 개구부를 포함하며,

상기 개구부의 저부 또는 측벽에 노출된 캐소드 전극의 에지부가 상기 전자 방출부에 대응하는 것을 특징으로 하는 평면형 표시 장치.

청구항 19.

제1항에 있어서,

상기 제2 패널은 기판, 형광체층 및 애노드 전극을 포함하는 것을 특징으로 하는 평면형 표시 장치.

청구항 20.

제19항에 있어서,

애노드전극 구동회로를 추가로 구비하고,

상기 전자 방출부와 상기 전자조사면 사이의 방전을 방지하기 위해 상기 애노드전극과 상기 애노드전극 구동회로 사이에 애노드전극 차단회로가 설치되어 있는 것을 특징으로 하는 평면형 표시 장치.

청구항 21.

전자 방출부를 가지는 제1 패널과, 형광체층 및 애노드전극으로 이루어지는 전자조사면을 가지는 제2 패널과, 상기 애노드전극을 구동하기 위한 애노드전극 구동회로를 구비하는 평면형 표시 장치에 있어서,

상기 전자 방출부와 상기 전자조사면 사이의 방전을 방지하기 위해 상기 애노드전극과 상기 애노드전극 구동회로 사이에 애노드전극 차단회로가 설치되어 있는 것을 특징으로 하는 평면형 표시 장치.

청구항 22.

제21항에 있어서,

상기 전자 방출부와 상기 전자조사면 사이에 방전이 발생하지 않는 경우 상기 애노드전극 차단회로는 동작하지 않은 상태로 있으며,

상기 전자 방출부와 상기 전자조사면 사이에 방전이 발생하는 경우 상기 애노드전극 차단회로가 동작하는 것을 특징으로 하는 평면형 표시 장치.

청구항 23.

제21항에 있어서,

상기 전자 방출부와 상기 전자조사면 사이의 방전에 기인하여 상기 애노드전극과 상기 애노드전극 구동회로 사이를 흐르는 전류에 기초하여 상기 애노드전극 차단회로가 동작하는 것을 특징으로 하는 평면형 표시 장치.

청구항 24.

전자 방출부를 가지는 제1 패널과, 전자조사면을 가지는 제2 패널과, 상기 전자 방출부를 구동하기 위한 전자 방출부 구동회로와, 상기 전자 방출부와 상기 전자조사면 사이에 배치된 실드부재와, 상기 실드부재에 전압을 인가하기 위한 실드부재 전압 인가 수단을 구비하는 평면형 표시 장치에 있어서,

상기 실드부재와 상기 전자조사면 사이의 방전을 방지하기 위해 상기 실드부재와 상기 실드부재 전압 인가수단 사이에 실드부재 차단회로가 설치되어 있는 것을 특징으로 하는 평면형 표시 장치.

청구항 25.

제24항에 있어서,

상기 제2 패널은 기판, 형광체층 및 애노드 전극을 포함하는 것을 특징으로 하는 평면형 표시 장치.

청구항 26.

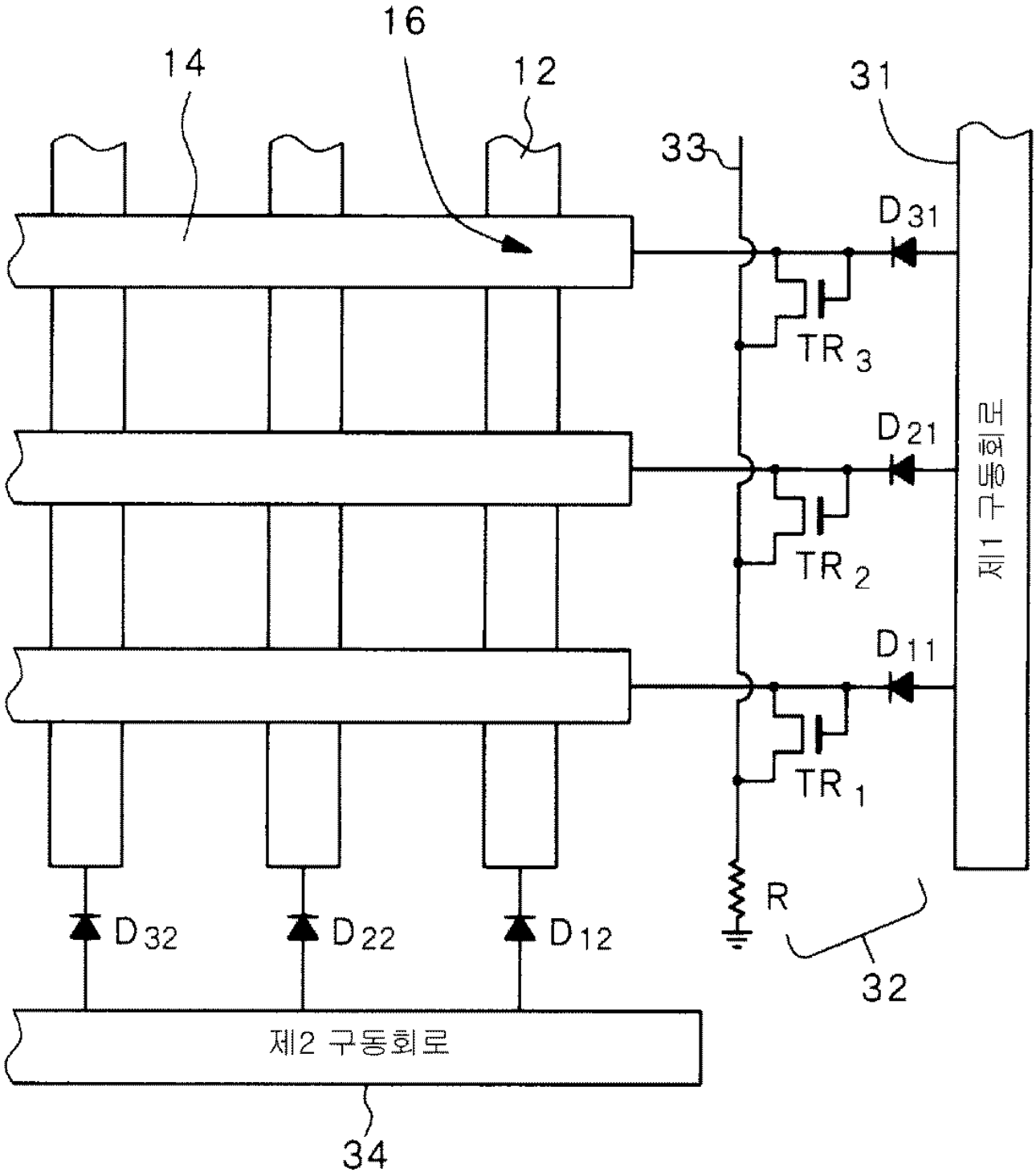
제24항에 있어서,

애노드전극 구동회로를 추가로 구비하고,

상기 실드부재와 상기 전자조사면 사이의 방전을 방지하기 위해 상기 애노드전극과 상기 애노드전극 구동회로 사이에 애노드전극 차단회로가 설치되어 있는 것을 특징으로 하는 평면형 표시 장치.

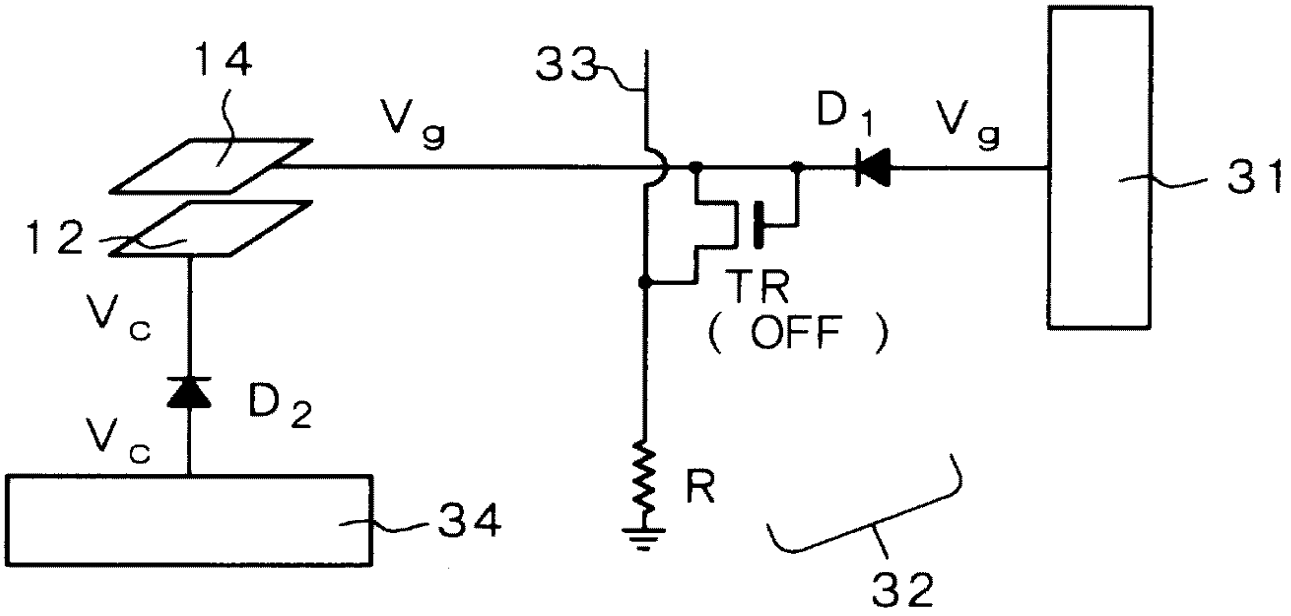
도면

도면 1

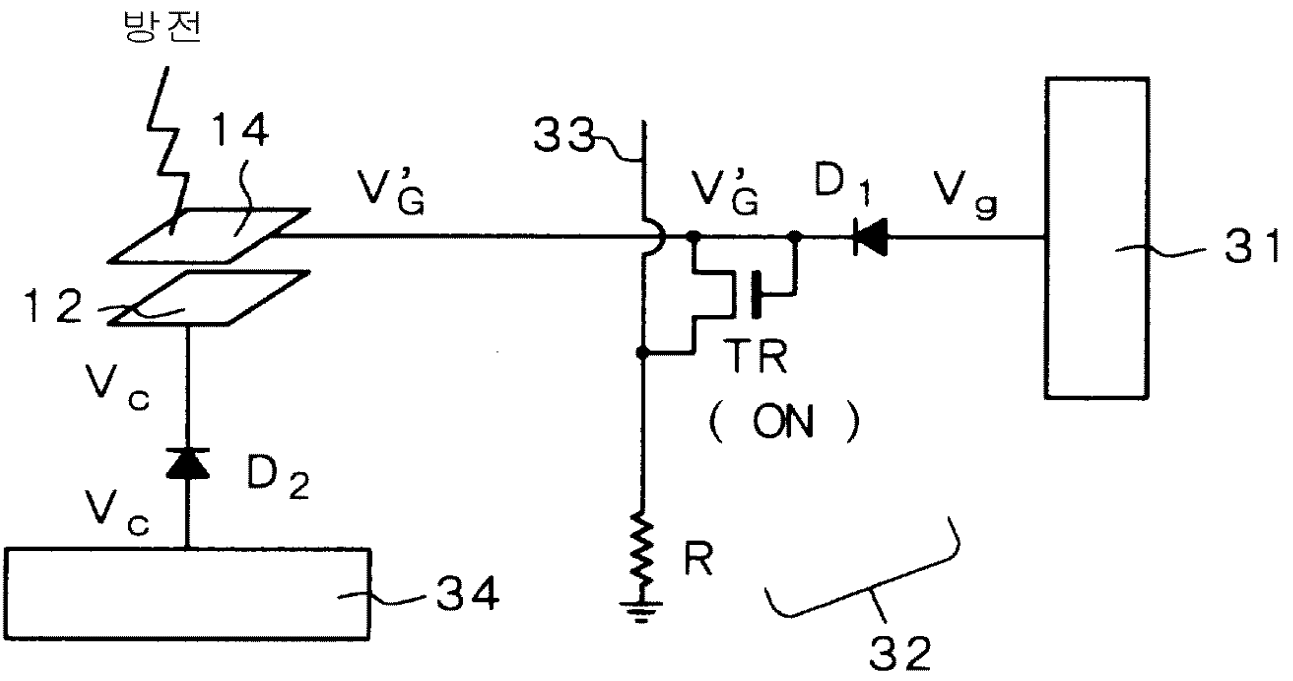

16
14
12
31
33
D31
TR3
D21
TR2
D11
TR1
제1 구동회로
R
32
D32
D22
D12
제2 구동회로
34

도면 2

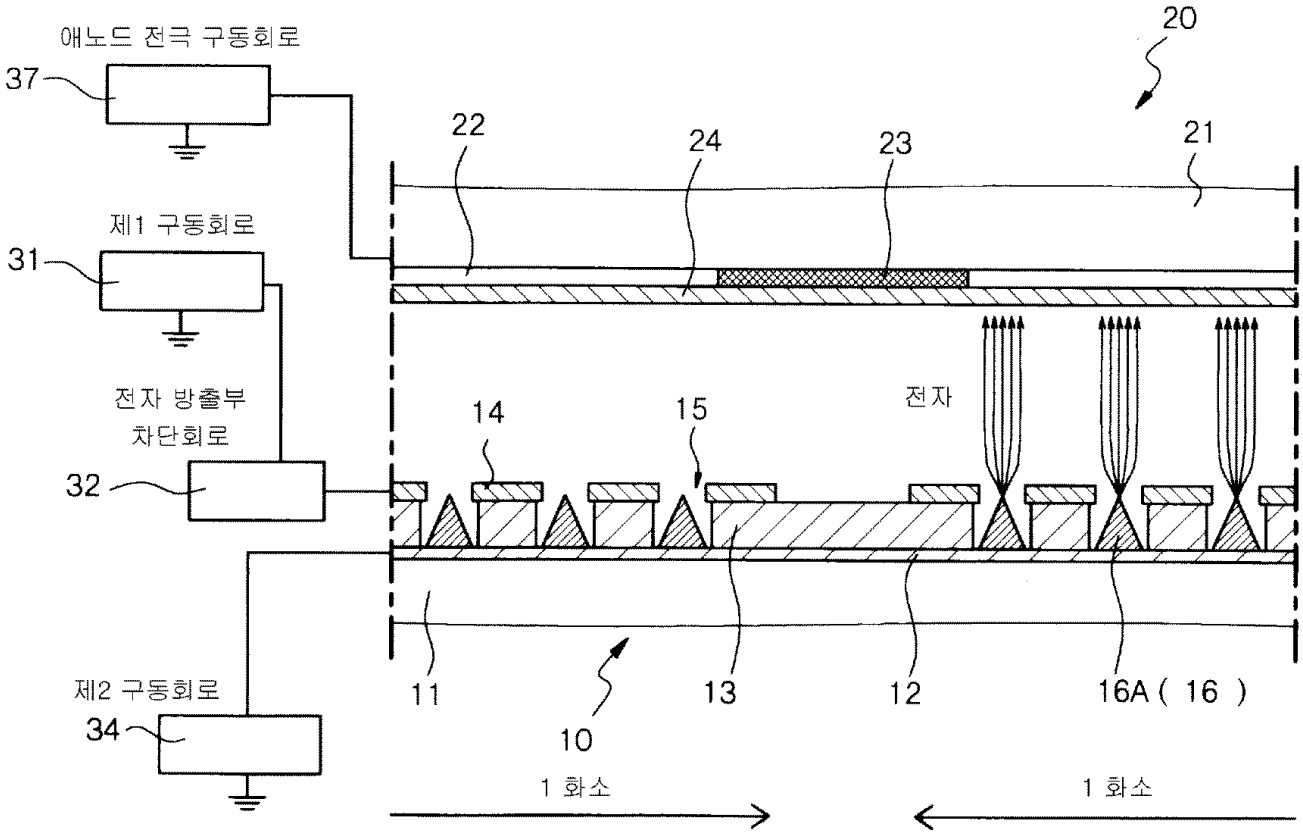
(A)


14
33
Vg
D1
Vg
31
12
TR
(OFF)
Vc
D2
Vc
R
34
32

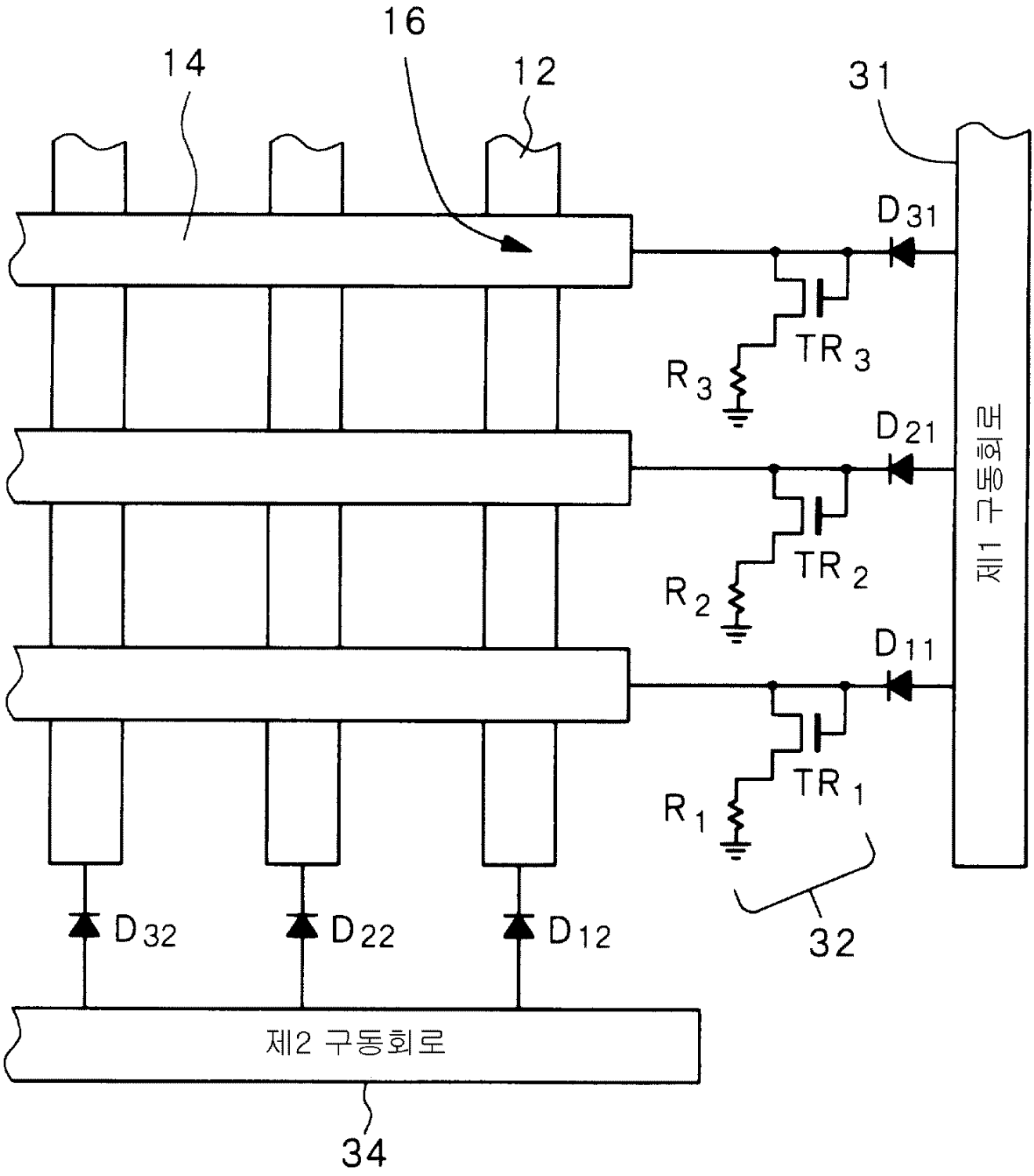
(B)


방전
14
33
V'G
V'G
D1
Vg
31
12
TR
(ON)
Vc
D2
Vc
R
34
32

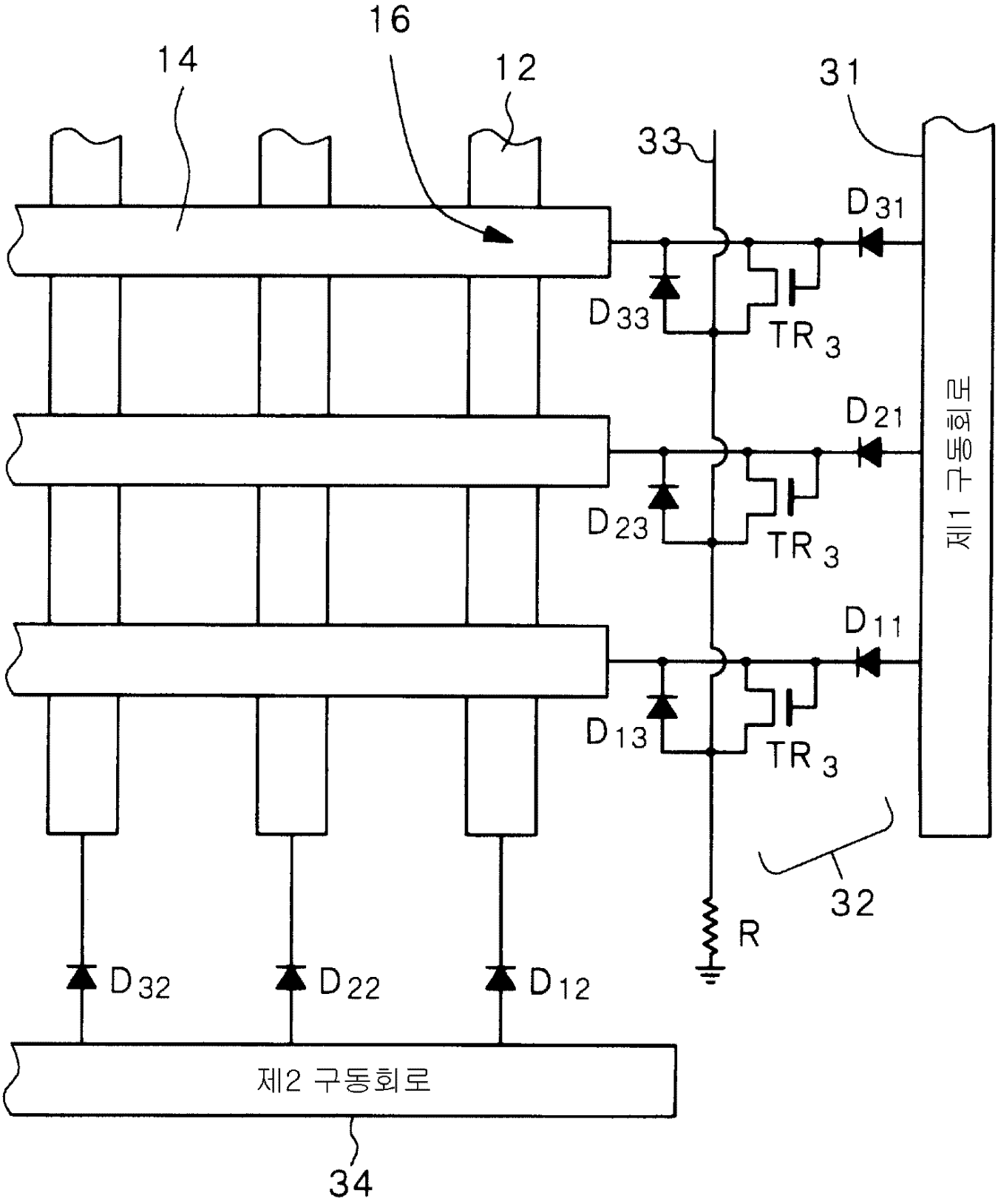
도면 3


애노드 전극 구동회로
37
제1 구동회로
31
전자 방출부
차단회로
32
제2 구동회로
34
20
22
24
23
21
14
15
전자
11
10
13
12
16A (16)
1 화소
1 화소

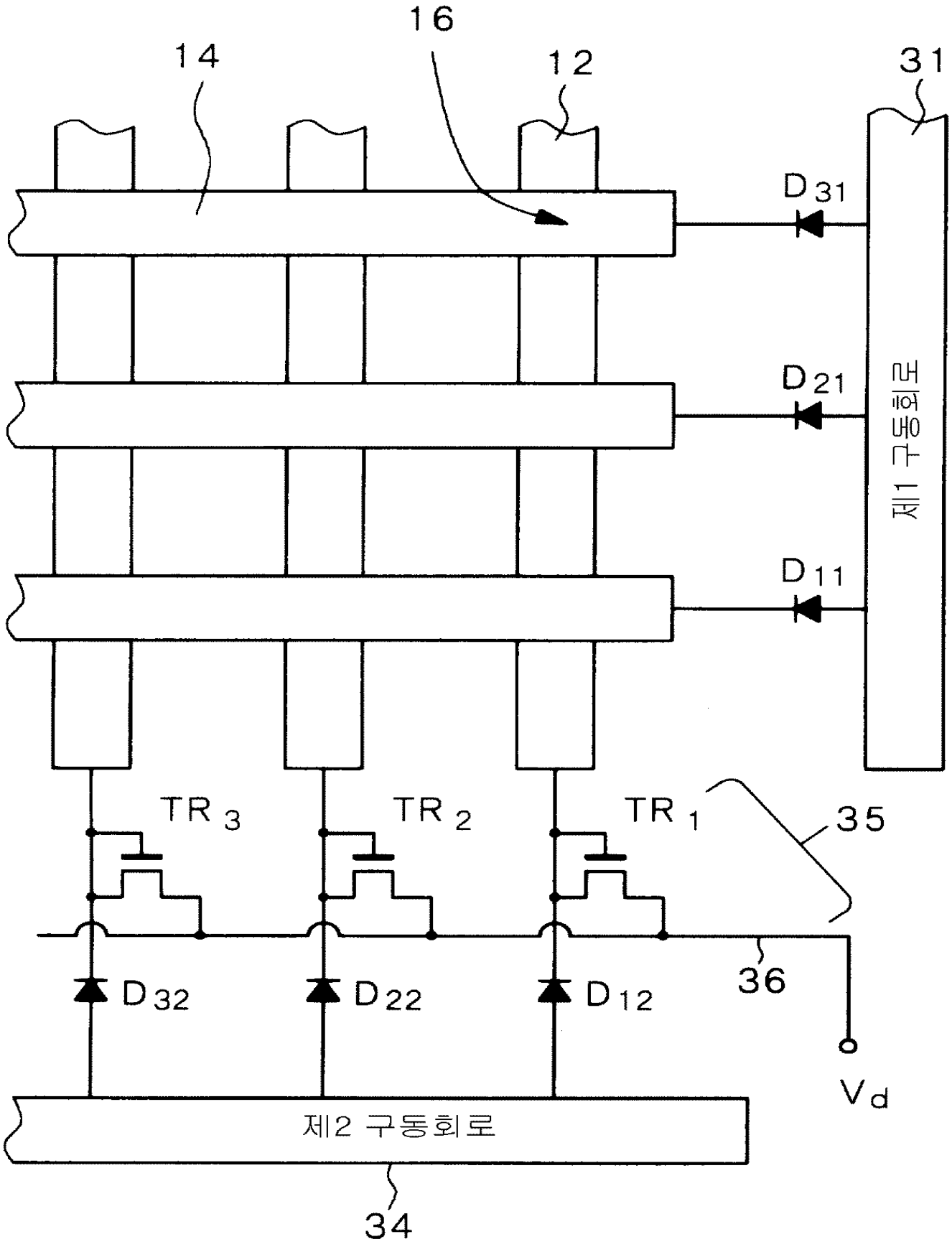
도면 4


16
14
12
31
D31
TR3
R3
D21
TR2
R2
D11
TR1
R1
제1 구동회로
D32
D22
D12
32
제2 구동회로
34

도면 5

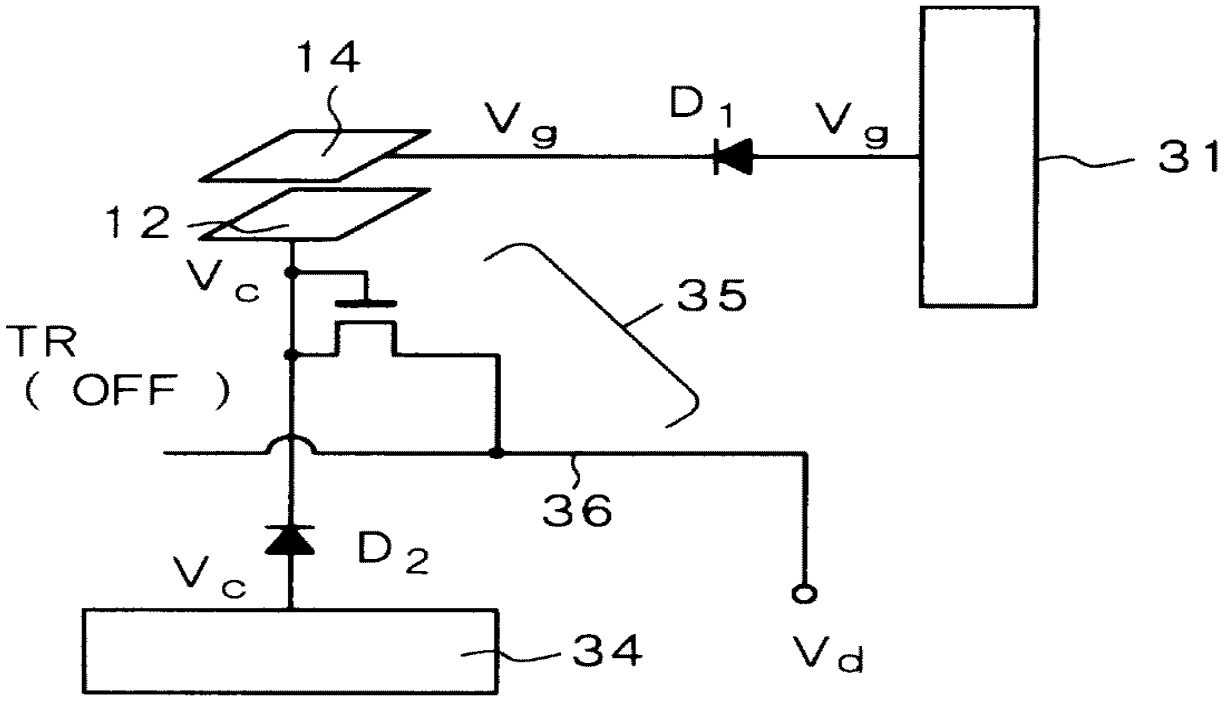

16
14
12
31
33
D31
D33
TR3
D21
D23
TR3
제1 구동회로
D11
D13
TR3
32
R
D32
D22
D12
제2 구동회로
34

도면 6

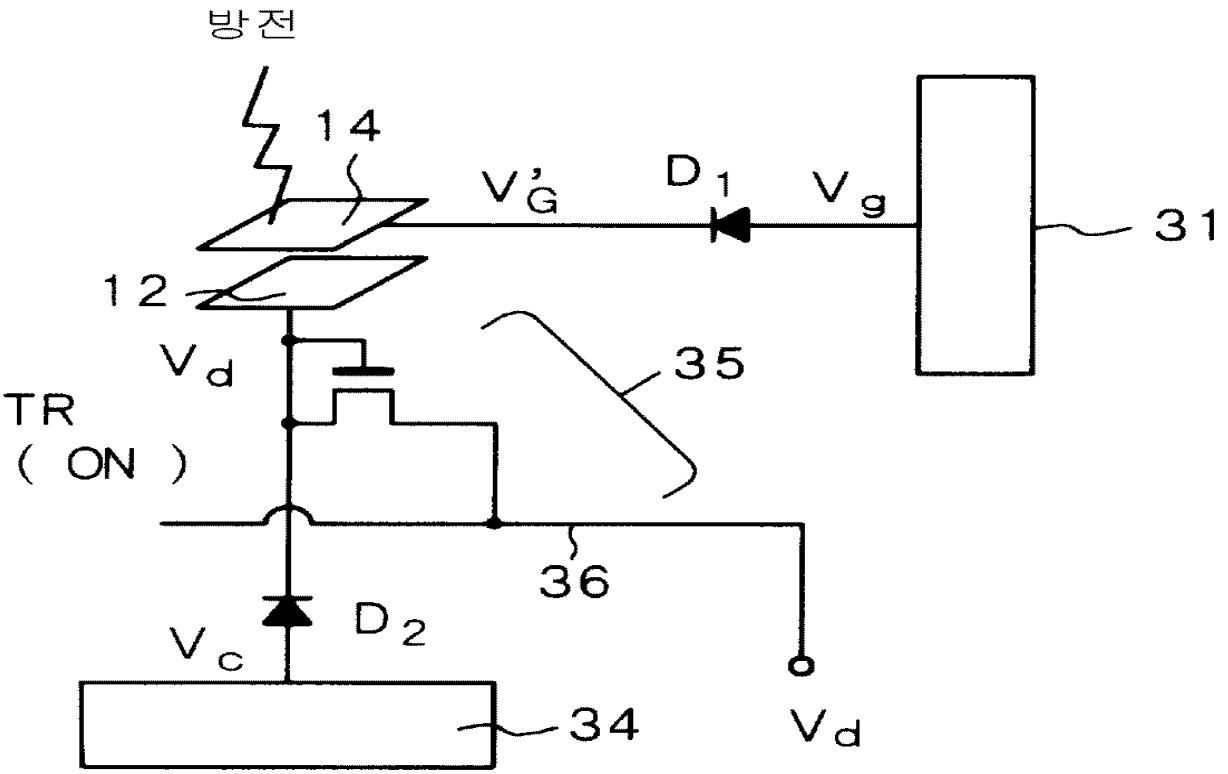

16
14
12
31
D31
D21
D11
제1 구동회로
TR3
TR2
TR1
35
36
D32
D22
D12
Vd
제2 구동회로
34

도면 7

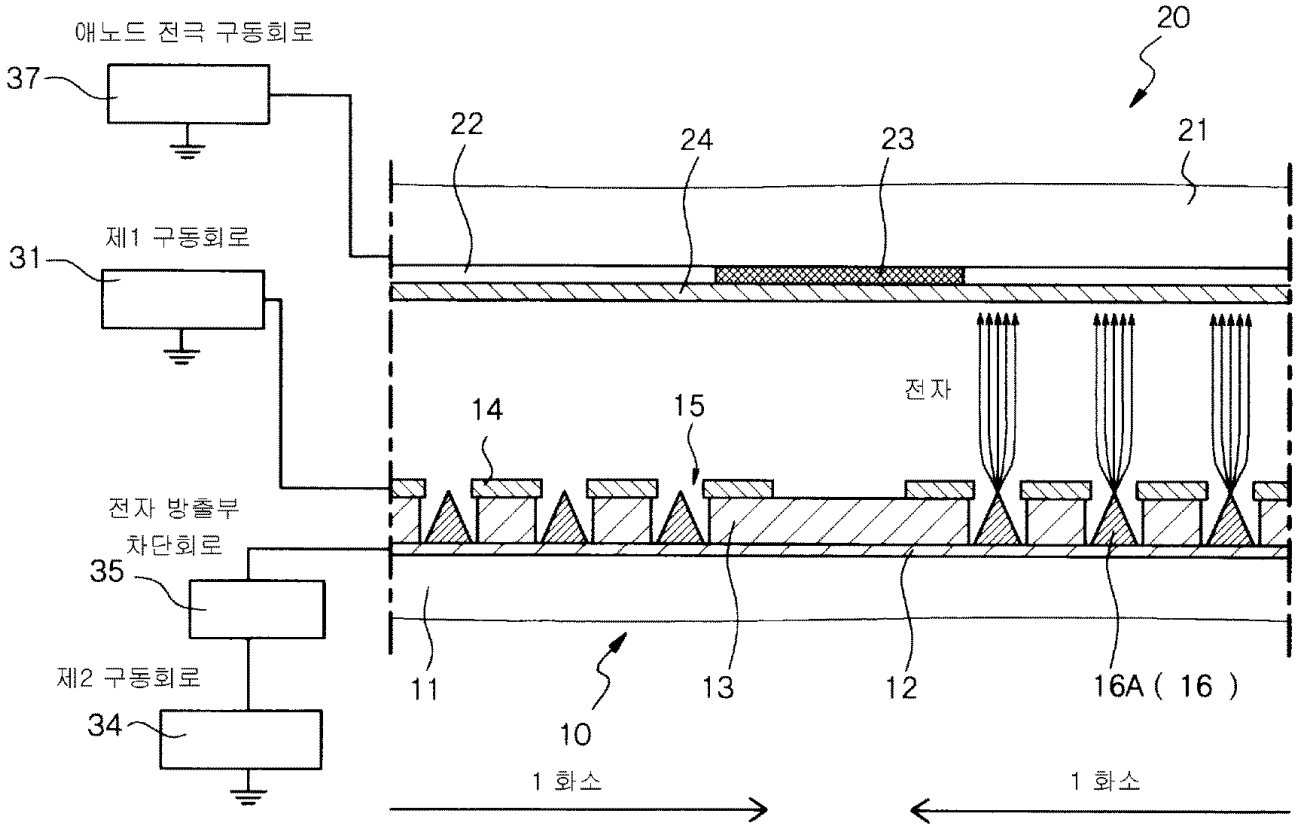
(A)


14
Vg
D1
Vg
31
12
Vc
35
TR
(OFF)
36
D2
Vc
34
Vd

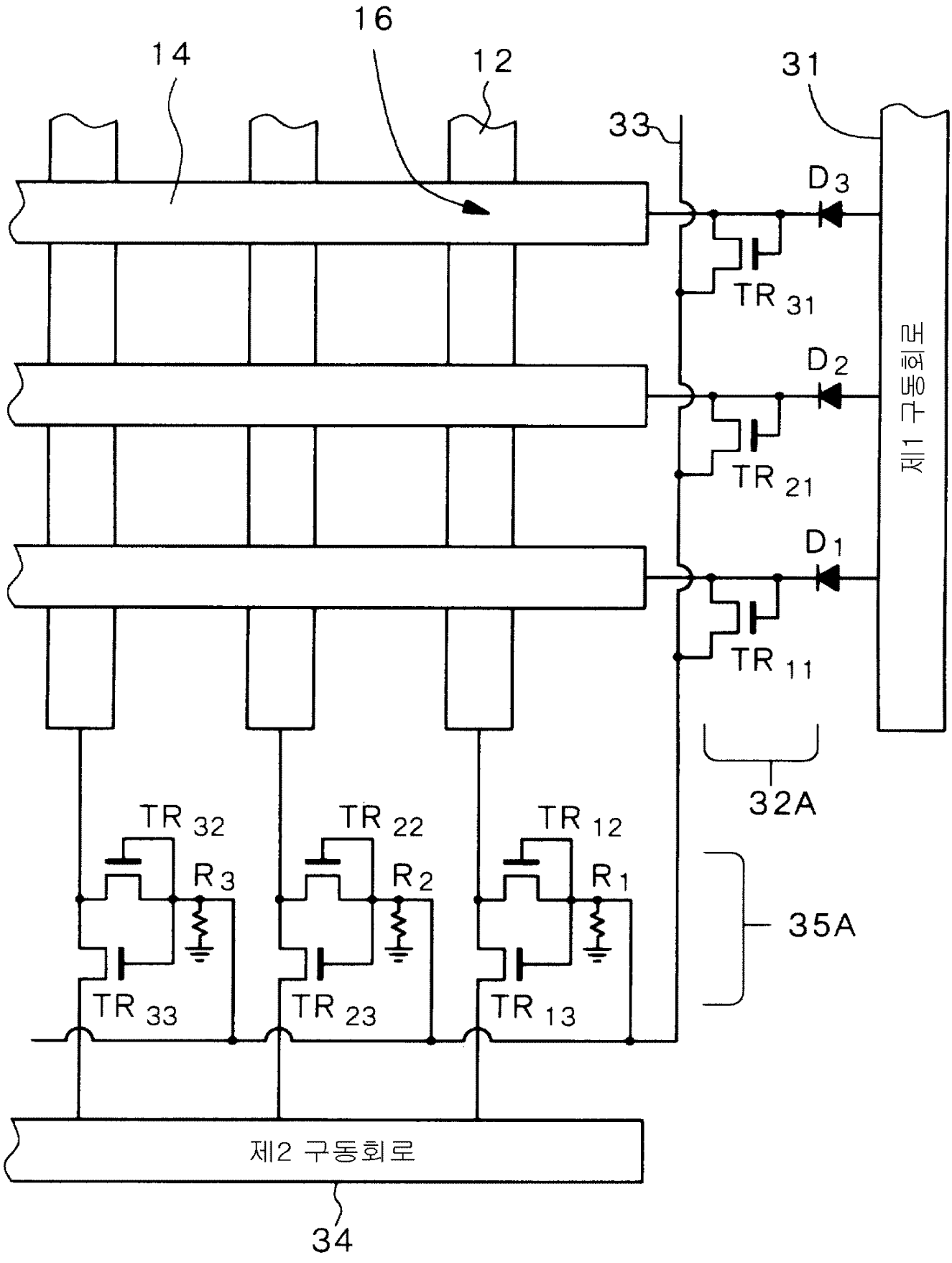
(B)


방전
14
V'G
D1
Vg
31
12
Vd
35
TR
(ON)
36
D2
Vc
34
Vd

도면 8

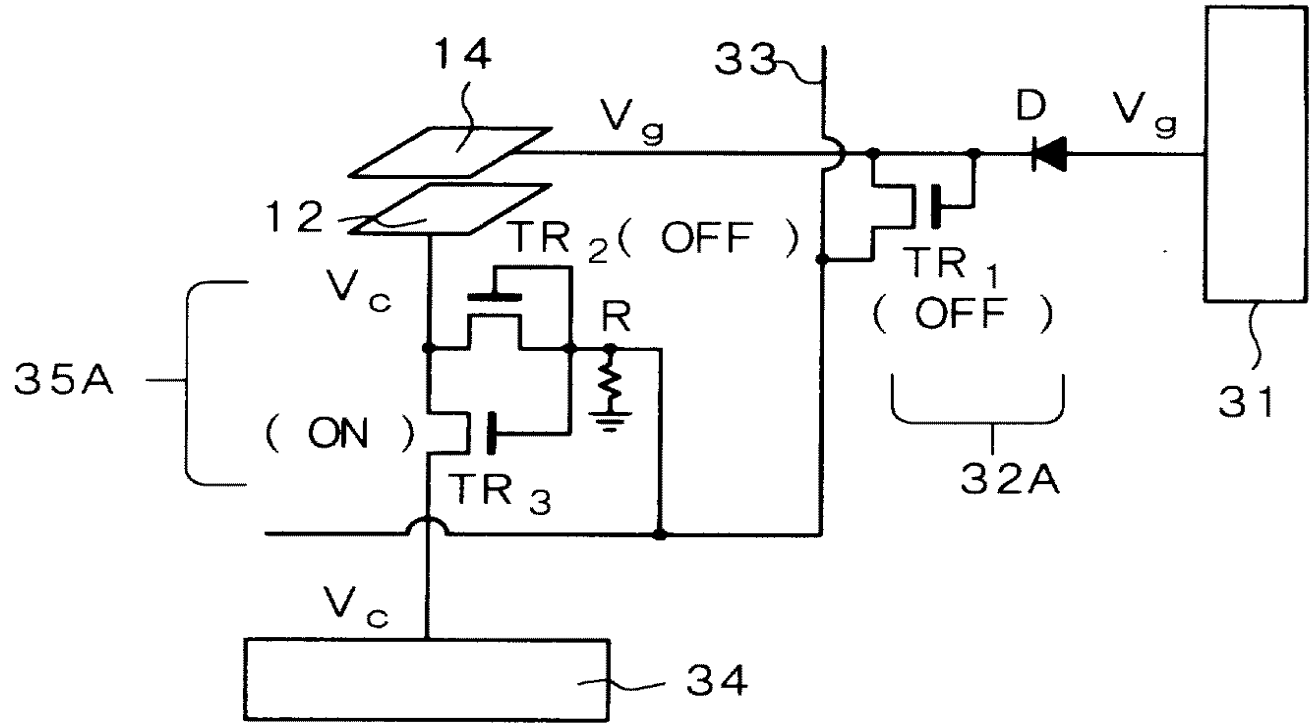

애노드 전극 구동회로
37
제1 구동회로
31
전자 방출부
차단회로
35
제2 구동회로
34
20
22
24
23
21
14
15
전자
11
10
13
12
16A (16)
1 화소
1 화소

도면 9

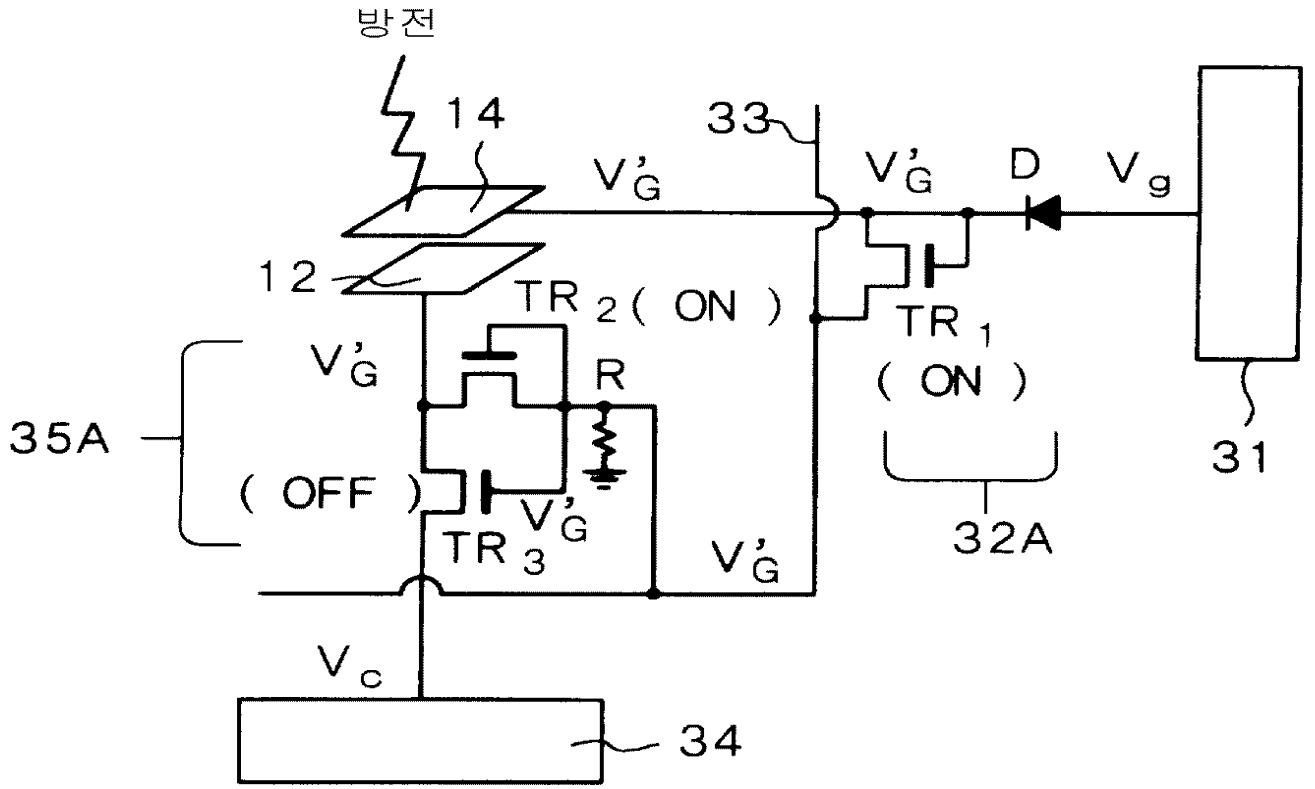

16
14
12
31
33
D3
TR 31
D2
TR 21
D1
TR 11
제1 구동회로
32A
TR 32
TR 22
TR 12
R3
R2
R1
35A
TR 33
TR 23
TR 13
제2 구동회로
34

도면 10

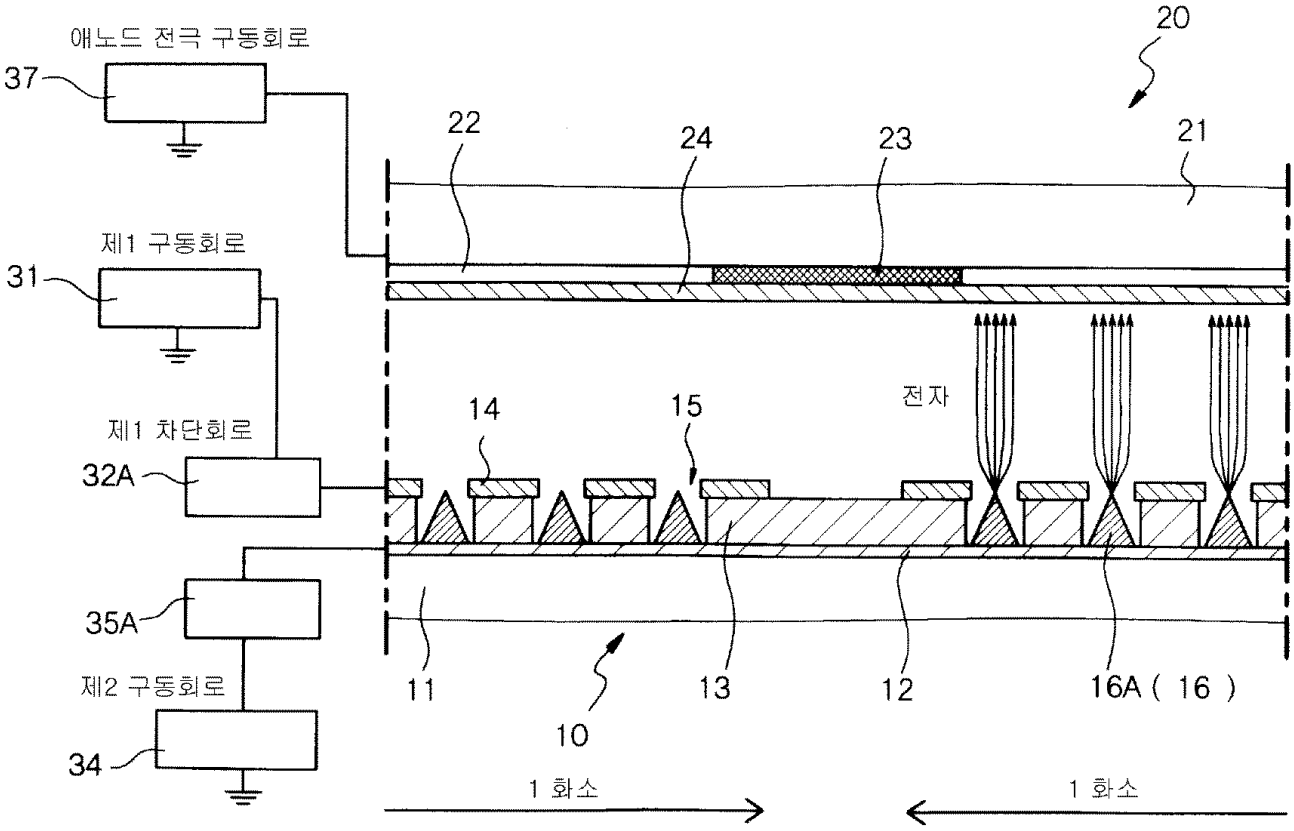
(A)


14
33
Vg
D
Vg
12
TR2(OFF)
TR1
(OFF)
Vc
R
35A
(ON)
TR3
31
32A
Vc
34

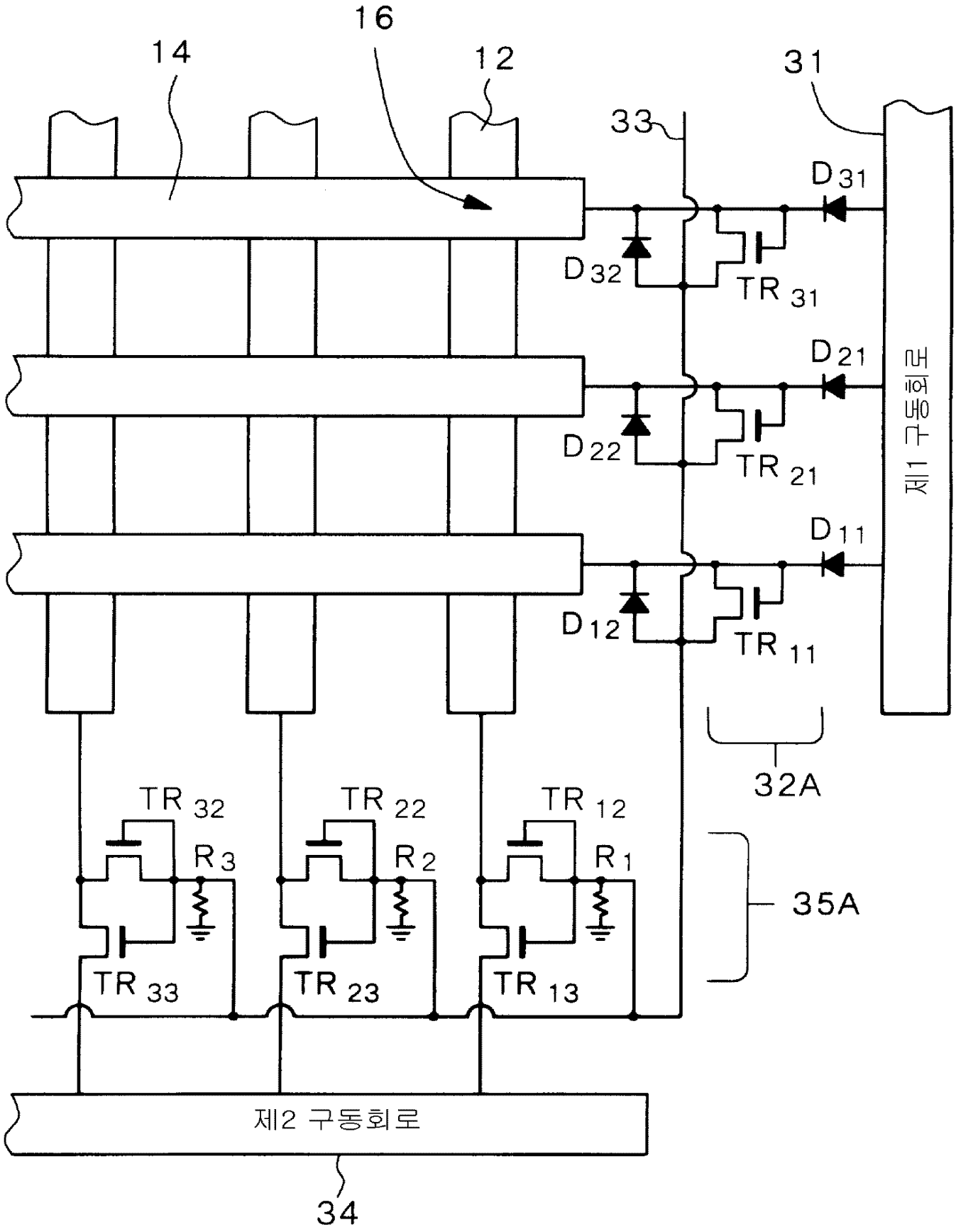
(B)


방전
14
33
V'G
V'G
D
Vg
12
TR2(ON)
TR1
(ON)
V'G
R
35A
(OFF)
V'G
TR3
V'G
31
32A
Vc
34

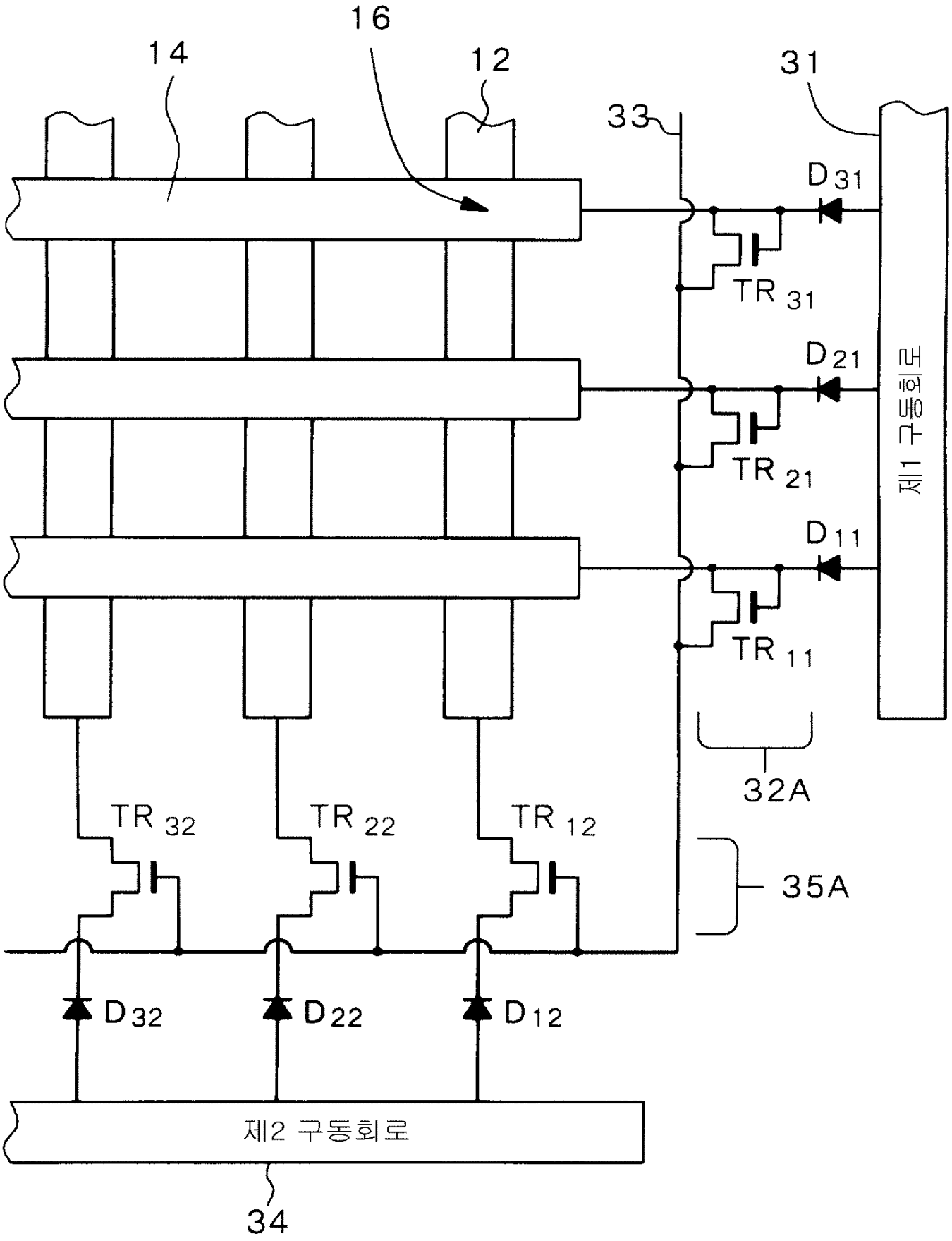
도면 11


애노드 전극 구동회로
37
제1 구동회로
31
제1 차단회로
32A
35A
제2 구동회로
34
20
22
24
23
21
전자
14
15
11
10
13
12
16A (16)
1 화소
1 화소

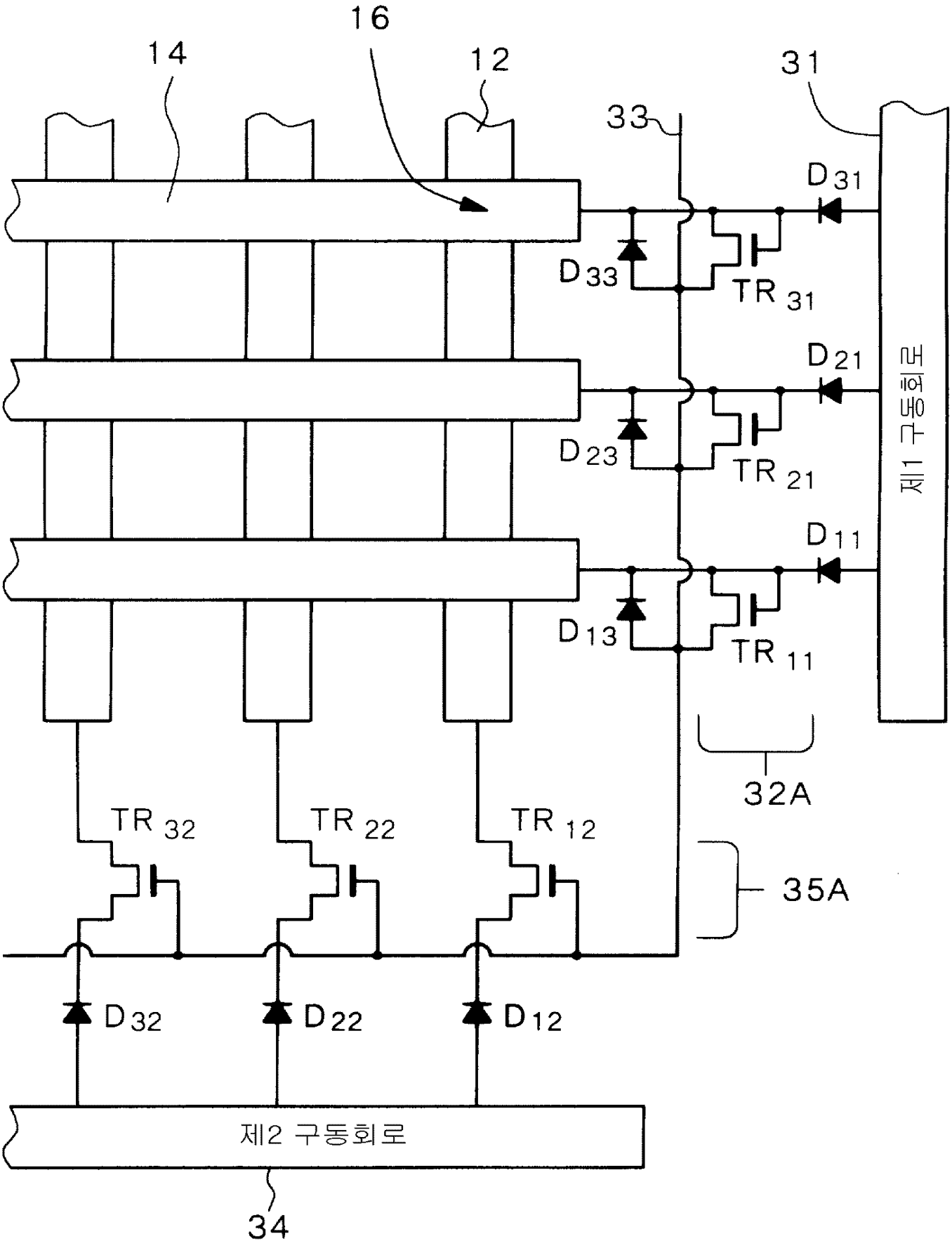
도면 12


16
14
12
31
33
D31
D32
TR31
D21
D22
TR21
D11
D12
TR11
제1 구동회로
32A
TR32
TR22
TR12
R3
R2
R1
35A
TR33
TR23
TR13
제2 구동회로
34

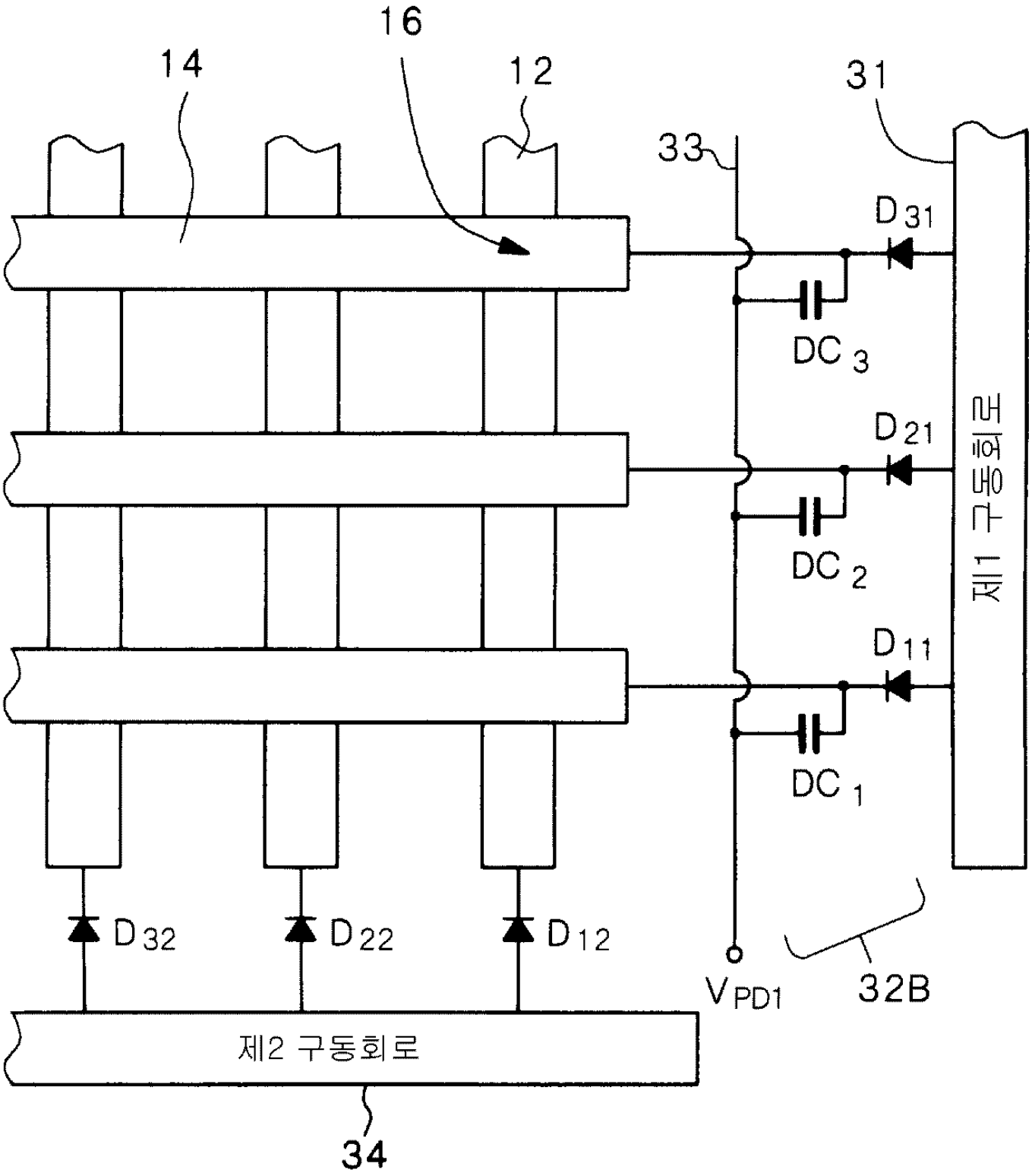
도면 13


16
14
12
31
33
D31
TR31
D21
TR21
D11
TR11
제1 구동회로
32A
TR32
TR22
TR12
35A
D32
D22
D12
제2 구동회로
34

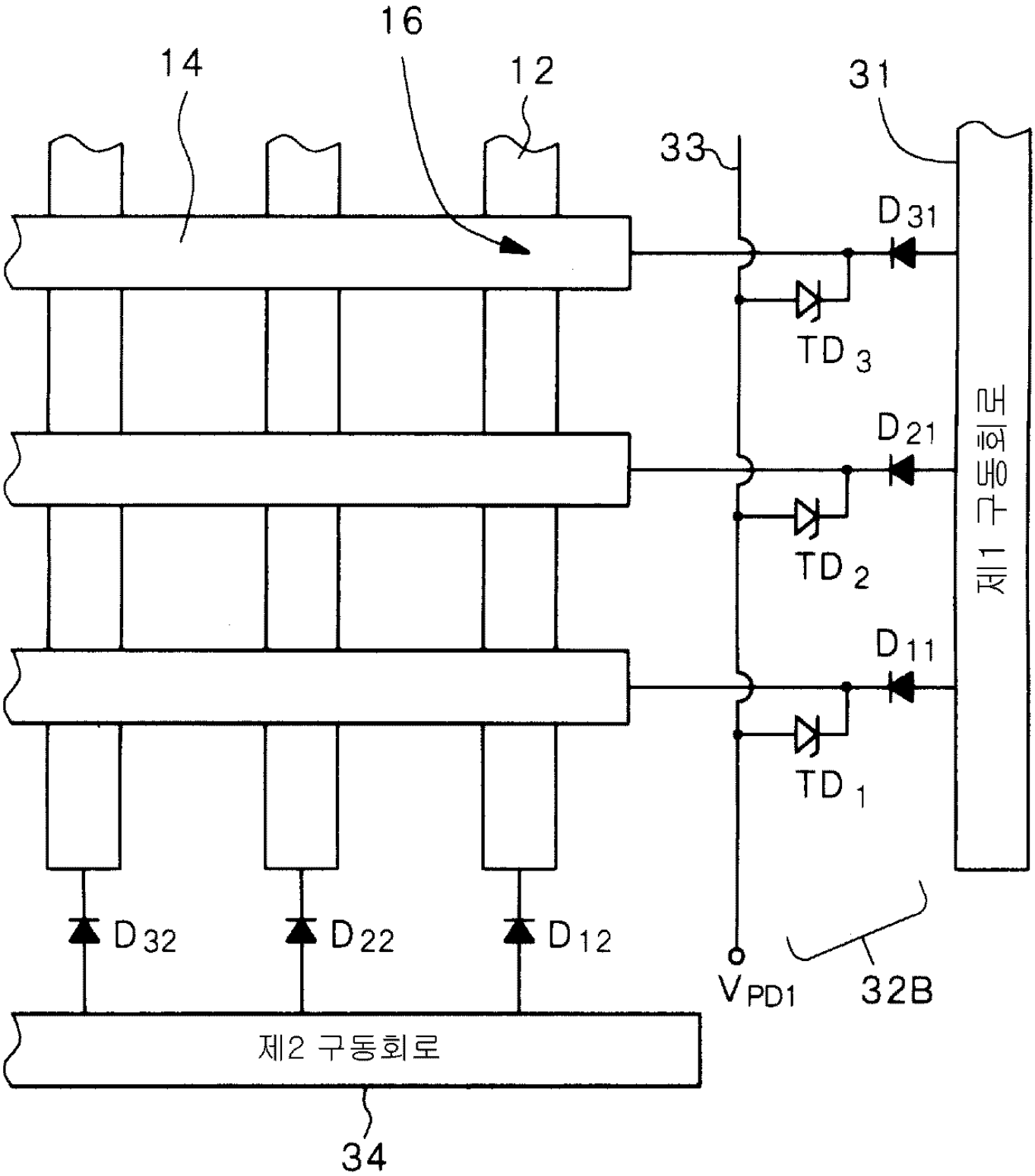
도면 14


16
14
12
31
33
D31
D33
TR31
D21
D23
TR21
제1 구동회로
D11
D13
TR11
32A
TR32
TR22
TR12
35A
D32
D22
D12
제2 구동회로
34

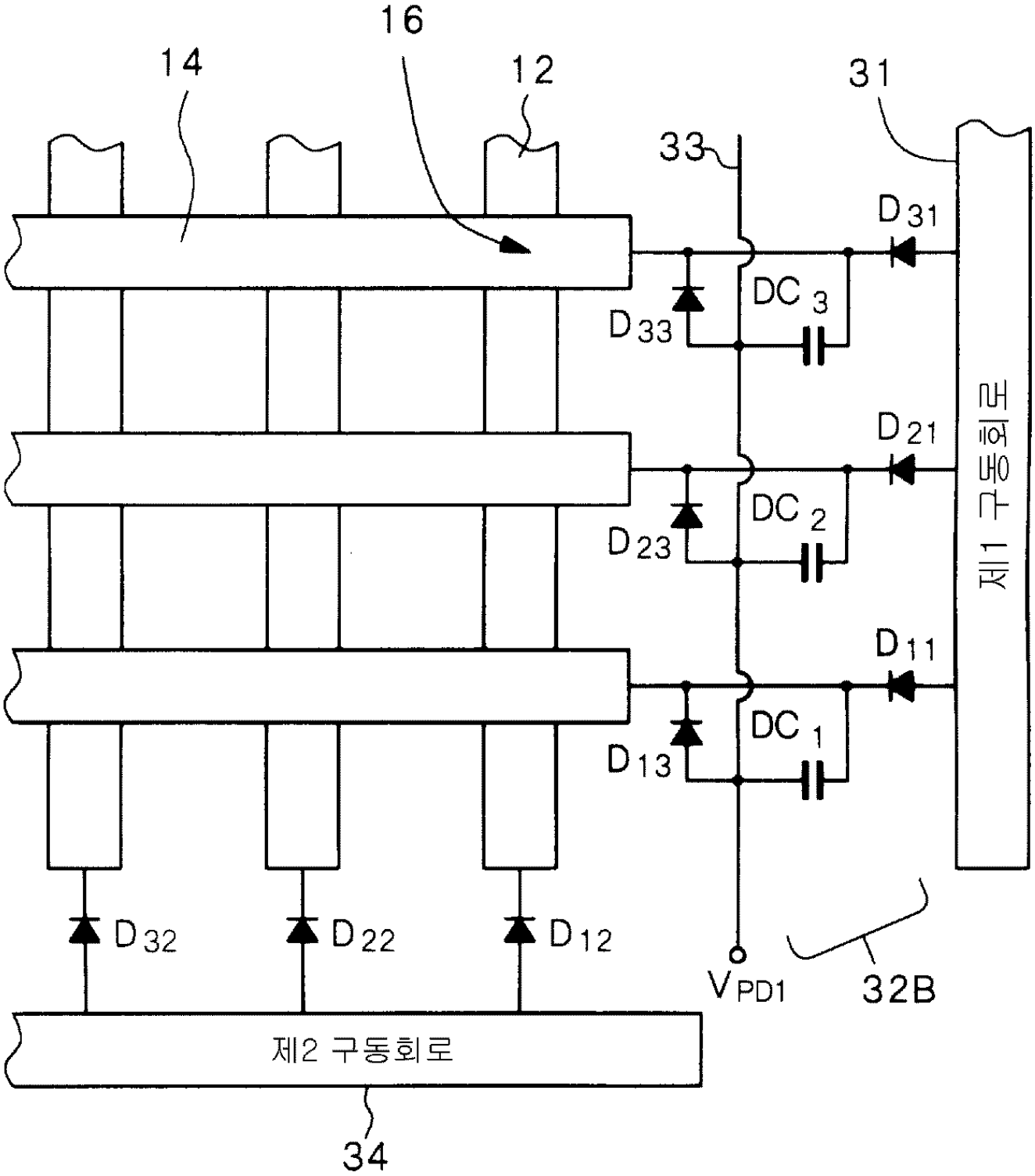
도면 15


16
14
12
31
33
D31
DC3
D21
DC2
D11
DC1
제1 구동회로
D32
D22
D12
VPD1
32B
제2 구동회로
34

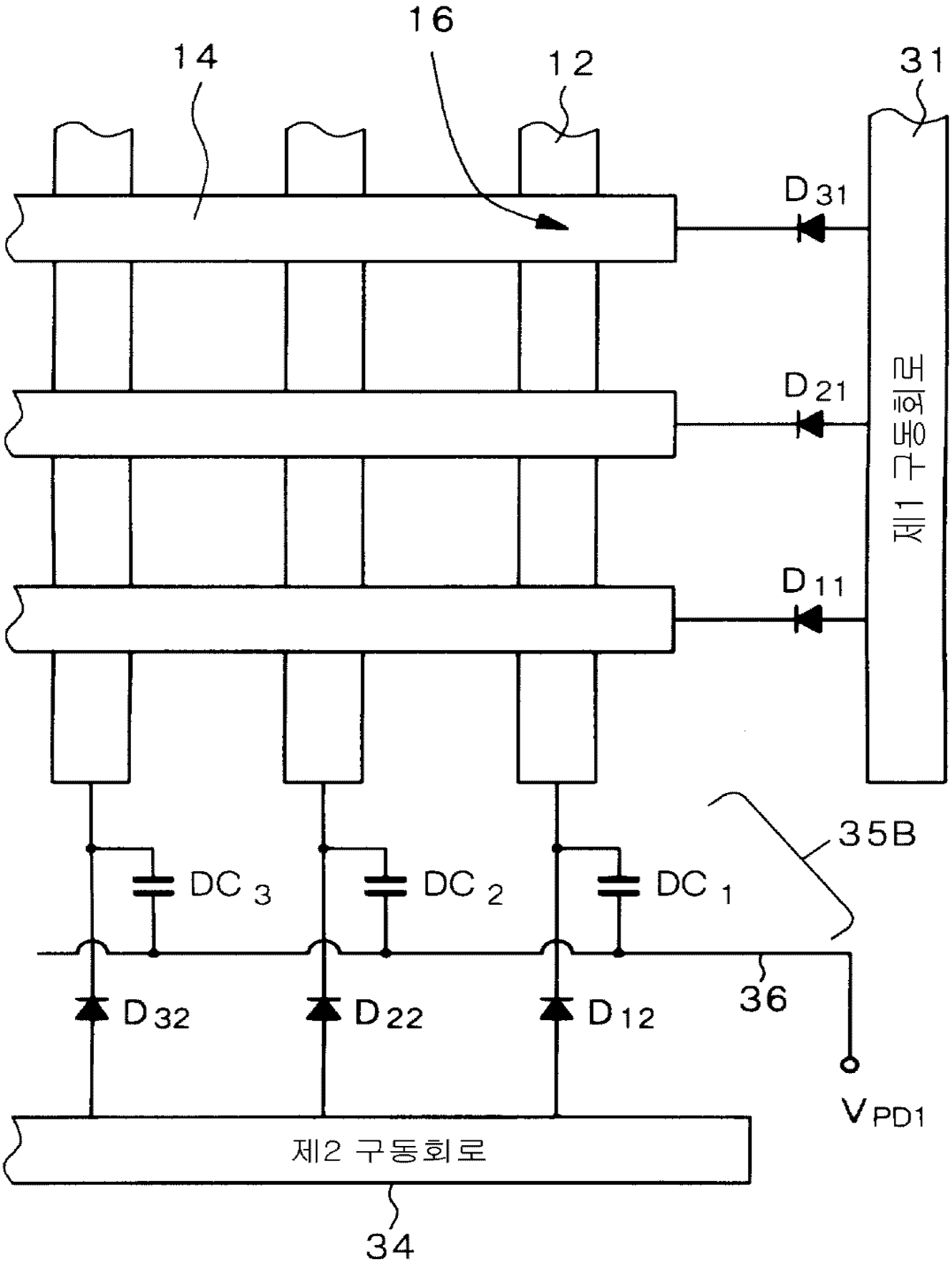
도면 16


16
14
12
31
33
D31
TD3
D21
TD2
D11
TD1
제1 구동회로
D32
D22
D12
VPD1
32B
제2 구동회로
34

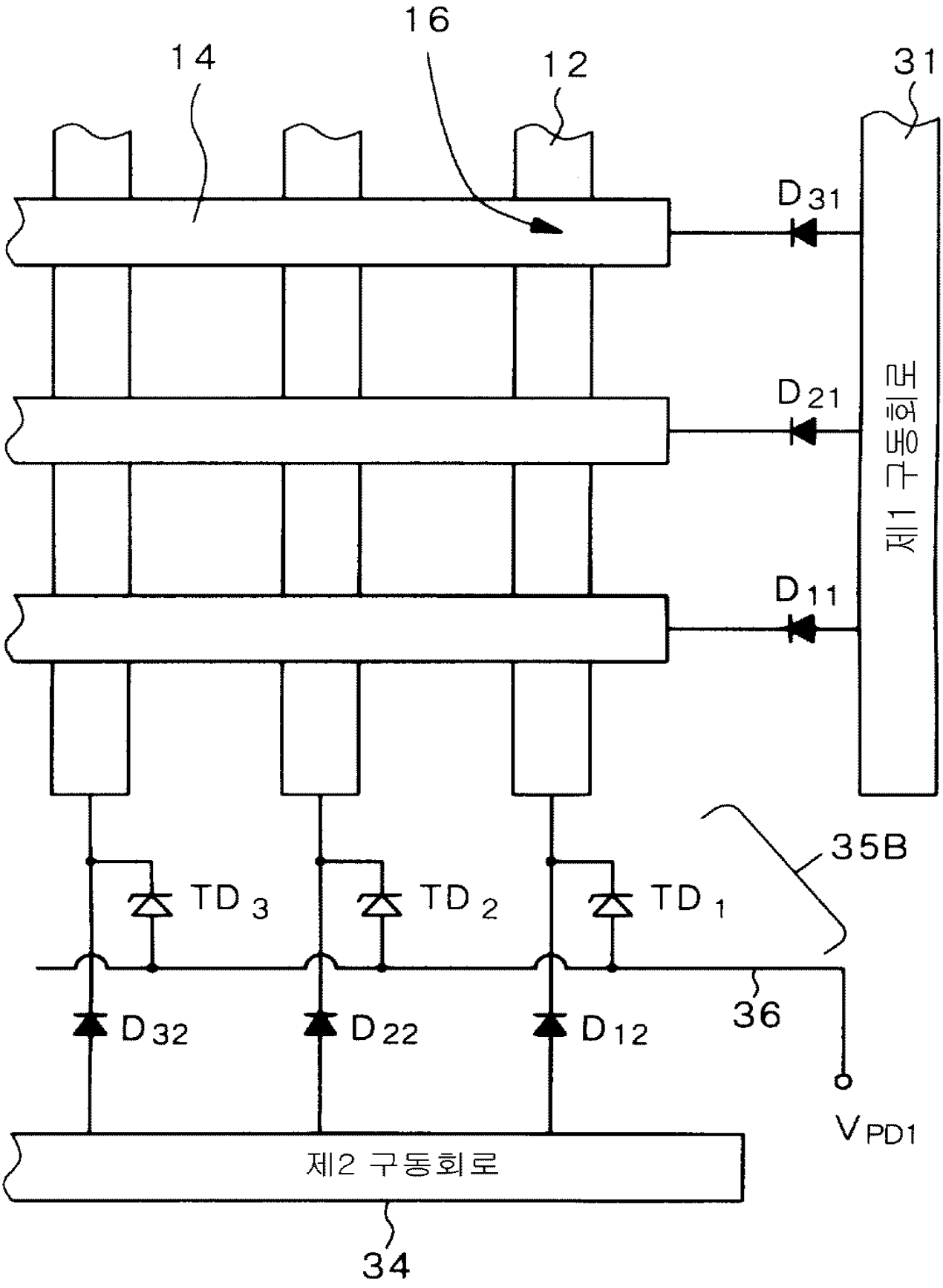
도면 17


16
14
12
31
33
D31
DC3
D33
D21
DC2
D23
D11
DC1
D13
제1 구동회로
D32
D22
D12
VPD1
32B
제2 구동회로
34

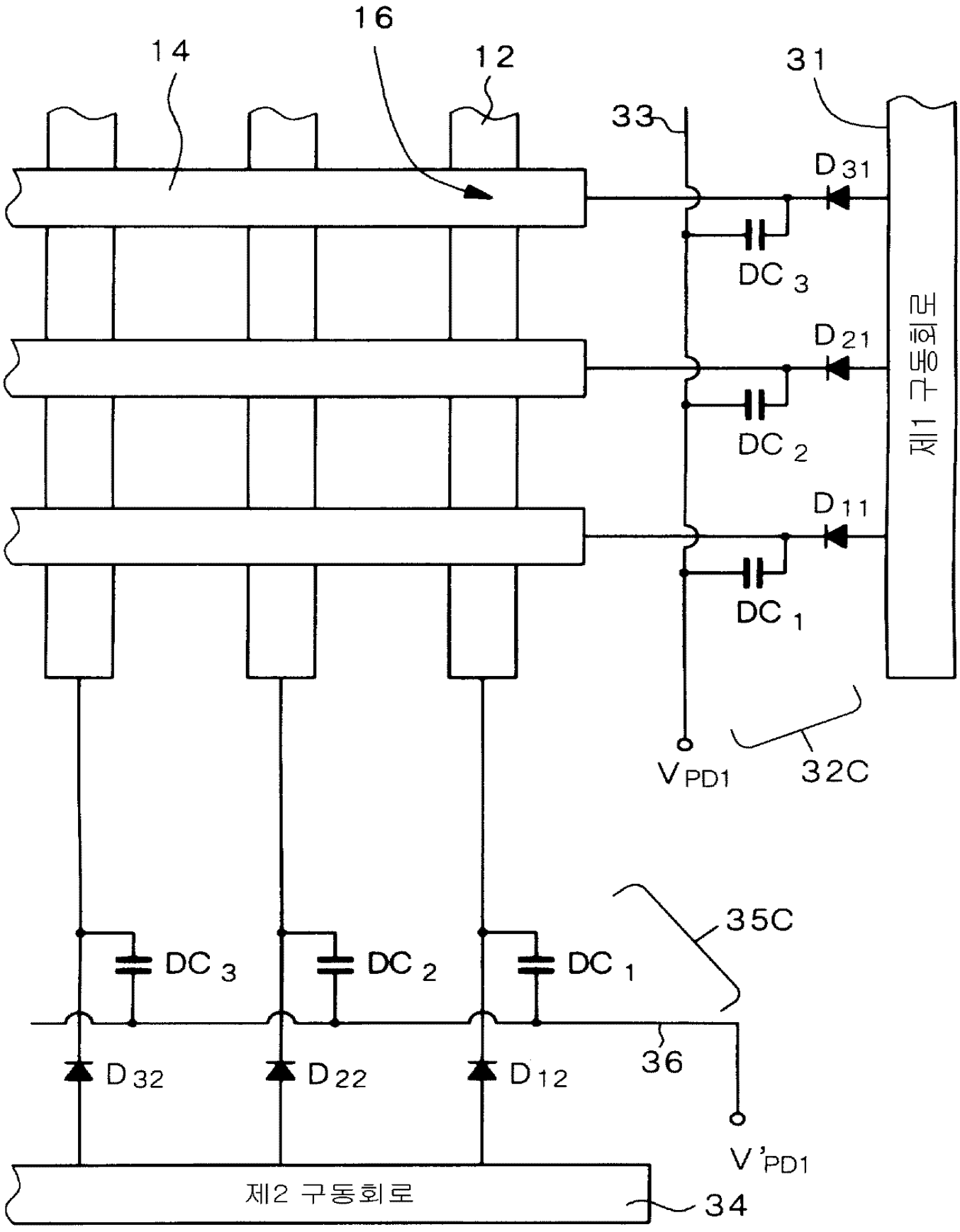
도면 18


16
14
12
31
D31
D21
D11
제1 구동회로
35B
DC3
DC2
DC1
36
D32
D22
D12
VPD1
제2 구동회로
34

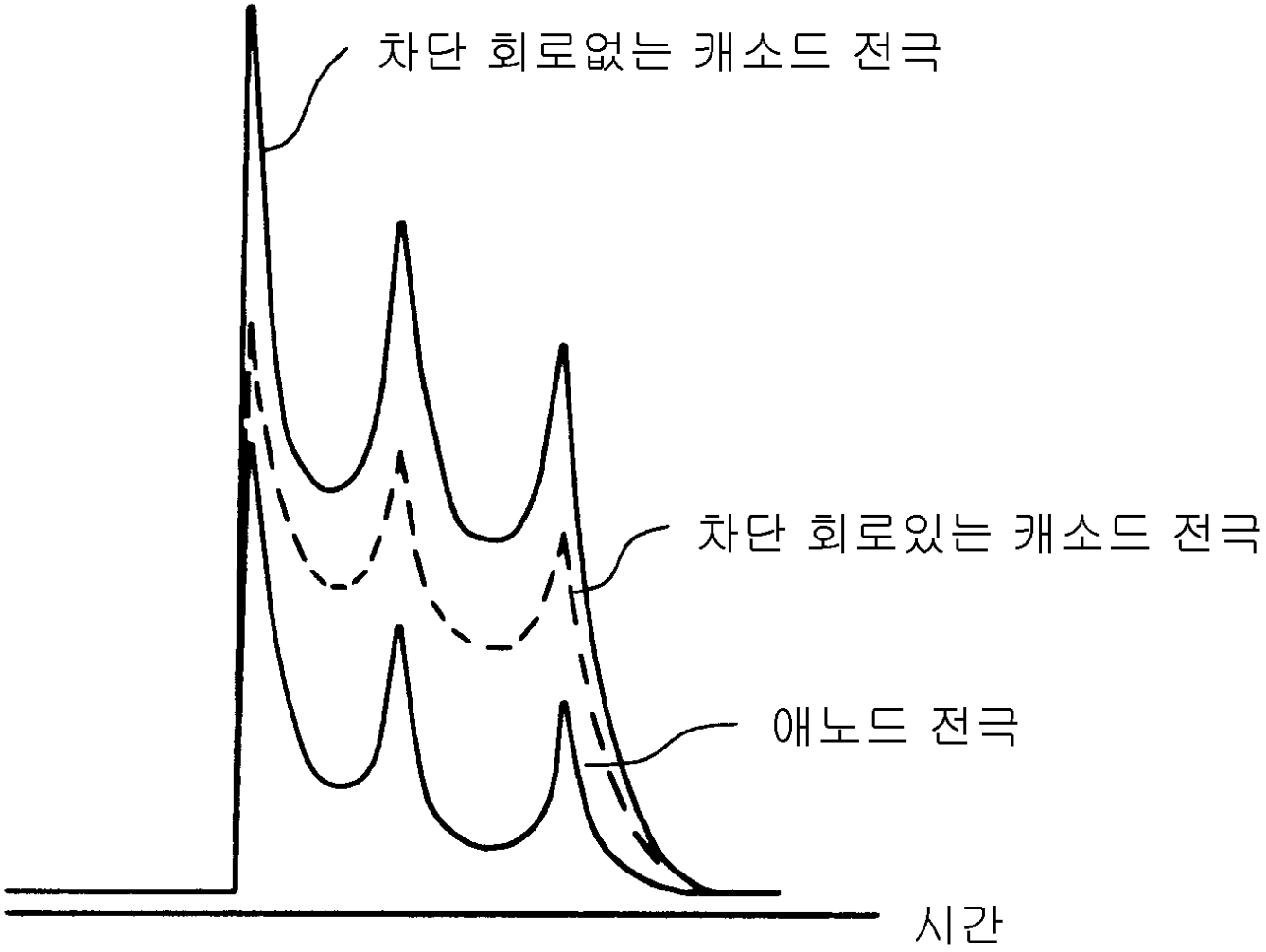
도면 19


16
14
12
31
D31
D21
D11
제1 구동회로
35B
TD3
TD2
TD1
D32
D22
D12
36
VPD1
제2 구동회로
34

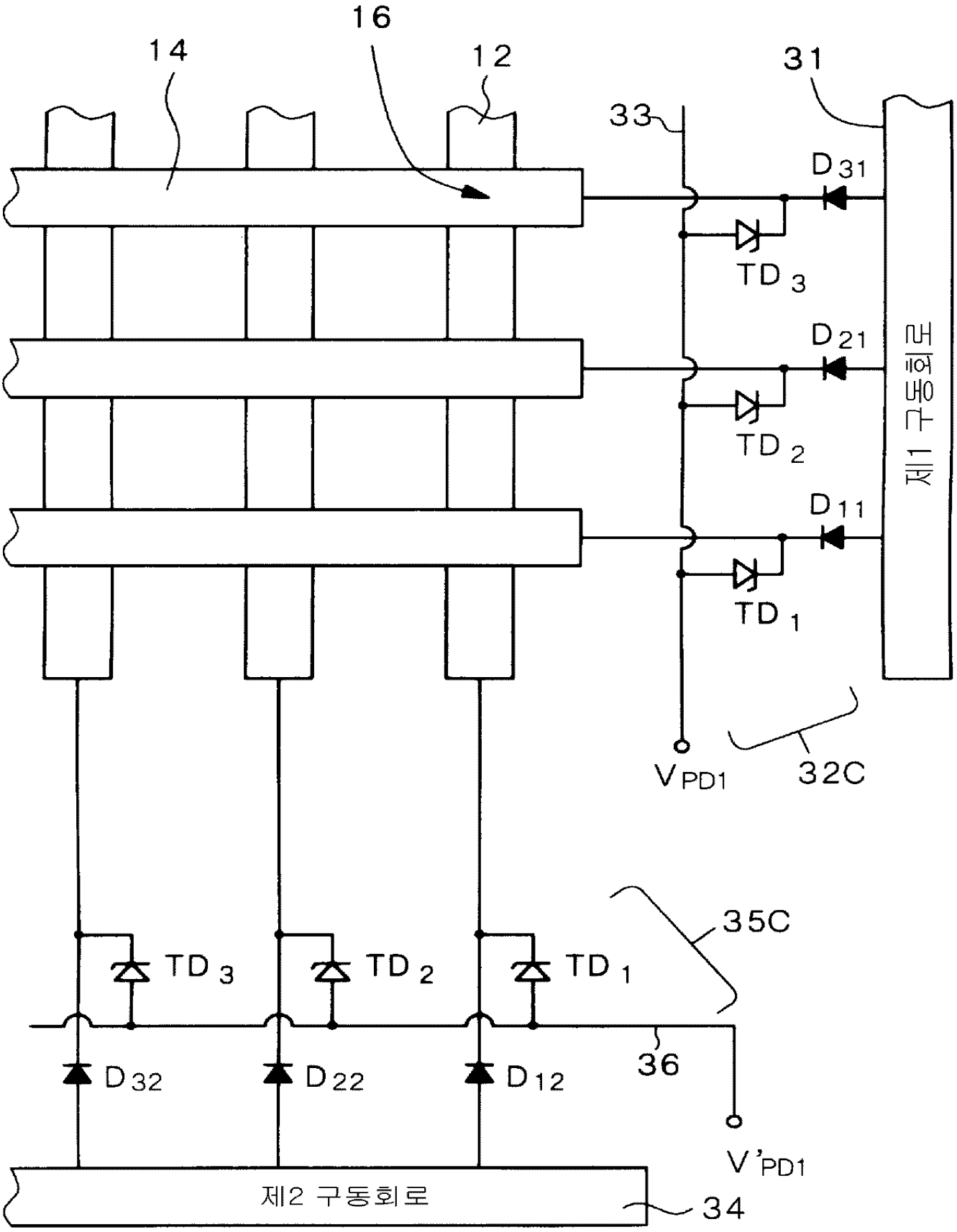
도면 20


16
14
12
31
33
D31
DC3
D21
DC2
D11
DC1
제1 구동회로
VPD1
32C
35C
DC3
DC2
DC1
36
D32
D22
D12
V'PD1
제2 구동회로
34

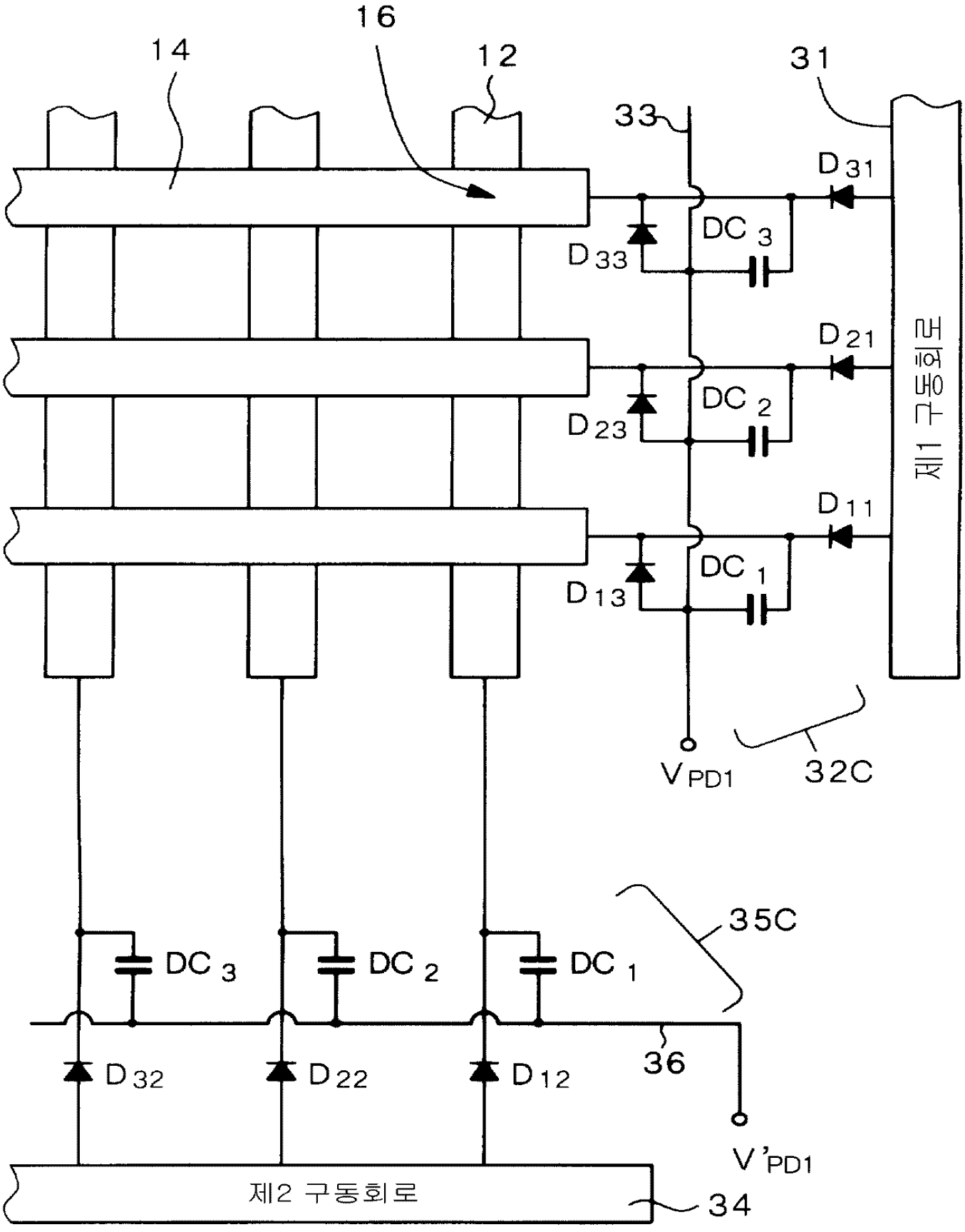
도면 21



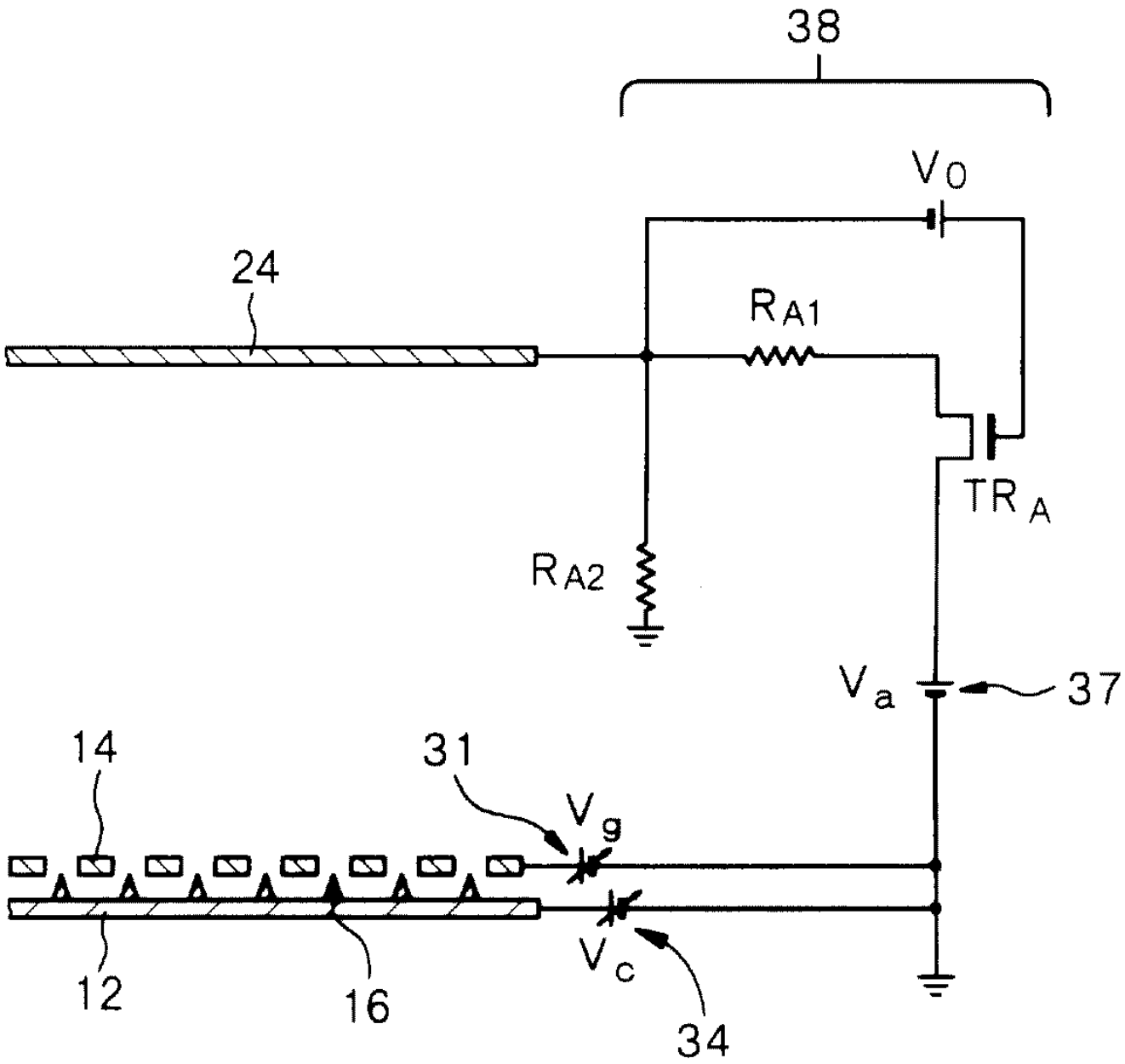
도면 22


16
14
12
31
33
D31
TD3
D21
TD2
D11
TD1
제1 구동회로
VPD1
32C
35C
TD3
TD2
TD1
D32
D22
D12
36
V'PD1
제2 구동회로
34

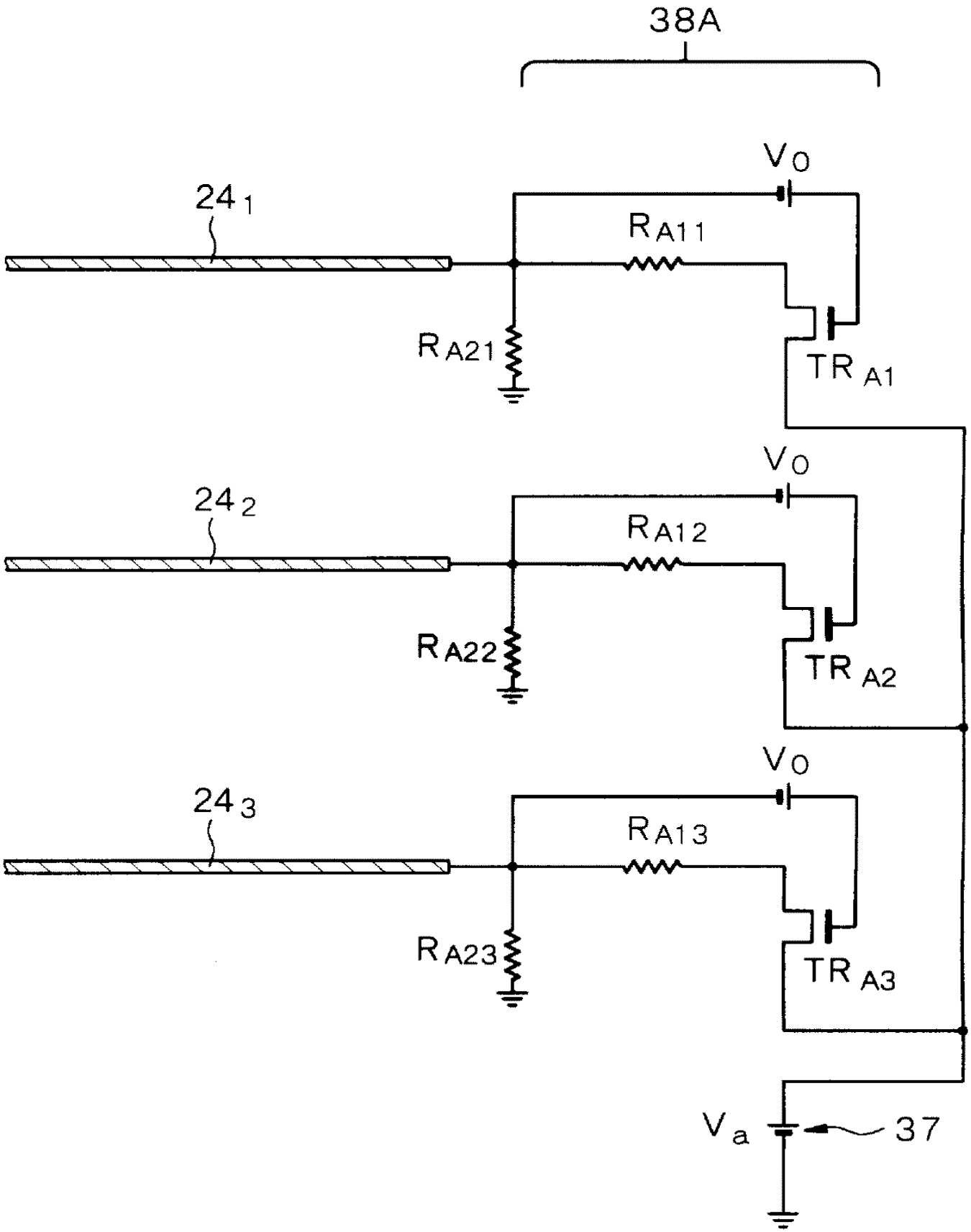
도면 23


16
14
12
31
33
D31
DC3
D33
D21
DC2
D23
D11
DC1
D13
제1 구동회로
VPD1
32C
35C
DC3
DC2
DC1
36
D32
D22
D12
V'PD1
제2 구동회로
34

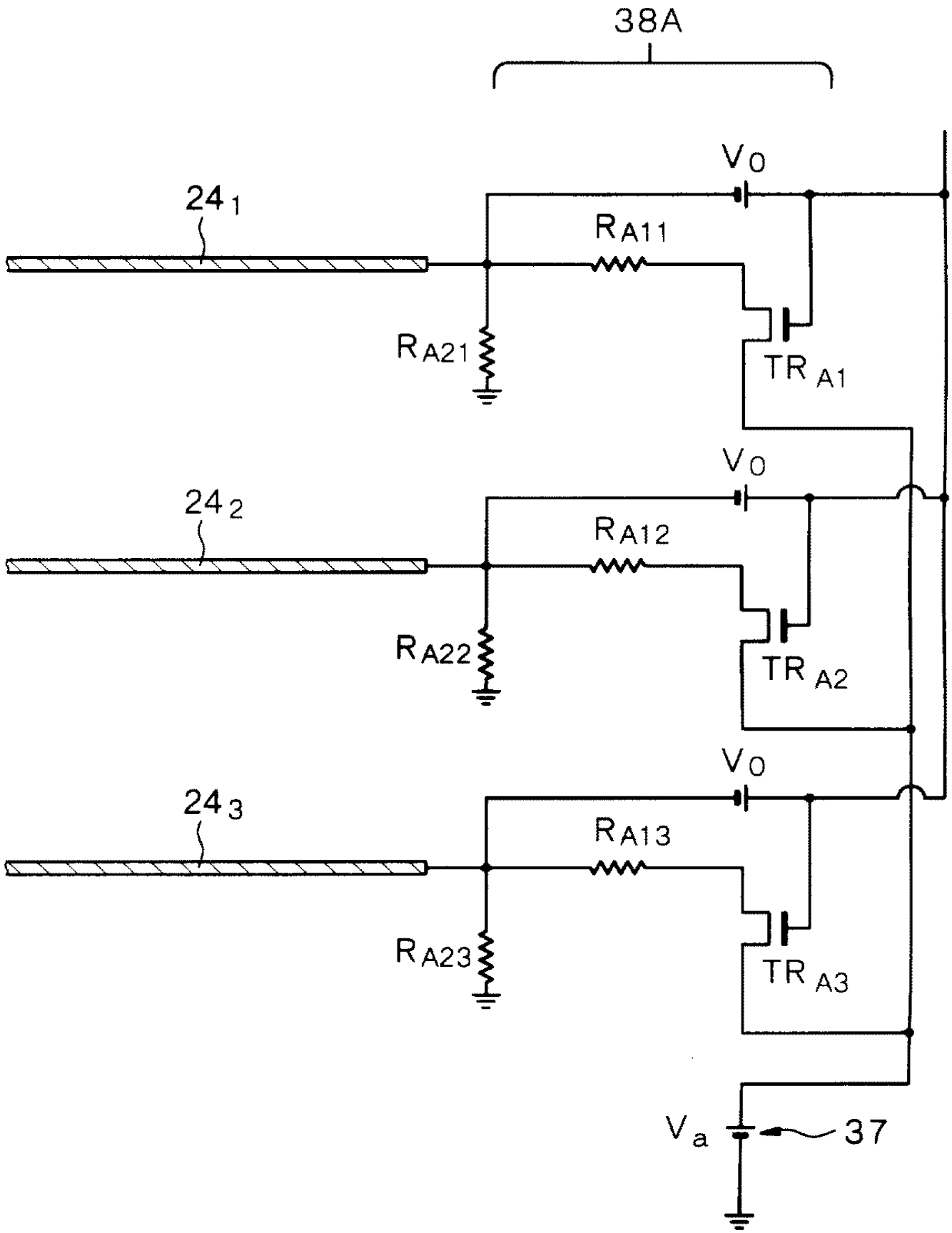
도면 24



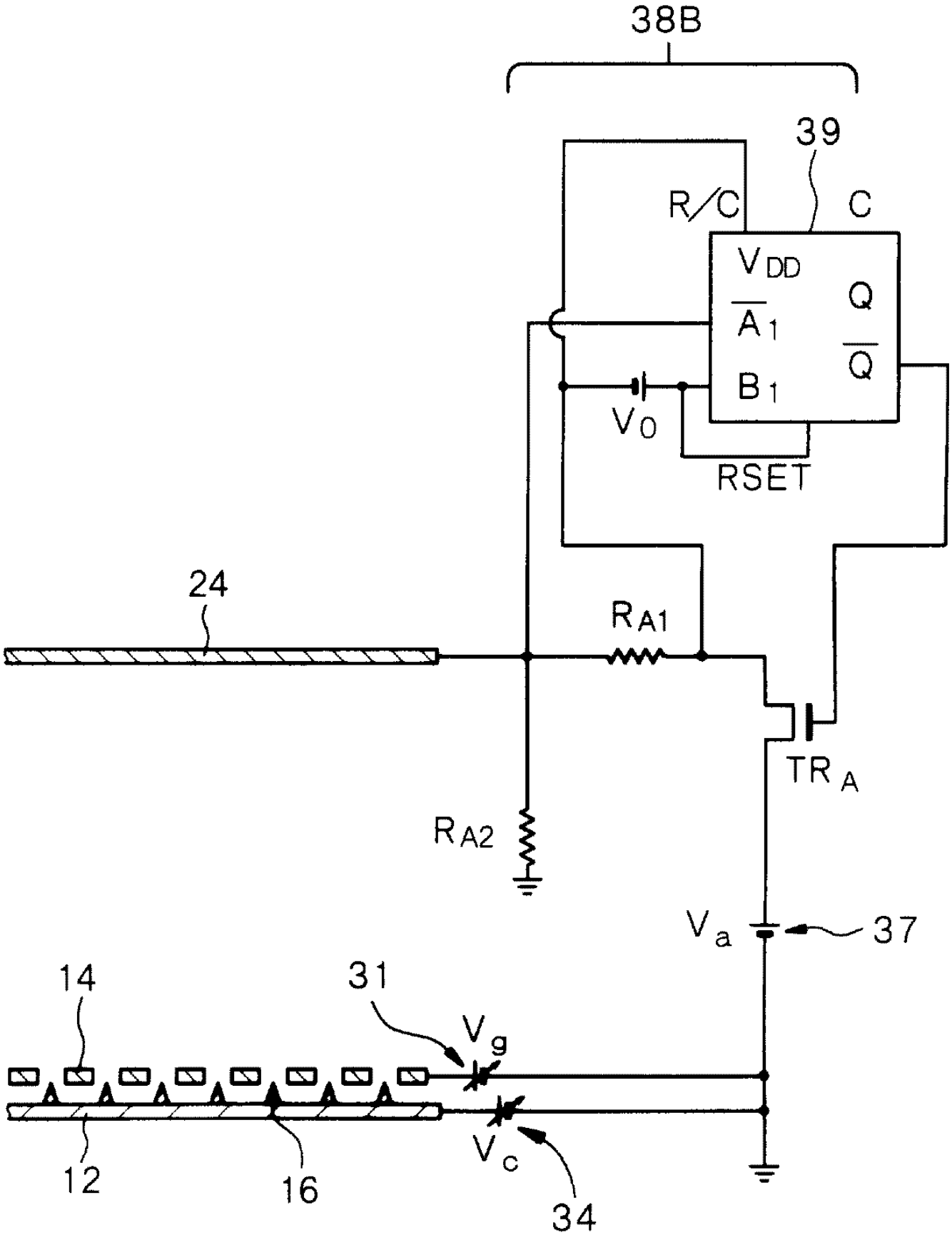
도면 25


38A
V0
241
RA11
RA21
TRA1
V0
242
RA12
RA22
TRA2
V0
243
RA13
RA23
TRA3
Va
37

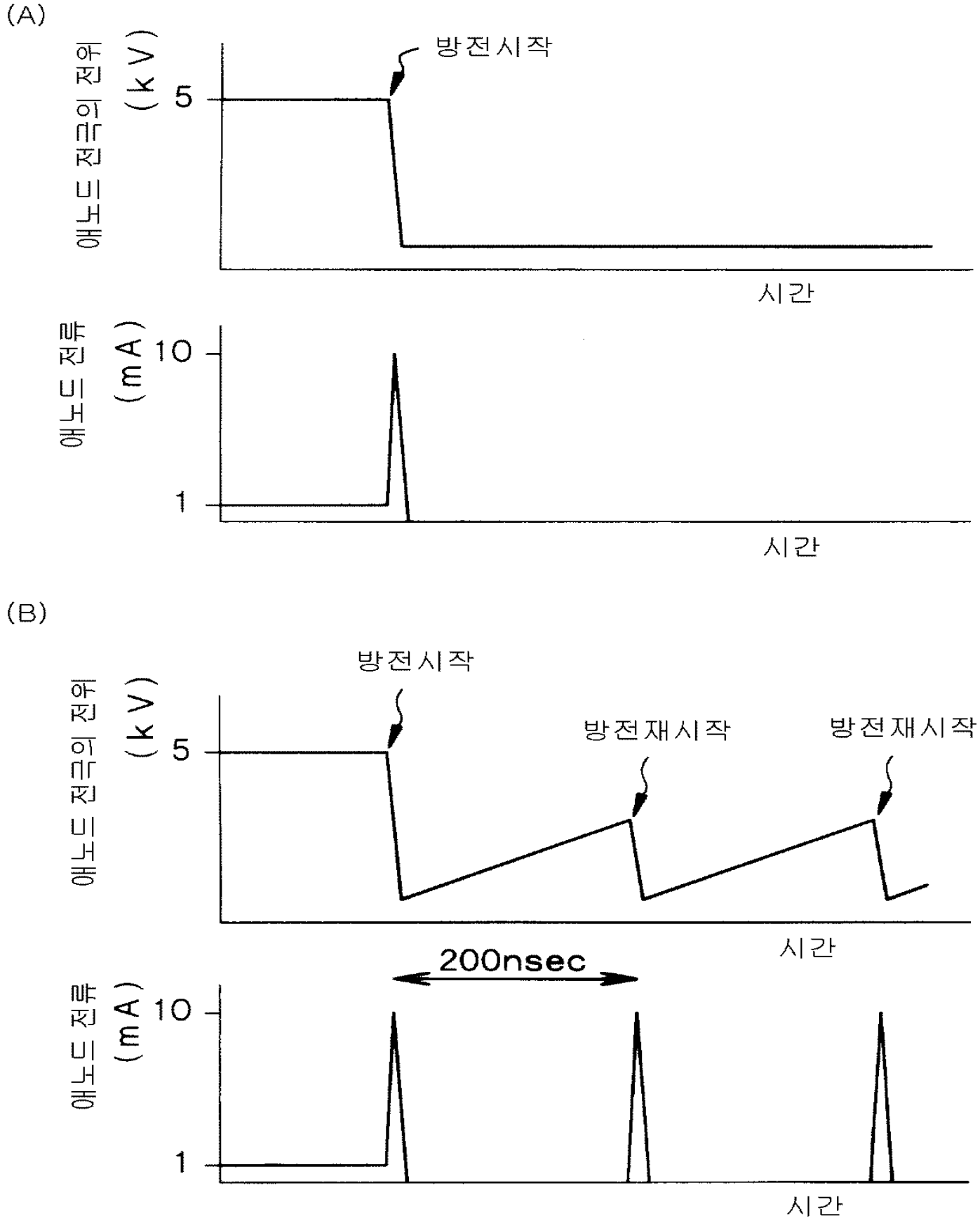
도면 26


38A
V0
241
RA11
RA21
TRA1
V0
242
RA12
RA22
TRA2
V0
243
RA13
RA23
TRA3
Va
37

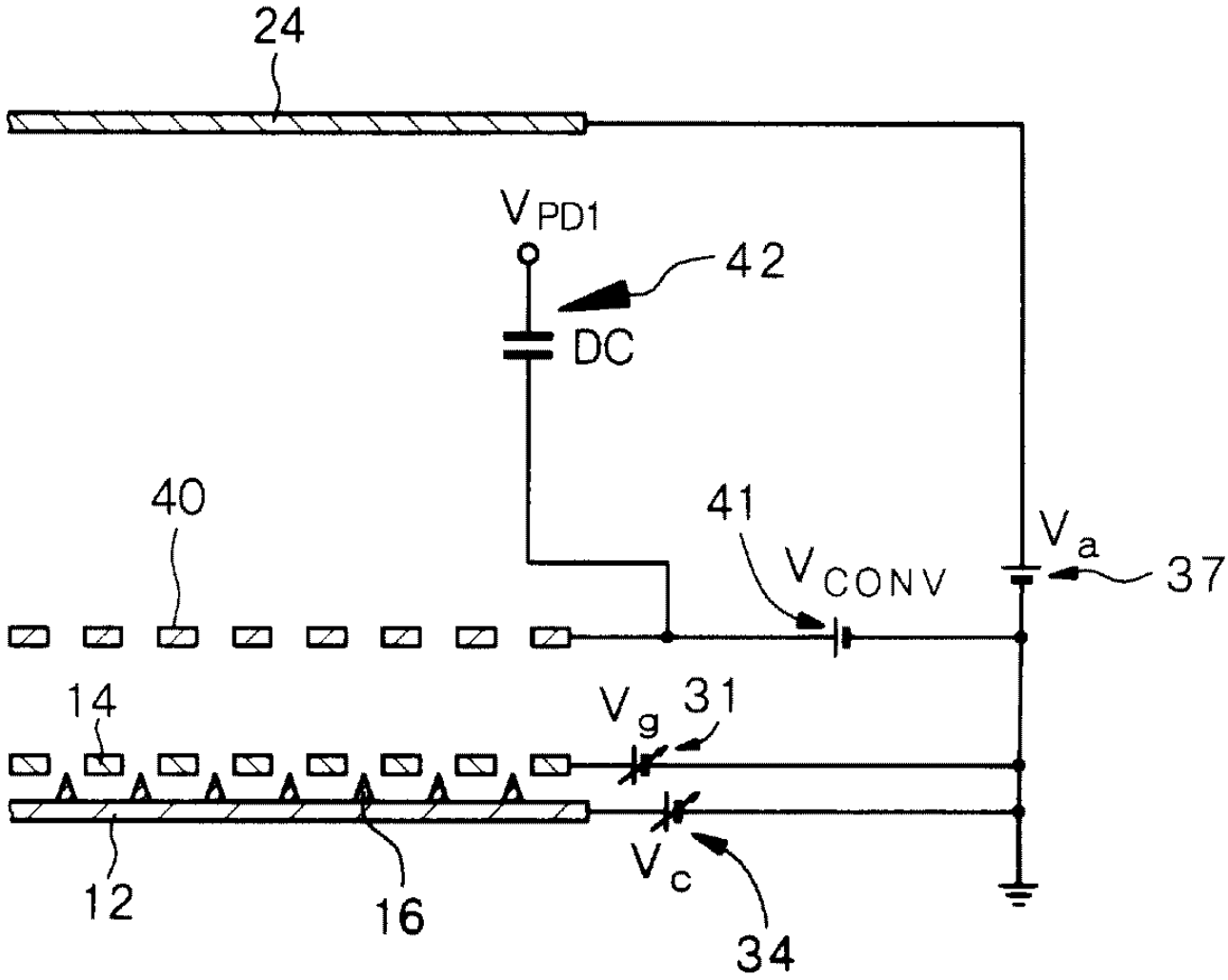
도면 27


38B
39
R/C
C
VDD
Q
A1
Q
B1
V0
RSET
24
RA1
TRA
RA2
Va
37
14
31
Vg
12
16
Vc
34

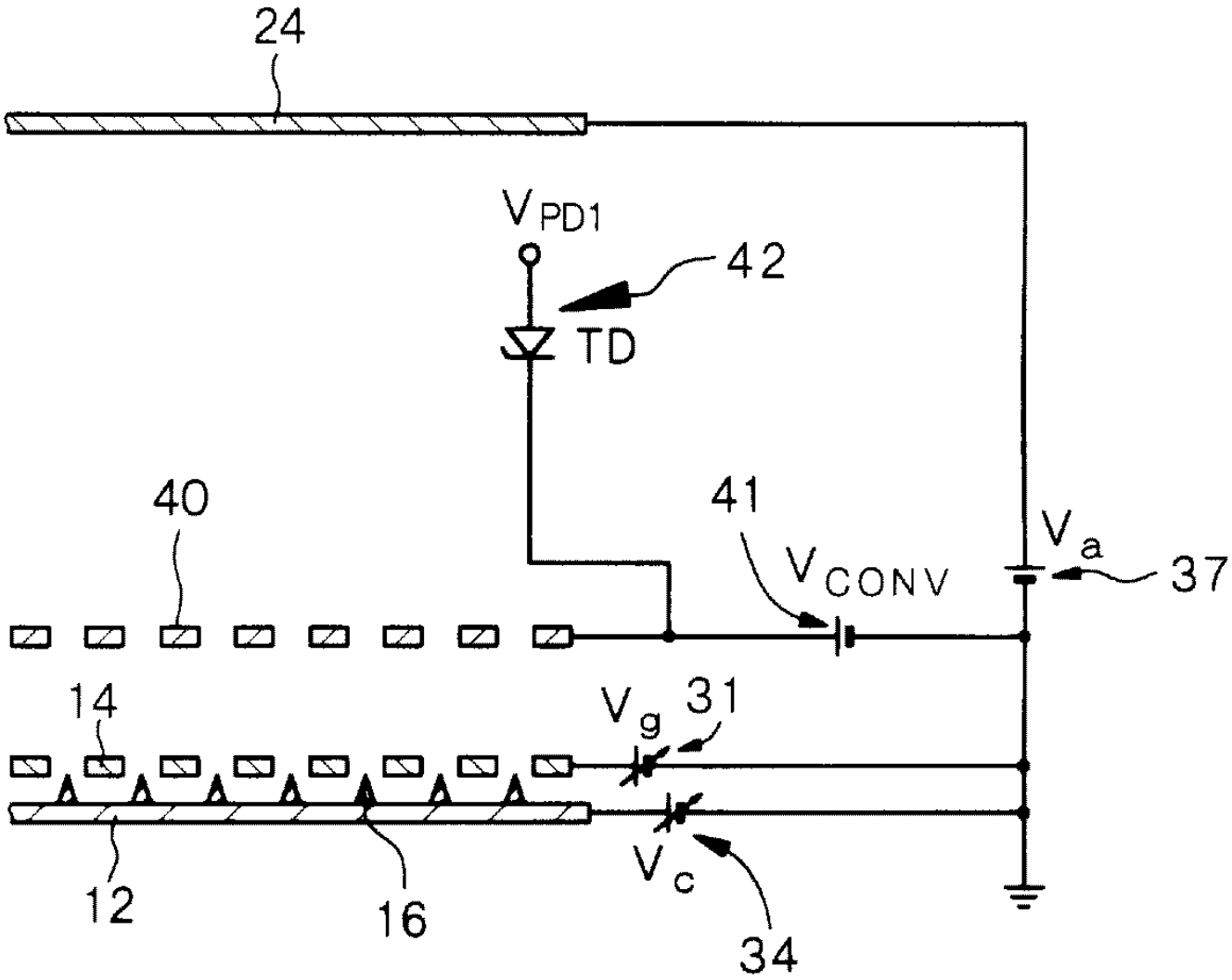
도면 28


(A)
애노드 전극의 전위 (kV)
5
방전시작
시간
애노드 전류 (mA)
10
1
시간
(B)
애노드 전극의 전위 (kV)
5
방전시작
방전재시작
방전재시작
시간
200nsec
애노드 전류 (mA)
10
1
시간

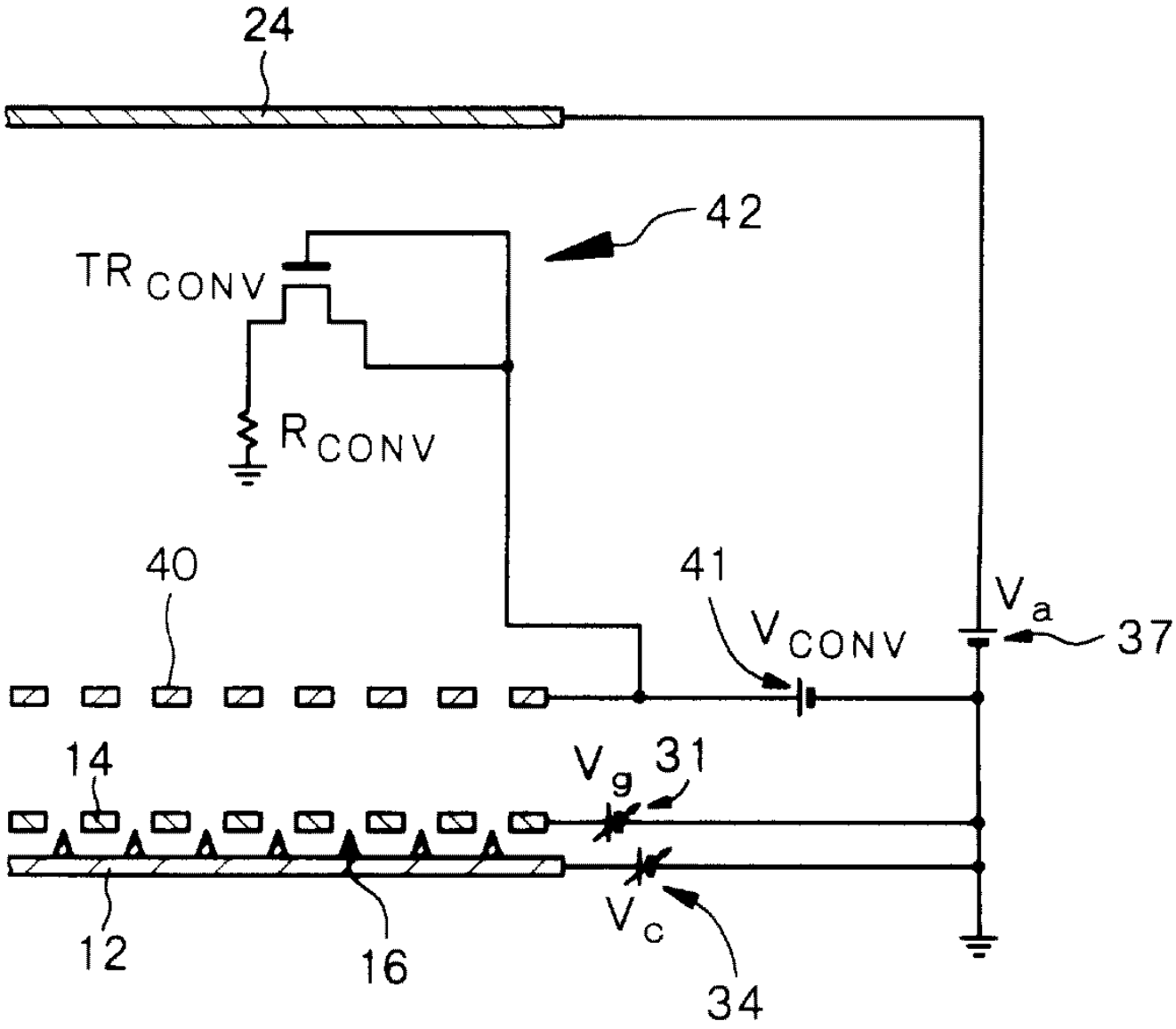
도면 29



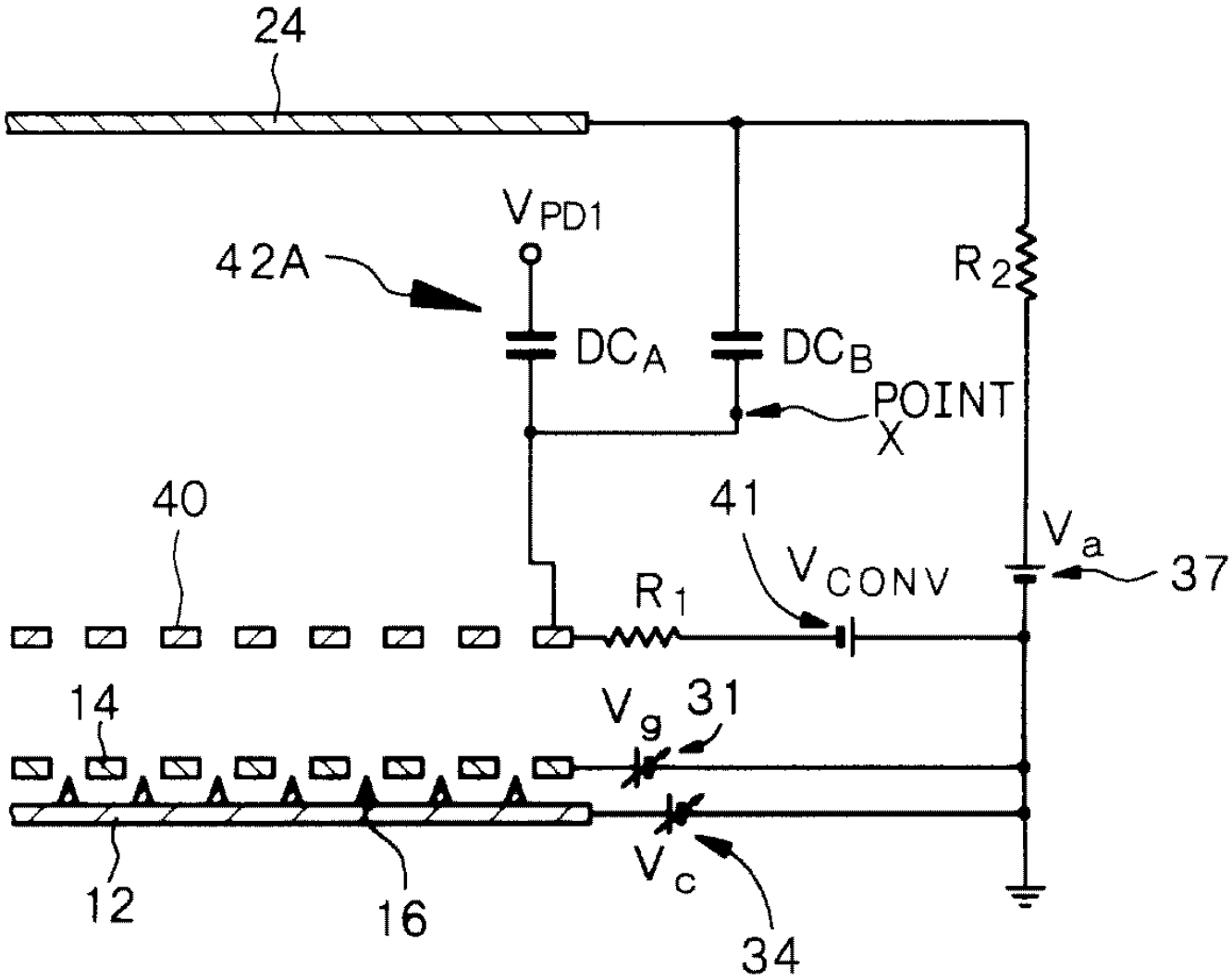
도면 30



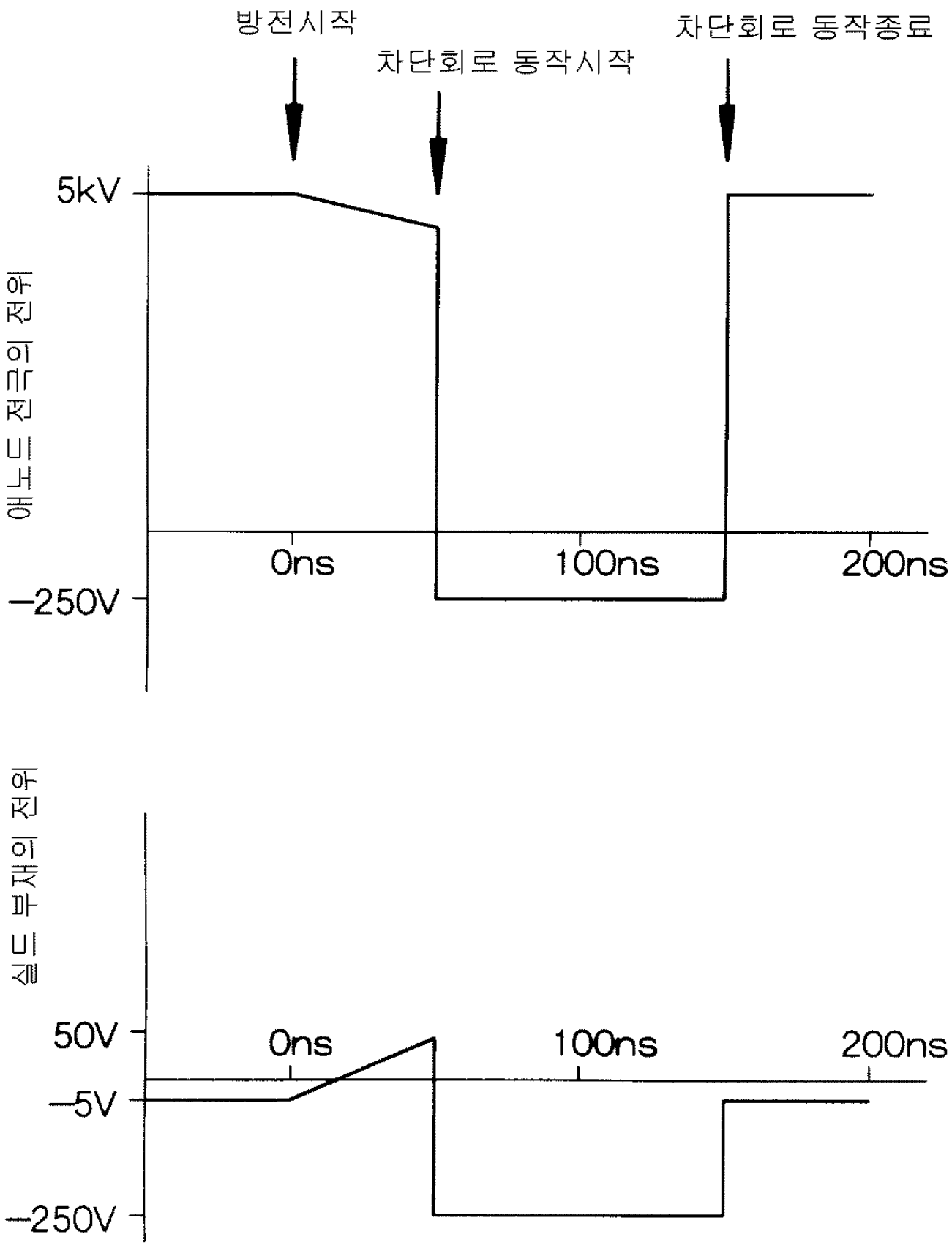
도면 31



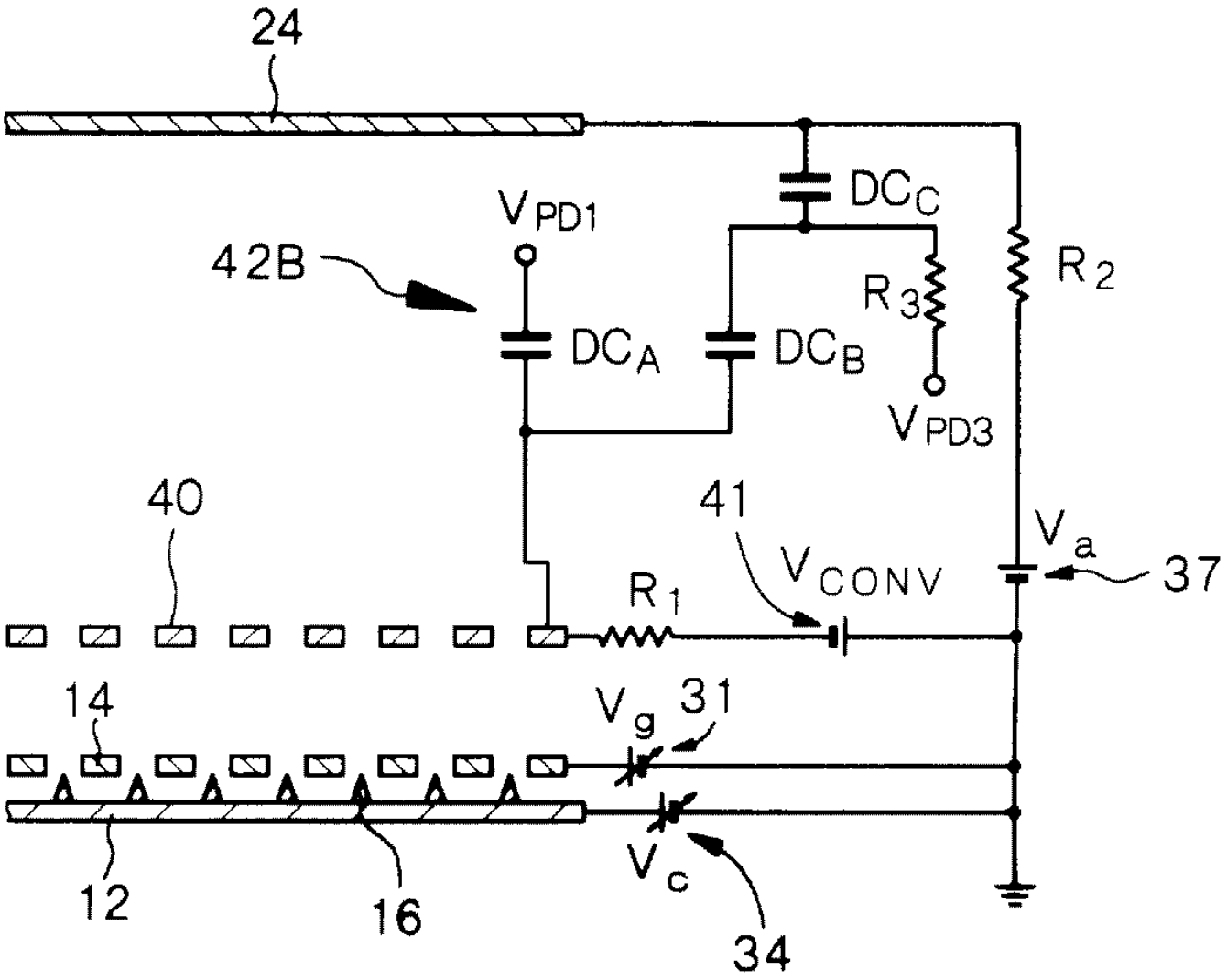
도면 32


24
V_{PD1}
42A
DC_A
DC_B
R_2
POINT X
40
41
V_{CONV}
V_a
37
R_1
14
V_g
31
12
16
V_c
34

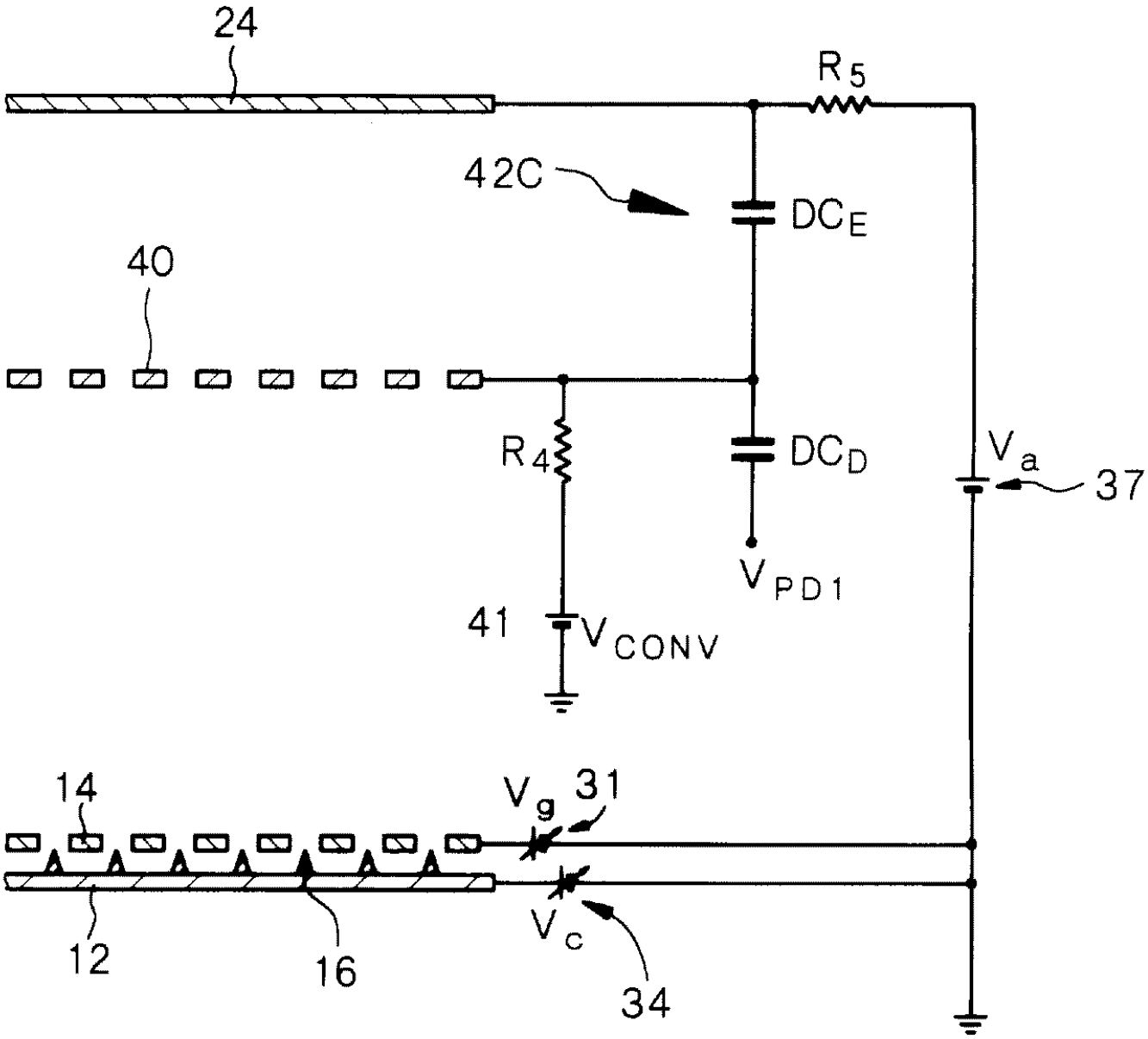
도면 33


방전시작
차단회로 동작시작
차단회로 동작종료
5kV
애노드 전극의 전위
0ns
100ns
200ns
-250V
실드 부재의 전위
50V
0ns
100ns
200ns
-5V
-250V

도면 34


24
V_{PD1}
42B
DC_C
R_2
R_3
DC_A
DC_B
V_{PD3}
40
41
V_a
37
V_{CONV}
R_1
14
V_g
31
12
16
V_c
34

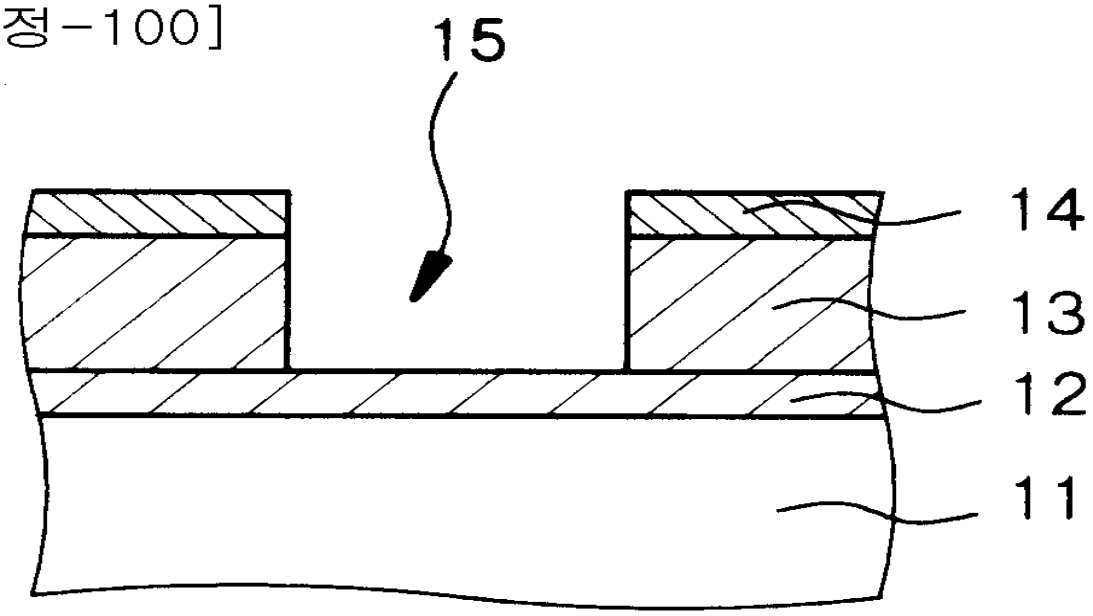
도면 35



도면 36

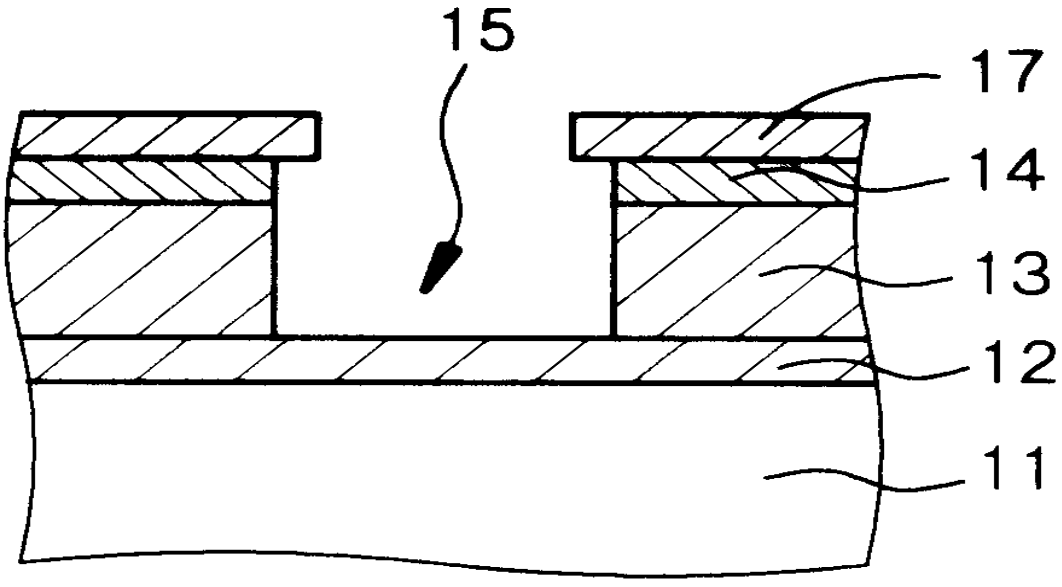
(A)

[공정-100]



(B)

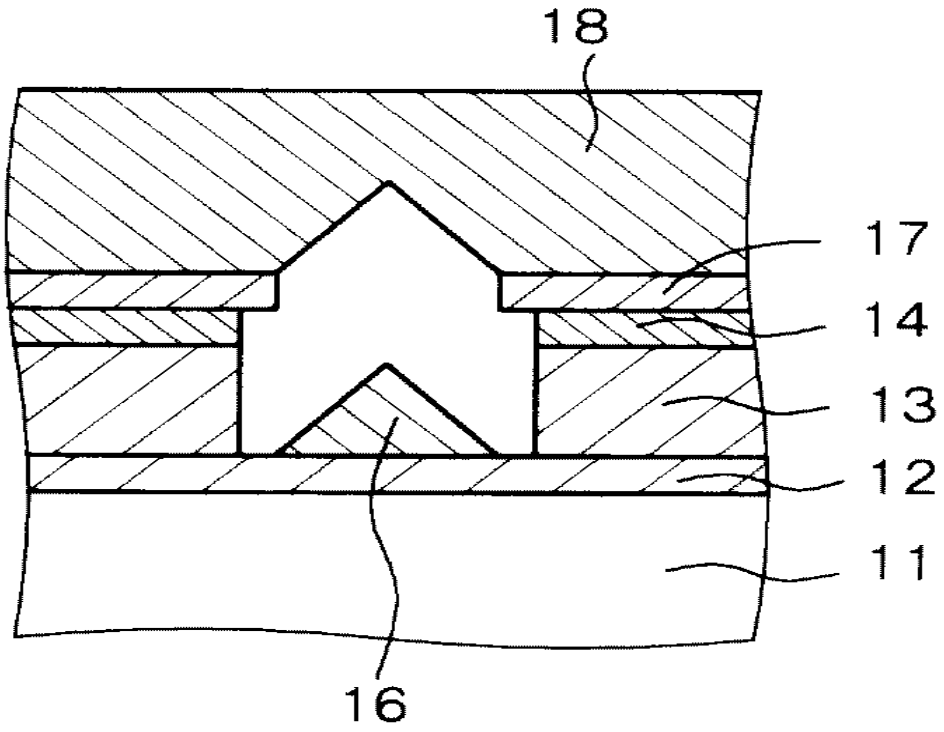
[공정-110]



도면 37

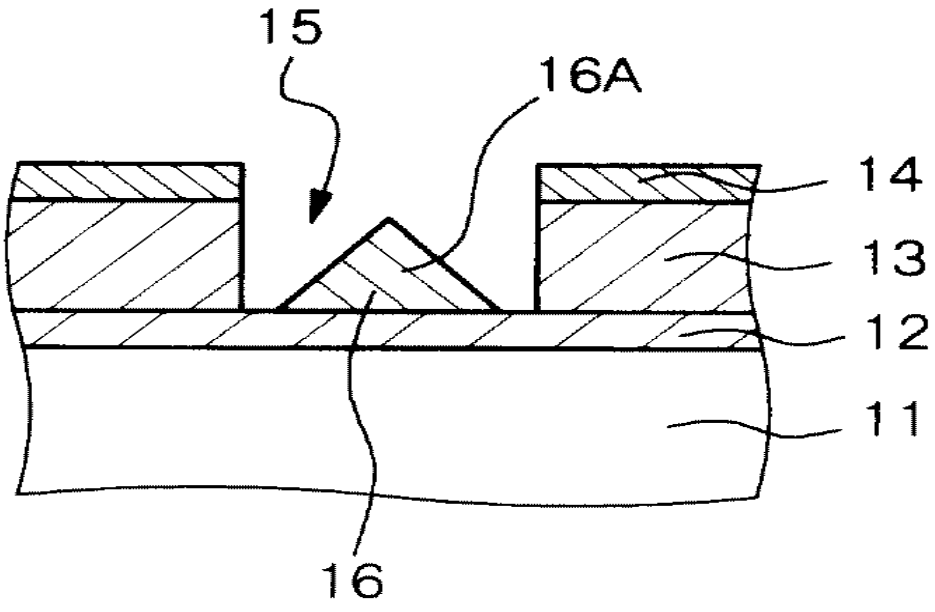
(A)

[공정-120]



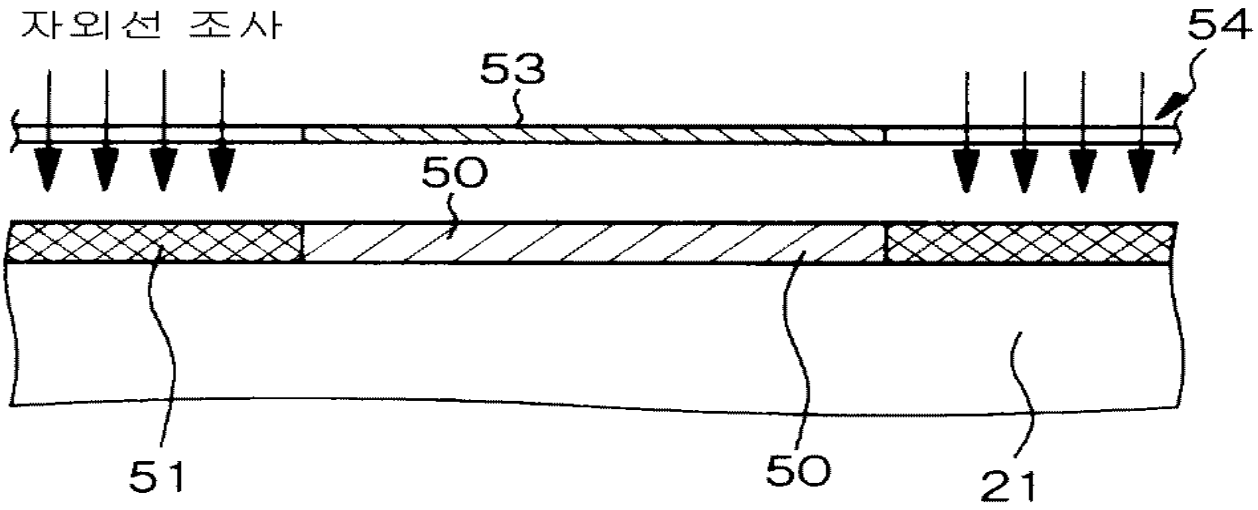
(B)

[공정-120] 계속

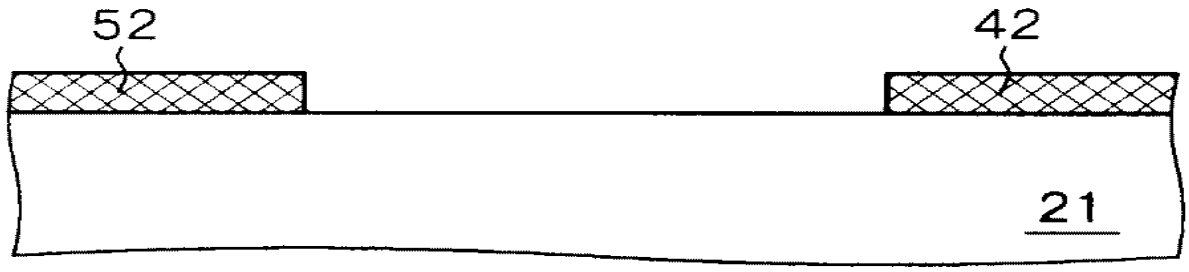


도면 38

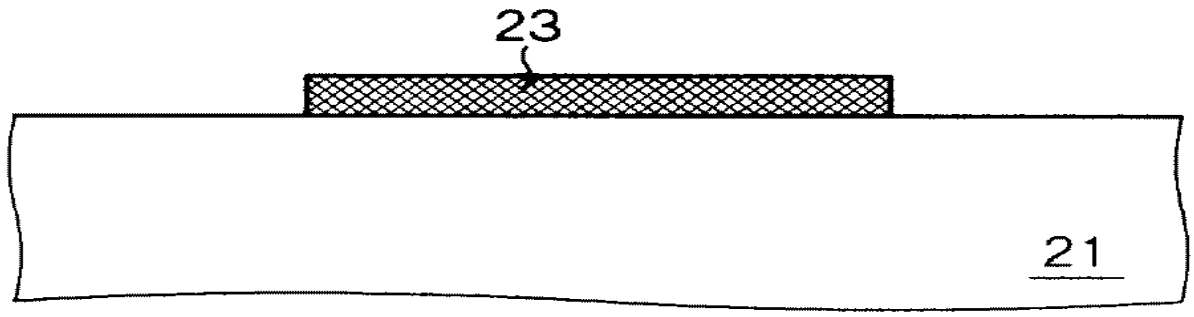
(A)



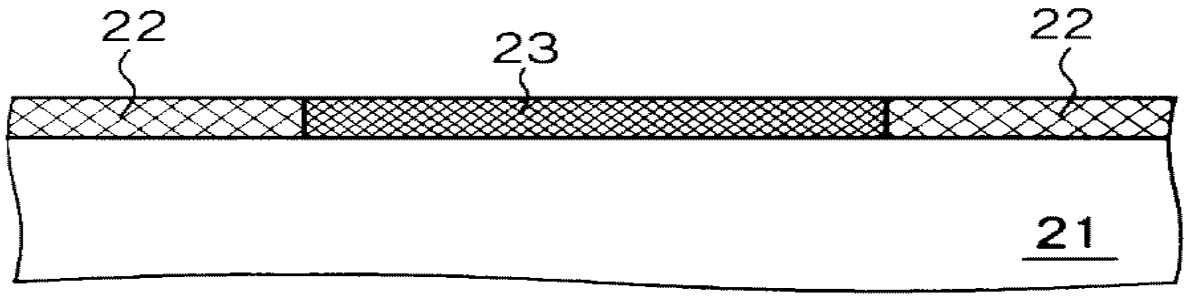
(B)



(C)

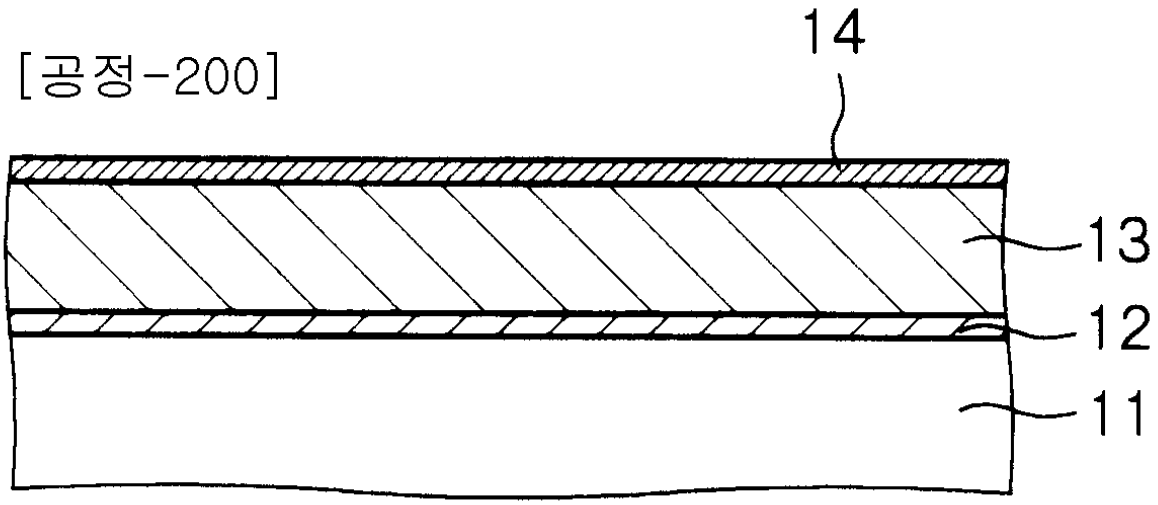


(D)

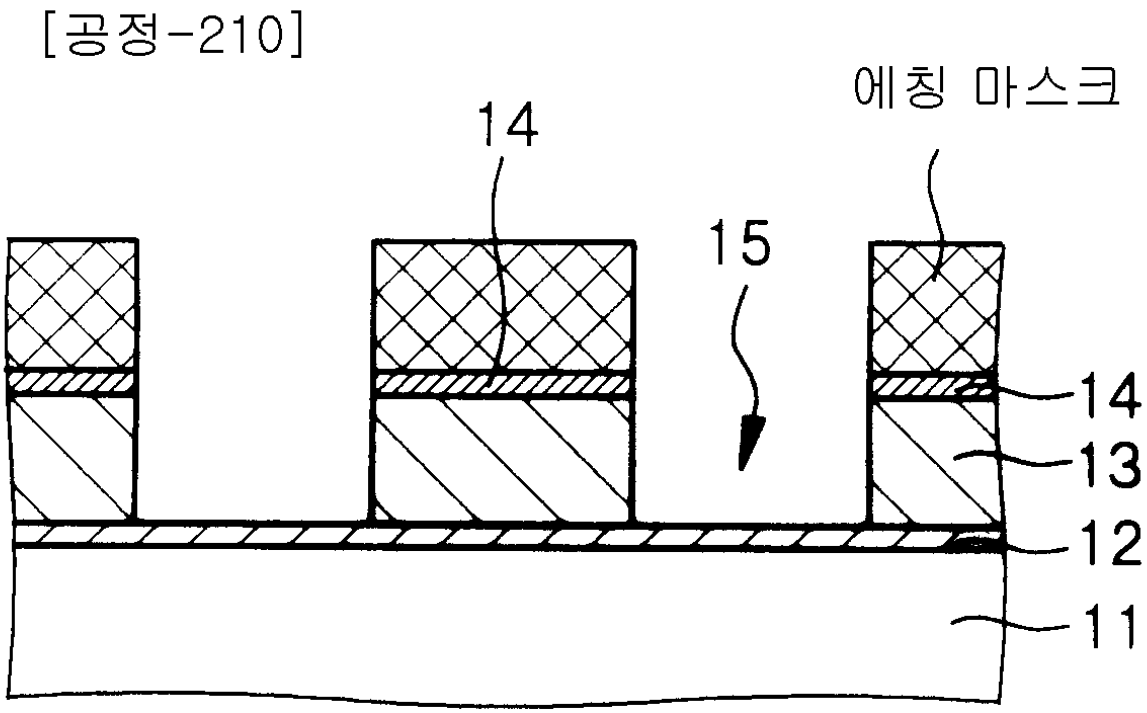


도면 39

(A)

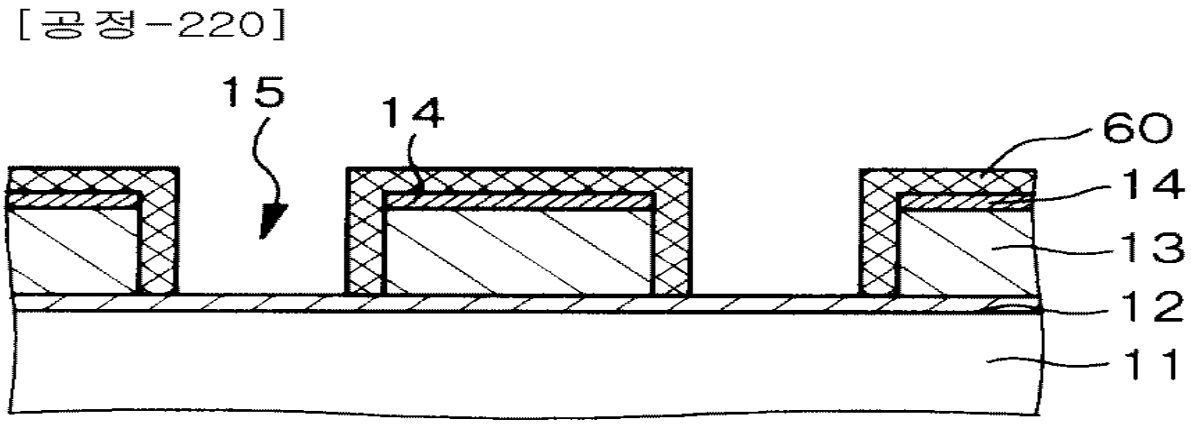


(B)

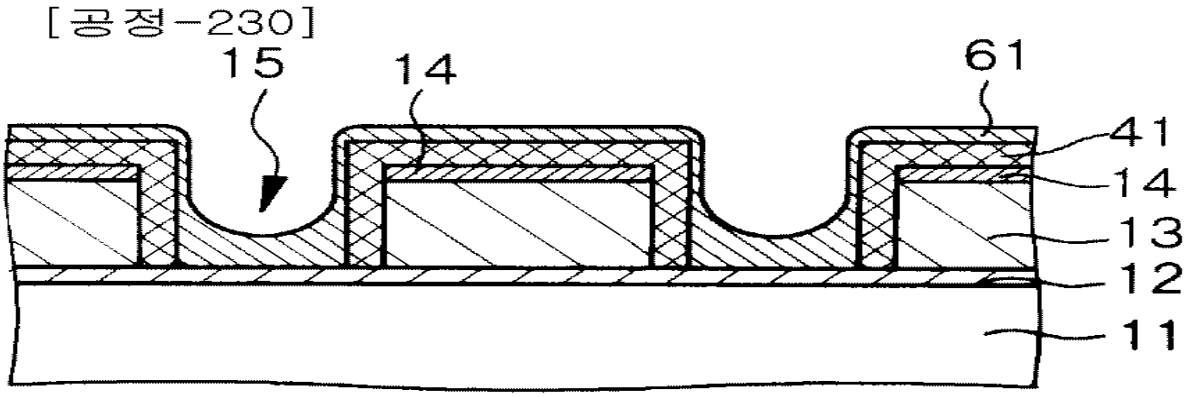


도면 40

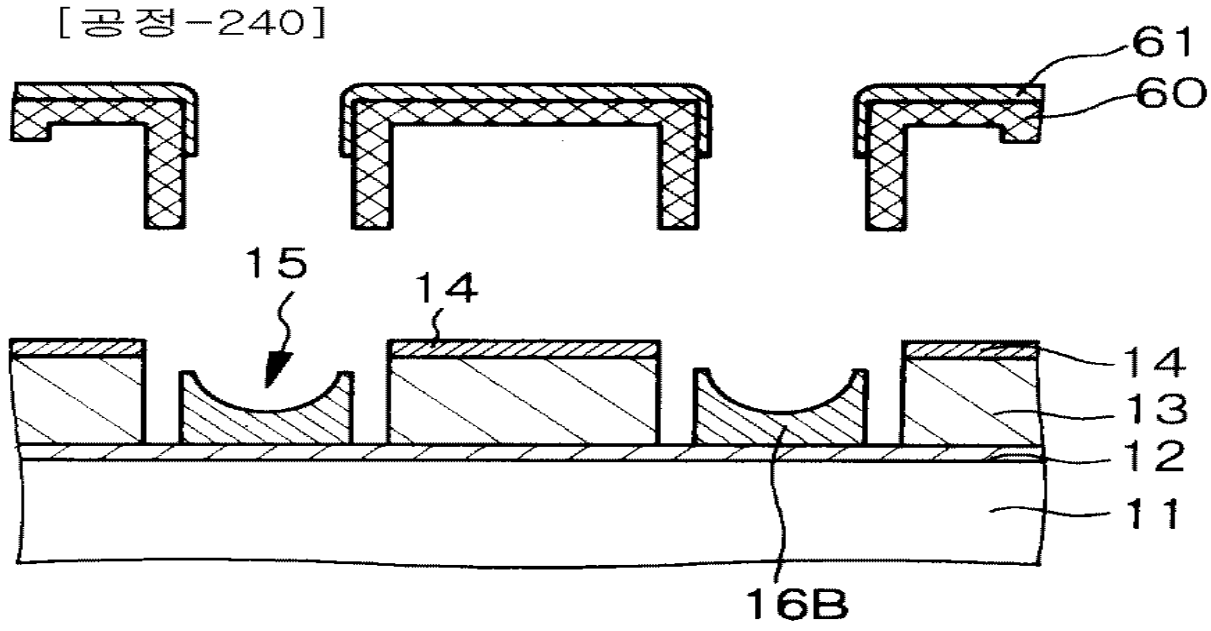
(A)


[공정-220]
15
14
60
14
13
12
11

(B)


[공정-230]
15
14
61
41
14
13
12
11

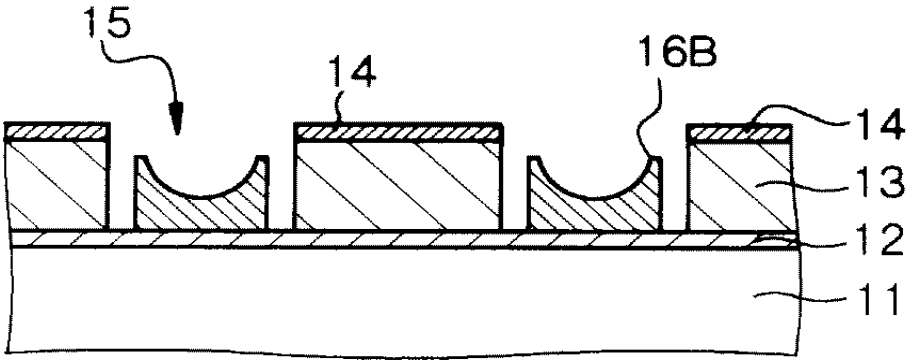
(C)


[공정-240]
61
60
15
14
14
13
12
11
16B

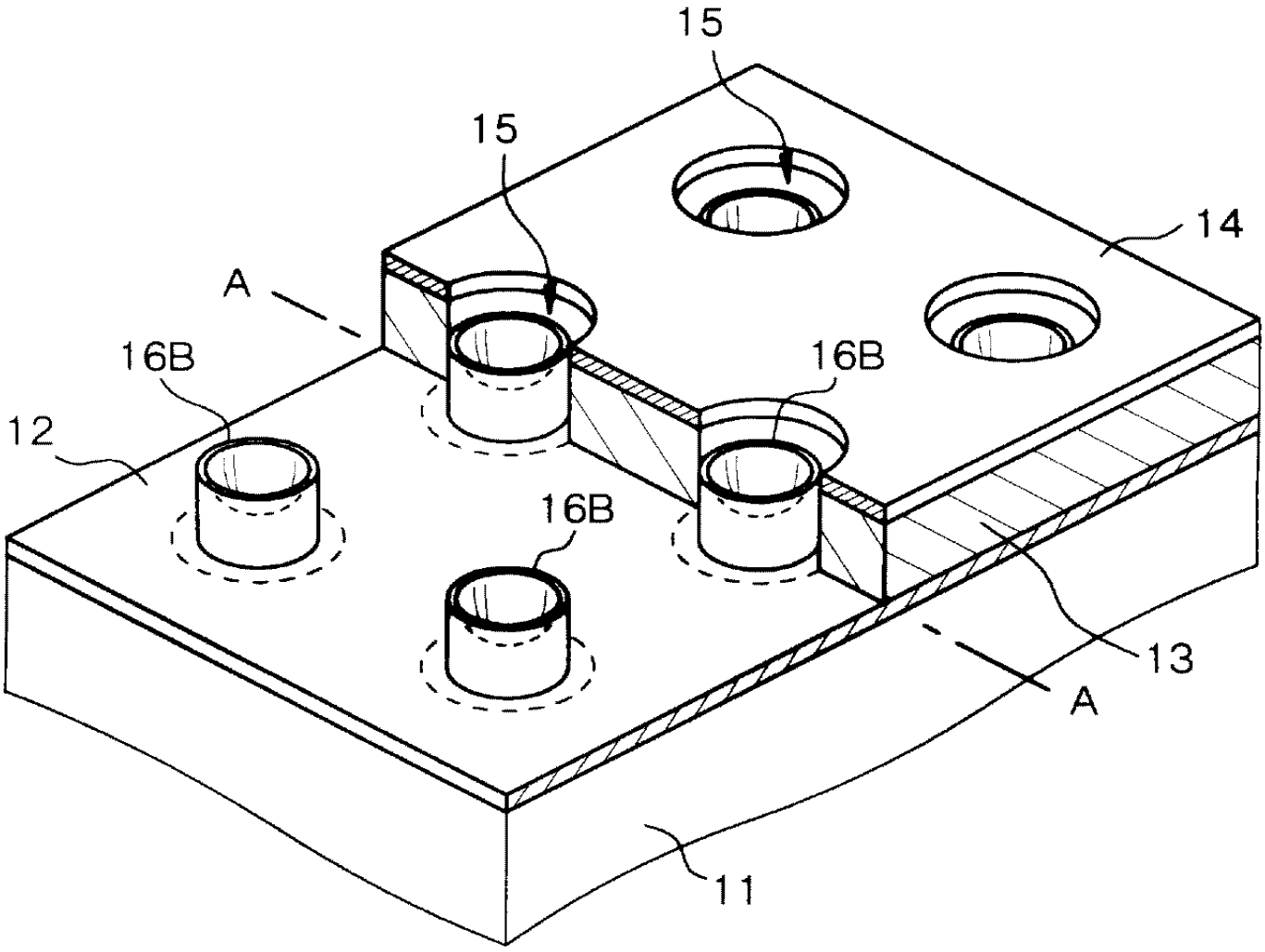
도면 41

(A)

[공정-240]



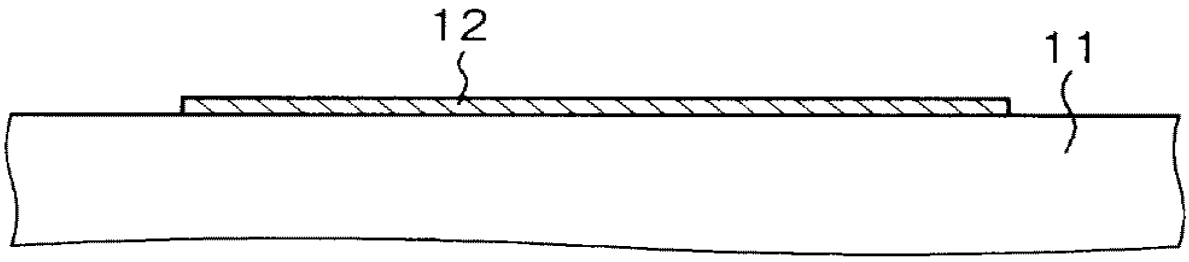
(B)



도면 42

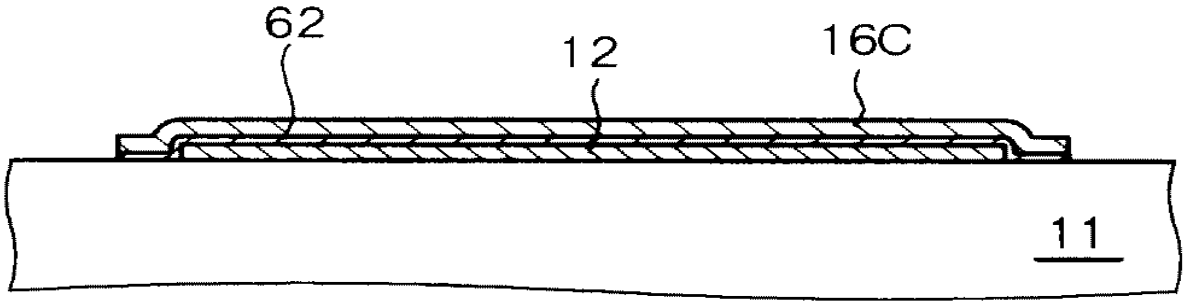
(A)

[공정-300]



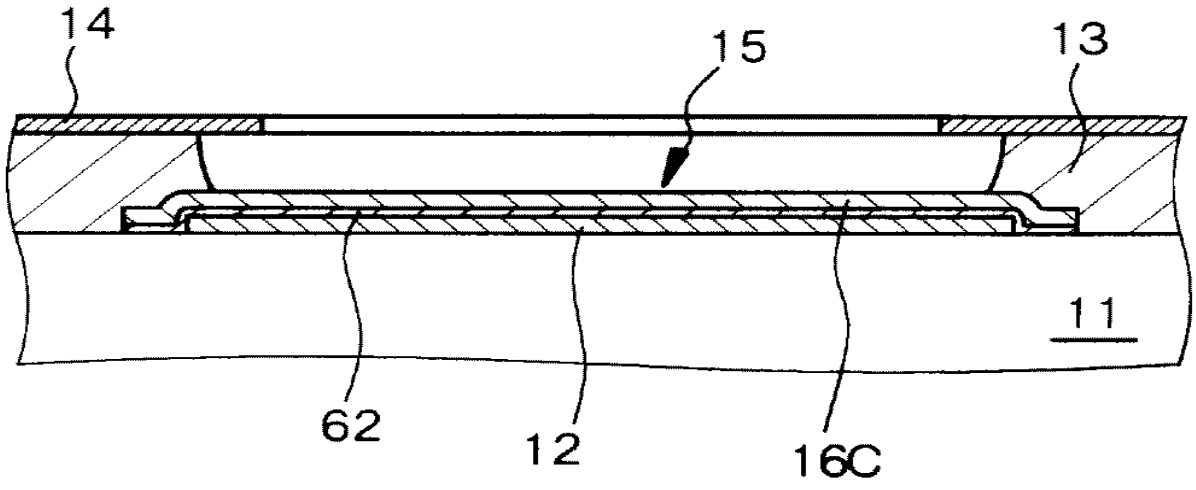
(B)

[공정-310]



(C)

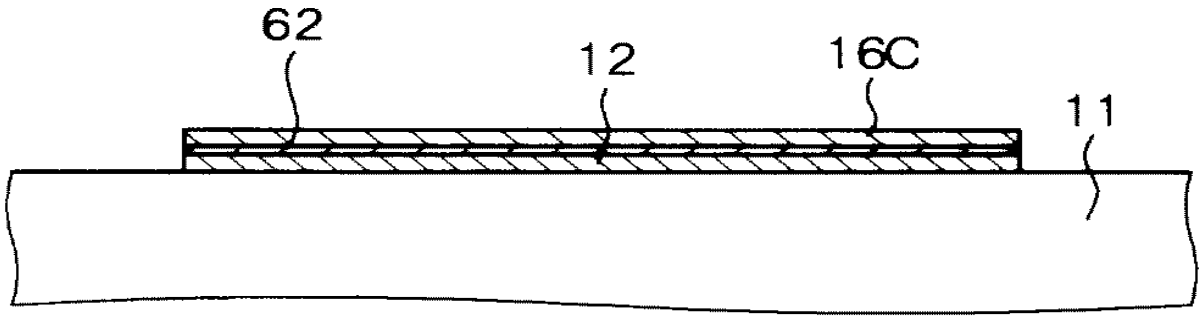
[공정-330]



도면 43

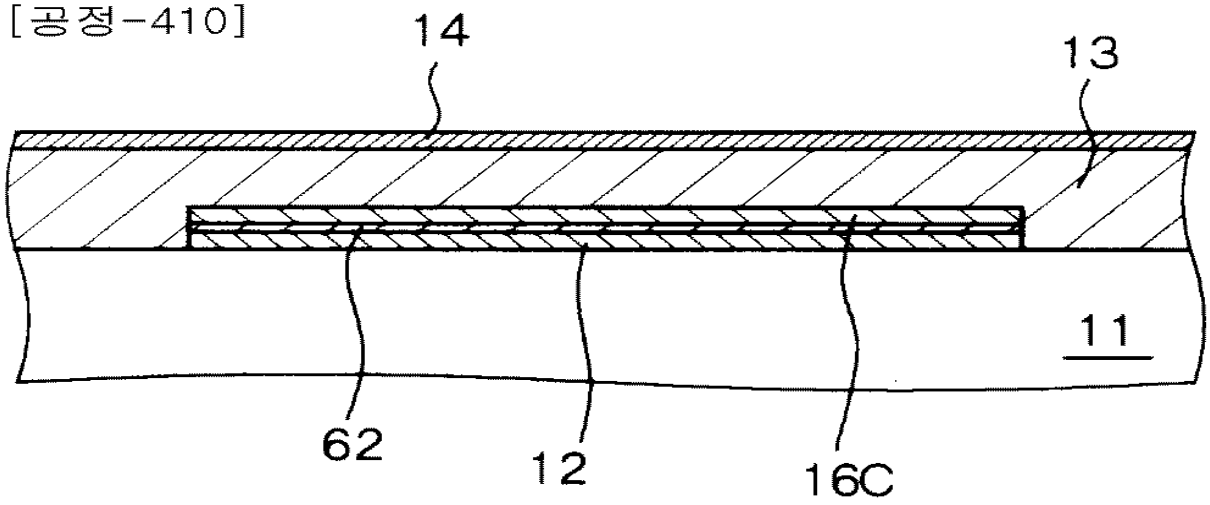
(A)

[공정-400]



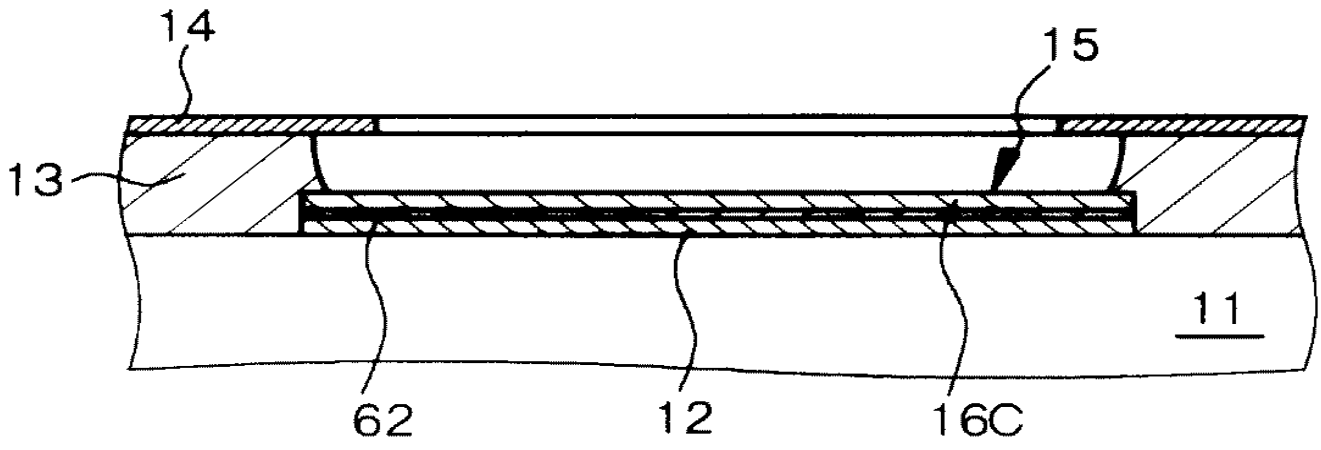
(B)

[공정-410]



(C)

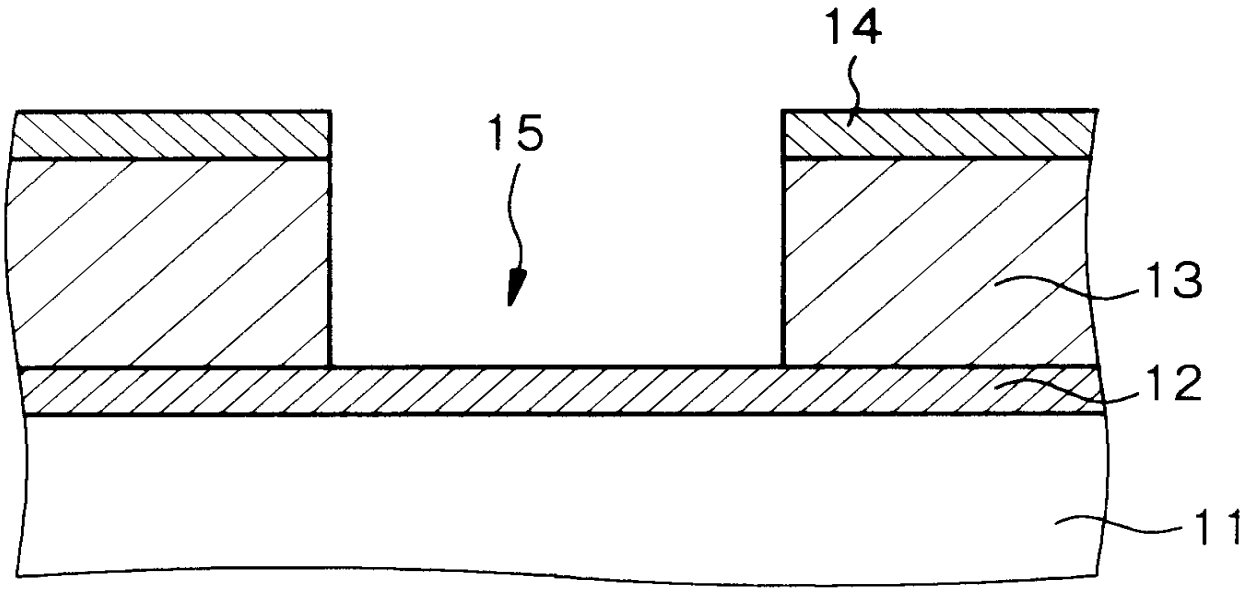
[공정-410] 계속



도면 44

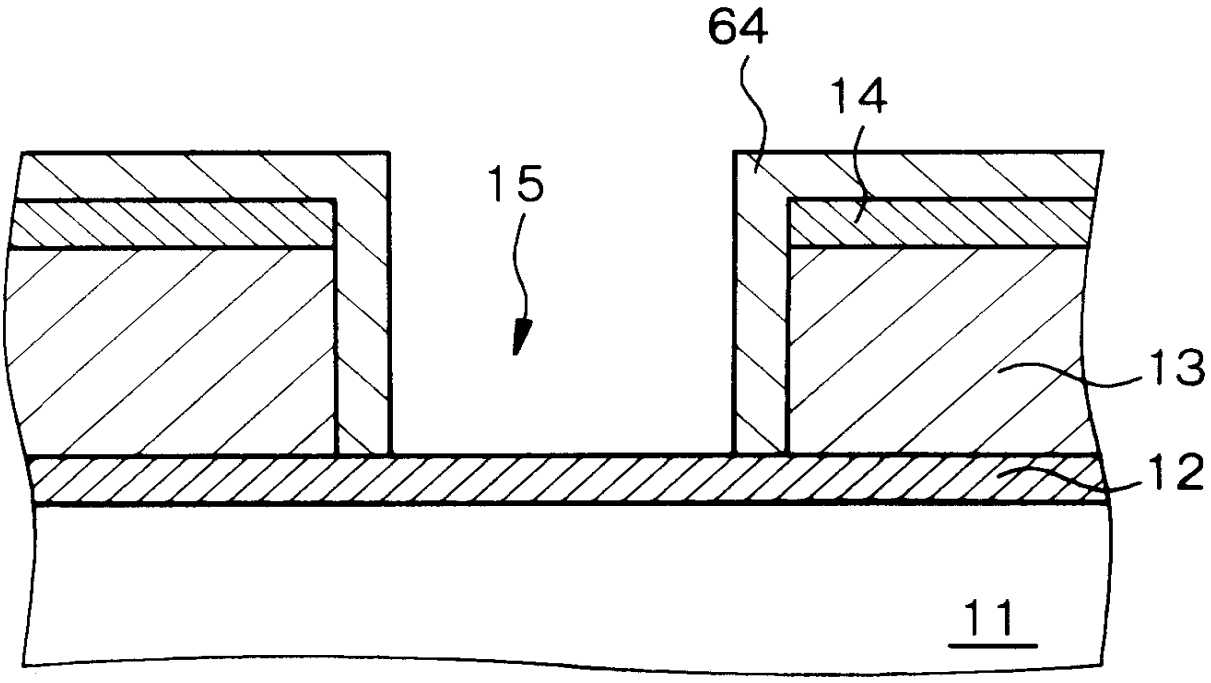
(A)

[공정-520]



(B)

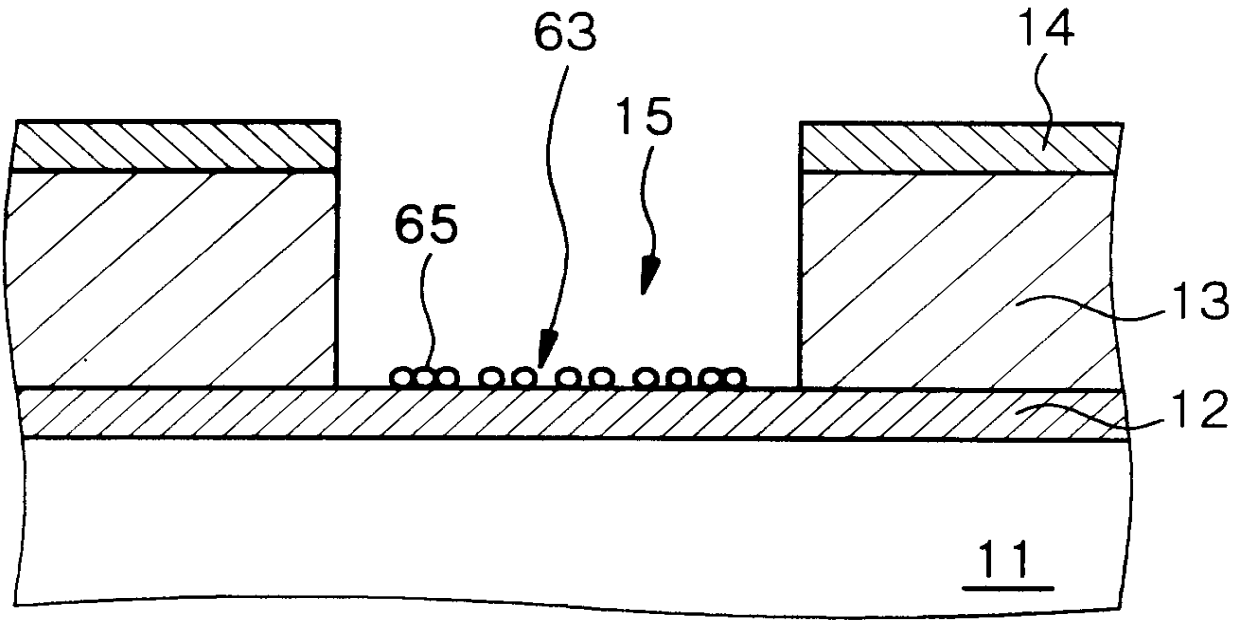
[공정-530]



도면 45

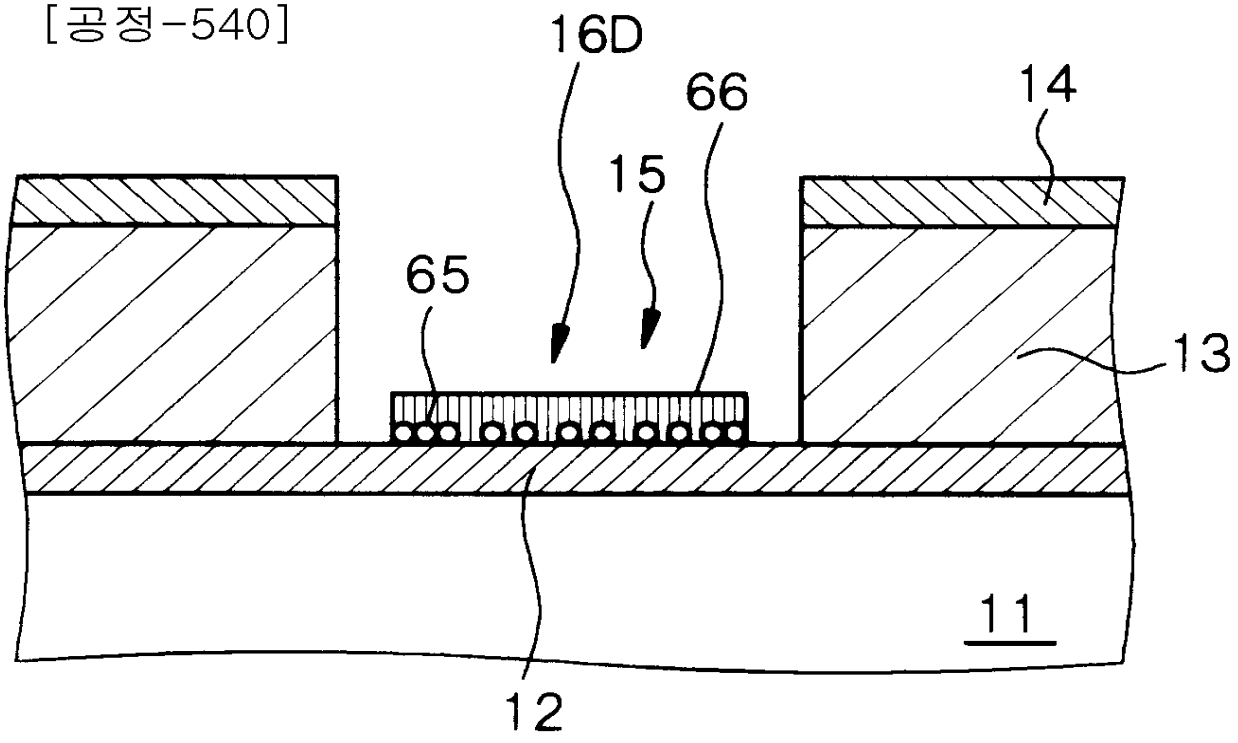
(A)

[공정-530] 계속



(B)

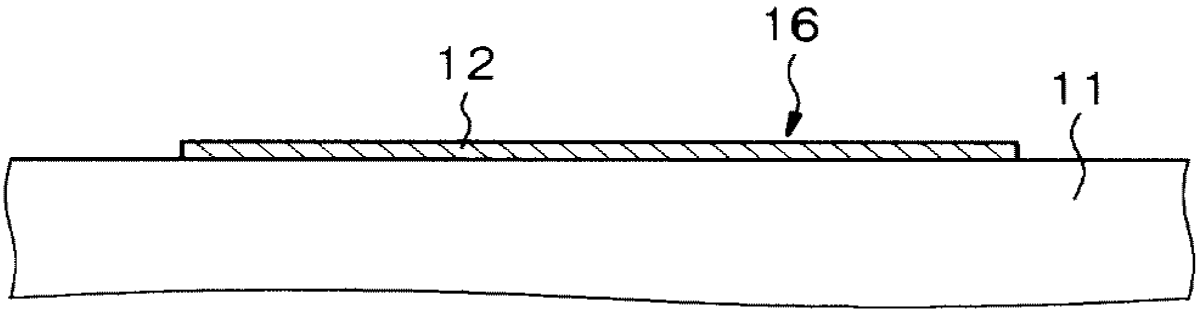
[공정-540]



도면 46

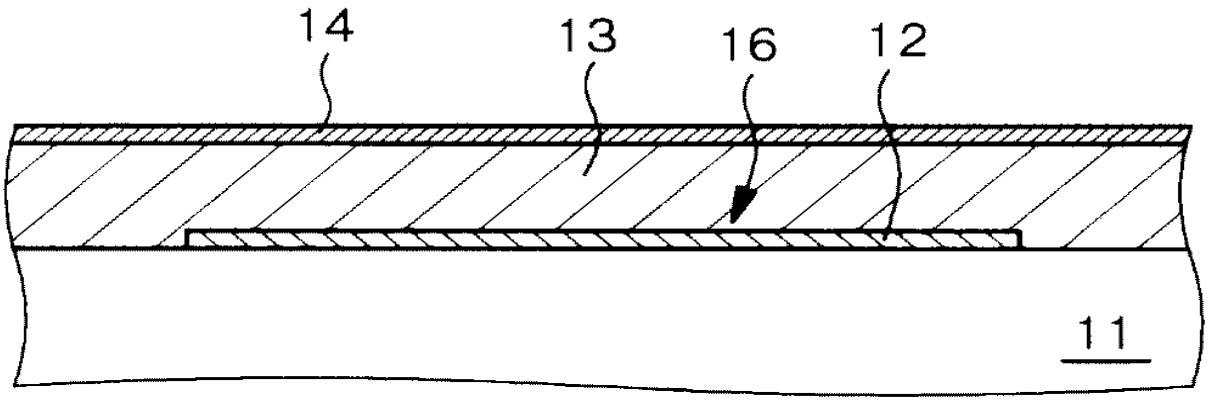
(A)

[공정-600]



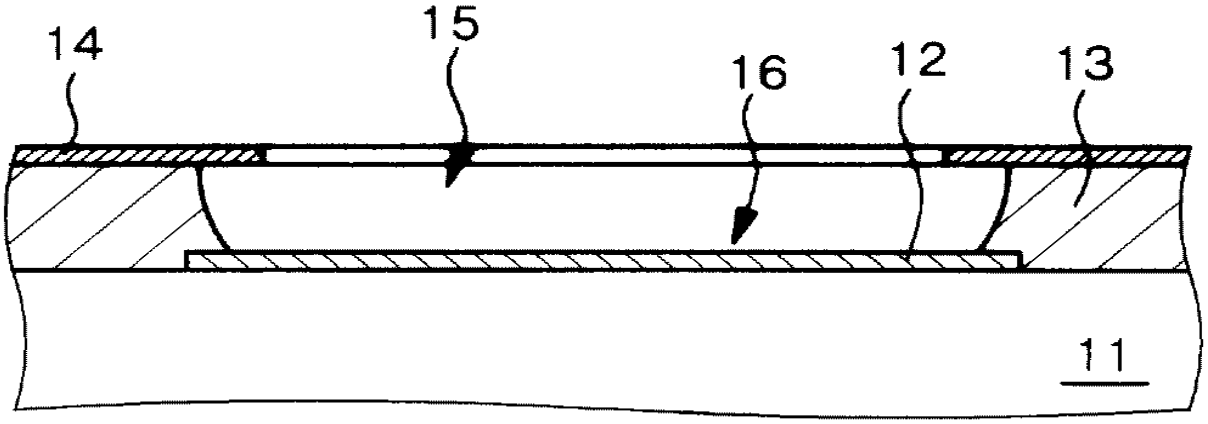
(B)

[공정-620]



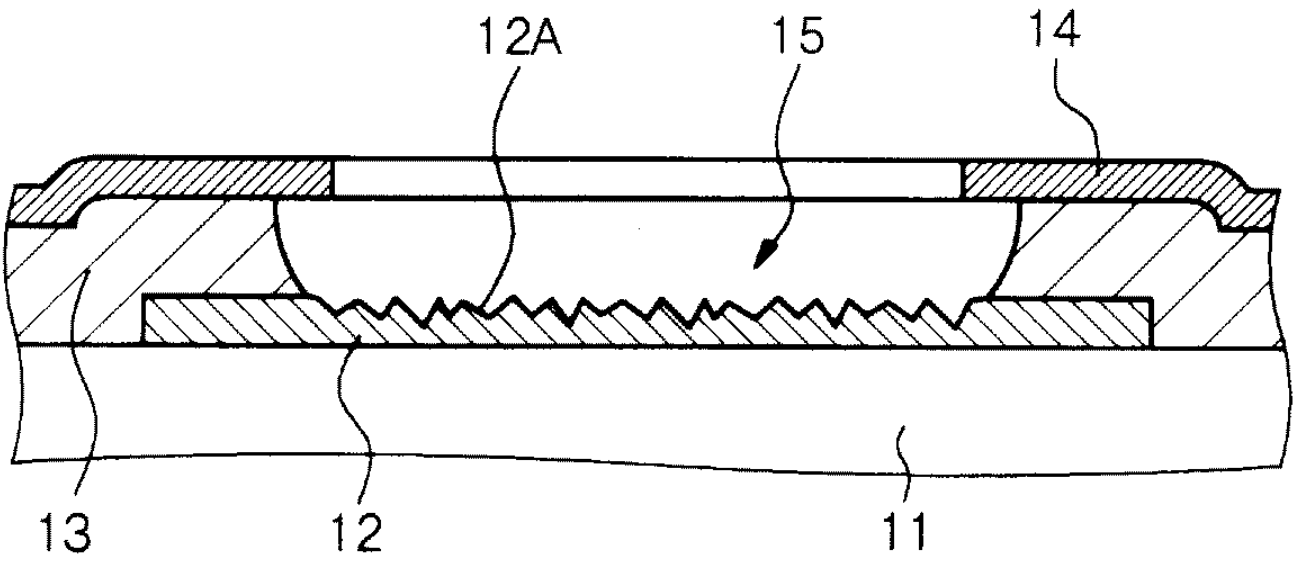
(C)

[공정-630]

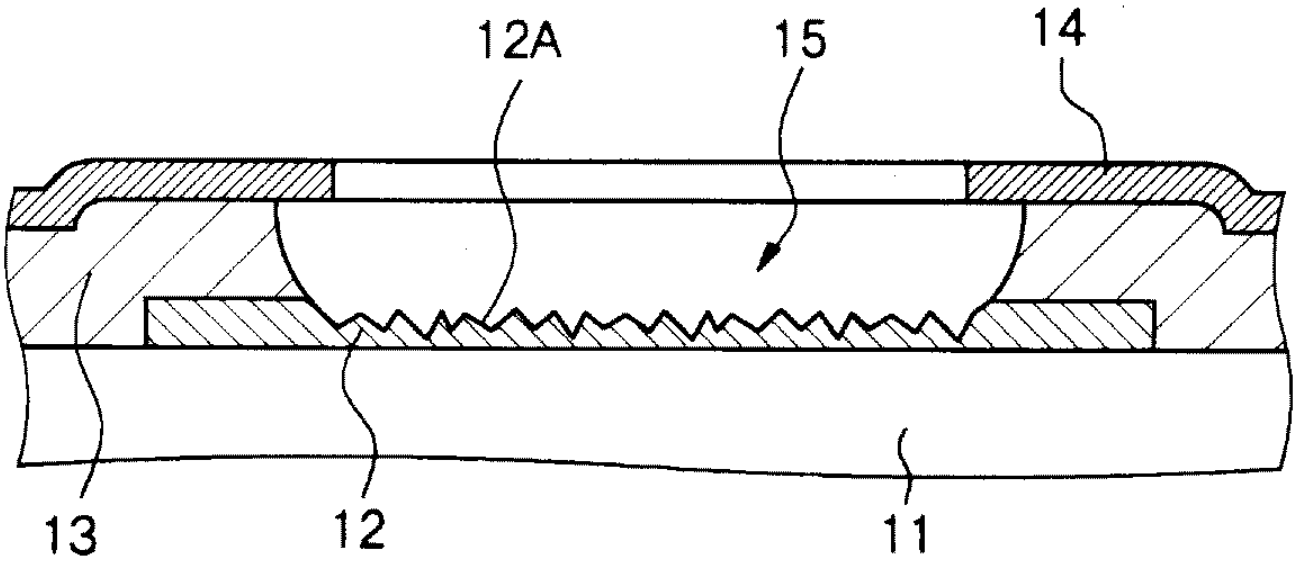


도면 47

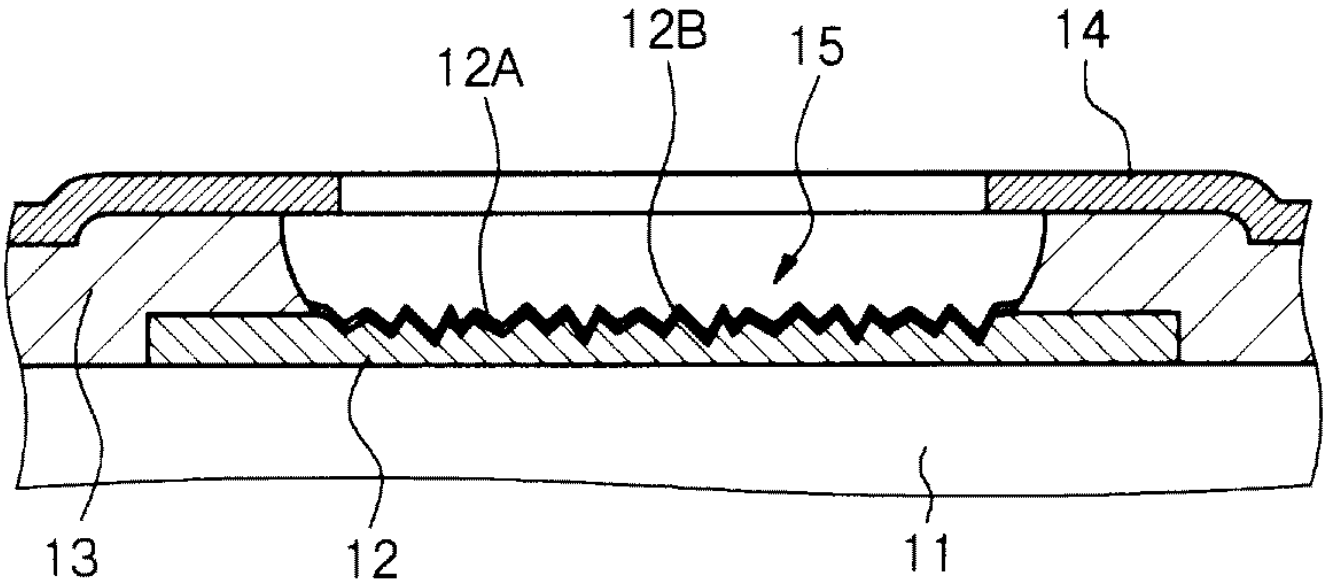
(A)



(B)



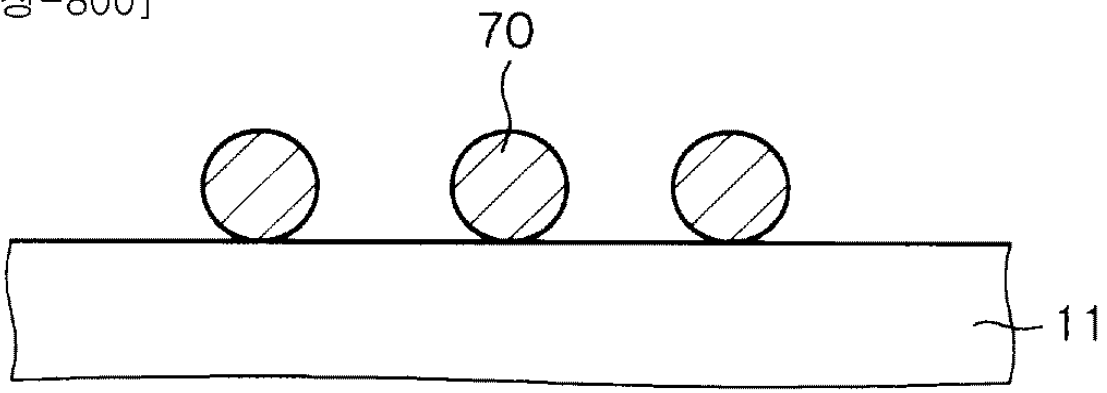
도면 48



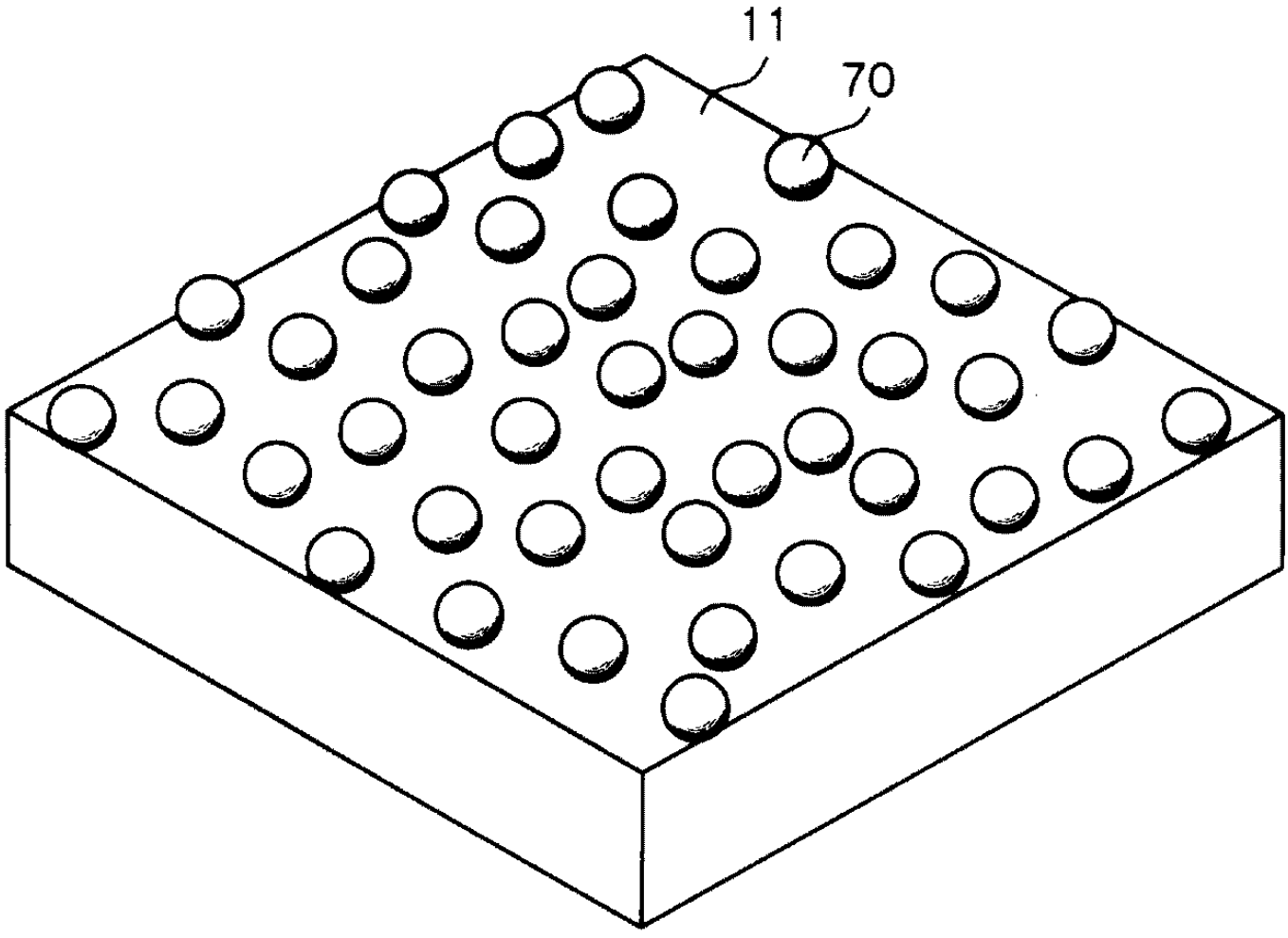
도면 49

(A)

[공정-800]



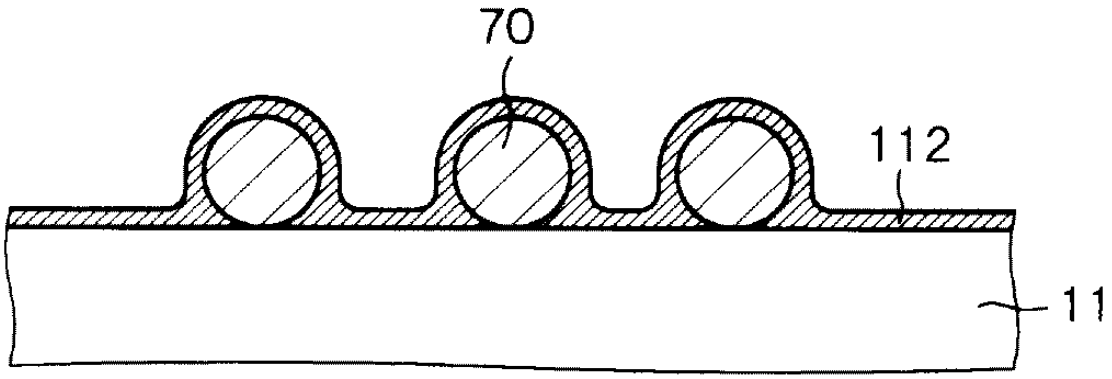
(B)



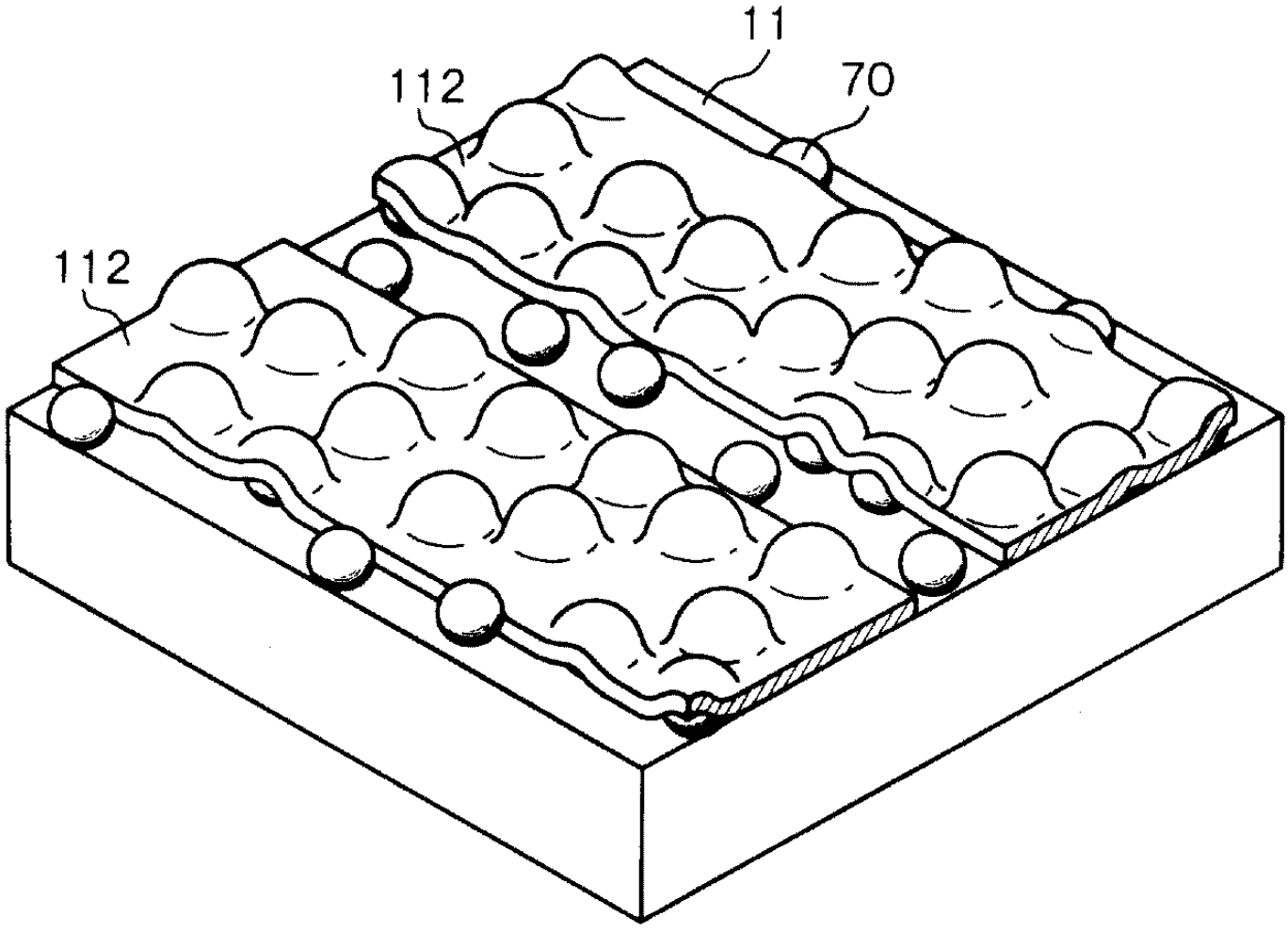
도면 50

(A)

[공정-810]

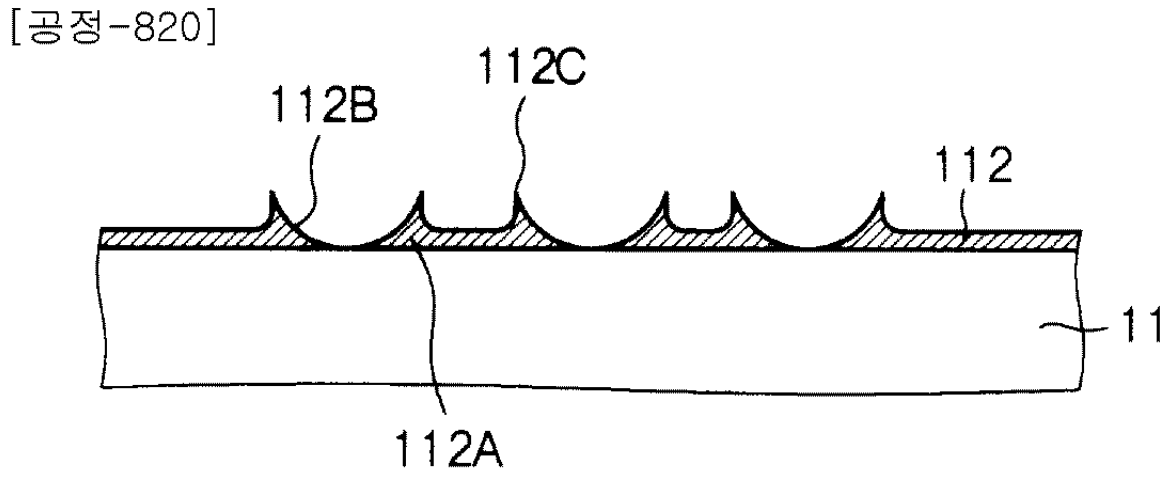


(B)

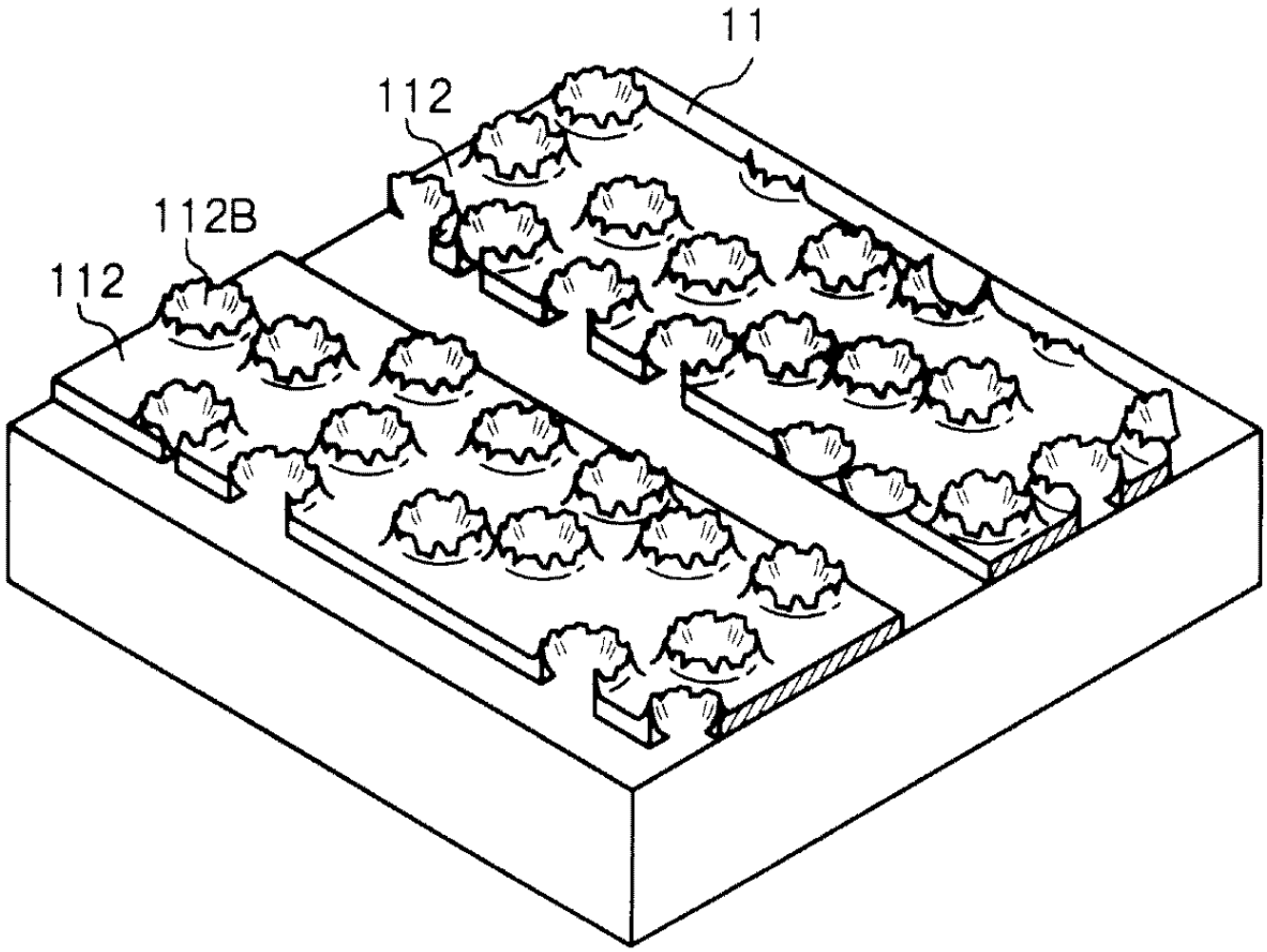


도면 51

(A)



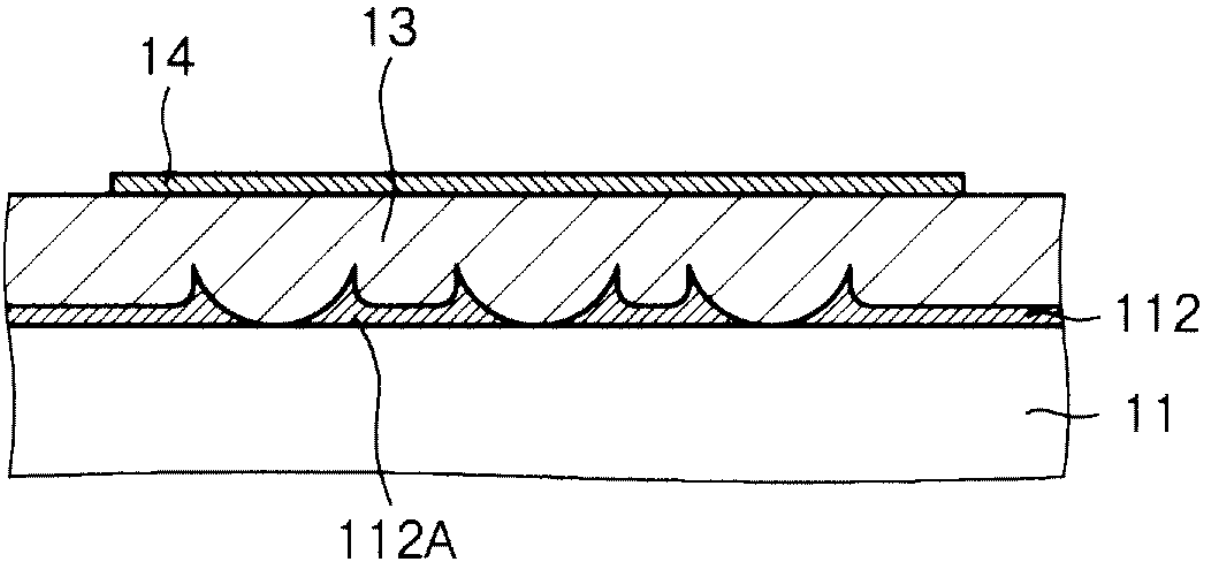
(B)



도면 52

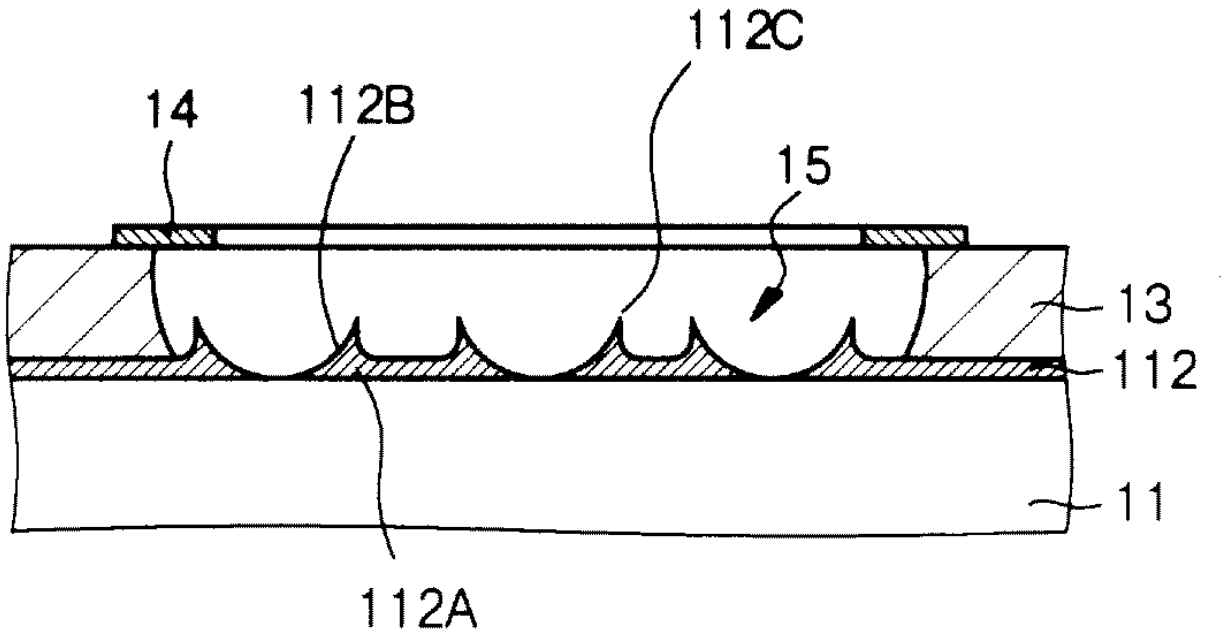
(A)

[공정-840]



(B)

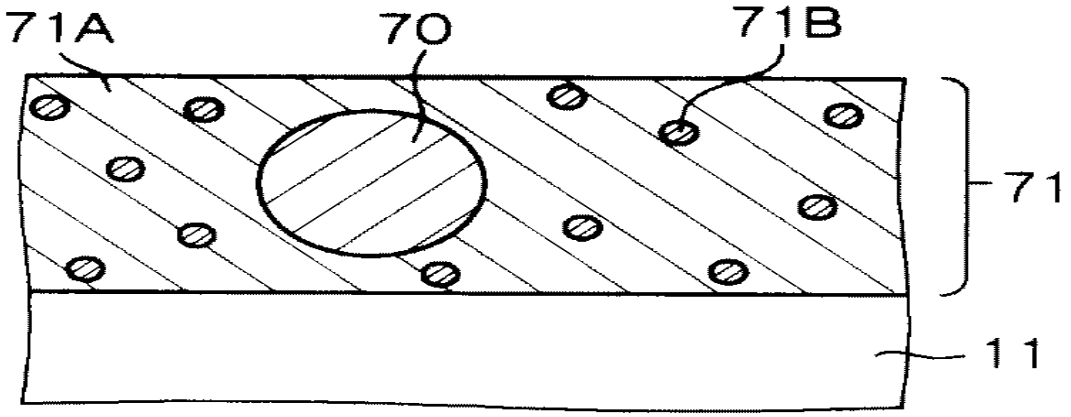
[공정-850]



도면 53

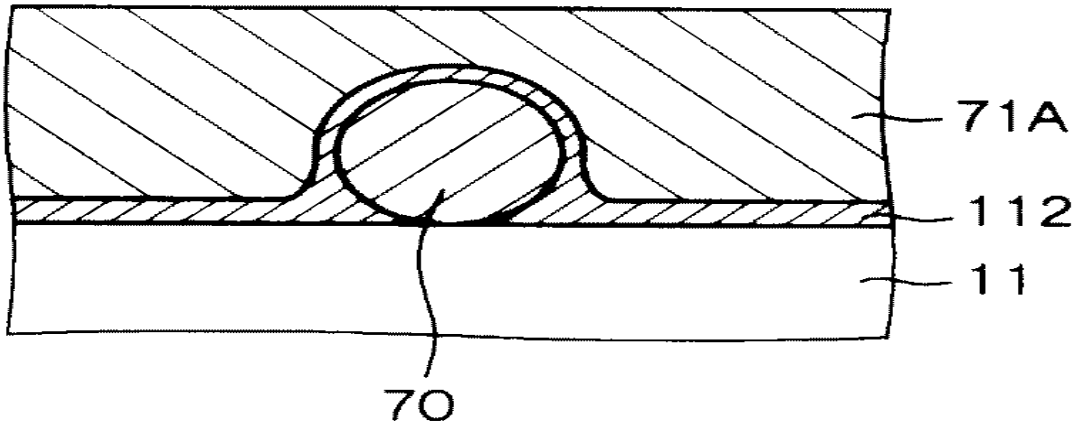
(A)

[공정-900]



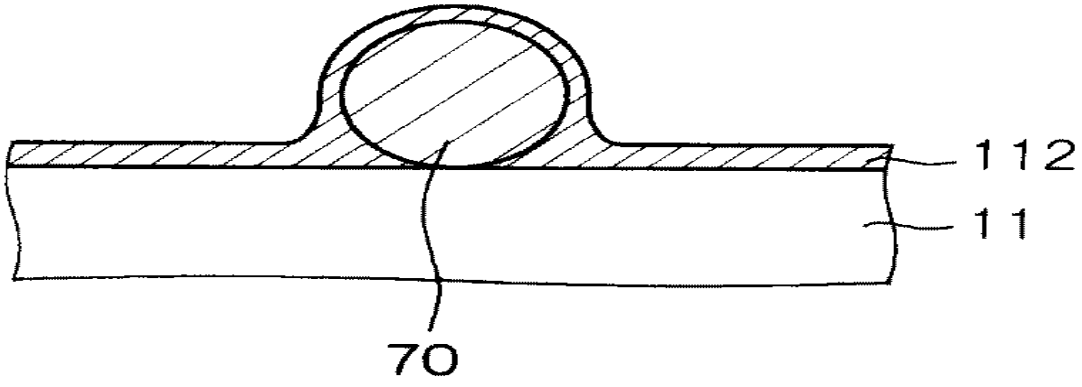
(B)

[공정-910]



(C)

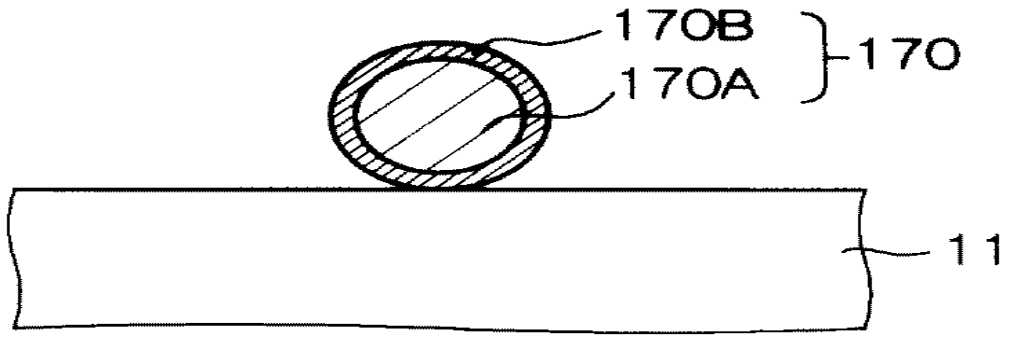
[공정-920]



도면 54

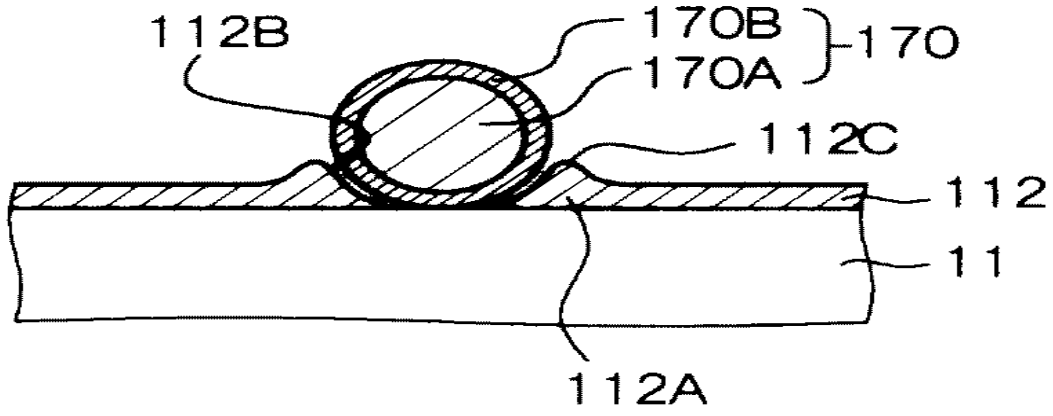
(A)

[공정-1000]



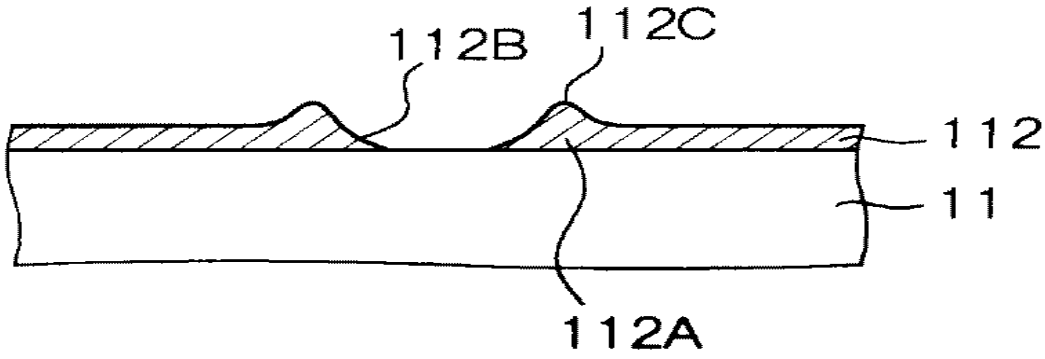
(B)

[공정-1010]



(C)

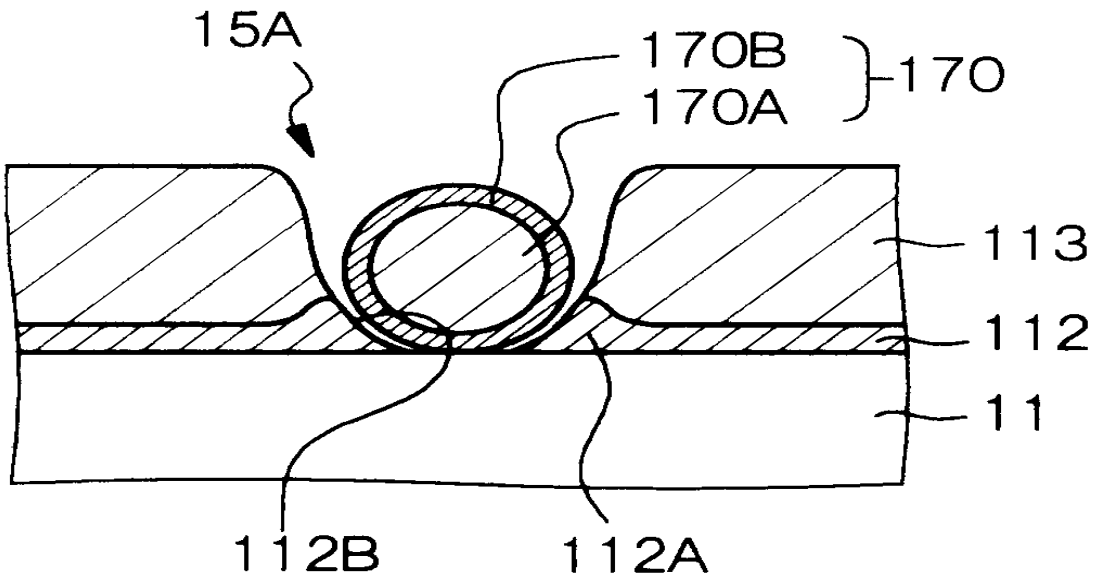
[공정-1020]



도면 55

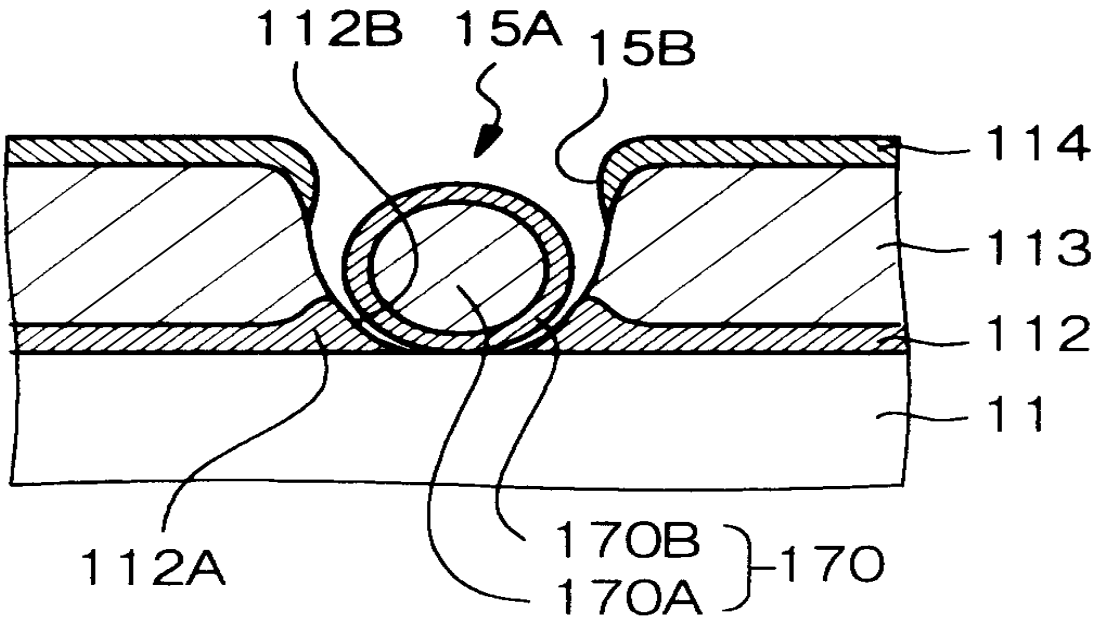
(A)

[공정-1120]



(B)

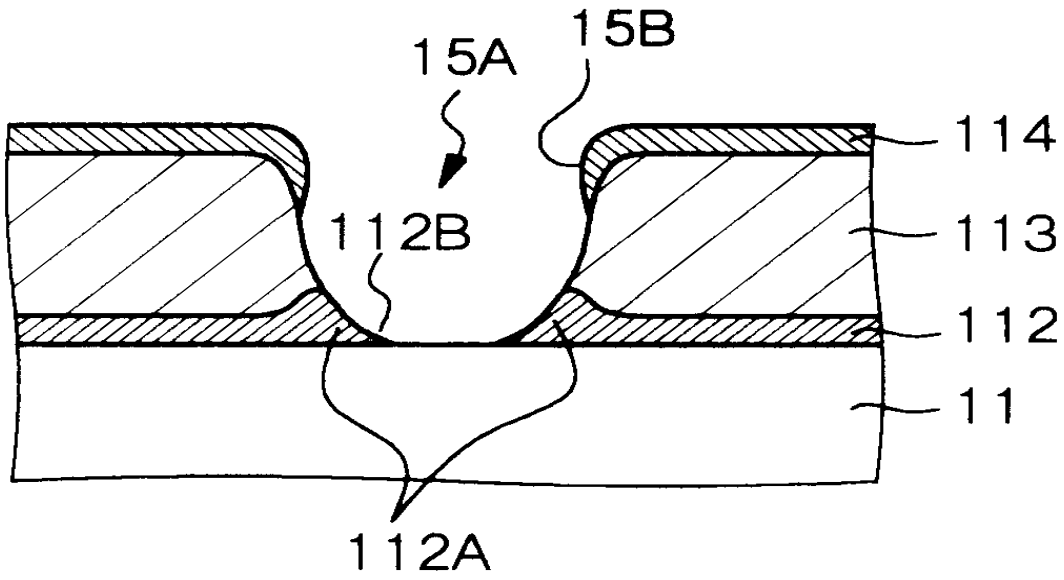
[공정-1130]



도면 56

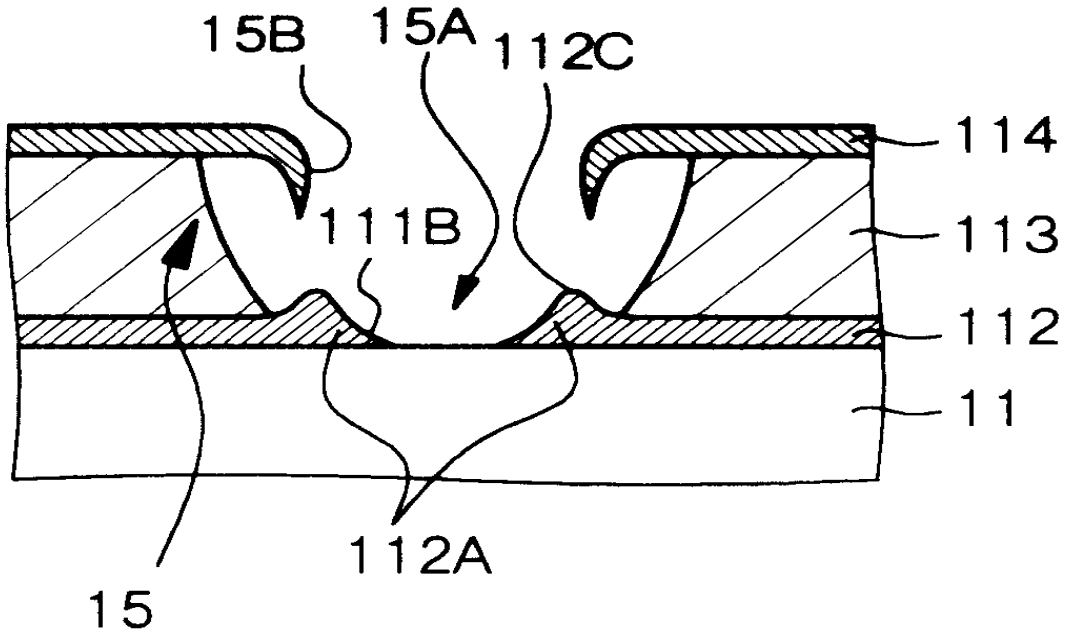
(A)

[공정-1140]



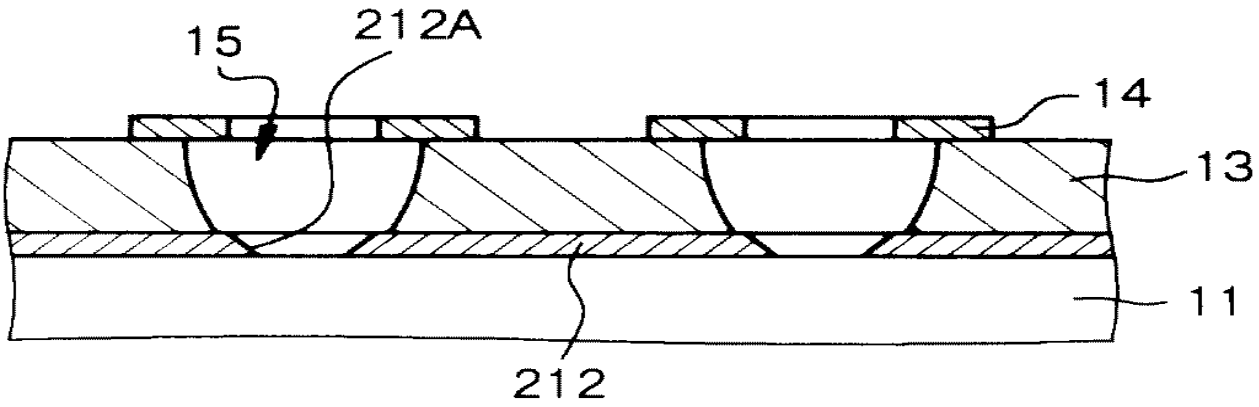
(B)

[공정-1150]

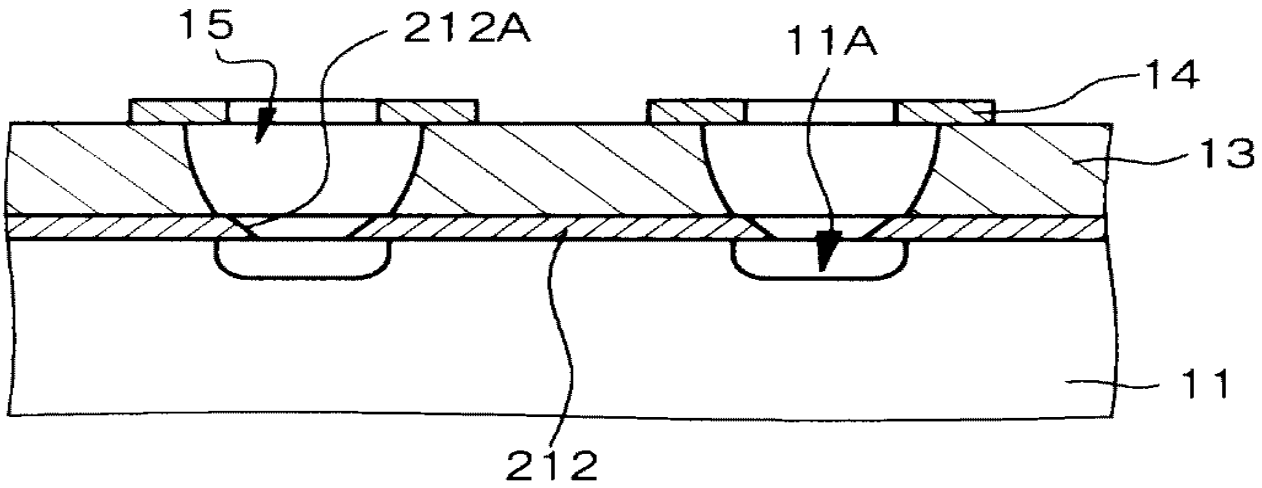


도면 57

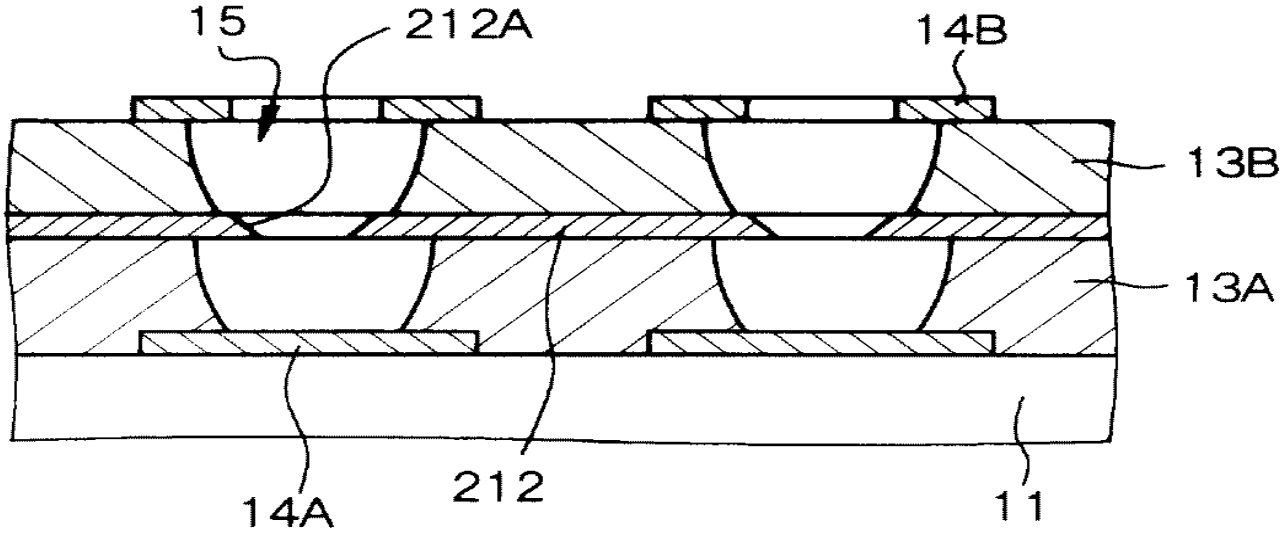
(A)


15
212A
14
13
11
212

(B)


15
212A
11A
14
13
11
212

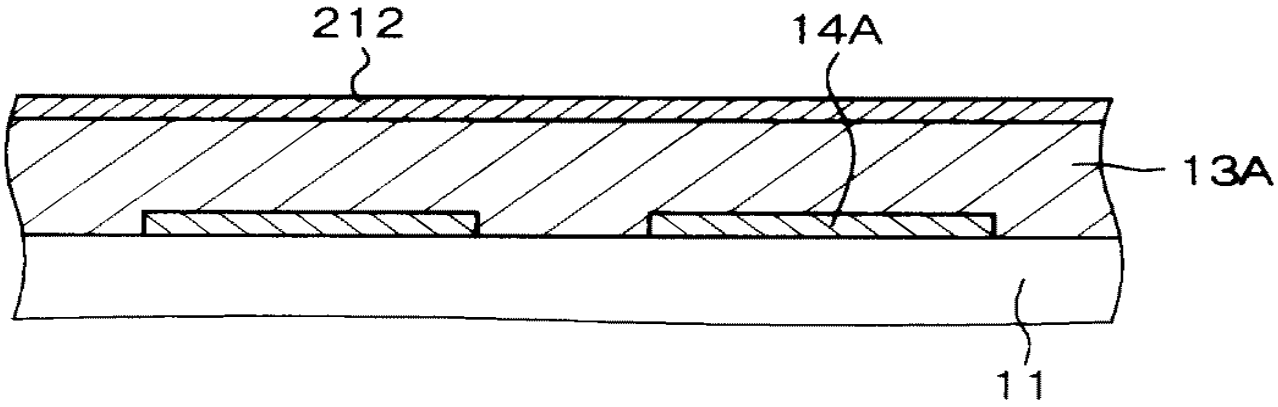
(C)


15
212A
14B
13B
13A
14A
212
11

도면 58

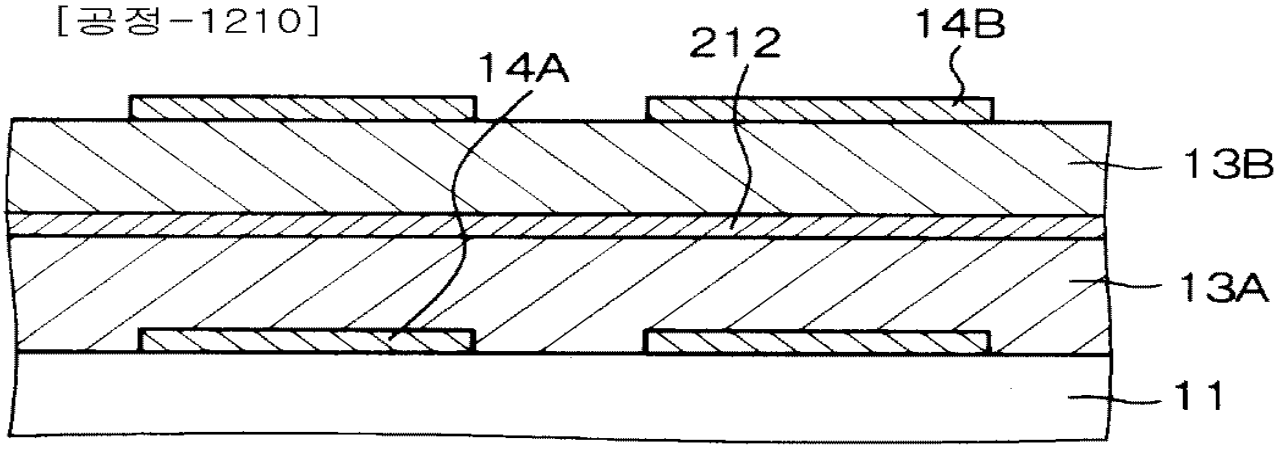
(A)

[공정-1200]



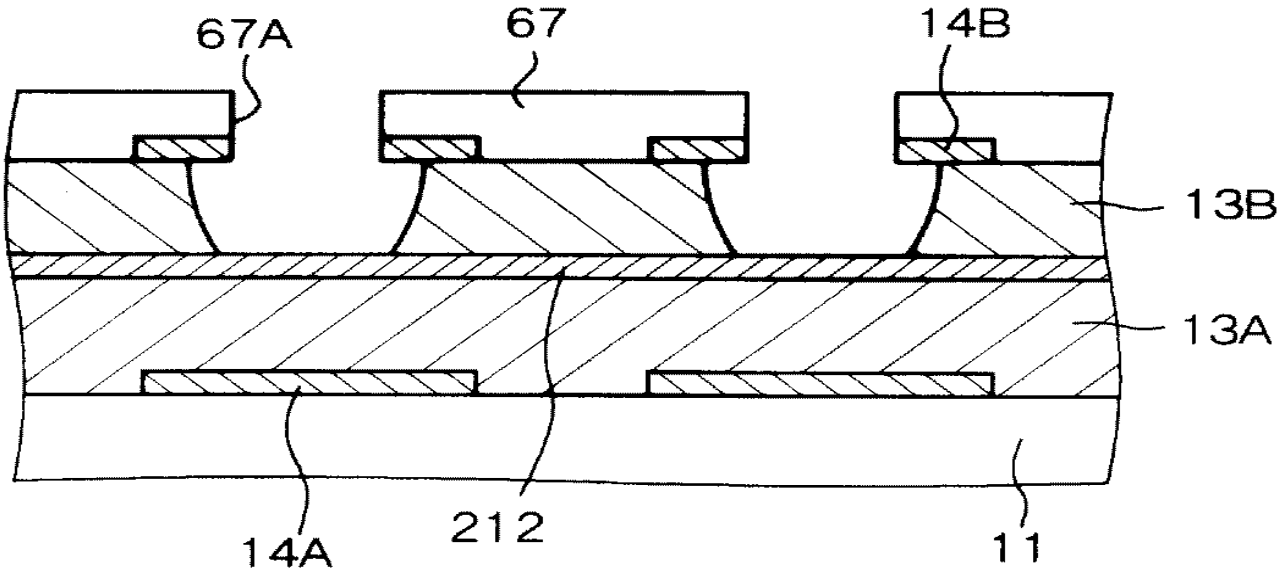
(B)

[공정-1210]



(C)

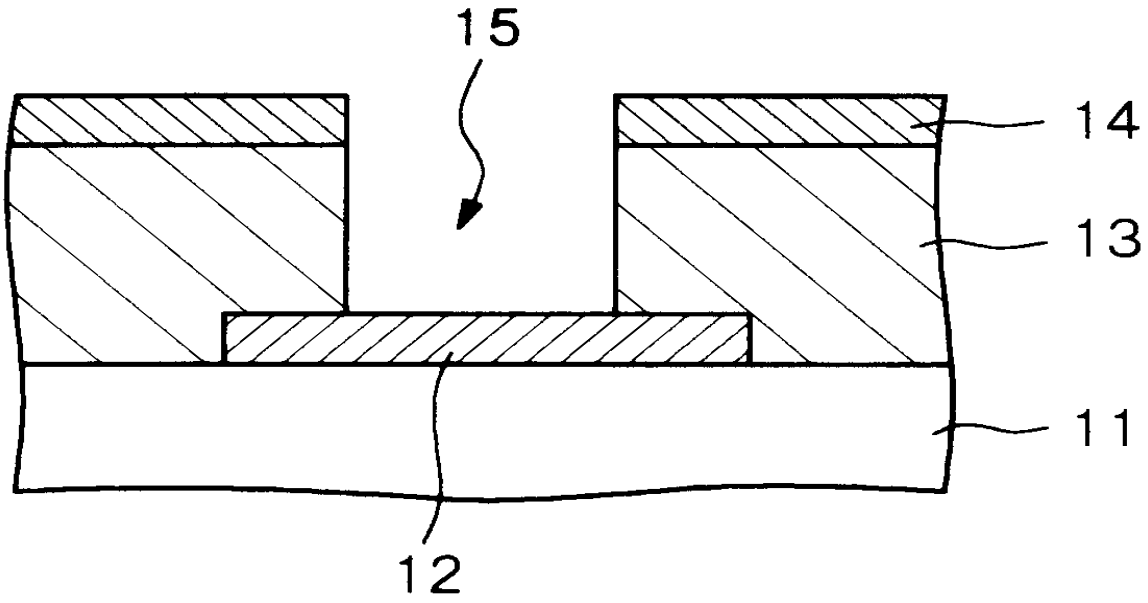
[공정-1220]



도면 59

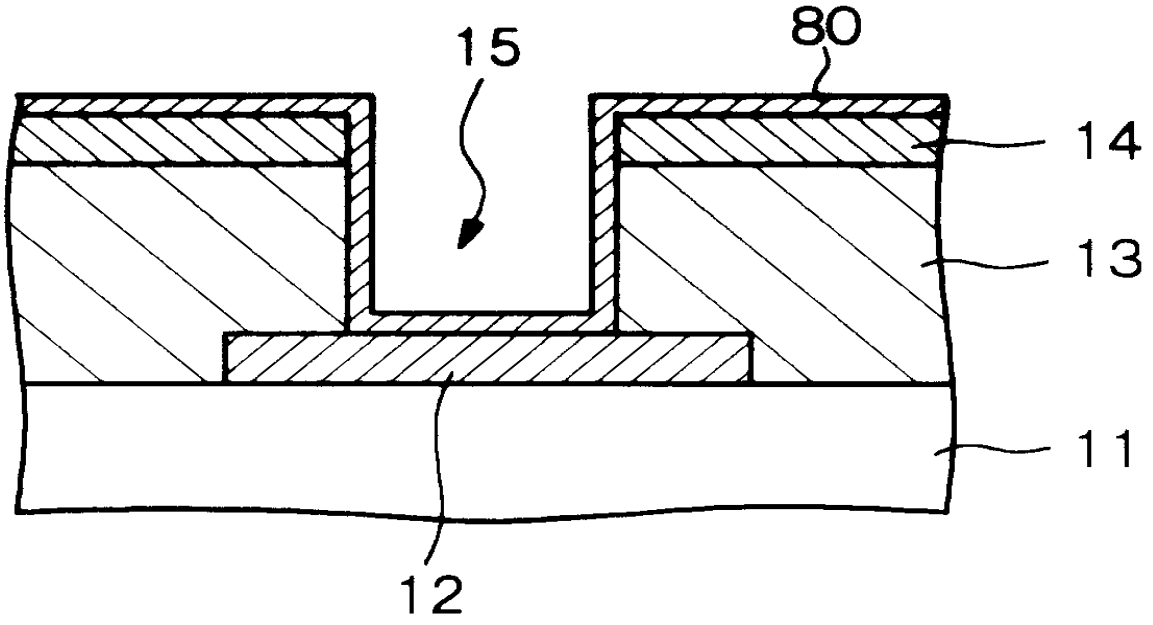
(A)

[공정-1300]



(B)

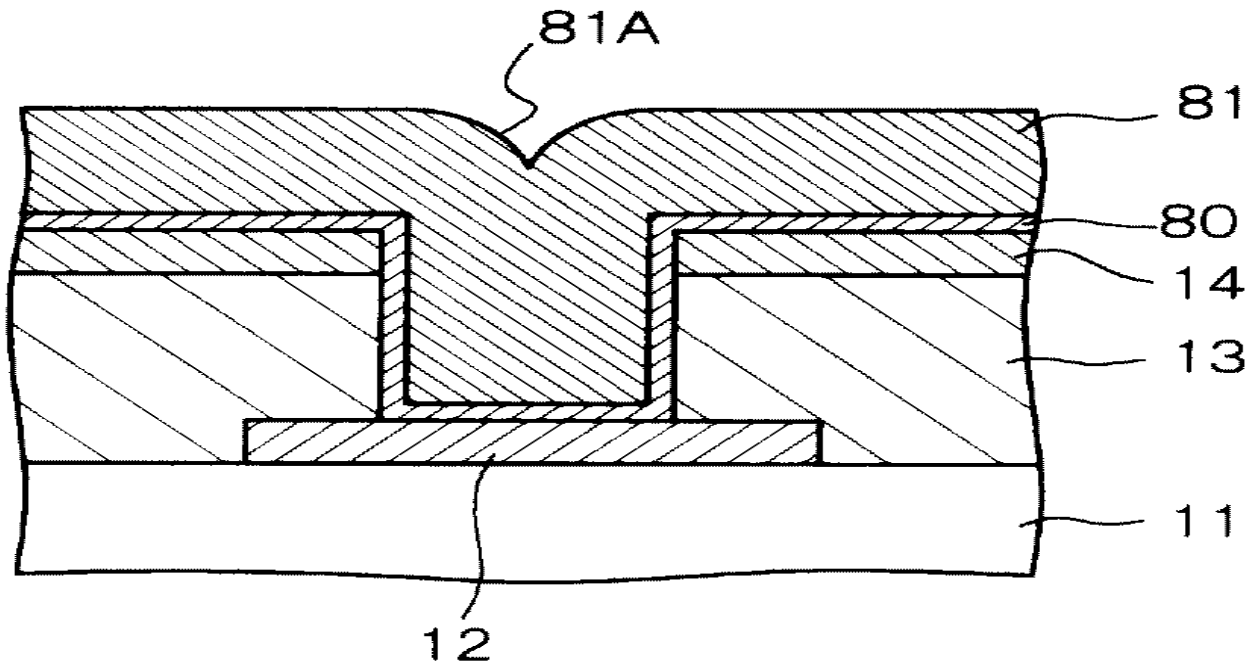
[공정-1310]



도면 60

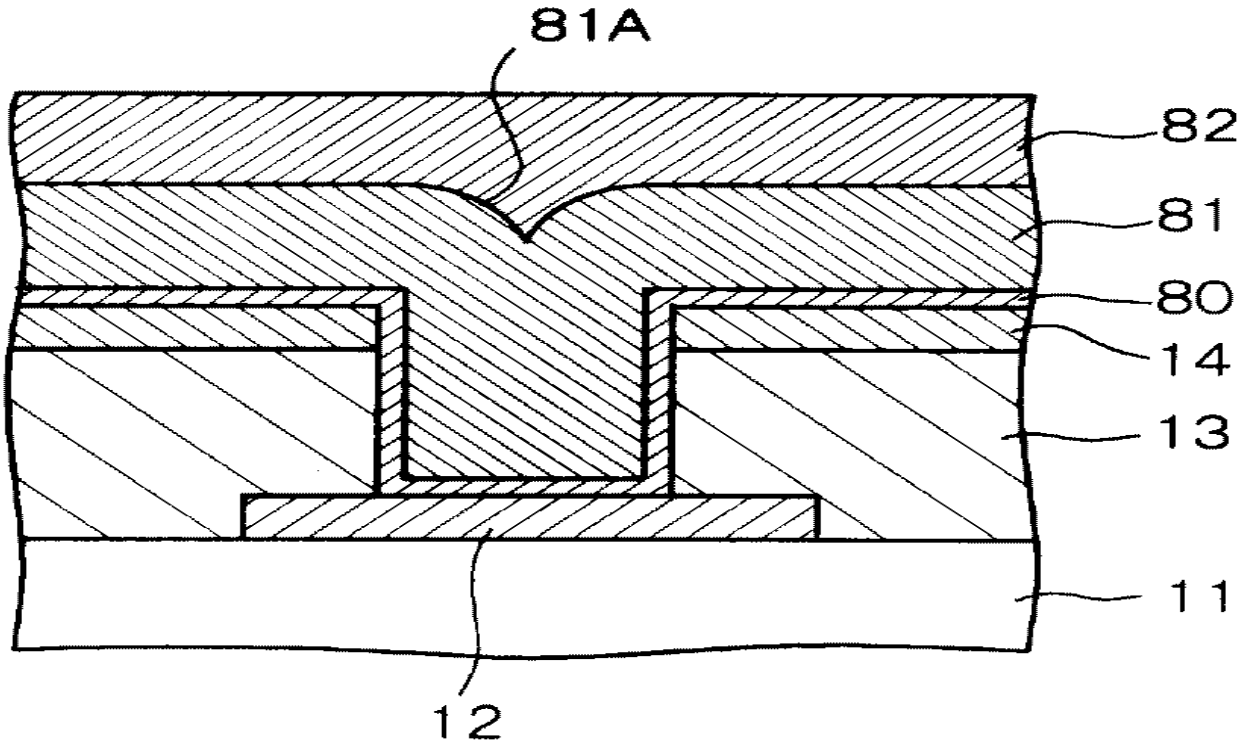
(A)

[공정-1320]



(B)

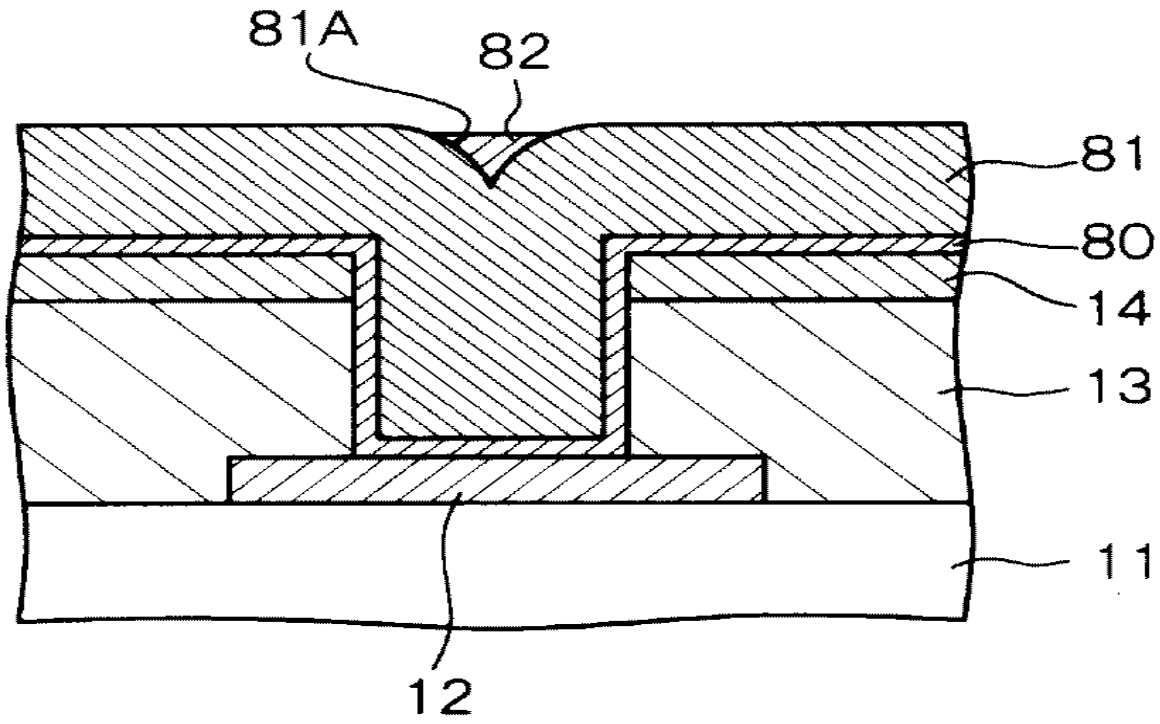
[공정-1330]



도면 61

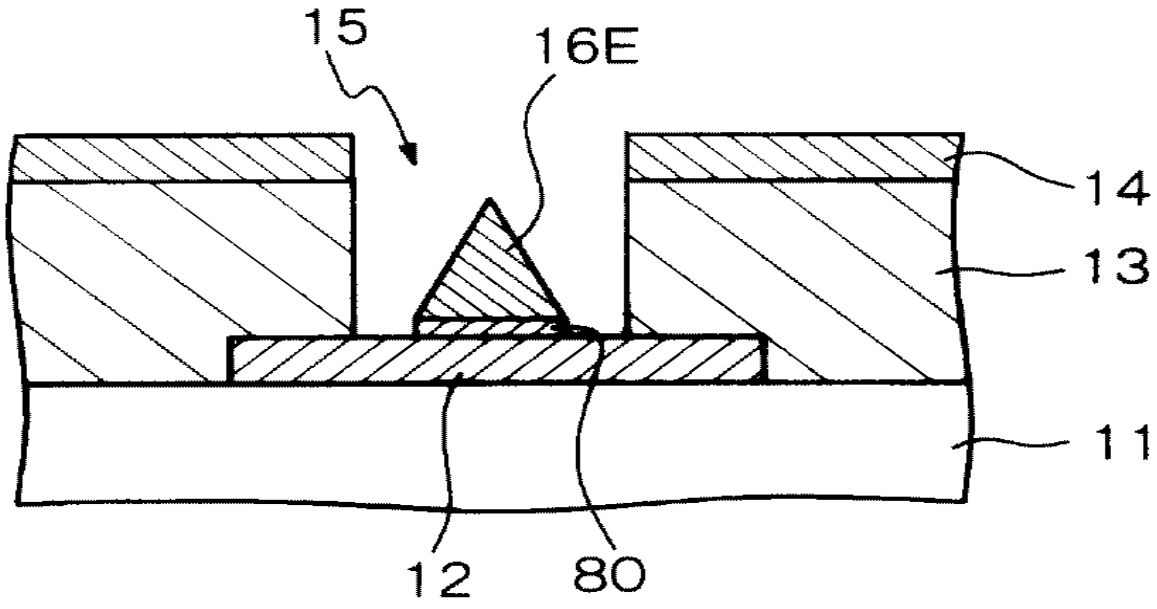
(A)

[공정-1330] 계속

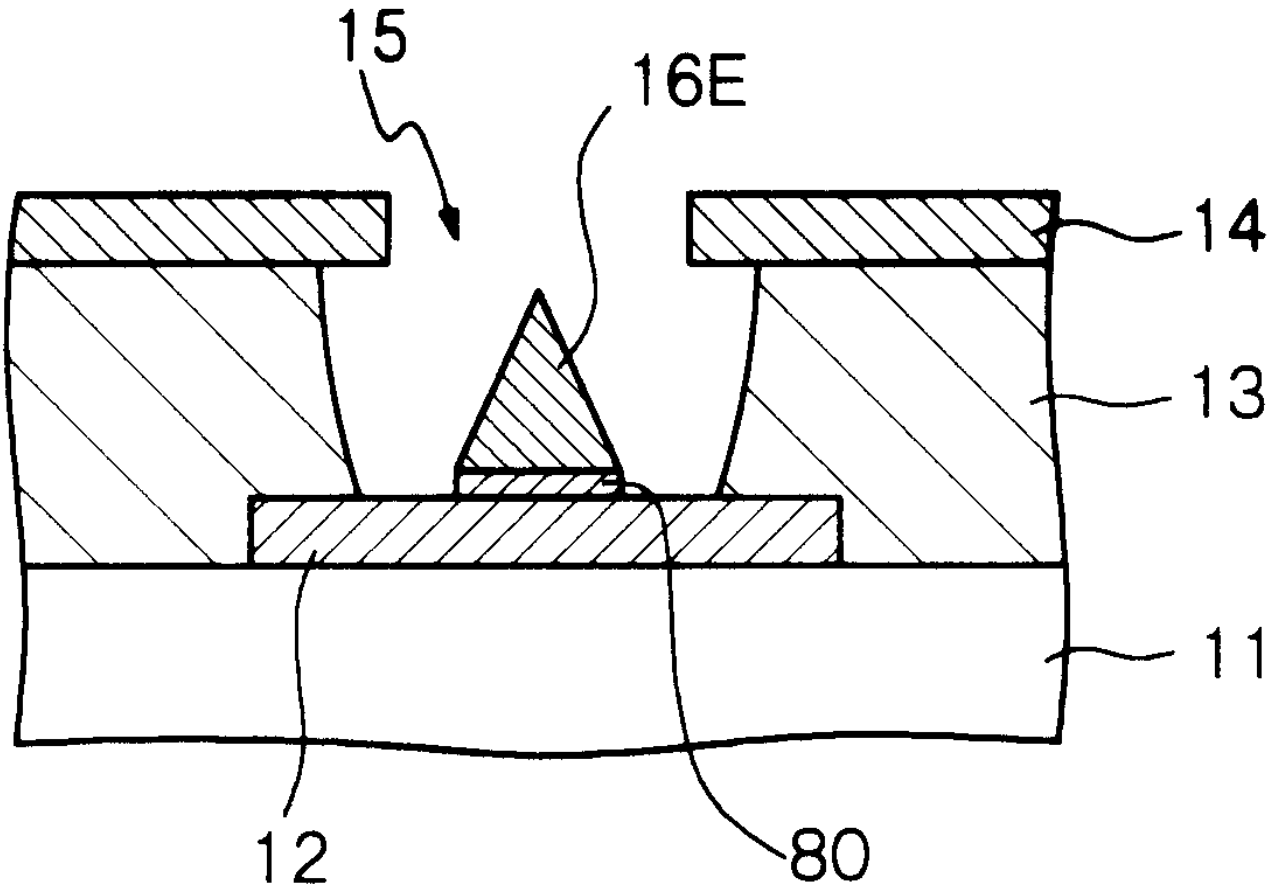


(B)

[공정-1340]

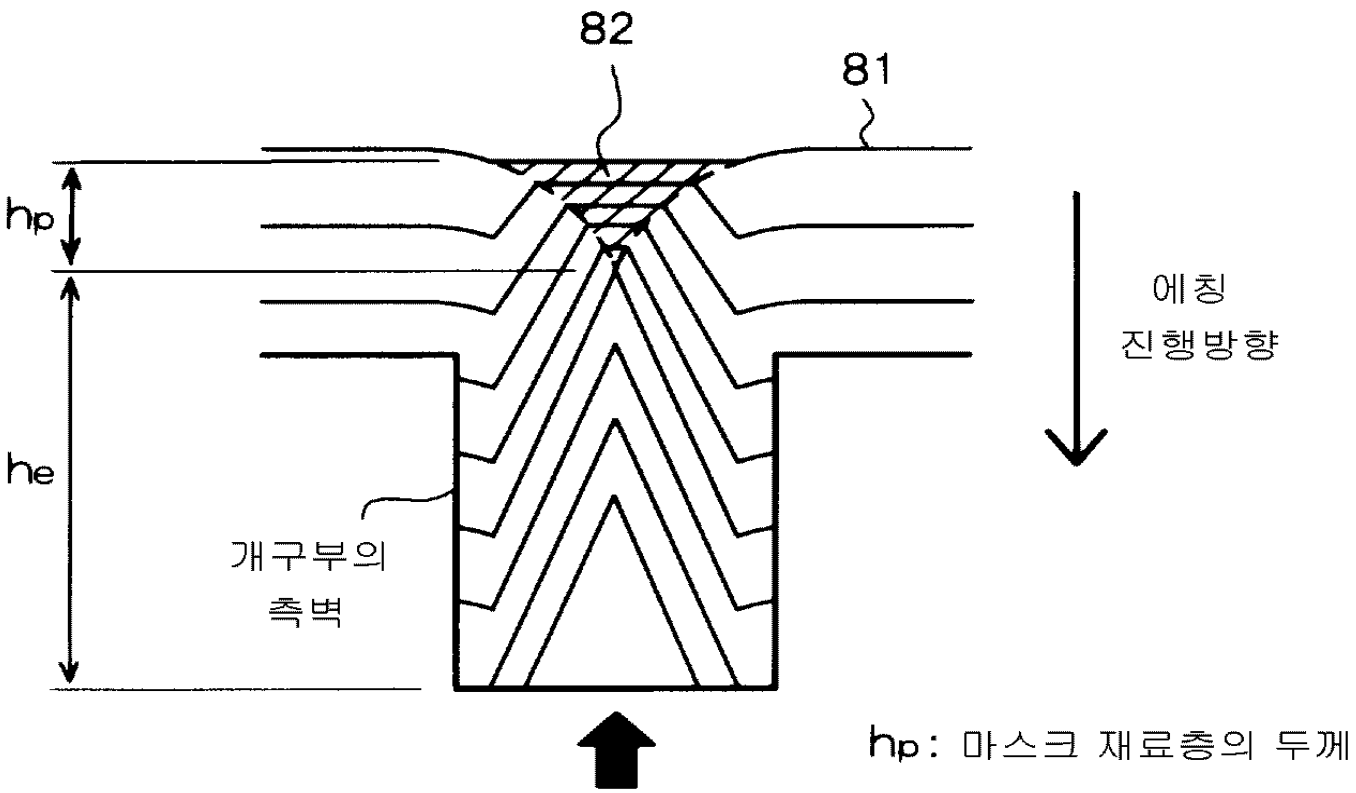


도면 62

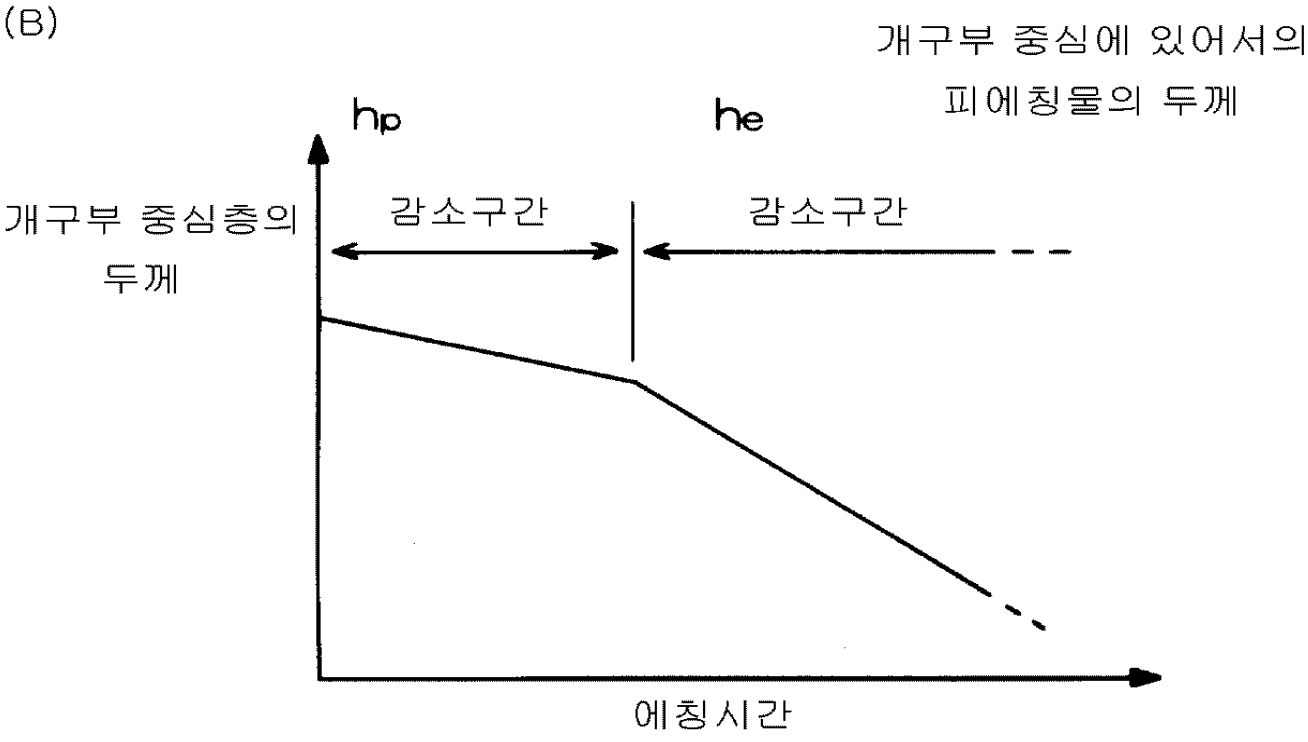


도면 63

(A)


82
81
hp
he
에칭
진행방향
개구부의
측벽
개구부의 중심
hp : 마스크 재료층의 두께
he : 전자방출부의 높이

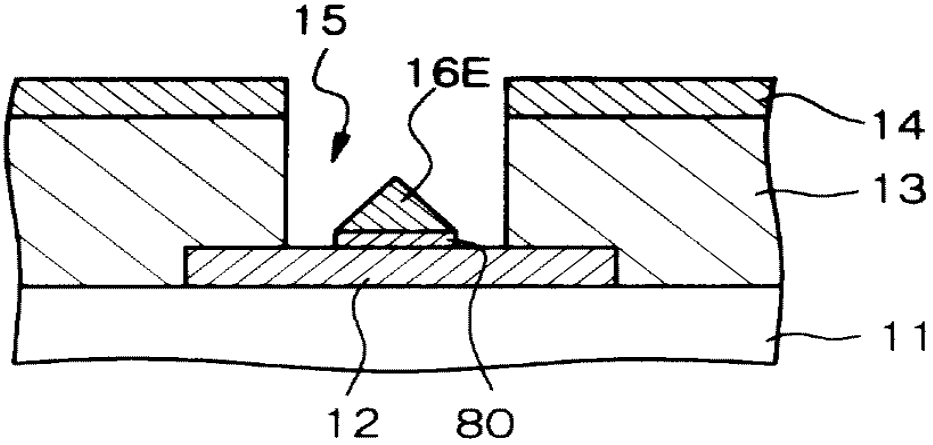
(B)


개구부 중심에 있어서의
피에칭물의 두께
hp
he
개구부 중심층의
두께
감소구간
감소구간
에칭시간

도면 64

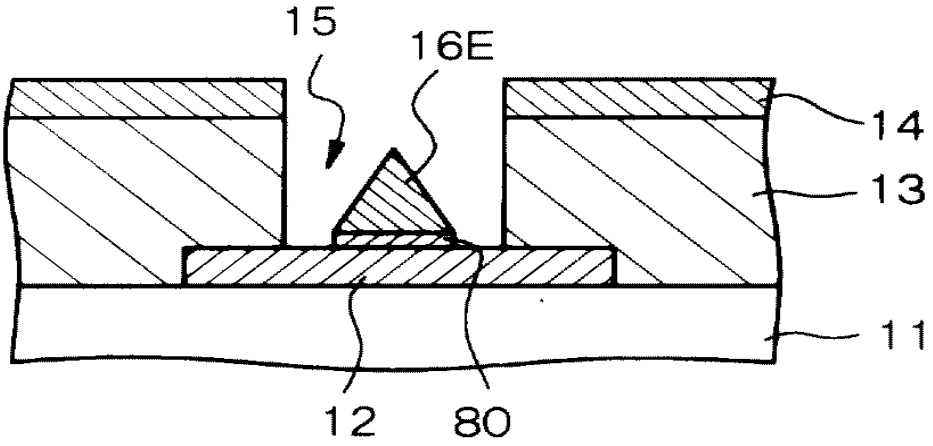
(A)

대레지스트 선택비 = 소



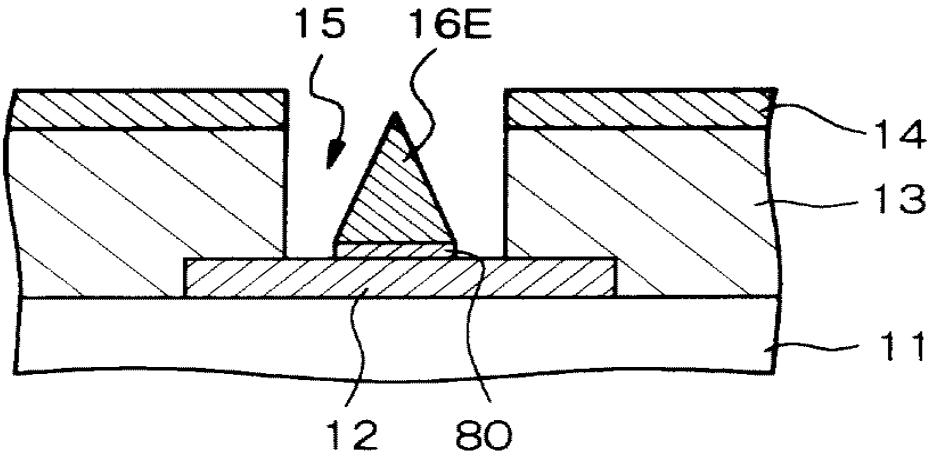
(B)

대레지스트 선택비 = 중



(C)

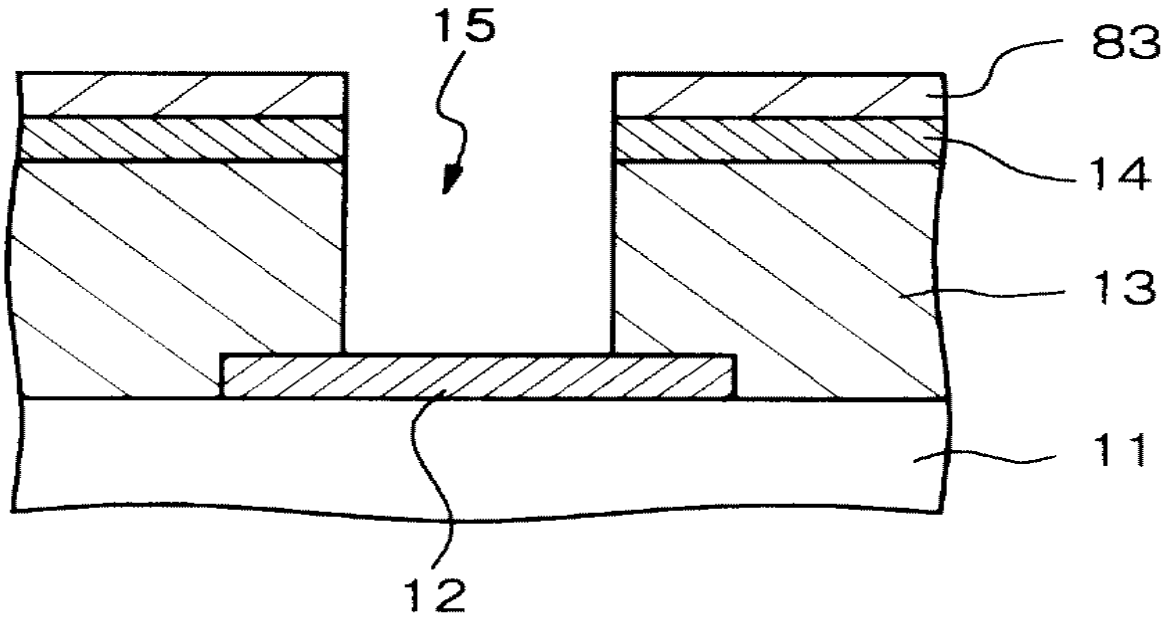
대레지스트 선택비 = 대



도면 65

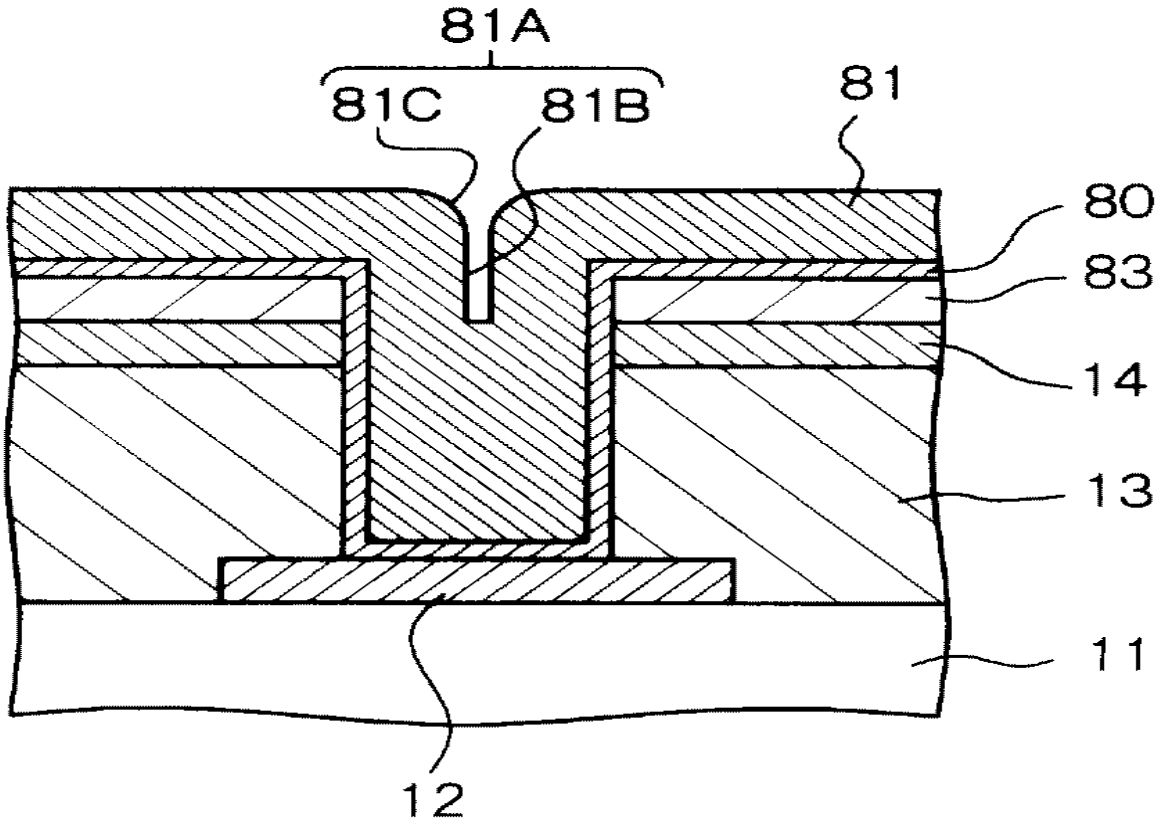
(A)

[공정-1400]



(B)

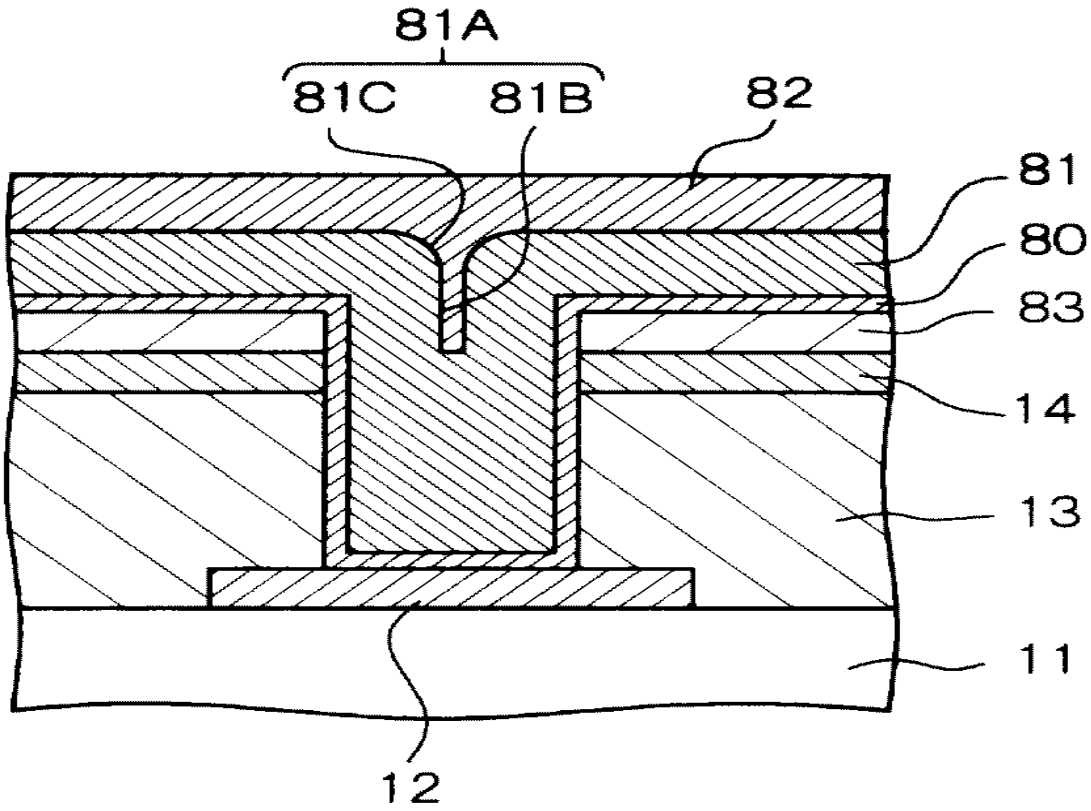
[공정-1410]



도면 66

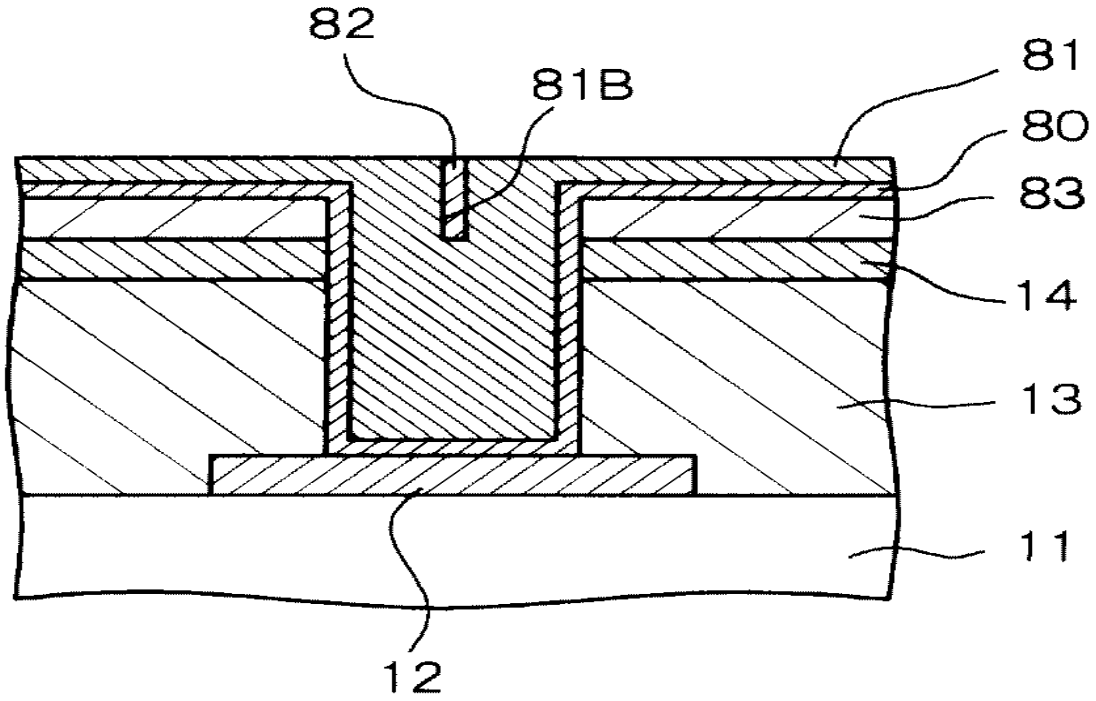
(A)

[공정-1420]



(B)

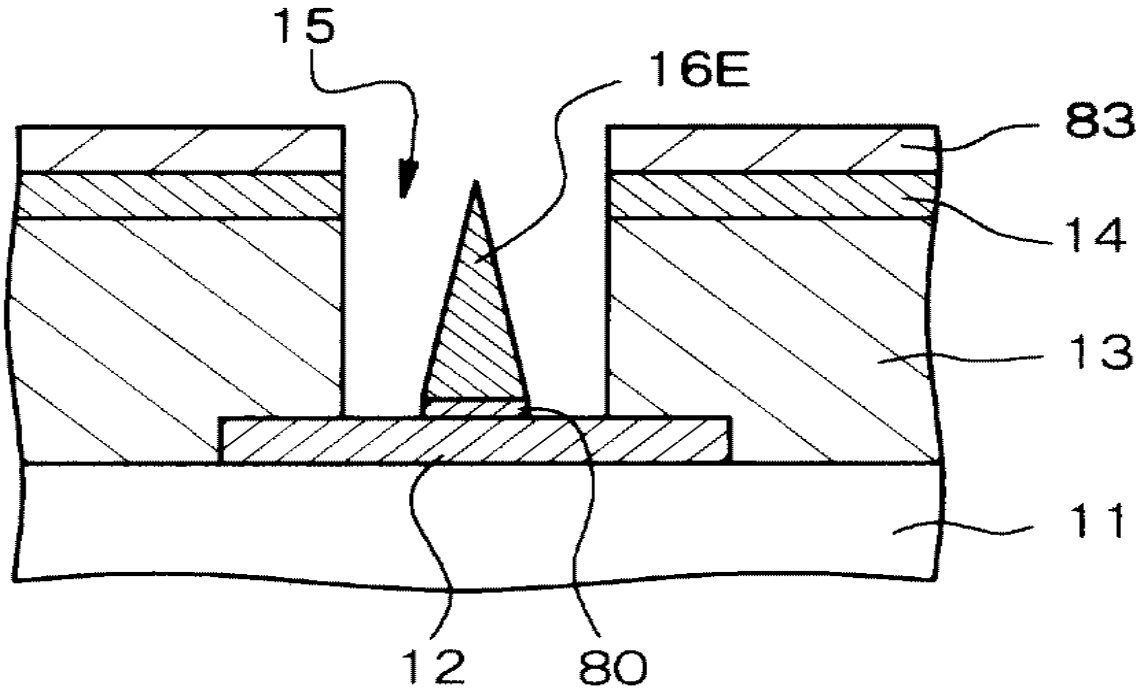
[공정-1430]



도면 67

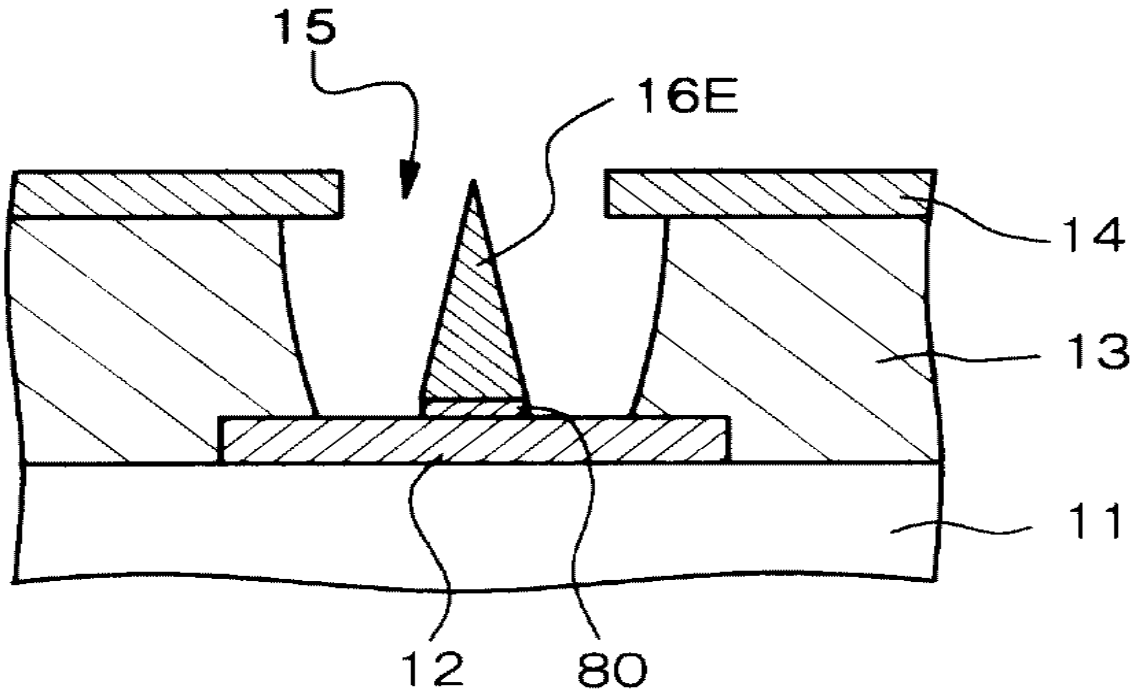
(A)

[공정-1440]



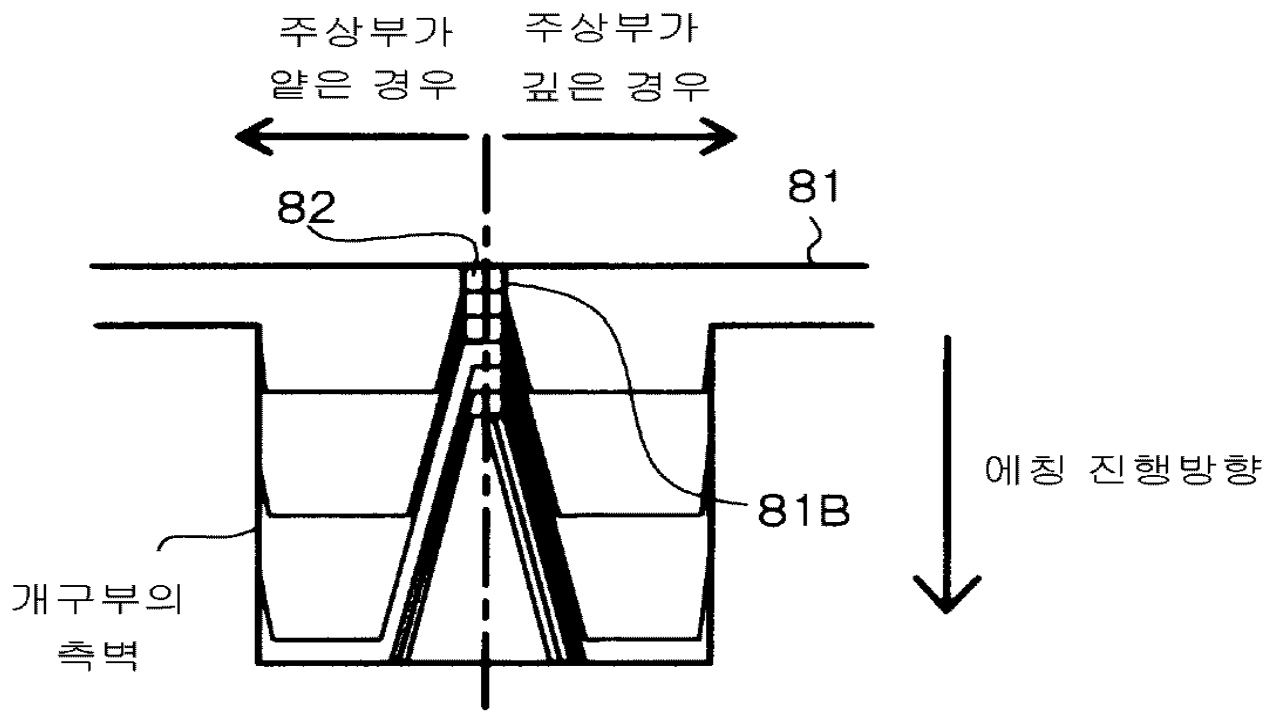
(B)

[공정-1450]

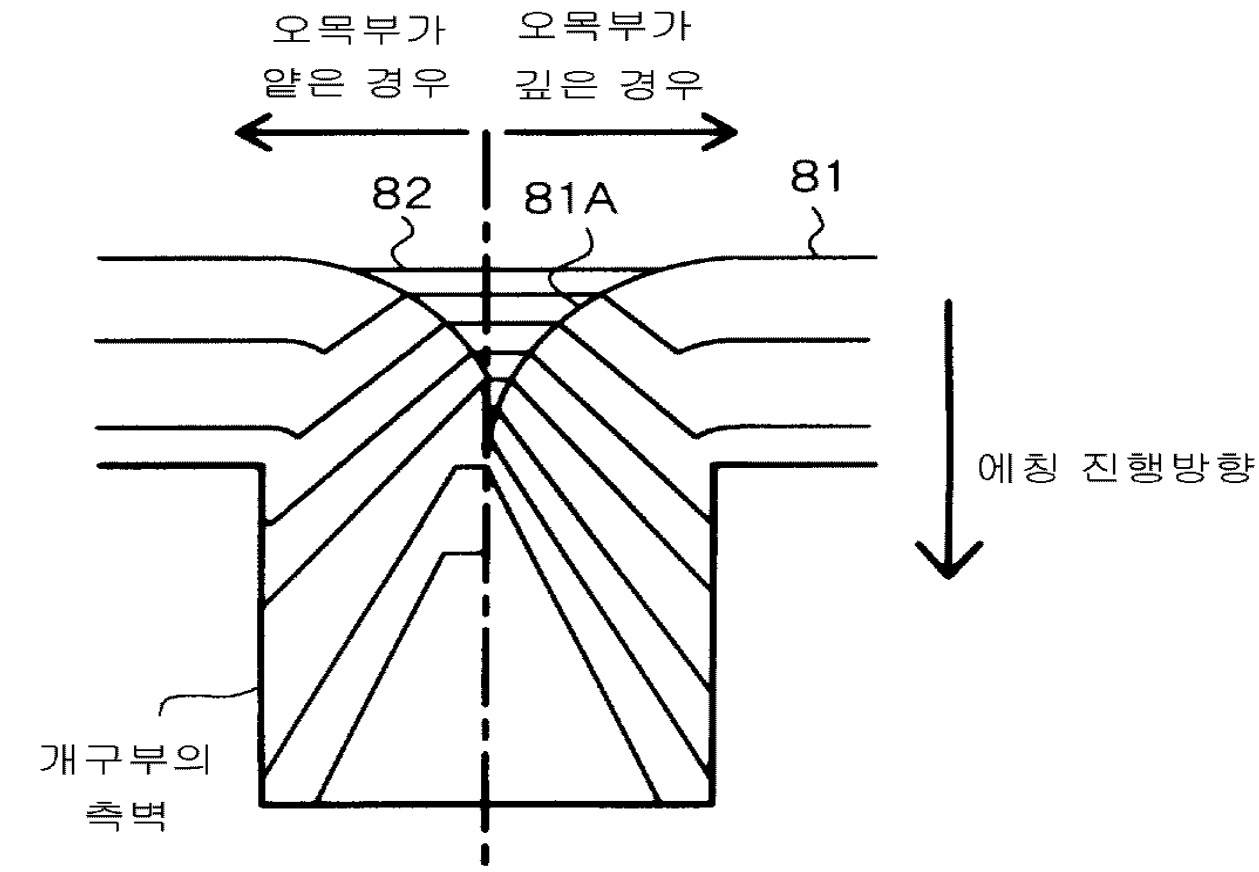


도면 68

(A)


주상부가
얕은 경우
주상부가
깊은 경우
82
81
81B
에칭 진행방향
개구부의
측벽

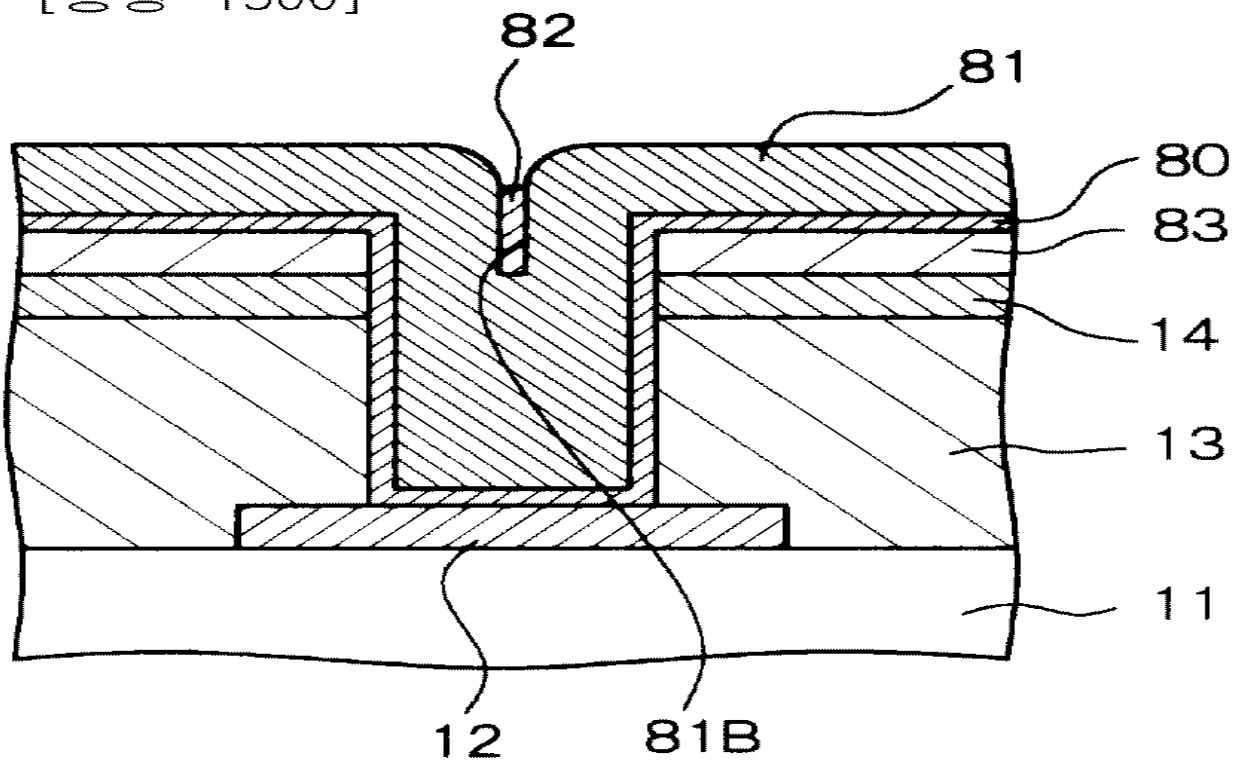
(B)


오목부가
얕은 경우
오목부가
깊은 경우
82
81A
81
에칭 진행방향
개구부의
측벽

도면 69

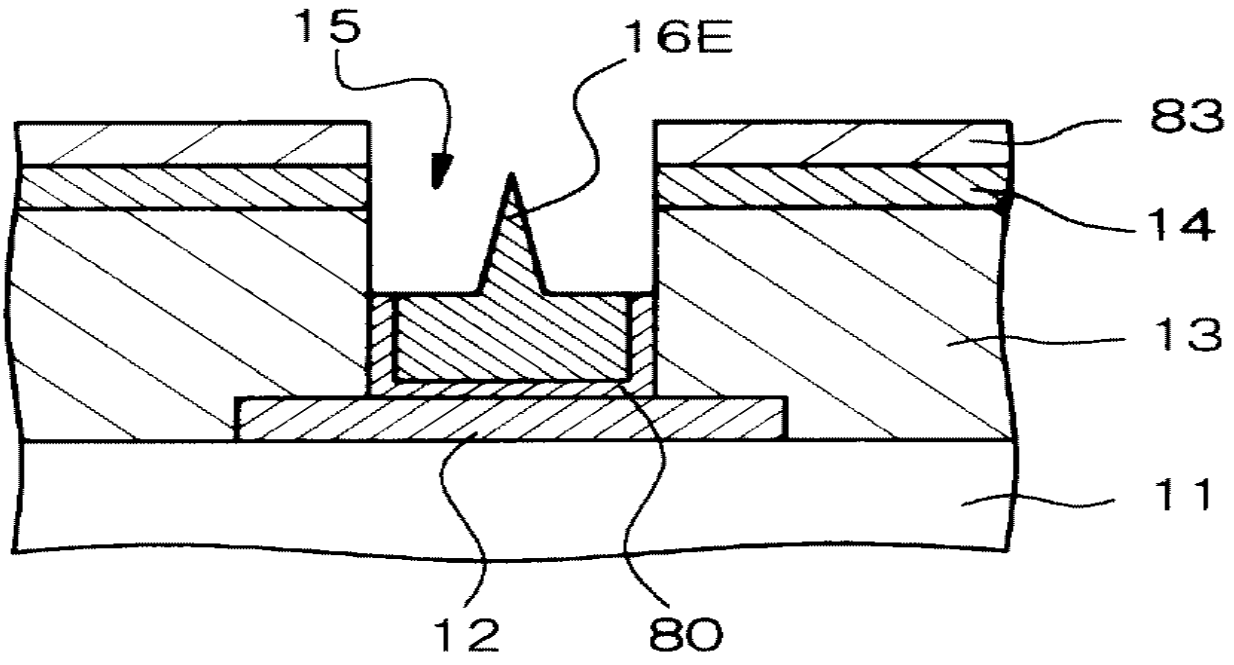
(A)

[공정-1500]



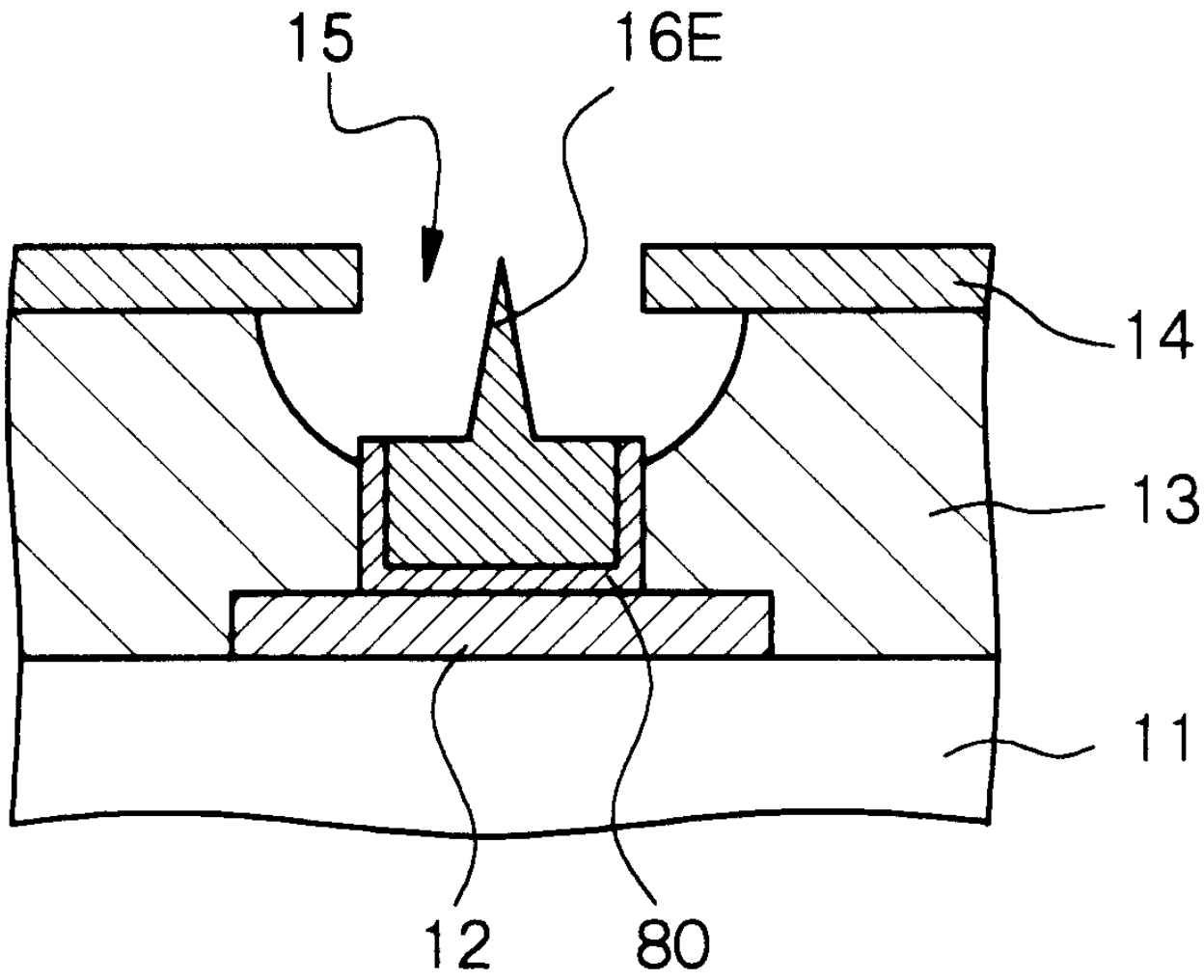
(B)

[공정-1510]

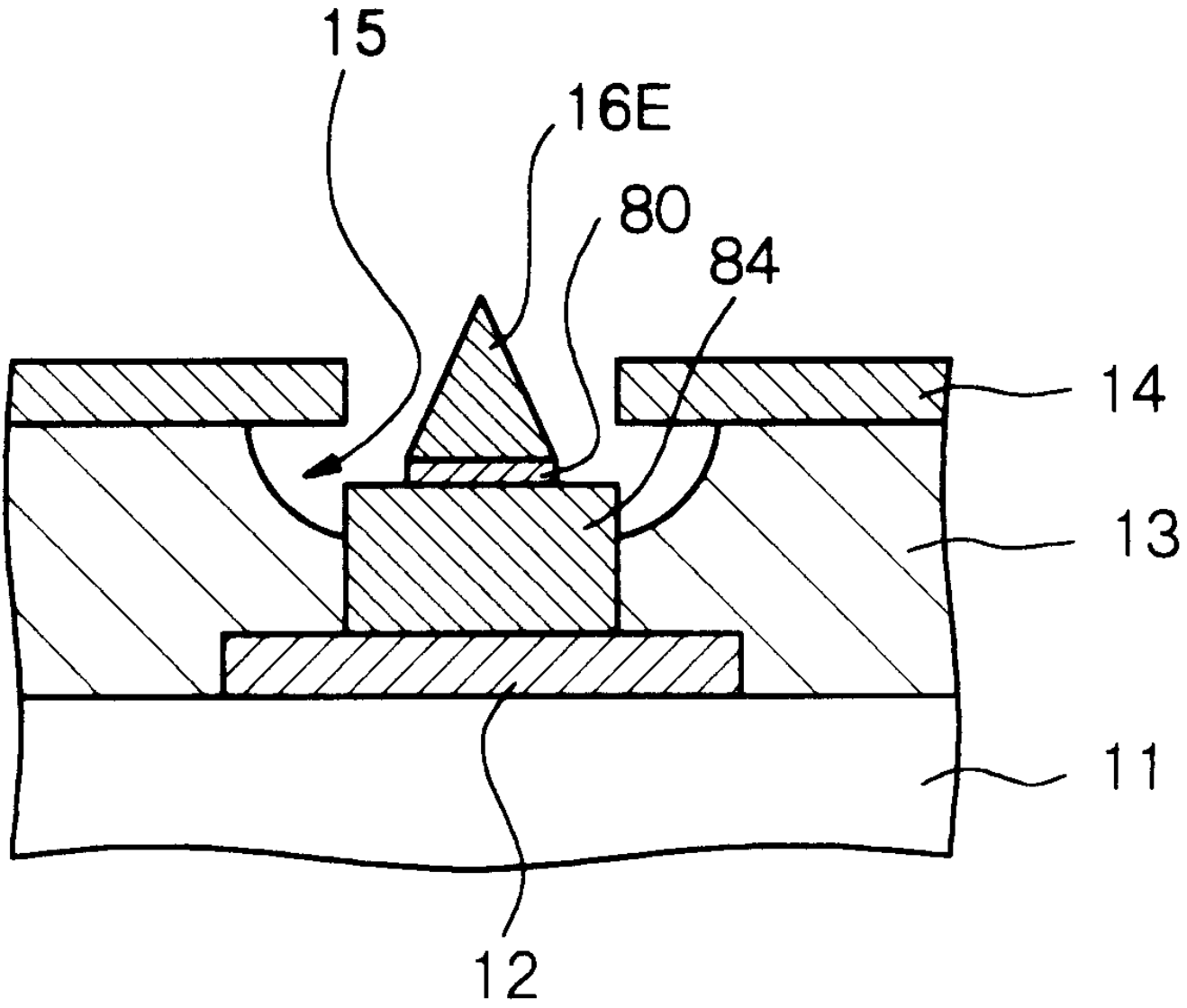


도면 70

[공정-1520]



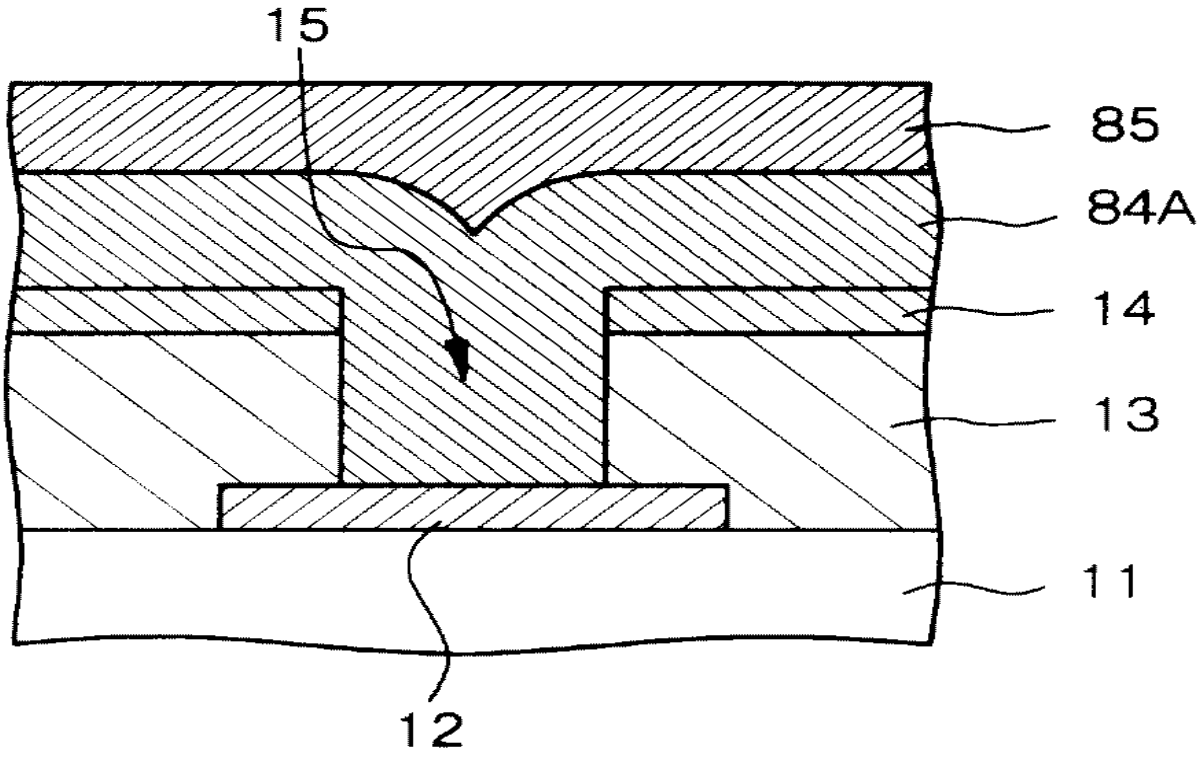
도면 71



도면 72

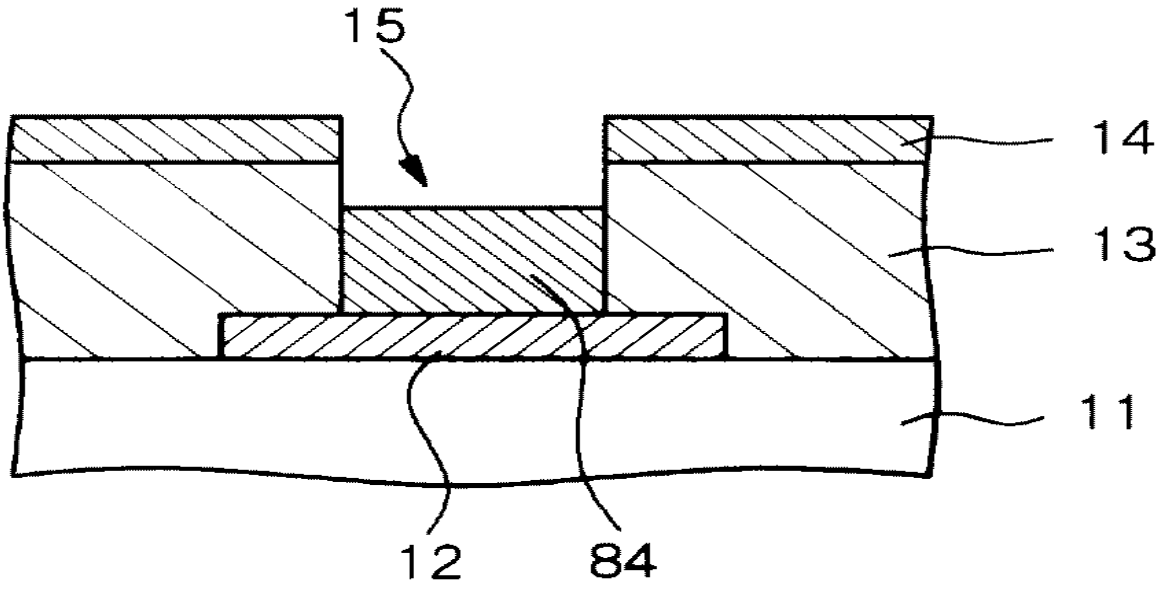
(A)

[공정-1600]



(B)

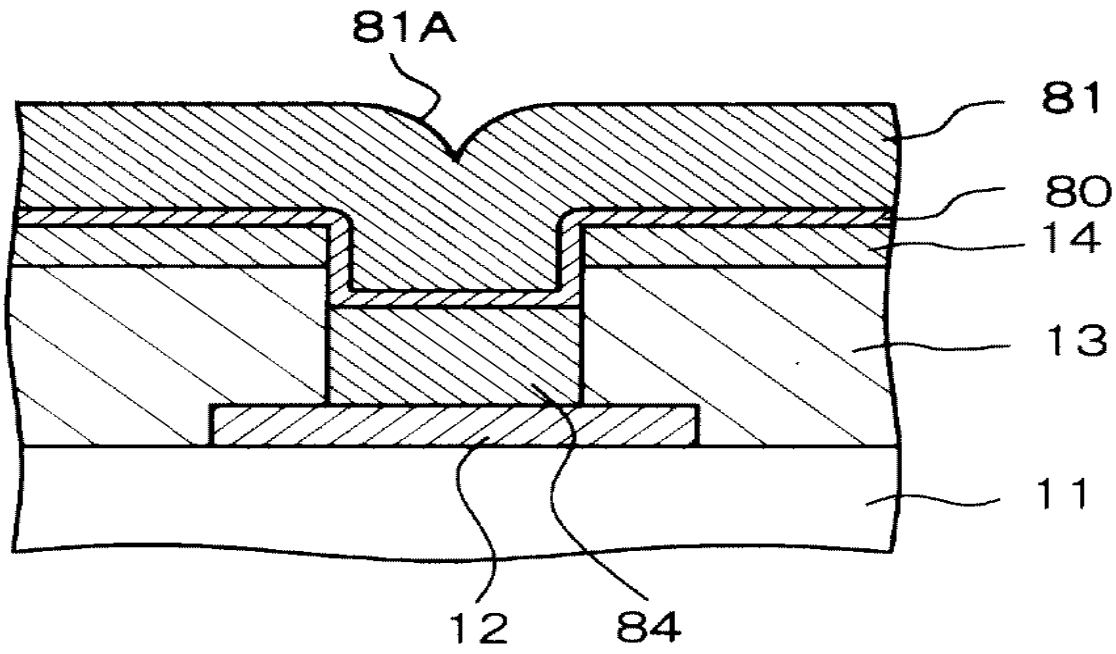
[공정-1610] 계속



도면 73

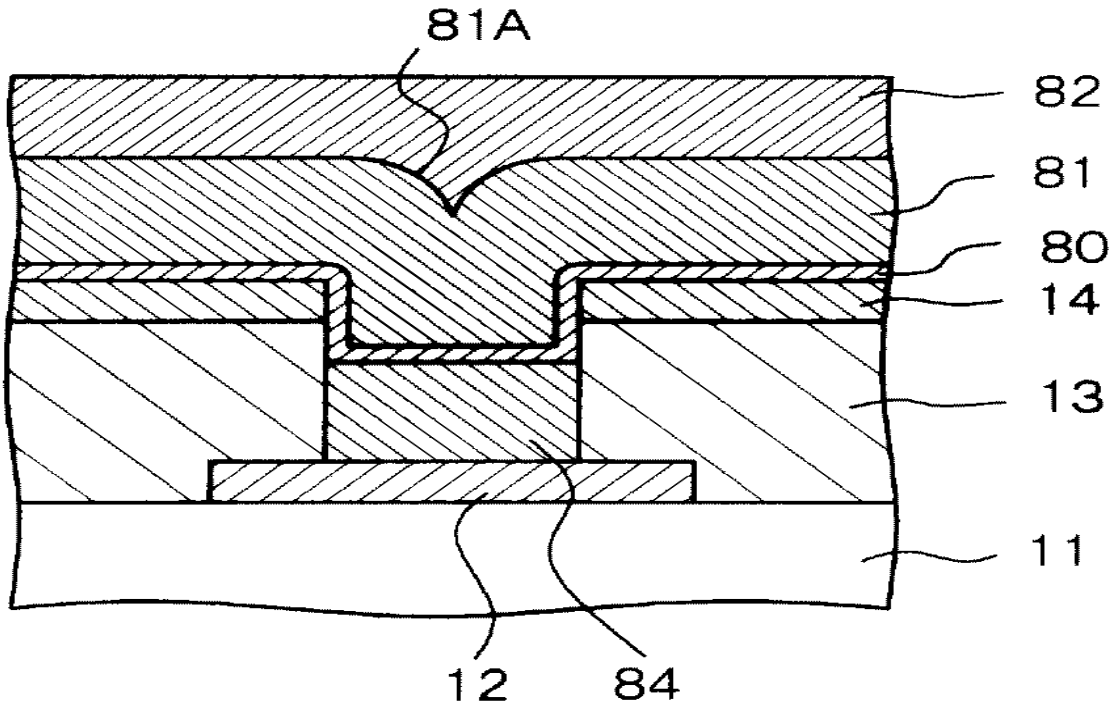
(A)

[공정-1610]



(B)

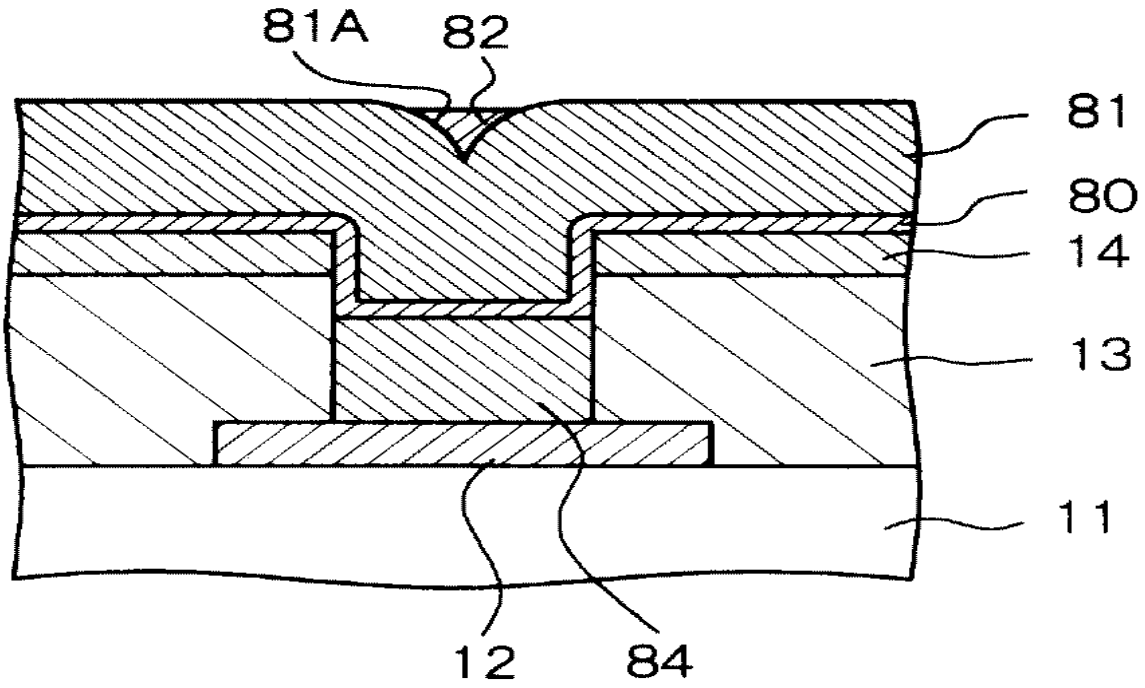
[공정-1620]



도면 74

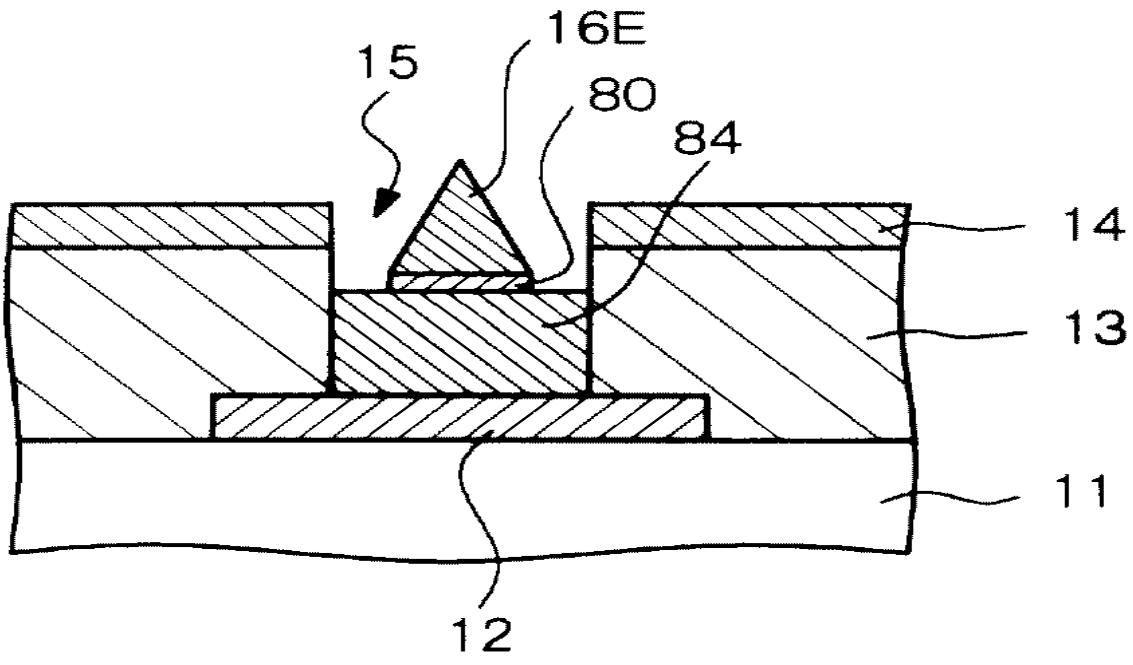
(A)

[공정-1620]



(B)

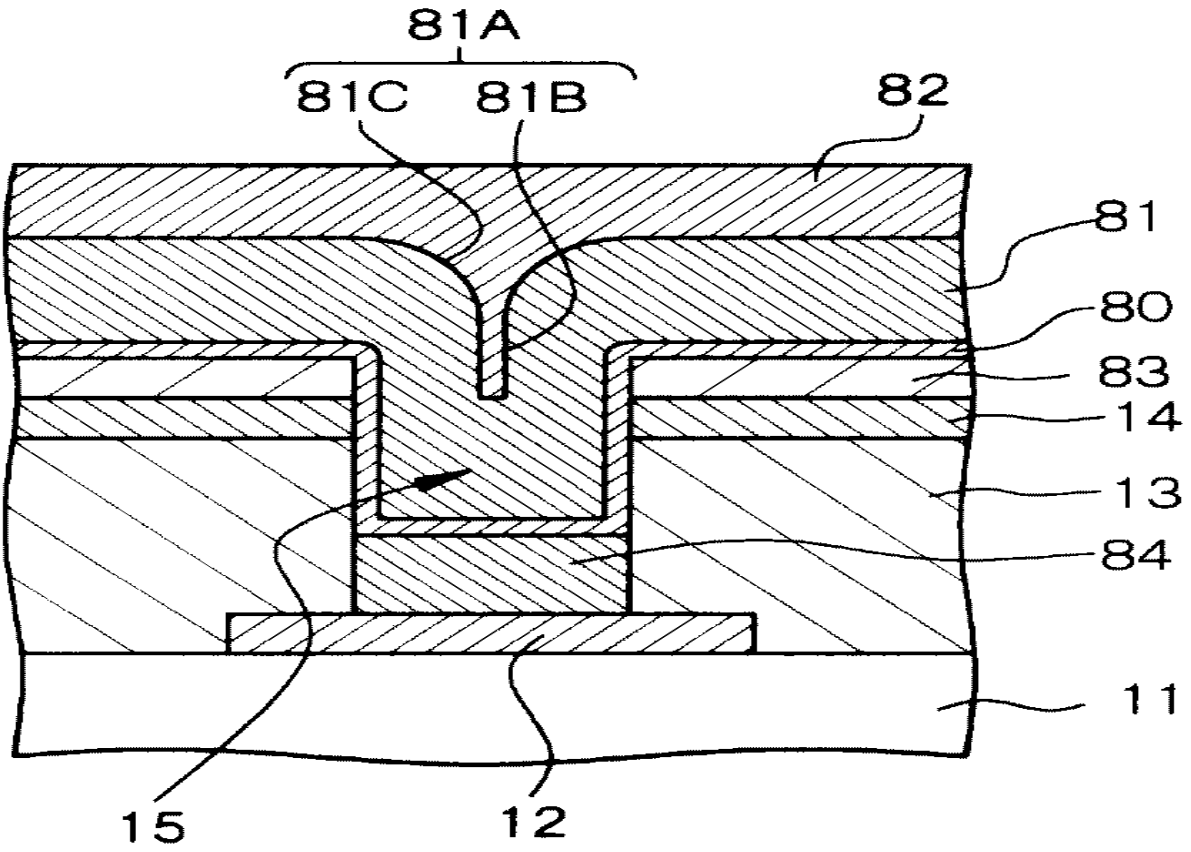
[공정-1630]



도면 75

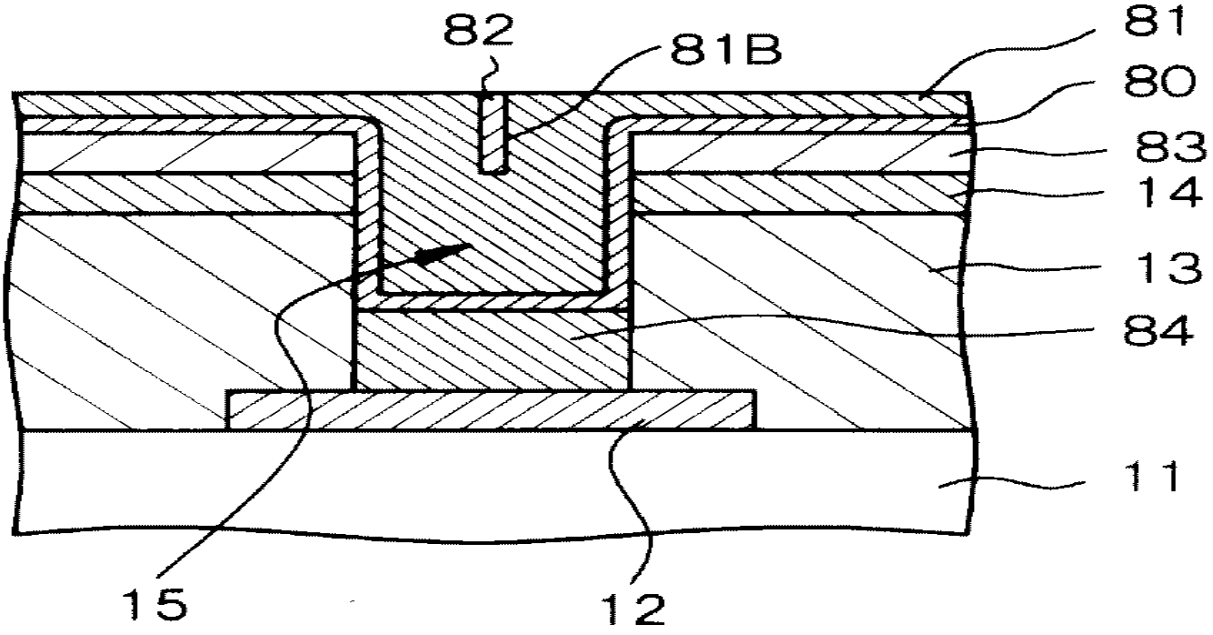
(A)

[공정-1700]



(B)

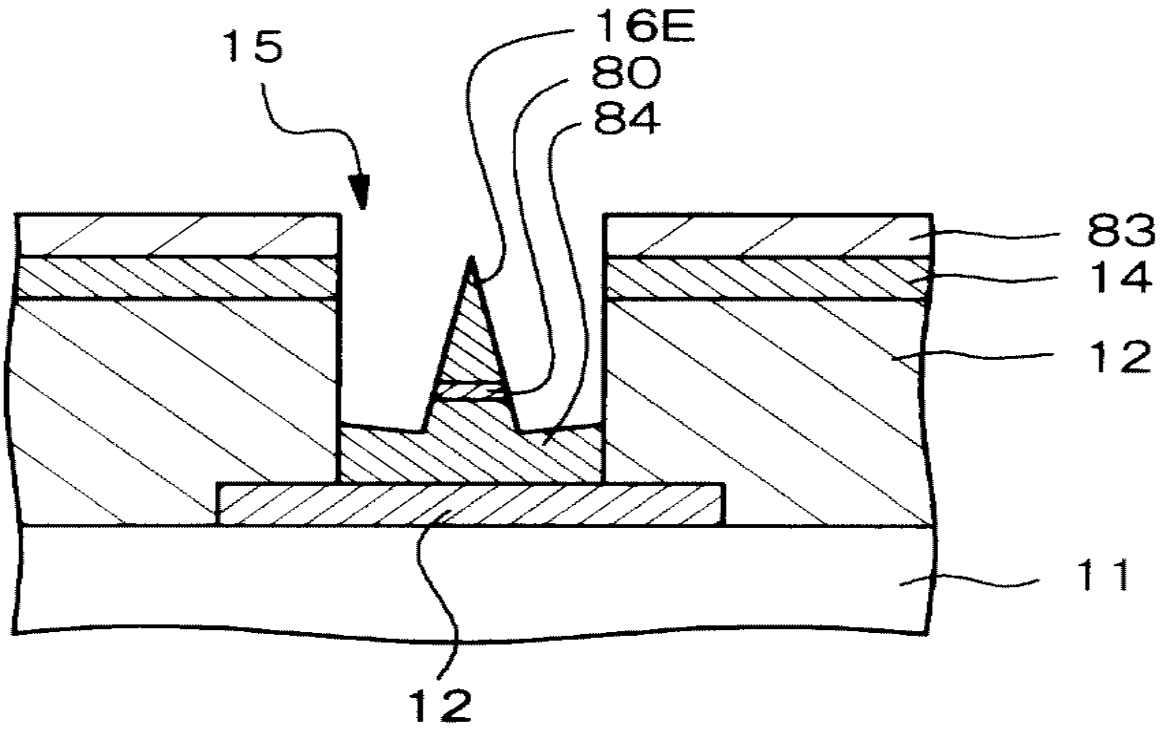
[공정-1710]



도면 76

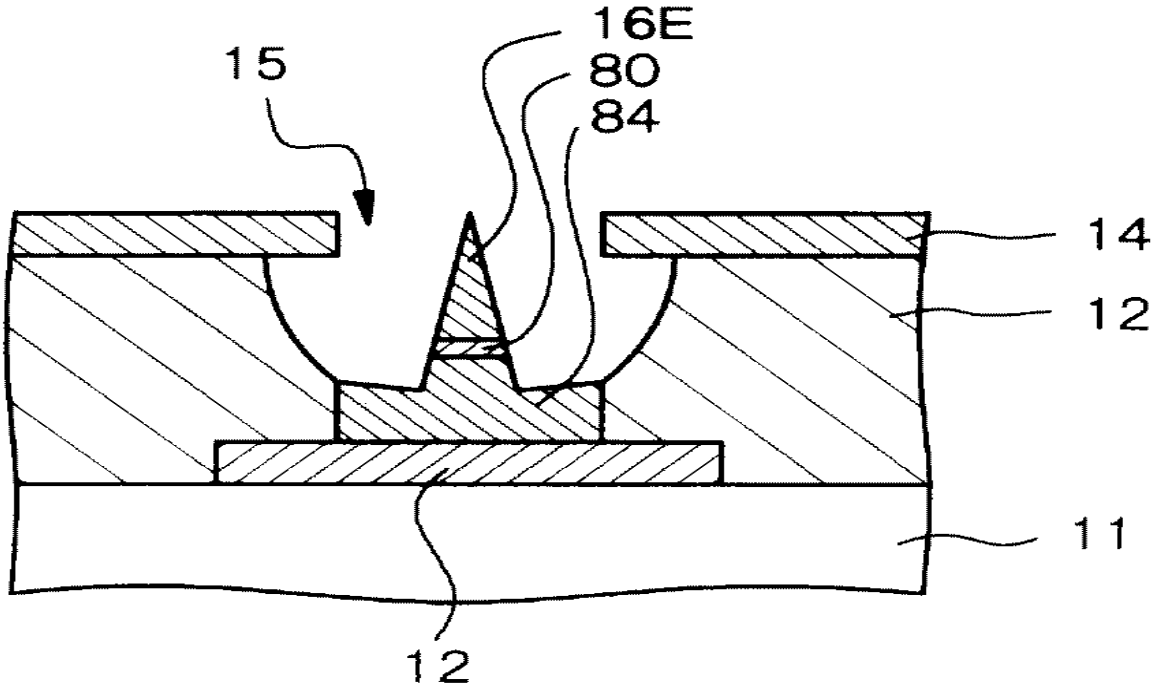
(A)

[공정-1720]



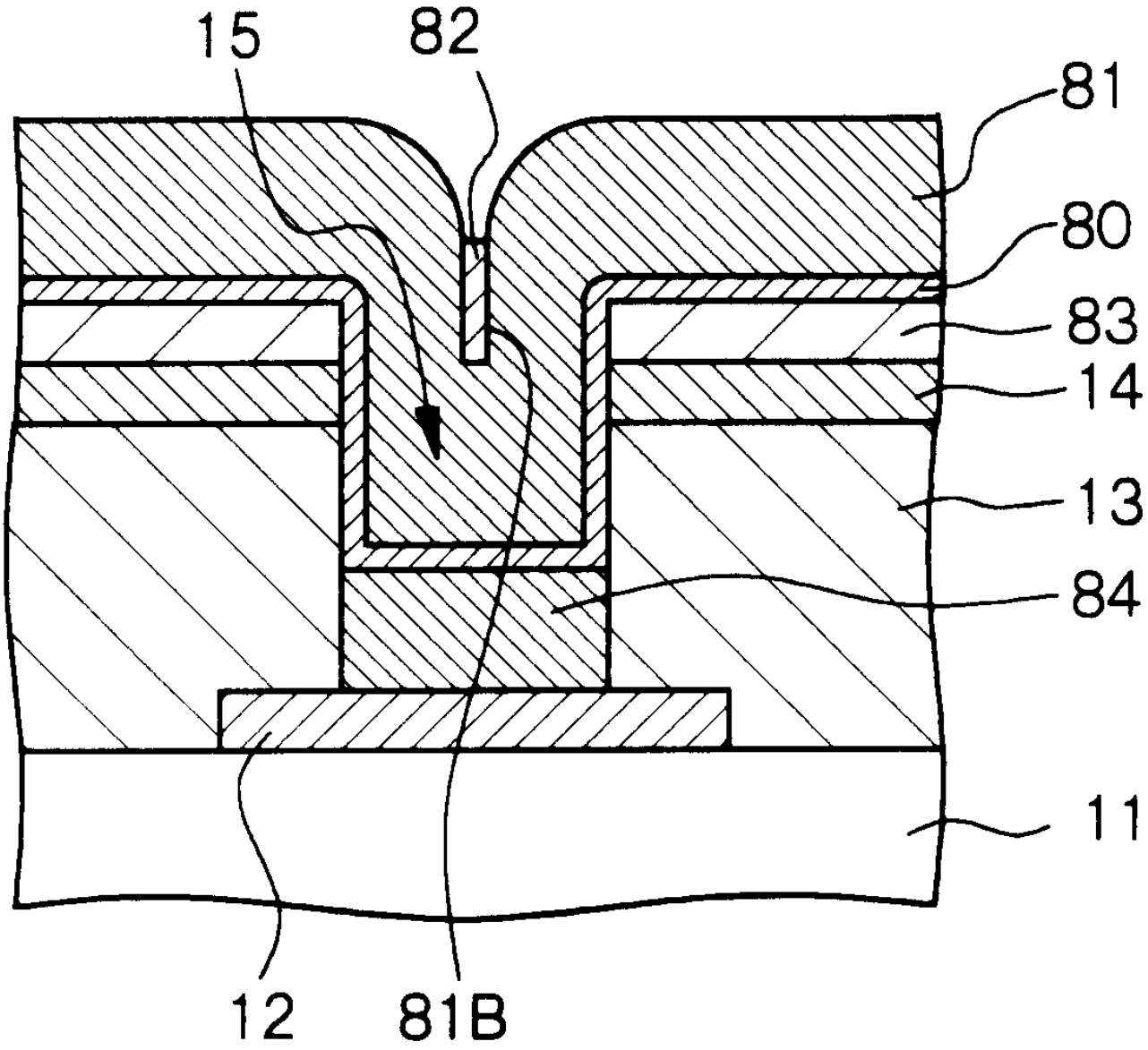
(B)

[공정-1730]

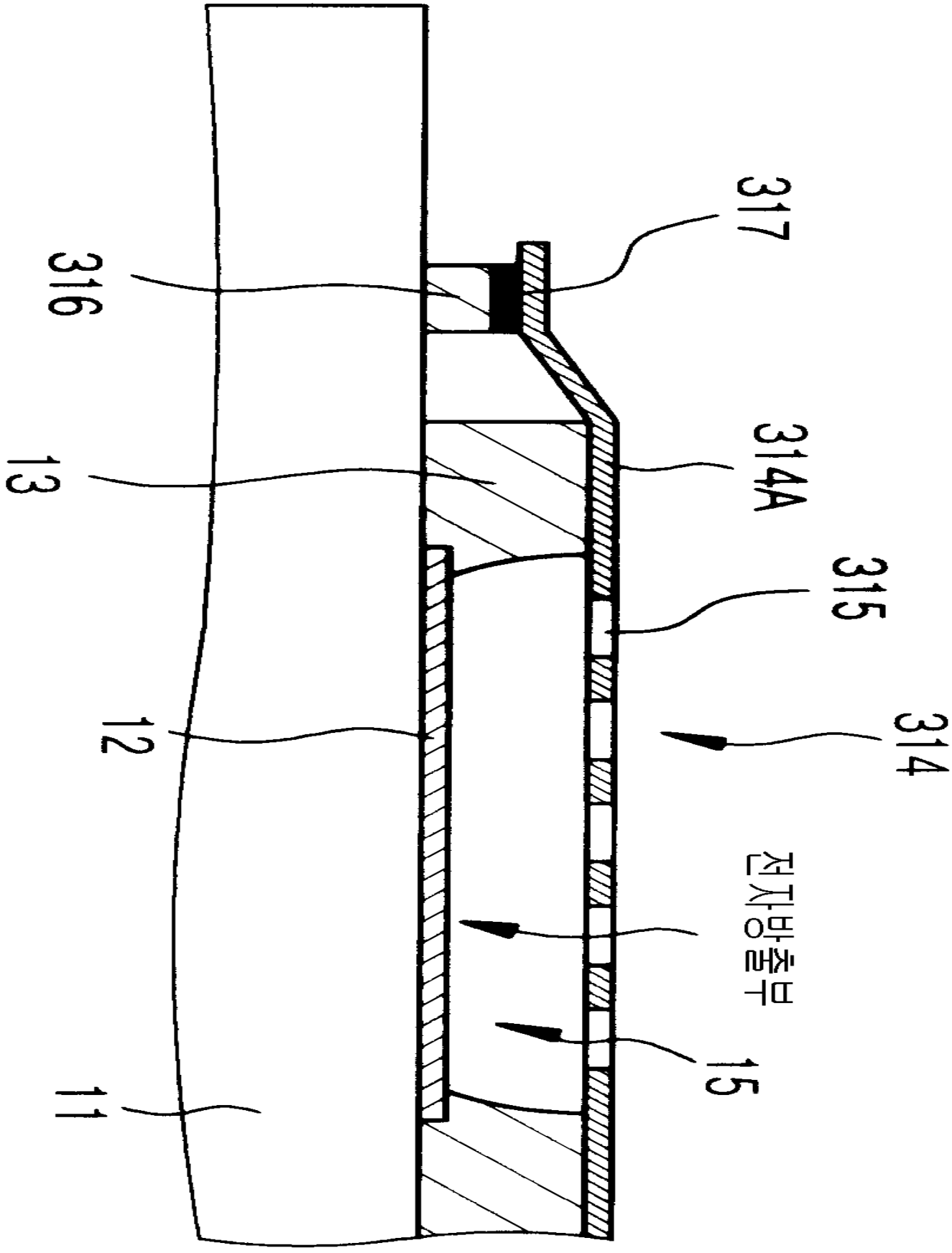


도면 77

[공정-1800]

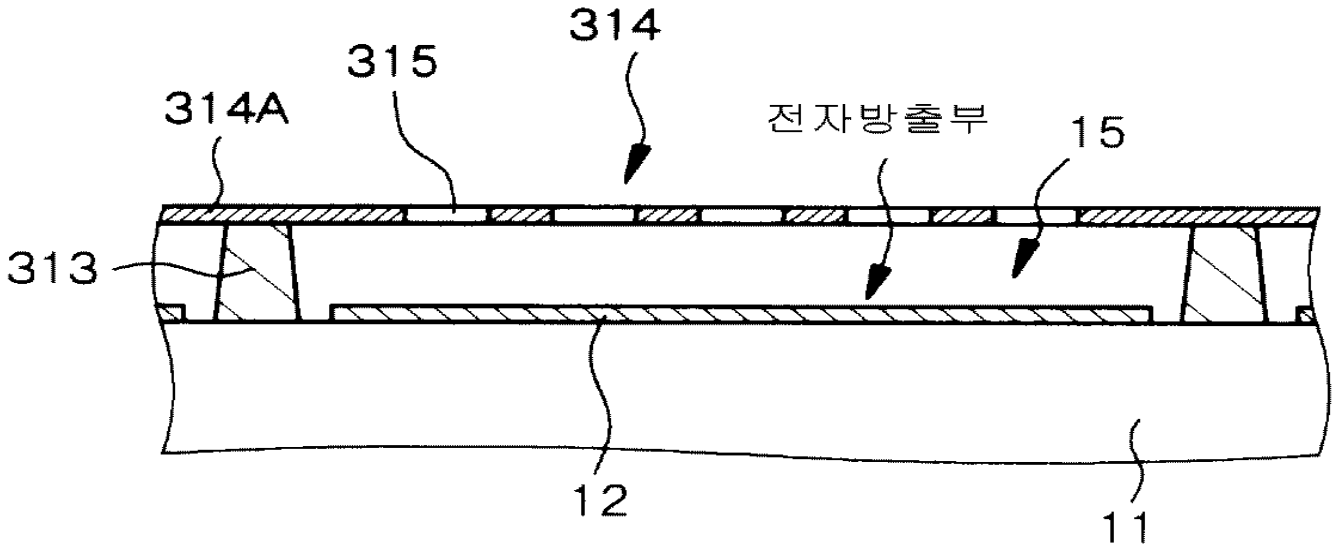


도면 78

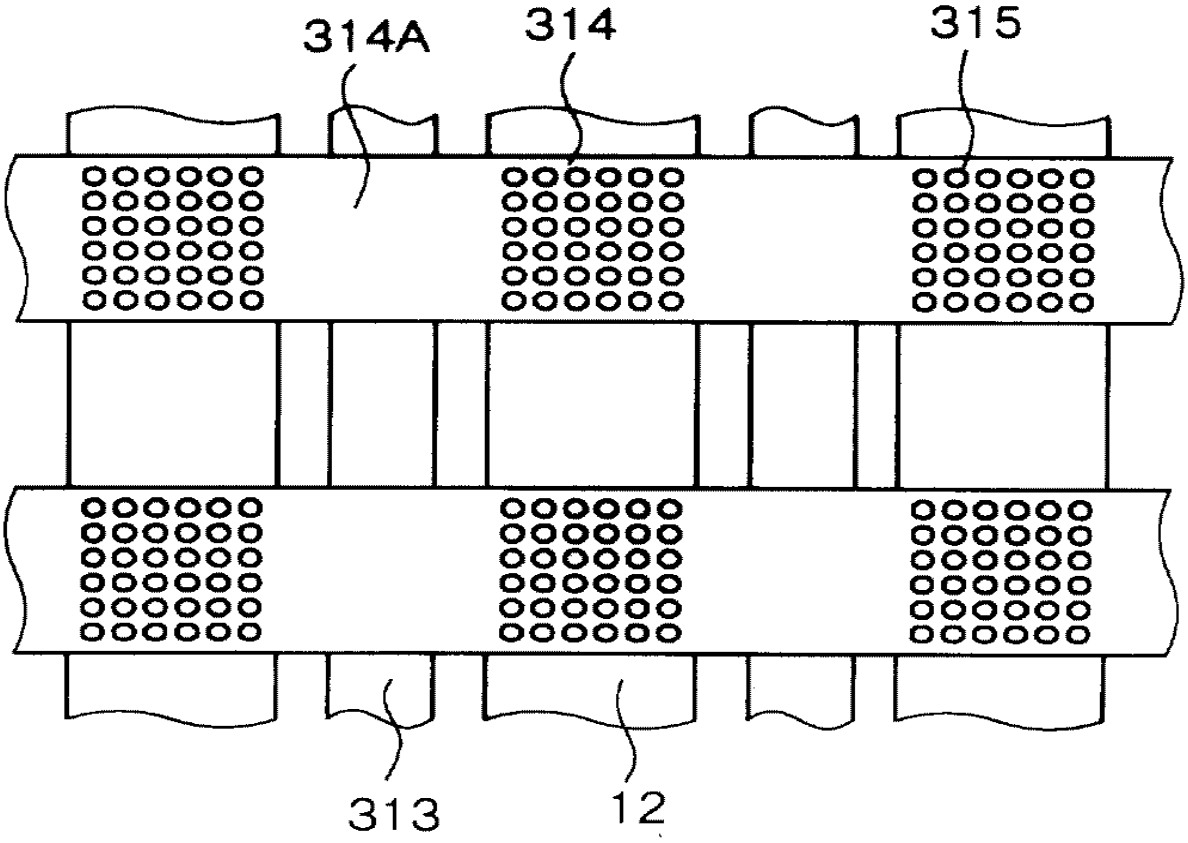


도면 79

(A)

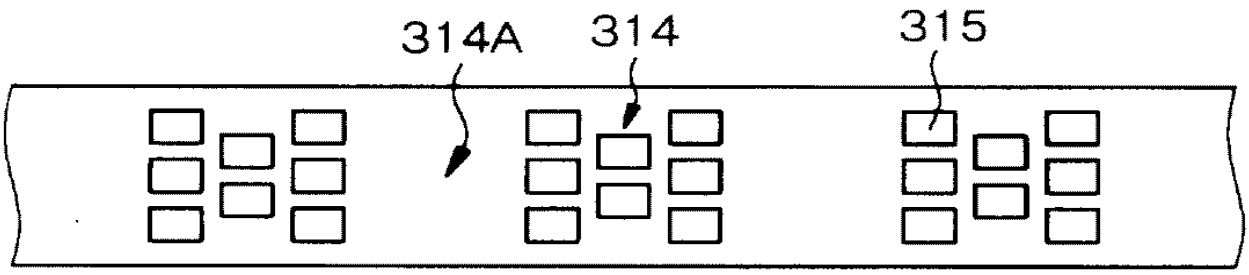


(B)

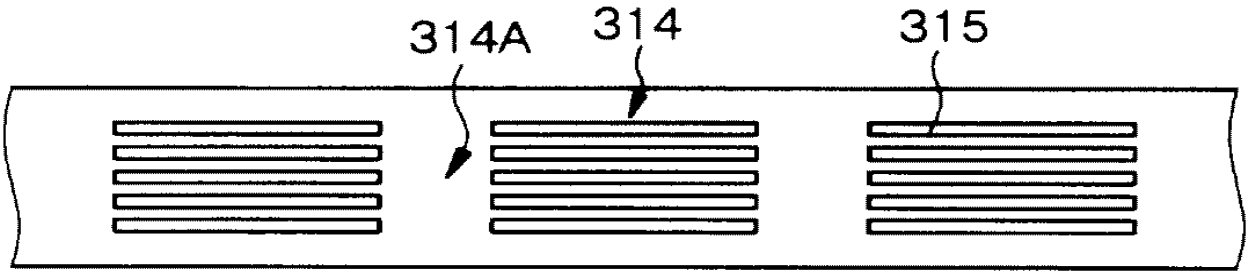


도면 80

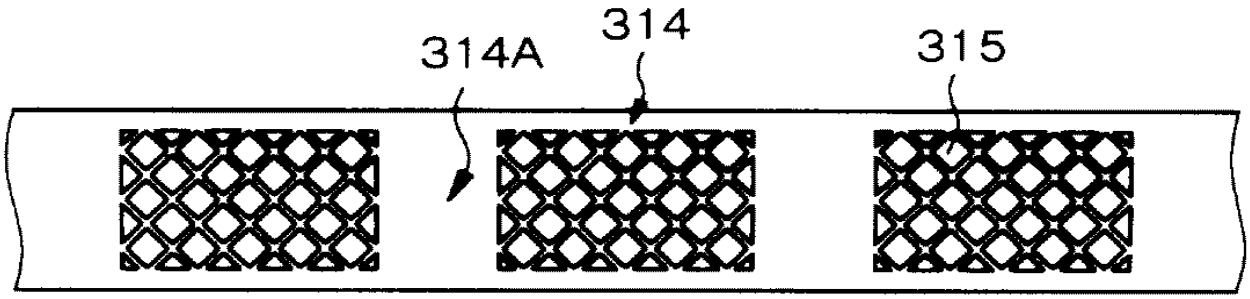
(A)



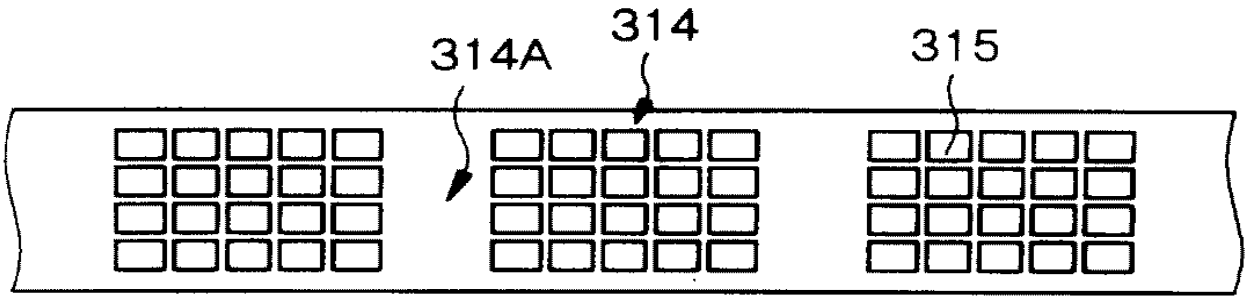
(B)



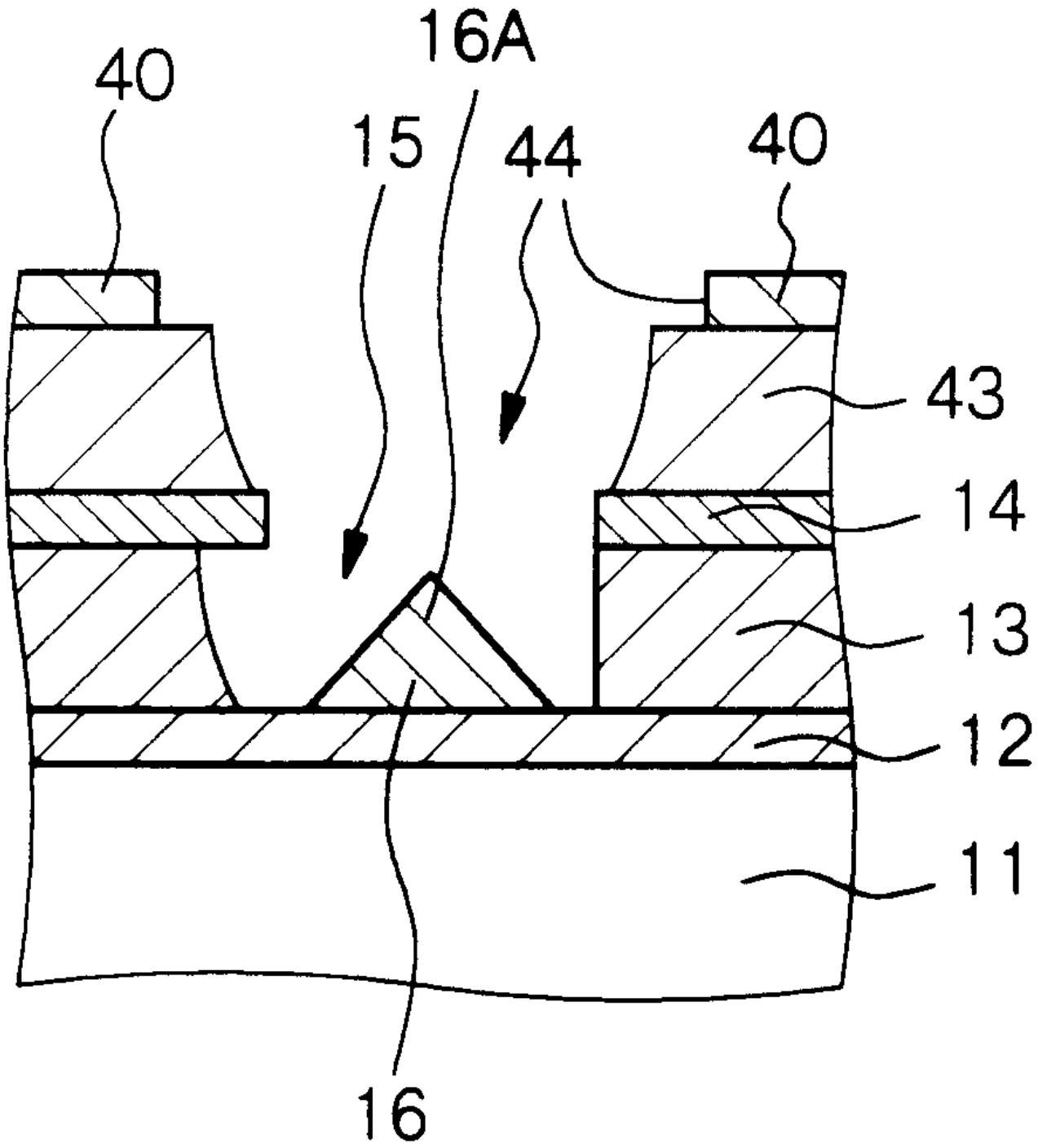
(C)



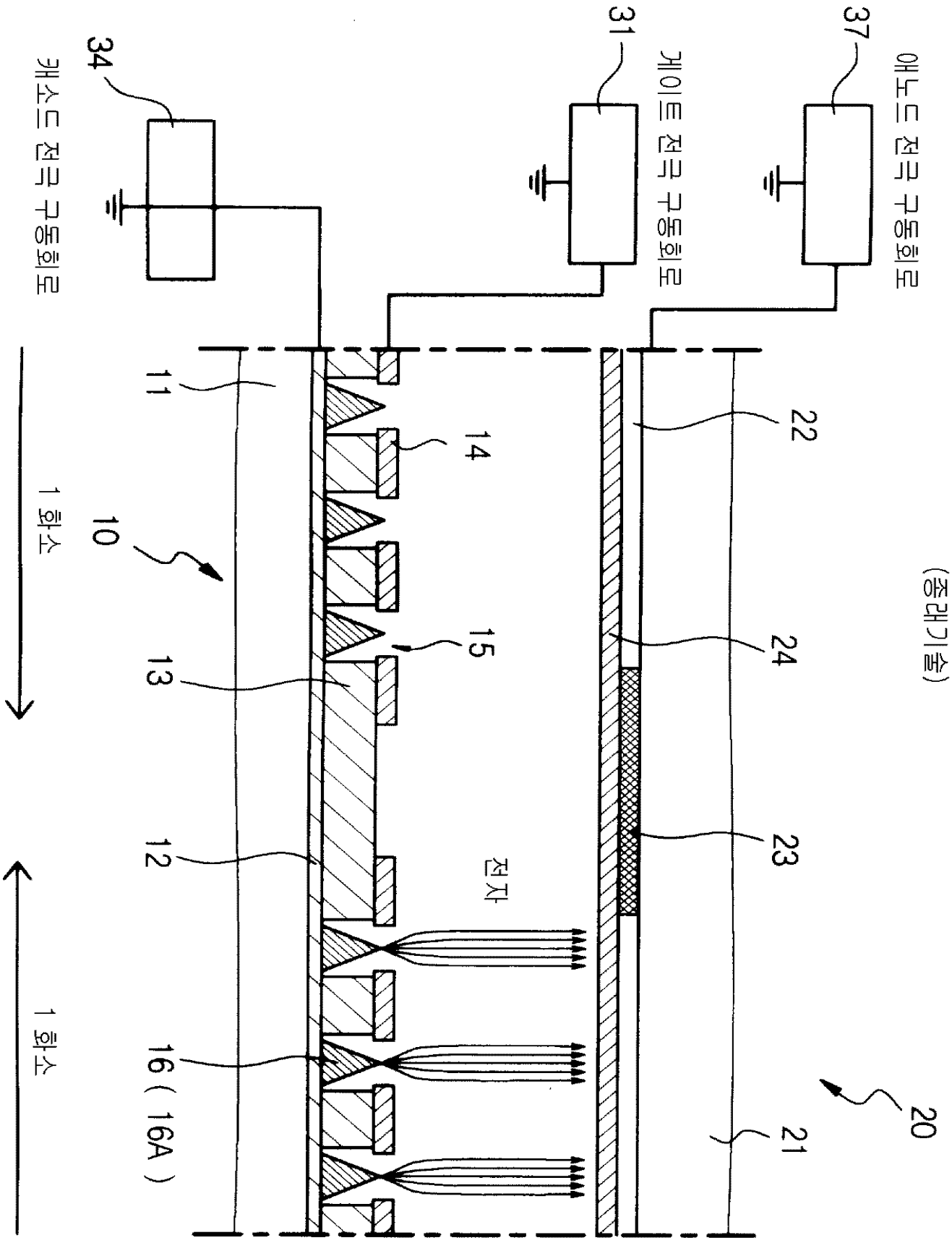
(D)



도면 81

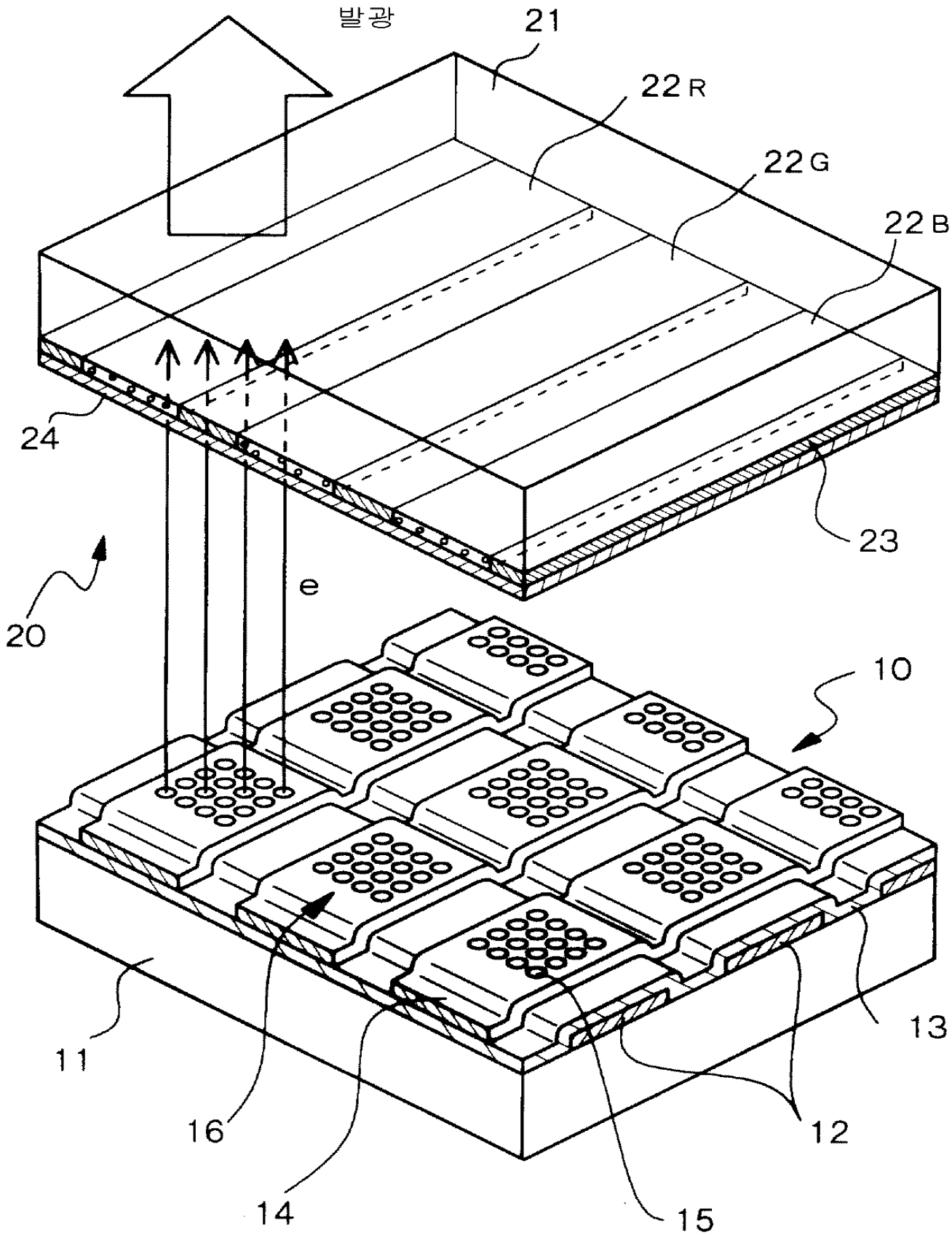


도면 82


애노드 전극 구동회로
37
게이트 전극 구동회로
31
캐소드 전극 구동회로
34
11
14
22
10
15
24
13
23
전자
12
20
21
16 (16A)
1 화소
1 화소

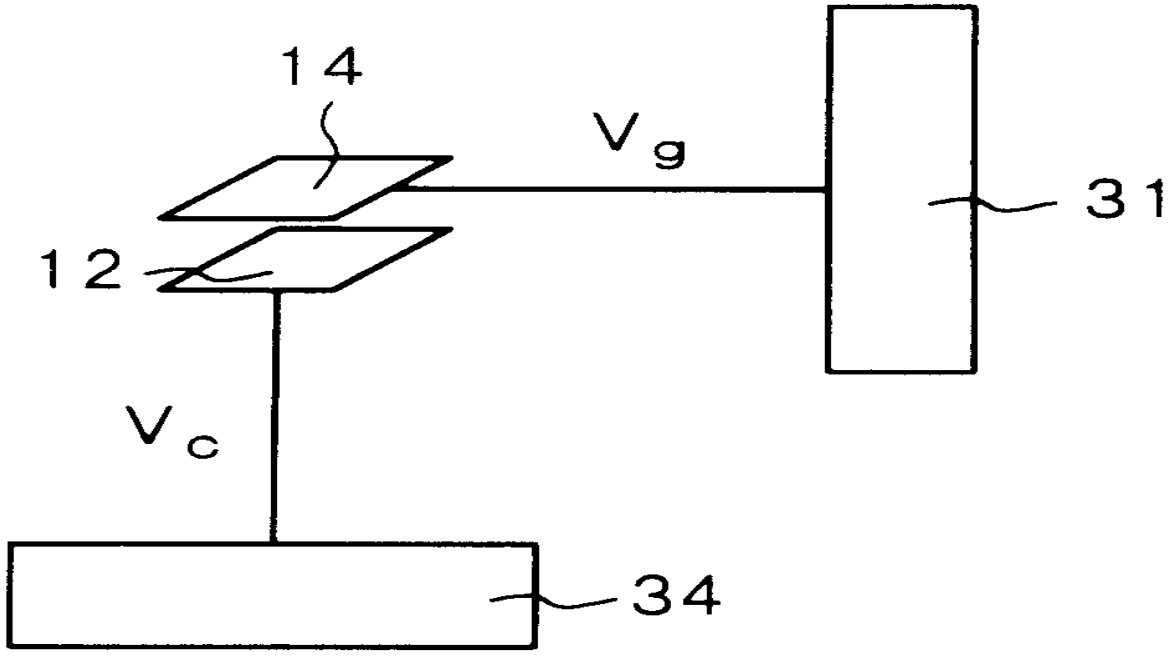
(종래기술)

도면 83

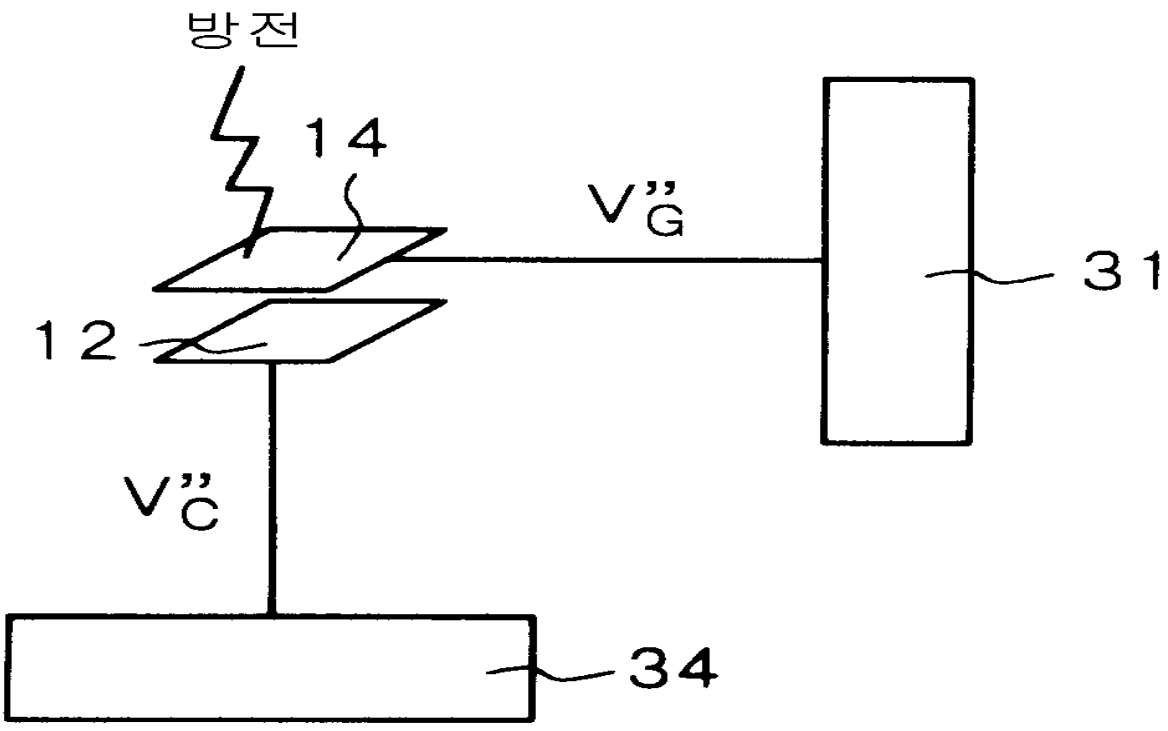


도면 84

(A)

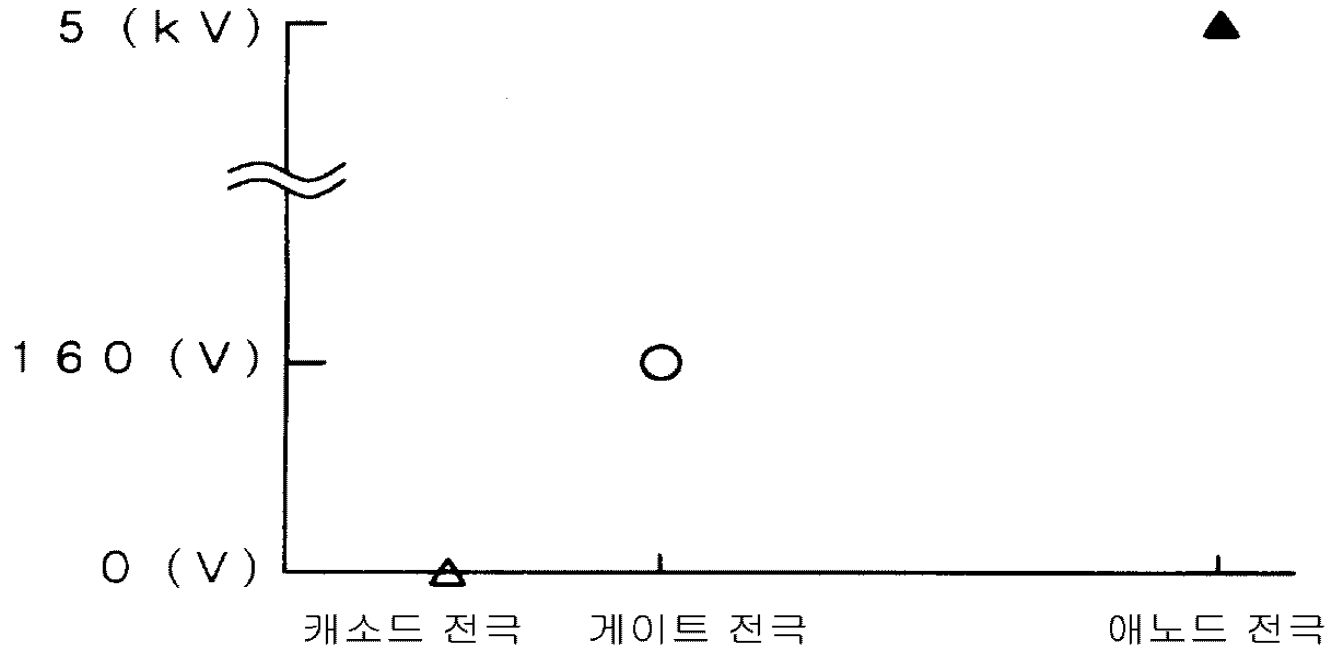


(B)

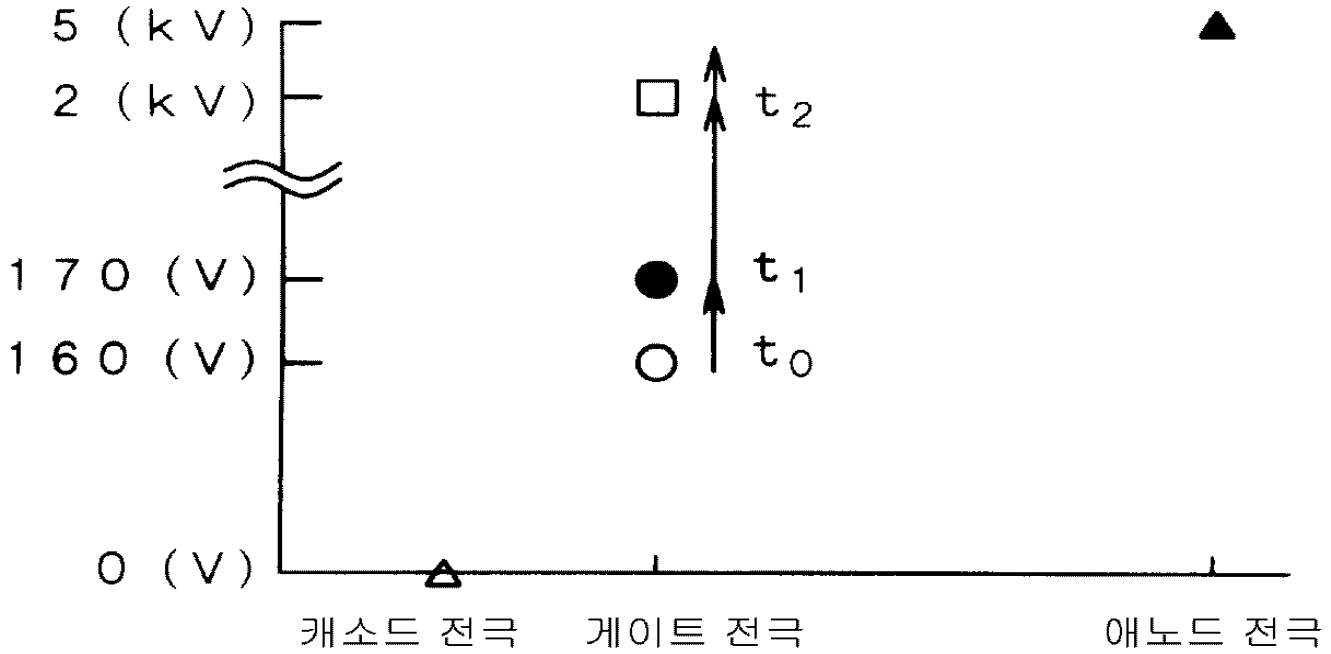


도면 85

(A)


5 (kV)
160 (V)
0 (V)
캐소드 전극
게이트 전극
애노드 전극

(B)


5 (kV)
2 (kV)
170 (V)
160 (V)
0 (V)
t2
t1
t0
캐소드 전극
게이트 전극
애노드 전극

도면 86

방전에 의한 게이트 전극의 전위의 변환

