

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 10 月 19 日(19.10.2017)



(10) 国際公開番号
WO 2017/179305 A1

- (51) 国際特許分類:
H02M 7/48 (2007.01)
- (21) 国際出願番号: PCT/JP2017/006525
- (22) 国際出願日: 2017 年 2 月 22 日(22.02.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-081604 2016 年 4 月 15 日(15.04.2016) JP
特願 2016-094207 2016 年 5 月 10 日(10.05.2016) JP
- (71) 出願人: 株式会社明電舎(MEIDENSHA CORPORATION) [JP/JP]; 〒1416029 東京都品川区大崎 2 丁目 1 番 1 号 Tokyo (JP).
- (72) 発明者: 近藤 泰裕(KONDO, Yasuhiro); 〒1416029 東京都品川区大崎 2 丁目 1 番 1 号 株式会社明電舎内 Tokyo (JP). 森田 一徳(MORITA, Kazunori); 〒1416029 東京都品川区大崎 2 丁目 1 番 1 号 株式会社明電舎内 Tokyo (JP).
- (74) 代理人: 小林 博通, 外(KOBAYASHI, Hiromichi et al.); 〒1040044 東京都中央区明石町 1 番 2 9 号 掖済会ビル S H I G A 内外国特許事務所内 Tokyo (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

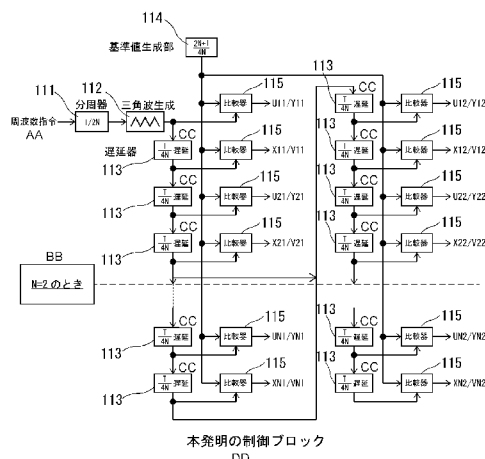
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) **Title:** RESONANT LOAD POWER CONVERSION DEVICE, POWER-BALANCING CONTROL DEVICE IN RESONANT LOAD POWER CONVERSION SYSTEM, TIME-SHARING OPERATION METHOD FOR RESONANT LOAD POWER CONVERSION DEVICE, AND POWER-BALANCING CONTROL METHOD IN RESONANT LOAD POWER CONVERSION SYSTEM

(54) 発明の名称: 共振負荷用電力変換装置、共振負荷用電力変換システムにおける電力バランス制御装置、共振負荷用電力変換装置の時分割運転方法および共振負荷用電力変換システムにおける電力バランス制御方法

[図2]



111... FREQUENCY DIVIDER
112... TRIANGULAR WAVE GENERATION
113... DELAY UNIT
114... REFERENCE VALUE GENERATION UNIT
115... COMPARATOR
AA... FREQUENCY COMMAND
BB... WHEN N=2
CC... T/4N DELAY
DD... CONTROL BLOCK OF THE INVENTION

(57) **Abstract:** The purpose of the present invention is to reduce switching frequency per one component in a resonant load power conversion device equipped with switch-group circuits which are constructed by connecting in parallel N units (N is an integer equal to or greater than 2) of series bodies, each consisting of two switching components, to respective arms of a single-phase inverter. The power conversion device is equipped with: a triangular wave generation unit 112 for generating a triangular wave signal which has a 1/2N frequency of a frequency command and is formed by a linear waveform having the same slope in the positive and negative regions between amplitude values of 0 and 1; 4N-1 units of delay units 113 for respectively delaying the triangular wave signal by 1/4N cycle in sequence; and 4N units of comparators 115 for respectively comparing a reference value set to (2N+1)/4N by a reference value generation unit 114 with the triangular wave signal generated by the triangular wave generation unit 112 and with each of the triangular wave signals delayed by the 4N-1 units of delay units 113, and outputting a gate-on signal when the triangular wave signal is smaller than the reference value, or a gate-off signal when the triangular wave signal is greater than the reference value.

(57) 要約:

[続葉有]

WO 2017/179305 A1



単相インバータの各アームに、2個のスイッチング素子の直列体をN個（Nは2以上の整数）並列に接続して構成されたスイッチ群回路を備えた共振負荷用電力変換装置において、1素子あたりのスイッチング周波数を低減させる。周波数指令の $1/2N$ の周波数を有し、振幅値0～1の間に、プラスとマイナスが同一傾斜である直線波形により形成された三角波信号を生成する三角波生成部112と、その三角波信号を、 $1/4N$ 周期ずつ順次遅延させる $4N-1$ 個の遅延器113…と、基準値生成部114により $(2N+1)/4N$ の値に設定した基準値と、前記三角波生成部112で生成された三角波信号および前記 $4N-1$ 個の遅延器113により遅延された三角波信号とを各々比較し、前記三角波信号が基準値より小のときゲートON信号を、三角波信号が基準値より大のときゲートOFF信号を各々出力する $4N$ 個の比較器115…と、を備えた。

明 細 書

発明の名称：

共振負荷用電力変換装置、共振負荷用電力変換システムにおける電力バランス制御装置、共振負荷用電力変換装置の時分割運転方法および共振負荷用電力変換システムにおける電力バランス制御方法

技術分野

[0001] 本発明は、例えば誘導加熱回路などの共振負荷に矩形波電圧を供給する共振負荷用電力変換装置およびその時分割運転方法と、共振負荷用電力変換システムにおける電力バランス制御装置およびその制御方法に関する。

背景技術

[0002] 図 1 5 は、共振負荷に接続された共振負荷用電力変換装置（交直変換装置）の回路構成を示している。図 1 5 において、交直変換装置 1 0 は、入力側が直流電圧源 1 1 に接続され、出力側が誘導加熱回路などの共振負荷 1 2 に接続された単相インバータを備えている。この単相インバータの各スイッチング素子を ON、OFF 制御することにより、共振周波数で矩形波電圧を共振負荷 1 2 に出力する。

[0003] この交直変換装置 1 0 は、共振負荷 1 2 が誘導加熱回路である場合は、誘導加熱用負荷共振交直変換装置（誘導加熱用共振型インバータ）として構成される。

[0004] この誘導加熱用負荷共振交直変換装置は、単相インバータの各スイッチング素子を ON、OFF 制御して生成した交流を、コイルとキャパシタによる LC 共振回路に流し、それによって生成される交番磁界を被加熱体（電気伝導体）に与えて渦電流を流し、これによって発生するジュール熱によって内部から加熱させる方式となっている。

[0005] 共振負荷用電力変換装置（例えば図 1 5 の交直変換装置 1 0）の出力側に接続される共振負荷としての誘導加熱回路は、周波数が高いほど、電流浸透深さが減少する性質が従来から知られている。

- [0006] 例えば電縫管接合（継目を電気抵抗溶接で接合し、管を形成する）においては、表面焼き入れによって行われるため、誘導加熱に用いる共振負荷用電力変換装置には、周波数が高い電圧を出力できることが要求される。
- [0007] 一方で、誘導加熱に用いる共振負荷用電力変換装置のスイッチング素子には、駆動周波数に上限があるため、スイッチング素子の駆動周波数よりも高い電圧周波数に対応ができないことが問題となる。
- [0008] この問題を解決する先行技術として、例えば特許文献 1 には、図 15 の交直変換装置 10 の単相インバータの各スイッチング素子を時分割でスイッチング制御することが記載されている。また、誘導加熱に関する先行技術文献としては、例えば特許文献 2、3 に記載のものが提案されている。

先行技術文献

特許文献

- [0009] 特許文献1：国際公開WO 2015 / 194585号公報
特許文献2：特開 2014 - 56114号公報
特許文献3：特開 2013 - 196990号公報

発明の概要

- [0010] 特許文献 1 には、共振負荷用電力変換装置における単相インバータの時分割運転機能は記載されているが、どのような回路構成によって単相インバータのスイッチング波形を生成するかについては開示されていない。
- [0011] 本発明の目的は、単相インバータを備えた共振負荷用電力変換装置、共振負荷用電力変換システムにおいて、単相インバータの 1 スwitchング素子あたりのスイッチング周波数低減を可能としたスイッチング波形を生成することにある。
- [0012] 上記課題を解決するための請求項 1 に記載の共振負荷用電力変換装置は、直流入力側が直流電圧源に、出力側が共振負荷に各々接続され、共振周波数で矩形波電圧を出力する単相インバータを備えた共振負荷用電力変換装置であって、
前記単相インバータの一方の相の上、下アームおよび他方の相の上、下ア

ームに各々接続され、2個のスイッチング素子の直列体をN個（Nは2以上の整数）並列に接続して構成されたスイッチ群回路と、

前記単相インバータの前記スイッチ群回路の各スイッチング素子を時分割でスイッチング制御する制御部とを備え、

前記制御部は、

周波数指令を所定分数に分周した周波数を有し、振幅値0～1の間に、プラス傾斜とマイナス傾斜が同一傾斜である直線波形により形成された三角波信号を生成する三角波生成部と、

前記三角波生成部で生成された三角波信号を、 $1/4N$ 周期ずつ順次遅延させる $4N-1$ 個の遅延器と、

$(2N+1)/4N$ の値に設定した基準値と、前記三角波生成部で生成された三角波信号および前記 $4N-1$ 個の遅延器により遅延された三角波信号とを各々比較し、前記三角波信号が基準値より小のときゲートON信号を、三角波信号が基準値より大のときゲートOFF信号を各々出力する $4N$ 個の比較器と、

を備えていることを特徴とする。

[0013] また、請求項3に記載の共振負荷用電力変換装置の時分割運転方法は、直流入力側が直流電圧源に、出力側が共振負荷に各々接続され、共振周波数で矩形波電圧を出力する単相インバータを備えた共振負荷用電力変換装置の時分割運転方法であって、

前記単相インバータの一方の相の上、下アームおよび他方の相の上、下アームに各々接続され、2個のスイッチング素子の直列体をN個（Nは2以上の整数）並列に接続して構成されたスイッチ群回路と、

前記単相インバータの前記スイッチ群回路の各スイッチング素子を時分割でスイッチング制御する制御部とを備え、

前記制御部の三角波生成部が、周波数指令を所定分数に分周した周波数を有し、振幅値0～1の間に、プラス傾斜とマイナス傾斜が同一傾斜である直線波形により形成された三角波信号を生成する三角波生成ステップと、

前記制御部の $4N - 1$ 個の遅延器が、前記三角波生成部で生成された三角波信号を、 $1 / 4N$ 周期ずつ順次遅延させるステップと、

前記制御部の $4N$ 個の比較器が、 $(2N + 1) / 4N$ の値に設定した基準値と、前記三角波生成部で生成された三角波信号および前記 $4N - 1$ 個の遅延器により遅延された三角波信号とを各々比較し、前記三角波信号が基準値より小のときゲート ON 信号を、三角波信号が基準値より大のときゲート OFF 信号を各々出力するステップと、

を備えていることを特徴とする。

[0014] 上記構成によれば、1 アーム毎に $2N$ 個のスイッチング素子を有した単相インバータの、1 スwitchング素子あたりのスイッチング周波数を下げることができる。

[0015] また、スイッチング素子の直列体の並列数 N が、2 以上のどのような値であっても、時分割運転が可能なスイッチングパターンを生成することができる。

[0016] また、請求項 2 に記載の共振負荷用電力変換装置は、請求項 1 において、前記スイッチング素子の直列体の並列個数 N は 2 であり、

前記単相インバータの一方の相の上アームのスイッチ群回路は、スイッチング素子 U_{11} 、 U_{12} の直列体とスイッチング素子 U_{21} 、 U_{22} の直列体とを並列に接続して構成され、

前記単相インバータの一方の相の下アームのスイッチ群回路は、スイッチング素子 X_{11} 、 X_{12} の直列体とスイッチング素子 X_{21} 、 X_{22} の直列体とを並列に接続して構成され、

前記単相インバータの他方の相の上アームのスイッチ群回路は、スイッチング素子 V_{11} 、 V_{12} の直列体とスイッチング素子 V_{21} 、 V_{22} の直列体とを並列に接続して構成され、

前記単相インバータの他方の相の下アームのスイッチ群回路は、スイッチング素子 Y_{11} 、 Y_{12} の直列体とスイッチング素子 Y_{21} 、 Y_{22} の直列体とを並列に接続して構成され、

前記 $4N - 1$ 個の遅延器は、前記三角波生成部に対して順次直列に設けた第 1 ～ 第 7 の遅延器で構成され、前記 $4N$ 個の比較器は、第 1 ～ 第 8 の比較器で構成され、

前記第 1 の比較器は、前記三角波生成部で生成された三角波信号と前記基準値を比較し、前記三角波信号の 1 周期の $(2N + 1) / 4N$ の期間ゲート ON 信号となり、 $(2N - 1) / 4N$ の期間ゲート OFF 信号となるスイッチング素子 U 1 1、Y 1 1 用ゲート指令信号を出力し、

前記第 2 の比較器は、前記第 1 の遅延器により遅延された三角波信号と前記基準値を比較し、前記 U 1 1、Y 1 1 用ゲート指令信号に対して $1 / 4N$ 周期遅延し、当該ゲート指令信号の ON 期間および OFF 期間と同一の ON 期間および OFF 期間を有するスイッチング素子 X 1 1、V 1 1 用ゲート指令信号を出力し、

前記第 3 の比較器は、前記第 2 の遅延器により遅延された三角波信号と前記基準値を比較し、前記 X 1 1、V 1 1 用ゲート指令信号に対して $1 / 4N$ 周期遅延し、当該ゲート指令信号の ON 期間および OFF 期間と同一の ON 期間および OFF 期間を有するスイッチング素子 U 2 1、Y 2 1 用ゲート指令信号を出力し、

前記第 4 の比較器は、前記第 3 の遅延器により遅延された三角波信号と前記基準値を比較し、前記 U 2 1、Y 2 1 用ゲート指令信号に対して $1 / 4N$ 周期遅延し、当該ゲート指令信号の ON 期間および OFF 期間と同一の ON 期間および OFF 期間を有するスイッチング素子 X 2 1、V 2 1 用ゲート指令信号を出力し、

前記第 5 の比較器は、前記第 4 の遅延器により遅延された三角波信号と前記基準値を比較し、前記 X 2 1、V 2 1 用ゲート指令信号に対して $1 / 4N$ 周期遅延し、当該ゲート指令信号の ON 期間および OFF 期間と同一の ON 期間および OFF 期間を有するスイッチング素子 U 1 2、Y 1 2 用ゲート指令信号を出力し、

前記第 6 の比較器は、前記第 5 の遅延器により遅延された三角波信号と前

記基準値を比較し、前記U 1 2、Y 1 2用ゲート指令信号に対して1 / 4 N 周期遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON 期間およびOFF期間を有するスイッチング素子X 1 2、V 1 2用ゲート指令信号を出力し、

前記第7の比較器は、前記第6の遅延器により遅延された三角波信号と前記基準値を比較し、前記X 1 2、V 1 2用ゲート指令信号に対して1 / 4 N 周期遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON 期間およびOFF期間を有するスイッチング素子U 2 2、Y 2 2用ゲート指令信号を出力し、

前記第8の比較器は、前記第7の遅延器により遅延された三角波信号と前記基準値を比較し、前記U 2 2、Y 2 2用ゲート指令信号に対して1 / 4 N 周期遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON 期間およびOFF期間を有するスイッチング素子X 2 2、V 2 2用ゲート指令信号を出力することを特徴とする。

[0017] また、請求項4に記載の共振負荷用電力変換装置の時分割運転方法は、請求項3において、

前記スイッチング素子の直列体の並列個数Nは2であり、

前記単相インバータの一方の相の上アームのスイッチ群回路は、スイッチング素子U 1 1、U 1 2の直列体とスイッチング素子U 2 1、U 2 2の直列体とを並列に接続して構成され、

前記単相インバータの一方の相の下アームのスイッチ群回路は、スイッチング素子X 1 1、X 1 2の直列体とスイッチング素子X 2 1、X 2 2の直列体とを並列に接続して構成され、

前記単相インバータの他方の相の上アームのスイッチ群回路は、スイッチング素子V 1 1、V 1 2の直列体とスイッチング素子V 2 1、V 2 2の直列体とを並列に接続して構成され、

前記単相インバータの他方の相の下アームのスイッチ群回路は、スイッチング素子Y 1 1、Y 1 2の直列体とスイッチング素子Y 2 1、Y 2 2の直列

体とを並列に接続して構成され、

前記 $4N - 1$ 個の遅延器は、前記三角波生成部に対して順次直列に設けた第 1 ～ 第 7 の遅延器で構成され、前記 $4N$ 個の比較器は、第 1 ～ 第 8 の比較器で構成され、

前記第 1 の比較器が、前記三角波生成部で生成された三角波信号と前記基準値を比較し、前記三角波信号の 1 周期の $(2N + 1) / 4N$ の期間ゲート ON 信号となり、 $(2N - 1) / 4N$ の期間ゲート OFF 信号となるスイッチング素子 U 1 1、Y 1 1 用ゲート指令信号を出力するステップと、

前記第 2 の比較器が、前記第 1 の遅延器により遅延された三角波信号と前記基準値を比較し、前記 U 1 1、Y 1 1 用ゲート指令信号に対して $1 / 4N$ 周期遅延し、当該ゲート指令信号の ON 期間および OFF 期間と同一の ON 期間および OFF 期間を有するスイッチング素子 X 1 1、V 1 1 用ゲート指令信号を出力するステップと、

前記第 3 の比較器が、前記第 2 の遅延器により遅延された三角波信号と前記基準値を比較し、前記 X 1 1、V 1 1 用ゲート指令信号に対して $1 / 4N$ 周期遅延し、当該ゲート指令信号の ON 期間および OFF 期間と同一の ON 期間および OFF 期間を有するスイッチング素子 U 2 1、Y 2 1 用ゲート指令信号を出力するステップと、

前記第 4 の比較器が、前記第 3 の遅延器により遅延された三角波信号と前記基準値を比較し、前記 U 2 1、Y 2 1 用ゲート指令信号に対して $1 / 4N$ 周期遅延し、当該ゲート指令信号の ON 期間および OFF 期間と同一の ON 期間および OFF 期間を有するスイッチング素子 X 2 1、V 2 1 用ゲート指令信号を出力するステップと、

前記第 5 の比較器が、前記第 4 の遅延器により遅延された三角波信号と前記基準値を比較し、前記 X 2 1、V 2 1 用ゲート指令信号に対して $1 / 4N$ 周期遅延し、当該ゲート指令信号の ON 期間および OFF 期間と同一の ON 期間および OFF 期間を有するスイッチング素子 U 1 2、Y 1 2 用ゲート指令信号を出力するステップと、

前記第6の比較器が、前記第5の遅延器により遅延された三角波信号と前記基準値を比較し、前記U12、Y12用ゲート指令信号に対して $1/4N$ 周期遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X12、V12用ゲート指令信号を出力するステップと、

前記第7の比較器が、前記第6の遅延器により遅延された三角波信号と前記基準値を比較し、前記X12、V12用ゲート指令信号に対して $1/4N$ 周期遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子U22、Y22用ゲート指令信号を出力するステップと、

前記第8の比較器が、前記第7の遅延器により遅延された三角波信号と前記基準値を比較し、前記U22、Y22用ゲート指令信号に対して $1/4N$ 周期遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X22、V22用ゲート指令信号を出力するステップと、

を備えたことを特徴とする。

[0018] 上記構成によれば、1アーム毎に4個のスイッチング素子を有した単相インバータの、1スイッチング素子あたりのスイッチング周波数を下げることができる。

[0019] また、請求項5に記載の共振負荷用電力変換システムにおける電力バランス制御装置は、

直流入力側が直流電圧源に、出力側が共振負荷側に各々接続され、共振周波数で矩形波電圧を出力する単相インバータを備えた共振負荷用電力変換装置を、複数並列に、又は直列多重化して共振負荷に接続した共振負荷用電力変換システムにおける電力バランス制御装置であって、

前記各共振負荷用電力変換装置の単相インバータの一方の相の上、下アームおよび他方の相の上、下アームに各々接続され、2個のスイッチング素子の直列体をN個（Nは2以上の整数）並列に接続して構成されたスイッチ群

回路と、

前記複数の共振負荷用電力変換装置各々に設けられ、各共振負荷用電力変換装置の電力のバランス制御を行いつつ、前記単相インバータの前記スイッチ群回路の各スイッチング素子を時分割でスイッチング制御する制御部とを備え、

前記各制御部は、

前記複数の共振負荷用電力変換装置の平均電力と制御対象の共振負荷用電力変換装置の電力との偏差をとって、平均電力に対してバランスさせる補正量を求め、該補正量に、設定した通電幅指令値を加算して、当該制御対象の共振負荷用電力変換装置の単相インバータの電圧補正值を出力するバランス制御部と、

周波数指令を所定分数に分周した周波数を有し、振幅値 $0 \sim 1$ の間に、プラス傾斜とマイナス傾斜が同一傾斜である直線波形により形成された三角波信号を生成する三角波生成部と、

前記三角波生成部で生成された三角波信号を、 $1/4N$ 周期ずつ順次遅延させる $4N - 1$ 個の遅延器と、

$(2N + 1)/4N$ の値から前記バランス制御部で出力された電圧補正值を差し引いた基準値と、前記三角波生成部で生成された三角波信号および前記 $4N - 1$ 個の遅延器により遅延された三角波信号とを各々比較し、前記三角波信号が基準値より小のときゲート ON 信号を、三角波信号が基準値より大のときゲート OFF 信号を各々出力する $4N$ 個の比較器と、

を各々備えていることを特徴とする。

[0020] また、請求項 6 に記載の共振負荷用電力変換システムにおける電力バランス制御装置は、請求項 5 において、

前記スイッチング素子の直列体の並列個数 N は 2 であり、

前記単相インバータの一方の相の上アームのスイッチ群回路は、スイッチング素子 U_{11} 、 U_{12} の直列体とスイッチング素子 U_{21} 、 U_{22} の直列体とを並列に接続して構成され、

前記単相インバータの一方の相の下アームのスイッチ群回路は、スイッチング素子 X_{11} 、 X_{12} の直列体とスイッチング素子 X_{21} 、 X_{22} の直列体とを並列に接続して構成され、

前記単相インバータの他方の相の上アームのスイッチ群回路は、スイッチング素子 V_{11} 、 V_{12} の直列体とスイッチング素子 V_{21} 、 V_{22} の直列体とを並列に接続して構成され、

前記単相インバータの他方の相の下アームのスイッチ群回路は、スイッチング素子 Y_{11} 、 Y_{12} の直列体とスイッチング素子 Y_{21} 、 Y_{22} の直列体とを並列に接続して構成され、

前記 $4N - 1$ 個の遅延器は、前記三角波生成部に対して順次直列に設けた第1～第7の遅延器で構成され、前記 $4N$ 個の比較器は、第1～第8の比較器で構成され、

前記第1の比較器は、前記三角波生成部で生成された三角波信号と前記基準値を比較し、前記三角波信号の1周期の $(2N + 1) / 4N$ の期間ゲートON信号となり、 $(2N - 1) / 4N$ の期間ゲートOFF信号となるスイッチング素子 U_{11} 、 Y_{11} 用ゲート指令信号を出力し、

前記第2の比較器は、前記第1の遅延器により遅延された三角波信号と前記基準値を比較し、前記 U_{11} 、 Y_{11} 用ゲート指令信号に対して $1 / 4N$ 周期遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子 X_{11} 、 V_{11} 用ゲート指令信号を出力し、

前記第3の比較器は、前記第2の遅延器により遅延された三角波信号と前記基準値を比較し、前記 X_{11} 、 V_{11} 用ゲート指令信号に対して $1 / 4N$ 周期遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子 U_{21} 、 Y_{21} 用ゲート指令信号を出力し、

前記第4の比較器は、前記第3の遅延器により遅延された三角波信号と前記基準値を比較し、前記 U_{21} 、 Y_{21} 用ゲート指令信号に対して $1 / 4N$

周期遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X21、V21用ゲート指令信号を出力し、

前記第5の比較器は、前記第4の遅延器により遅延された三角波信号と前記基準値を比較し、前記X21、V21用ゲート指令信号に対して $1/4N$ 周期遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子U12、Y12用ゲート指令信号を出力し、

前記第6の比較器は、前記第5の遅延器により遅延された三角波信号と前記基準値を比較し、前記U12、Y12用ゲート指令信号に対して $1/4N$ 周期遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X12、V12用ゲート指令信号を出力し、

前記第7の比較器は、前記第6の遅延器により遅延された三角波信号と前記基準値を比較し、前記X12、V12用ゲート指令信号に対して $1/4N$ 周期遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子U22、Y22用ゲート指令信号を出力し、

前記第8の比較器は、前記第7の遅延器により遅延された三角波信号と前記基準値を比較し、前記U22、Y22用ゲート指令信号に対して $1/4N$ 周期遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X22、V22用ゲート指令信号を出力することを特徴としている。

[0021] また、請求項7に記載の共振負荷用電力変換システムにおける電力バランス制御方法は、

直流入力側が直流電圧源に、出力側が共振負荷側に各々接続され、共振周波数で矩形波電圧を出力する単相インバータを備えた共振負荷用電力変換装置を、複数並列に、又は直列多重化して共振負荷に接続した共振負荷用電力

変換システムにおける電力バランス制御方法であって、

前記各共振負荷用電力変換装置の単相インバータの一方の相の上、下アームおよび他方の相の上、下アームに各々接続され、2個のスイッチング素子の直列体をN個（Nは2以上の整数）並列に接続して構成されたスイッチ群回路と、

前記複数の共振負荷用電力変換装置各々に設けられ、各共振負荷用電力変換装置の電力のバランス制御を行いつつ、前記単相インバータの前記スイッチ群回路の各スイッチング素子を時分割でスイッチング制御する制御部とを備え、

前記各制御部のバランス制御部が、前記複数の共振負荷用電力変換装置の平均電力と制御対象の共振負荷用電力変換装置の電力との偏差をとって、平均電力に対してバランスさせる補正量を求め、該補正量に、設定した通電幅指令値を加算して、当該制御対象の共振負荷用電力変換装置の単相インバータの電圧補正值を出力するステップと、

前記各制御部の三角波生成部が、周波数指令を所定分数に分周した周波数を有し、振幅値0～1の間に、プラス傾斜とマイナス傾斜が同一傾斜である直線波形により形成された三角波信号を生成するステップと、

前記各制御部の $4N - 1$ 個の遅延器が、前記三角波生成部で生成された三角波信号を、 $1 / 4N$ 周期ずつ順次遅延させるステップと、

前記各制御部の $4N$ 個の比較器が、 $(2N + 1) / 4N$ の値から前記バランス制御部で出力された電圧補正值を差し引いた基準値と、前記三角波生成部で生成された三角波信号および前記 $4N - 1$ 個の遅延器により遅延された三角波信号とを各々比較し、前記三角波信号が基準値より小のときゲートON信号を、三角波信号が基準値より大のときゲートOFF信号を各々出力するステップと、

を各々備えていることを特徴とする。

[0022] また、請求項8に記載の共振負荷用電力変換システムにおける電力バランス制御方法は、請求項7において、

前記スイッチング素子の直列体の並列個数 N は2であり、

前記単相インバータの一方の相の上アームのスイッチ群回路は、スイッチング素子 U_{11} 、 U_{12} の直列体とスイッチング素子 U_{21} 、 U_{22} の直列体とを並列に接続して構成され、

前記単相インバータの一方の相の下アームのスイッチ群回路は、スイッチング素子 X_{11} 、 X_{12} の直列体とスイッチング素子 X_{21} 、 X_{22} の直列体とを並列に接続して構成され、

前記単相インバータの他方の相の上アームのスイッチ群回路は、スイッチング素子 V_{11} 、 V_{12} の直列体とスイッチング素子 V_{21} 、 V_{22} の直列体とを並列に接続して構成され、

前記単相インバータの他方の相の下アームのスイッチ群回路は、スイッチング素子 Y_{11} 、 Y_{12} の直列体とスイッチング素子 Y_{21} 、 Y_{22} の直列体とを並列に接続して構成され、

前記 $4N - 1$ 個の遅延器は、前記三角波生成部に対して順次直列に設けた第1～第7の遅延器で構成され、前記 $4N$ 個の比較器は、第1～第8の比較器で構成され、

前記第1の比較器が、前記三角波生成部で生成された三角波信号と前記基準値を比較し、前記三角波信号の1周期の $(2N + 1) / 4N$ の期間ゲートON信号となり、 $(2N - 1) / 4N$ の期間ゲートOFF信号となるスイッチング素子 U_{11} 、 Y_{11} 用ゲート指令信号を出力するステップと、

前記第2の比較器が、前記第1の遅延器により遅延された三角波信号と前記基準値を比較し、前記 U_{11} 、 Y_{11} 用ゲート指令信号に対して $1 / 4N$ 周期遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子 X_{11} 、 V_{11} 用ゲート指令信号を出力するステップと、

前記第3の比較器が、前記第2の遅延器により遅延された三角波信号と前記基準値を比較し、前記 X_{11} 、 V_{11} 用ゲート指令信号に対して $1 / 4N$ 周期遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON

期間およびOFF期間を有するスイッチング素子U21、Y21用ゲート指令信号を出力するステップと、

前記第4の比較器が、前記第3の遅延器により遅延された三角波信号と前記基準値を比較し、前記U21、Y21用ゲート指令信号に対して $1/4N$ 周期遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X21、V21用ゲート指令信号を出力するステップと、

前記第5の比較器が、前記第4の遅延器により遅延された三角波信号と前記基準値を比較し、前記X21、V21用ゲート指令信号に対して $1/4N$ 周期遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子U12、Y12用ゲート指令信号を出力するステップと、

前記第6の比較器が、前記第5の遅延器により遅延された三角波信号と前記基準値を比較し、前記U12、Y12用ゲート指令信号に対して $1/4N$ 周期遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X12、V12用ゲート指令信号を出力するステップと、

前記第7の比較器が、前記第6の遅延器により遅延された三角波信号と前記基準値を比較し、前記X12、V12用ゲート指令信号に対して $1/4N$ 周期遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子U22、Y22用ゲート指令信号を出力するステップと、

前記第8の比較器が、前記第7の遅延器により遅延された三角波信号と前記基準値を比較し、前記U22、Y22用ゲート指令信号に対して $1/4N$ 周期遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X22、V22用ゲート指令信号を出力するステップと、を備えたことを特徴としている。

[0023] 上記構成によれば、共振負荷に対して並列接続、又は直列多重化され、時

分割運転がなされる複数の共振負荷用電力変換装置の単相インバータ間の電力をバランスさせることができる。

[0024] また、請求項 5、7 の構成によれば、各共振負荷用電力変換装置において、1 アーム毎に $2N$ 個のスイッチング素子を有した単相インバータの、1 スwitchング素子あたりのスイッチング周波数を下げることができる。

[0025] また、各共振負荷用電力変換装置の制御部によって、スイッチング素子の直列体の並列数 N が、2 以上のどのような値であっても時分割運転が可能なスイッチングパターンを生成することができる。

[0026] また、請求項 6、8 の構成によれば、各共振負荷用電力変換装置において、1 アーム毎に 4 個のスイッチング素子を有した単相インバータの、1 スwitchング素子あたりのスイッチング周波数を下げることができる。

(1) 請求項 1 ～ 8 に記載の発明によれば、1 アーム毎に $2N$ 個のスイッチング素子を有した単相インバータの、1 スwitchング素子あたりのスイッチング周波数を下げることができる。

(2) 請求項 1、3、5、7 に記載の発明によれば、スイッチング素子の直列体の並列数 N が、2 以上のどのような値であっても、時分割運転が可能なスイッチングパターンを生成することができる。

(3) 請求項 2、4、6、8 に記載の発明によれば、1 アーム毎に 4 個のスイッチング素子を有した単相インバータの、1 スwitchング素子あたりのスイッチング周波数を下げることができる。

(4) 請求項 5 ～ 8 に記載の発明によれば、共振負荷に対して並列接続、又は直列多重化され、時分割運転がなされる複数の共振負荷用電力変換装置の単相インバータ間の電力をバランスさせることができる。

図面の簡単な説明

[0027] [図1]本発明の実施形態例による単相インバータの構成図。

[図2]本発明の実施形態例による制御ブロック図。

[図3]本発明の実施例 1 による単相インバータの構成図。

[図4]本発明の実施例 1 による制御ブロック図。

[図5]本発明の実施例1によるゲート信号生成パターンと出力電圧の様子を示す波形図。

[図6]本発明の実施例1におけるゲート信号パターン生成の過程を示す説明図。

[図7]本発明の実施例1における三角波信号の1周期中のオン、オフ期間を示す説明図。

[図8]本発明の実施例2による単相インバータの構成図。

[図9]本発明の実施例2によるゲート信号生成パターンと出力電圧の様子を示す波形図。

[図10]本発明の実施例3の主回路構成図。

[図11]本発明の実施例3によるバランス制御ブロックのブロック図。

[図12]本発明の実施例3によるゲート信号制御ブロックの回路図。

[図13]本発明の実施例4によるゲート信号制御ブロックの回路図。

[図14]本発明の実施例4におけるバランス制御動作時のゲート信号パターンと出力電圧の様子を示す波形図。

[図15]本発明が適用される共振負荷用電力変換装置の構成図。

発明を実施するための形態

[0028] 以下、図面を参照しながら本発明の実施の形態を説明するが、本発明は下記の実施形態例に限定されるものではない。

[0029] 図1は、共振負荷用電力変換装置である、例えば図15の交直変換装置10に適用される、時分割運転機能を有した単相インバータ（インバータユニット）の構成を示している。

[0030] 図1の単相インバータの直流入力部は直流リンク電圧入力部 V_{dc} に接続され、各アームには、2直列N並列（ $N=2$ 以上の整数）のスイッチング素子（例えばIGBT）を備えたスイッチ群回路100U、100V、100X、100Yが各々接続され、スイッチ群回路100Uおよび100Xの共通接続点とスイッチ群回路100Vおよび100Yの共通接続点の間には、矩形波の出力電圧 V_{out} が出力されるように構成されている。

- [0031] 単相インバータの一方の相の上アームのスイッチ群回路100Uは、スイッチング素子U11, U12の直列体と、スイッチング素子U21, U22の直列体と、…スイッチング素子UN1, UN2の直列体とが並列に接続されている。
- [0032] 単相インバータの一方の相の下アームのスイッチ群回路100Xは、スイッチング素子X11, X12の直列体と、スイッチング素子X21, X22の直列体と、…スイッチング素子XN1, XN2の直列体とが並列に接続されている。
- [0033] 単相インバータの他方の相の上アームのスイッチ群回路100Vは、スイッチング素子V11, V12の直列体と、スイッチング素子V21, V22の直列体と、…スイッチング素子VN1, VN2の直列体とが並列に接続されている。
- [0034] 単相インバータの他方の相の下アームのスイッチ群回路100Yは、スイッチング素子Y11, Y12の直列体と、スイッチング素子Y21, Y22の直列体と、…スイッチング素子YN1, YN2の直列体とが並列に接続されている。
- [0035] 図2は、図1のスイッチ群回路100U, 100V, 100X, 100Yの各スイッチング素子を時分割でスイッチング制御する制御部の制御ブロックを示している。
- [0036] 図2において、111は、周波数指令信号の周波数を $1/2N$ に分周する分周器である。112は、分周器111で分周された周波数を有し、振幅値0～1の間に、プラス傾斜とマイナス傾斜が同一傾斜である直線波形により形成された三角波信号を生成する三角波生成部である。
- [0037] 113…は、三角波生成部112で生成された三角波信号（1周期T）を、 $T/4N$ ずつ順次遅らせる（三角波1周期をTとしているため、 $1/4N$ 周期ずつ遅らせる） $4N-1$ 個の遅延器である。
- [0038] 114は、前記三角波信号に対してオン・オフの境界を決定するための基準値 $(2N+1)/4N$ を生成（設定）する基準値生成部である。

[0039] 115…は、基準値生成部114の基準値 $(2N+1)/4N$ と、三角波生成部112で生成された三角波信号および $4N-1$ 個の遅延器113…により順次遅延された三角波信号とを各々比較し、三角波信号が基準値より小的时候ゲートON信号となり、三角波信号が基準値より大のときゲートOFF信号となる、図1の各スイッチング素子のゲート指令信号を各々出力する $4N$ 個の比較器である。

[0040] 上記構成によれば、比較器115…は、基準値生成部114の $(2N+1)/4N$ の値と、 $0\sim 1$ の間の値を推移する、三角波生成部112の三角波信号およびそれを順次 $1/4N$ 周期ずつ遅延させた三角波信号とを比較しているので、三角波信号の1周期の $(2N+1)/4N$ の期間ゲートON信号となり、 $(2N-1)/4N$ の期間ゲートOFF信号となるゲート指令信号を各々出力する。

[0041] そして、 $4N$ 個の比較器115…から出力される各ゲート指令信号は、各々同一のON期間、OFF期間を有し、且つ三角波信号の $1/4N$ 周期ずつ各々遅延したゲート指令信号となるため、図1のスイッチ群回路100U, 100V, 100X, 100Yの各スイッチング素子が時分割でスイッチング制御される。

[0042] これによって、1アーム毎に $2N$ 個のスイッチング素子を有した単相インバータの、1スイッチング素子あたりのスイッチング周波数を下げることができる。

[0043] また、スイッチング素子の直列体の並列数 N が、2以上のどのような値であっても、時分割運転が可能なスイッチングパターンを生成することができる。

[0044] 前記単相インバータの出力電圧周期は三角波信号の周期 T の $1/2N$ となっている。

実施例 1

[0045] 図3は、図1の単相インバータの各アームのスイッチ群回路のスイッチング素子の直列体の並列数 $N=2$ としたときのインバータユニットの構成を示

している。図3において、単相インバータの一方の相の上アームのスイッチ群回路200Uは、スイッチング素子U11, U12の直列体と、スイッチング素子U21, U22の直列体とが並列に接続されている。

[0046] 単相インバータの一方の相の下アームのスイッチ群回路200Xは、スイッチング素子X11, X12の直列体と、スイッチング素子X21, X22の直列体とが並列に接続されている。

[0047] 単相インバータの他方の相の上アームのスイッチ群回路200Vは、スイッチング素子V11, V12の直列体と、スイッチング素子V21, V22の直列体とが並列に接続されている。

[0048] 単相インバータの他方の相の下アームのスイッチ群回路200Yは、スイッチング素子Y11, Y12の直列体と、スイッチング素子Y21, Y22の直列体とが並列に接続されている。

[0049] 図3の単相インバータでは、スイッチング素子U11, U12, U21, U22のU集団(Y集団とリンク)は出力電圧としてプラス(上側)の電圧を生成し、スイッチング素子V11, V12, V21, V22のV集団(X集団とリンク)は出力電圧としてマイナス(下側)の電圧を生成するものである。

[0050] 図4は、図3のスイッチ群回路200U, 200V, 200X, 200Yの各スイッチング素子を時分割でスイッチング制御する制御部の制御ブロックを示しており、図2と同一部分は同一符号をもって示している。

[0051] 図4において図2と異なる点は、 $4N-1$ 個の遅延器を、三角波生成部112に対して順次直列に設けた第1～第7の遅延器113₋₁～113₋₇で構成し、 $4N$ 個の比較器を、第1～第8の比較器115₋₁～115₋₈で構成した点にあり、その他の部分は図2と同一に構成されている。

[0052] 図4の制御ブロックによるゲート信号パターンと出力電圧の関係を図5に示す。図5の上段は、振幅値が0～1の間で推移する、三角波生成部112の三角波信号および各遅延器で $1/4N$ ($=1/8$)周期ずつ遅延された三角波信号と、基準値生成部114の基準値 $(2N+1)/4N$ ($=5/8$)

を示している。

[0053] 図5の中段は、比較器115₋₁～115₋₈から各々出力されるゲート指令信号を示し、図5の下段は出力電圧を示している。

[0054] 本実施例1では、単相インバータの各アームのスイッチング素子が、2直列2並列であるので、出力電圧（ V_{out} ）の周波数に比べ、1素子当たりのスイッチング周波数が出力周波数の $1/4$ である信号で動作させることになる。図5の時刻 $t_0 \sim t_8$ の区間が1素子の動作周期である。スイッチング素子U11とY11は同時にオン・オフのスイッチングをする。同様にスイッチング素子U12とY12、スイッチング素子U21とY21、スイッチング素子U22とY22、スイッチング素子V11とX11、スイッチング素子V12とX12、スイッチング素子V21とX21、スイッチング素子V22とX22は同時にオン・オフのスイッチングをする。

[0055] 各スイッチング素子のスイッチング周波数は出力周波数の $1/4$ であるので、図5の最下段に示すように1周期で4回のオン（上側）と4回のオフ（下側）があることになる。このため1周期を8分割した $1/8$ 周期毎にスイッチングをする必要がある。

[0056] ゲート信号パターン生成の過程を図6のstep1～step7とともに説明する。図6中、灰色部分の時間帯がオンである。2直列（U11とU12）を同時にオンさせるのは8分割（1分割は $1/8$ 周期分）の内、素子が2個あるので2回、均等な動作のためには4分割の内1回で、このオン期間2回の間隔は3分割分（＝4分割－1分割）の時間であることをベースに考えると、2直列のうち一方の素子のオン期間5分割分の中央3分割分に、2直列のうち他方の素子のオフ期間を入れることで実現させた（step1）。

[0057] 次に2並列の動作（U1列（U11とU12）とU2列（U21とU22））であるが、U1列のオフ期間（3分割分）の中央にU2列のオンを挿入した（step2）。

[0058] そしてstep1をベースにstep3を導くことができる。すなわち、

2 直列 (U 2 1 と U 2 2) のうち一方の素子のオン期間 5 分割分の中央 3 分割分に、2 直列のうち他方の素子のオフ期間を入れる。

[0059] 次に、U 1 列で生成したプラス側に対しマイナスを V 1 列で生成する (step 4)。これを生成するのが step 5 である。すなわち、2 直列 (V 1 1 と V 1 2) のうち一方の素子のオン期間 5 分割分の中央 3 分割分に、2 直列のうち他方の素子のオフ期間を入れる。ここで step 5 における V 1 1 と V 1 2 の動作が逆でも結果生成される step 4 の波形は同じである。

[0060] 同様に V 2 列に対応する波形を生成する (step 6)。これを生成するのが step 7 となる (step 6, step 7 の動作は step 4, step 5 と同様である)。

[0061] このように生成したゲート指令信号を、図 5 の (1) U 1 1 / Y 1 1, (2) X 1 1 / V 1 1, (3) U 2 1 / Y 2 1, (4) X 2 1 / V 2 1, (7) U 1 2 / Y 1 2, (8) X 1 2 / V 1 2, (9) U 2 2 / Y 2 2, (10) X 2 2 / V 2 2 に示す。

[0062] 上述したように、直列素子の信号が逆 (U 1 1 と U 1 2 の信号が逆) となってもよい。また並列素子の信号が逆 (U 1 列と U 2 列の信号が逆) となってもよい。

[0063] 上記図 5 中段のゲート指令信号 (1) U 1 1 / Y 1 1, (2) X 1 1 / V 1 1, (3) U 2 1 / Y 2 1, (4) X 2 1 / V 2 1, (7) U 1 2 / Y 1 2, (8) X 1 2 / V 1 2, (9) U 2 2 / Y 2 2, (10) X 2 2 / V 2 2 を生成するため、図 5 上段の (1), (2), (3), (4), (7), (8), (9), (10) の三角波を用意している。これは上述したように 1 / 8 周期毎にスイッチングをする必要があるためである。

[0064] そして三角波信号の 1 周期中のオン、オフ周期を示す図 7 のように、1 周期の間で 5 / 8 周期が連続してオン、残り 3 / 8 周期がオフである信号を生成するために、図 2 の制御ブロックのように三角波と所定の基準値と比較し基準値より低い値をオンとするように構成しており、これによって三角波 (振幅値 0 ~ 1) と 5 / 8 の比較で 5 / 8 周期のオン期間が得られる。

- [0065] ゲート指令信号(1) $U11/Y11$ の波形の時間幅のみ考えれば、三角波の $5/8$ と比較することで生成できるためには、三角波の下端の頂点が時刻 $t2 - t3$ の間にある必要がある。これは、他のゲート指令信号(2) $X11/V11$, (3) $U21/Y21$, (4) $X21/V21$, (7) $U12/Y12$, (8) $X12/V12$, (9) $U22/Y22$, (10) $X22/V22$ も同様である。
- [0066] 前記ゲート指令信号(1) $U11/Y11$ は、図4の比較器 115_{-1} において、三角波生成部 112 で生成された三角波信号(図5上段の(1))と基準値生成部 114 の基準値 $5/8 (= (2N+1)/4N)$ を比較した結果、三角波の1周期の $5/8$ の期間ゲートONとなり $3/8 (= (2N-1)/4N)$ の期間ゲートOFFとなる信号として出力される。
- [0067] 前記ゲート指令信号(2) $X11/V11$ は、比較器 115_{-2} において、遅延器 113_{-1} で遅延された三角波信号(図5上段の(2))と前記基準値 $5/8$ を比較した結果、前記ゲート指令信号(1) $U11/Y11$ に対して $1/8 (= 1/4N)$ 周期遅延し、ON期間、OFF期間がゲート指令信号(1)と同一の信号として出力される。
- [0068] 前記ゲート指令信号(3) $U21/Y21$ は、比較器 115_{-3} において、遅延器 113_{-2} で遅延された三角波信号(図5上段の(3))と前記基準値 $5/8$ を比較した結果、前記ゲート指令信号(2) $X11/V11$ に対して $1/8$ 周期遅延し、ON期間、OFF期間がゲート指令信号(2)と同一の信号として出力される。
- [0069] 前記ゲート指令信号(4) $X21/V21$ は、比較器 115_{-4} において、遅延器 113_{-3} で遅延された三角波信号(図5上段の(4))と前記基準値 $5/8$ を比較した結果、前記ゲート指令信号(3) $U21/Y21$ に対して $1/8$ 周期遅延し、ON期間、OFF期間がゲート指令信号(3)と同一の信号として出力される。
- [0070] 前記ゲート指令信号(7) $U12/Y12$ は、比較器 115_{-5} において、遅延器 113_{-4} で遅延された三角波信号(図5上段の(7))と前記基準値 $5/8$

8を比較した結果、前記ゲート指令信号(4) X21/V21に対して1/8周期遅延し、ON期間、OFF期間がゲート指令信号(4)と同一の信号として出力される。

[0071] 前記ゲート指令信号(8) X12/V12は、比較器115₆において、遅延器113₅で遅延された三角波信号(図5上段の(8))と前記基準値5/8を比較した結果、前記ゲート指令信号(7) U12/Y12に対して1/8周期遅延し、ON期間、OFF期間がゲート指令信号(7)と同一の信号として出力される。

[0072] 前記ゲート指令信号(9) U22/Y22は、比較器115₇において、遅延器113₆で遅延された三角波信号(図5上段の(9))と前記基準値5/8を比較した結果、前記ゲート指令信号(8) X12/V12に対して1/8周期遅延し、ON期間、OFF期間がゲート指令信号(8)と同一の信号として出力される。

[0073] 前記ゲート指令信号(10) X22/V22は、比較器115₈において、遅延器113₇で遅延された三角波信号(図5上段の(10))と前記基準値5/8を比較した結果、前記ゲート指令信号(9) U22/Y22に対して1/8周期遅延し、ON期間、OFF期間がゲート指令信号(9)と同一の信号として出力される。

[0074] 尚、図5において、ゲート指令信号(5)、(6)は、後述のN=3の実施例2の図9で、ゲート指令信号(5) U31/Y31、ゲート指令信号(6) X31/V31を用いているため、ここでは欠番としている。

[0075] 図3の単相インバータの出力電圧のプラスとマイナスの推移は、図5に示すように、時刻t0-t1プラス側(U1列U12オフで終了)→時刻t1-t2マイナス側(V1列V12オフで終了)→時刻t2-t3プラス側(U2列U22オフで終了)→時刻t3-t4マイナス側(V2列V22オフで終了)→時刻t4-t5プラス側(U1列U11オフで終了)→時刻t5-t6マイナス側(V1列V11オフで終了)→時刻t6-t7プラス側(U2列U21オフで終了)→時刻t7-t8マイナス側(V2列V21オフ

で終了)、の8パターンの繰り返しである。

実施例 2

- [0076] 図8は、図1の単相インバータの各アームのスイッチ群回路のスイッチング素子の直列体の並列数 $N=3$ としたときのインバータユニットの構成を示している。図8において、単相インバータの一方の相の上アームのスイッチ群回路300Uは、スイッチング素子U11, U12の直列体と、スイッチング素子U21, U22の直列体と、スイッチング素子U31, U32の直列体とが並列に接続されている。
- [0077] 単相インバータの一方の相の下アームのスイッチ群回路300Xは、スイッチング素子X11, X12の直列体と、スイッチング素子X21, X22の直列体と、スイッチング素子X31, X32の直列体とが並列に接続されている。
- [0078] 単相インバータの他方の相の上アームのスイッチ群回路300Vは、スイッチング素子V11, V12の直列体と、スイッチング素子V21, V22の直列体と、スイッチング素子V31, V32の直列体とが並列に接続されている。
- [0079] 単相インバータの他方の相の下アームのスイッチ群回路300Yは、スイッチング素子Y11, Y12の直列体と、スイッチング素子Y21, Y22の直列体と、スイッチング素子Y31, Y32の直列体とが並列に接続されている。
- [0080] 図8の単相インバータの制御ブロックは図2と同様の回路となるが、図2における $4N-1$ 個の遅延器113...を、三角波生成部112に対して順次直列に設けられ、 $1/12$ 周期ずつ三角波信号を遅延する第1番目～第11番目の遅延器113...で構成し、図2における $4N$ 個の比較器115...を第1番目～第12番目の比較器115...で構成するものである。また、分周期111は周波数指令信号を $1/6$ に分周し、基準値生成部114は $7/12$ の基準値を生成している。
- [0081] 実施例2におけるゲート信号パターンと出力電圧の関係を図9に示す。図

9の上段は、振幅値が0～1の間で推移する、三角波生成部112の三角波信号および各遅延器で $1/4N (= 1/12)$ 周期ずつ遅延された三角波信号と、基準値生成部114の基準値 $(2N+1)/4N (= 7/12)$ を示している。

[0082] 図9の中段は、第1番目の比較器(115₋₁)～第12番目の比較器(115₋₁₂)から各々出力されるゲート指令信号を示し、図9の下段は出力電圧を示している。

[0083] 本実施例2では、単相インバータの各アームのスイッチング素子が、2直列3並列であるので、出力電圧(V_{out})の周波数に比べ、1素子当たりのスイッチング周波数が出力周波数の $1/6$ である信号で動作させることになる。図9の時刻 $t_0 \sim t_{12}$ の区間が1素子の動作周期である。

[0084] このため、図9の最下段に示すように、1周期で6回のオン(上側)と6回のオフ(下側)があることになる。したがって1周期を12分割した $1/12$ 周期毎にスイッチングする必要がある。

[0085] 本実施例2におけるゲート信号パターンは、図6で述べたU列に、さらにU3列があることから、U1列がオフの期間等間隔に2回オンを生成することを基本とし、実施例1の図6のstep1～step7と同様の過程により生成することができる。

[0086] 図9中段のゲート指令信号(1)U11/Y11, (2)X11/V11, (3)U21/Y21, (4)X21/V21, (5)U31/Y31, (6)X31/V31, (7)U12/Y12, (8)X12/V12, (9)U22/Y22, (10)X22/V22, (11)U32/Y32, (11)X32/V32を生成するため、図9上段の(1)～(12)の三角波を用意している。これは上述したように $1/12$ 周期毎にスイッチングをする必要があるためである。

[0087] そして1周期の間で $7/12 (= (2N+1)/4N)$ 周期が連続してオン、残り $5/12 (= (2N-1)/4N)$ 周期がオフである信号を生成するために、制御ブロックにおいて三角波と所定基準値を比較し基準値より低

い値をオンとするように構成することで、三角波（振幅値0～1）と $7/12$ の比較で $7/12$ 周期のオン期間が得られる。

[0088] ゲート指令信号（1） $U11/Y11$ の波形の時間幅のみ考えれば、三角波の $7/12$ と比較することで生成できるためには、三角波の下端の頂点が時刻 $t3 - t4$ の間にある必要がある。これは、他のゲート指令信号（2） $X11/V11$ 、…（12） $X32/V32$ も同様である。

[0089] 前記ゲート指令信号（1） $U11/Y11$ は、第1番目の比較器115において、三角波生成部112で生成された三角波信号（図9上段の（1））と基準値生成部114の基準値 $7/12$ （ $= (2N+1)/4N$ ）を比較した結果、三角波の1周期の $7/12$ の期間ゲートONとなり $5/12$ （ $= (2N-1)/4N$ ）の期間ゲートOFFとなる信号として出力される。

[0090] 前記ゲート指令信号（2） $X11/V11$ は、第2番目の比較器115において、第1番目の遅延器113で遅延された三角波信号（図9上段の（2））と前記基準値 $7/12$ を比較した結果、前記ゲート指令信号（1） $U11/Y11$ に対して $1/12$ （ $= 1/4N$ ）周期遅延し、ON期間、OFF期間がゲート指令信号（1）と同一の信号として出力される。

[0091] 前記ゲート指令信号（3） $U21/Y21$ は、第3番目の比較器115において、第2番目の遅延器113で遅延された三角波信号（図9上段の（3））と前記基準 $7/12$ を比較した結果、前記ゲート指令信号（2） $X11/V11$ に対して $1/12$ 周期遅延し、ON期間、OFF期間がゲート指令信号（2）と同一の信号として出力される。

[0092] 前記ゲート指令信号（4） $X21/V21$ は、第4番目の比較器115において、第3番目の遅延器113で遅延された三角波信号（図9上段の（4））と前記基準値 $7/12$ を比較した結果、前記ゲート指令信号（3） $U21/Y21$ に対して $1/12$ 周期遅延し、ON期間、OFF期間がゲート指令信号（3）と同一の信号として出力される。

[0093] 前記ゲート指令信号（5） $U31/Y31$ は、第5番目の比較器115において、第4番目の遅延器113で遅延された三角波信号（図9上段の（5）

))と前記基準値7/12を比較した結果、前記ゲート指令信号(4)X21/V21に対して1/12周期遅延し、ON期間、OFF期間がゲート指令信号(4)と同一の信号として出力される。

[0094] 前記ゲート指令信号(6)X31/V31は、第6番目の比較器115において、第5番目の遅延器113で遅延された三角波信号(図9上段の(6))と前記基準値7/12を比較した結果、前記ゲート指令信号(5)U31/Y31に対して1/12周期遅延し、ON期間、OFF期間がゲート指令信号(5)と同一の信号として出力される。

[0095] 前記ゲート指令信号(7)U12/Y12は、第7番目の比較器115において、第6番目の遅延器113で遅延された三角波信号(図9上段の(7))と前記基準値7/12を比較した結果、前記ゲート指令信号(6)X31/V31に対して1/12周期遅延し、ON期間、OFF期間がゲート指令信号(6)と同一の信号として出力される。

[0096] 前記ゲート指令信号(8)X12/V12は、第8番目の比較器115において、第7番目の遅延器113で遅延された三角波信号(図9上段の(8))と前記基準値7/12を比較した結果、前記ゲート指令信号(7)U12/Y12に対して1/12周期遅延し、ON期間、OFF期間がゲート指令信号(7)と同一の信号として出力される。

[0097] 前記ゲート指令信号(9)U22/Y22は、第9番目の比較器115において、第8番目の遅延器113で遅延された三角波信号(図9上段の(9))と前記基準値7/12を比較した結果、前記ゲート指令信号(8)X12/V12に対して1/12周期遅延し、ON期間、OFF期間がゲート指令信号(8)と同一の信号として出力される。

[0098] 前記ゲート指令信号(10)X22/V22は、第10番目の比較器115において、第9番目の遅延器113で遅延された三角波信号(図9上段の(10))と前記基準値7/12を比較した結果、前記ゲート指令信号(9)U22/Y22に対して1/12周期遅延し、ON期間、OFF期間がゲート指令信号(9)と同一の信号として出力される。

- [0099] 前記ゲート指令信号 (11) U32/Y32は、第11番目の比較器115において、第10番目の遅延器113で遅延された三角波信号 (図9上段の(11))と前記基準値7/12を比較した結果、前記ゲート指令信号 (10) X22/V22に対して1/12周期遅延し、ON期間、OFF期間がゲート指令信号 (10)と同一の信号として出力される。
- [0100] 前記ゲート指令信号 (12) X32/V32は、第12番目の比較器115において、第11番目の遅延器113で遅延された三角波信号 (図9上段の(12))と前記基準値7/12を比較した結果、前記ゲート指令信号 (11) U32/Y32に対して1/12周期遅延し、ON期間、OFF期間がゲート指令信号 (11)と同一の信号として出力される。
- [0101] また、他の実施例として、単相インバータの各アームにおける2直列のスイッチング素子の並列数NをN=4以上とした場合も前記同様に時分割運転が可能なスイッチングパターンを生成することができる。

実施例 3

- [0102] 前記図15の交直変換装置10およびその入力側の直流電圧源11を、複数並列に、又は直列多重化して共振負荷12に接続することにより、共振負荷用電力変換システムが構成される。
- [0103] 前記図15の交直変換装置10を複数並列に、又は直列多重化して共振負荷に接続した共振負荷用電力変換システムでは、各単相インバータ間のインピーダンスの差、スイッチングタイミングのバラツキなどによって、出力電圧、出力電圧位相に差異が生じ、各インバータ間の出力電力にアンバランスが生じ、インバータ毎の責務のバラツキが問題となる。また、時分割運転機能を有した複数のインバータのバランス制御方法は従来、提案されていない。
- [0104] そこで本実施例3では、実施例1、2と同様に単相インバータの1スイッチング素子あたりのスイッチング周波数を下げることができ、且つ共振負荷に対して並列接続、又は直列多重化され、時分割運転がなされる複数の共振負荷用電力変換装置の単相インバータ間の電力をバランスさせることができ

る、共振負荷用電力変換システムにおける電力バランス制御装置を構成した。

[0105] 図10は、単相インバータを備えた交直変換装置（共振負荷用電力変換装置）を、複数並列に、又は直列多重化して共振負荷に接続した共振負荷用電力変換システムの全体構成を示している。

[0106] 図10において、1系の交直変換装置10₋₁は、入力側が1系の直流電圧源11₋₁に接続され、出力側が誘導加熱回路などの共振負荷に接続される単相インバータを備えている。

[0107] 2系の交直変換装置10₋₂～n系の交直変換装置10_{-n}も、前記同様に入力側が2系～n系の直流電圧源11₋₂～11_{-n}に接続され、出力側が共振負荷に接続される単相インバータを備えている。

[0108] これら単相インバータを備えた交直変換装置10₋₁～10_{-n}は、並列接続又は直列多重化されて共振負荷に接続されており、図10では負荷側装置120として図示している。

[0109] 尚、前記並列接続の場合は、各単相インバータと共振負荷の間には図示省略のインピーダンス回路が接続されるものとする。

[0110] また、負荷側装置120内の共振負荷は、例えばLCの直列又は並列の共振回路を含んでいる。

[0111] 図中の $I_{dc-1} \sim I_{dc-n}$ は、1系～n系の直流電圧源11₋₁～11_{-n}の各出力電流を検出した直流電流検出値を示し、 $V_{dc-1} \sim V_{dc-n}$ は、1系～n系の直流電圧源11₋₁～11_{-n}の各出力電圧を検出した直流電圧検出値を示している。尚、交直変換装置10₋₁～10_{-n}は、各々図1の回路で構成されている。

[0112] 交直変換装置10₋₁～10_{-n}の各単相インバータは、後述するバランス制御指令および通電幅指令に基づいて生成された1系～n系のゲート信号により各々制御される。

[0113] 次に、1系～n系の交直変換装置10₋₁～10_{-n}の電力バランス制御を行うバランス制御ブロックの一例を図11に示す。

- [0114] 図 1 1 において、5 0 は平均電力演算回路、6 0₋₁～6 0_{-n}は交直変換装置 1 0₋₁～1 0_{-n}用に各々設けられた 1 系～n 系の電力バランス制御部である。前記電力バランス制御部 6 0₋₁～6 0_{-n}内の 6 1₋₁～6 1_{-n}は、図 1 0 で述べた 1 系～n 系の直流電圧検出値 $V_{dc-1} \sim V_{dc-n}$ と直流電流検出値 $I_{dc-1} \sim I_{dc-n}$ を各々乗算して 1 系～n 系の各入力電力 $P_{dc-1} \sim P_{dc-n}$ を出力する乗算器である。
- [0115] 平均電力演算回路 5 0 の 5 1 は、前記乗算器 6 1₋₁～6 1_{-n}で算出された 1 系～n 系の各入力電力 $P_{dc-1} \sim P_{dc-n}$ を合計する加算器である。
- [0116] 5 2 は、加算器 5 1 の入力電力合計値を交直変換装置 1 0₋₁～1 0_{-n}の台数 n で除して平均入力電力 P_{dc-ave} を算出する除算器である。
- [0117] 6 2₋₁～6 2_{-n}は、乗算器 6 1₋₁～6 1_{-n}の出力（1 系～n 系の各入力電力 $P_{dc-1} \sim P_{dc-n}$ （検出値））から除算器 5 2 の出力（平均入力電力 P_{dc-ave} （指令値））を各々差し引いて偏差を出力する減算器である。
- [0118] 6 3₋₁～6 3_{-n}は、減算器 6 2₋₁～6 2_{-n}の偏差出力に対して P I 動作を行って、平均電力（ P_{dc-ave} ）に対してバランスさせる補正量を、バランス制御指令値として求める 1 系～n 系の電力バランス制御器である。
- [0119] 1 系～n 系の電力バランス制御部 6 0₋₁～6 0_{-n}は、電力バランス制御器 6 3₋₁～6 3_{-n}で求められた各バランス制御指令値に、設定した図示省略の通電幅指令値（後述の図 1 4 の通電幅 α ）を各々加算して、当該交直変換装置 1 0₋₁～1 0_{-n}の单相インバータの電圧補正值を各々出力する。1 系～n 系の電力バランス制御部 6 0₋₁～6 0_{-n}で求められた電圧補正值は、後述の図 1 2 のゲート信号制御回路において、三角波信号と比較する基準値を生成するために用いられる。
- [0120] 図 1 2 は、1 系の交直変換装置 1 0₋₁に対応して設けられた、図 1 のスイッチ群回路 1 0 0 U, 1 0 0 V, 1 0 0 X, 1 0 0 Y の各スイッチング素子を時分割でスイッチング制御するゲート信号制御回路の構成を示している。図 1 2 の回路は、2 系～n 系の交直変換装置 1 0₋₂～1 0_{-n}についても同様に各々対応して設けられる。

- [0121] 図12において、111は、周波数指令信号の周波数を $1/2N$ に分周する分周器である。112は、分周器111で分周された周波数を有し、振幅値0～1の間に、プラス傾斜とマイナス傾斜が同一傾斜である直線波形により形成された三角波信号を生成する三角波生成部である。
- [0122] 113…は、三角波生成部112で生成された三角波信号を、 $T/4N$ ずつ順次遅らせる（三角波1周期を T としているため、 $1/4N$ 周期ずつ遅らせる） $4N-1$ 個の遅延器である。
- [0123] 114は、設定値 $(2N+1)/4N$ を生成（設定）する基準値生成部である。
- [0124] 70は、基準値生成部114の設定値 $(2N+1)/4N$ から、電力バランス制御部60₋₁の出力信号、すなわち電圧補正值（バランス制御指令値に通電幅指令値を加算したもの）を差し引く減算器であり、この減算器70の偏差出力が三角波信号と比較するための基準値となる。
- [0125] 115…は、基準値生成部114の設定値 $(2N+1)/4N$ から電力バランス制御部60₋₁の電圧補正值を差し引いた基準値と、三角波生成部112で生成された三角波信号および $4N-1$ 個の遅延器113…により順次遅延された三角波信号とを各々比較し、三角波信号が前記基準値より小のときゲートON信号となり、三角波信号が基準値より大のときゲートOFF信号となる、図1の各スイッチング素子のゲート指令信号を各々出力する $4N$ 個の比較器である。
- [0126] 上記構成によれば、比較器115…は、減算器70の偏差出力である基準値と、0～1の間の値を推移する、三角波生成部112の三角波信号およびそれを順次 $1/4N$ 周期ずつ遅延させた三角波信号とを比較しているので、三角波信号の1周期の $(2N+1)/4N$ の期間ゲートON信号となり、 $(2N-1)/4N$ の期間ゲートOFF信号となるゲート指令信号を各々出力する。
- [0127] ここで、例えば1系の交直変換装置10₋₁の入力電力 P_{dc-1} が平均入力電力 P_{dc-ave} よりも小さい場合は、図11の1系の電力バランス制御器63₋₁は

バランス制御指令を小さくする方向に制御し、バランス制御指令値と通電幅指令値を加算した1系の電力バランス制御部60₋₁から出力される電圧補正值は小さくなる。このため、図12の減算器70の偏差出力である基準値が大となって、1周期のうちゲートON信号の期間が増えて1系の交直変換装置10₋₁の出力電力を増やす方向に制御する。

[0128] また逆に、前記入力電力 P_{dc-1} が平均入力電力 P_{dc-ave} よりも大きい場合は、図11の1系の電力バランス制御器63₋₁はバランス制御指令を大きくする方向に制御し、前記1系の電力バランス制御部60₋₁から出力される電圧補正值は大きくなる。このため、図12の減算器70の偏差出力である基準値が小となって、1周期のうちゲートON信号の期間が減って1系の交直変換装置10₋₁の出力電力を減らす方向に制御する。

[0129] 上記動作は、2系～n系の交直変換装置10₋₂～10_{-n}についても同様である。

[0130] これによって、共振負荷に対して並列接続、又は直列多重化され、時分割運転がなされる複数の交直変換装置10₋₁～10_{-n}の単相インバータ間の電力をバランスさせることができる。

[0131] 前記4N個の比較器115…から出力される各ゲート指令信号は、各々同一のON期間、OFF期間を有し、且つ三角波信号の1/4N周期ずつ各々遅延したゲート指令信号となるため、図11のスイッチ群回路100U, 100V, 100X, 100Yの各スイッチング素子が時分割でスイッチング制御される。

[0132] これによって、1アーム毎に2N個のスイッチング素子を有した単相インバータの、1スイッチング素子あたりのスイッチング周波数を下げることができる。

[0133] また、スイッチング素子の直列体の並列数Nが、2以上のどのような値であっても、時分割運転が可能なスイッチングパターンを生成することができる。

実施例 4

- [0134] 図10、図11の共振負荷用電力変換システムにおいて、単相インバータの各アームのスイッチ群回路のスイッチング素子の直列体の並列数を図3に示すように $N = 2$ としたときの実施例を説明する。
- [0135] 図13は、図3のスイッチ群回路200U、200V、200X、200Yの各スイッチング素子を時分割でスイッチング制御するゲート信号制御回路の構成を示しており、図12と同一部分は同一符号をもって示している。
- [0136] 図13において図12と異なる点は、分周器111は周波数指令を $1/4$ に分周し、基準値生成部114は設定値 $5/8$ を生成し、 $4N - 1$ 個の遅延器を、三角波生成部112に対して順次直列に設けた第1～第7の遅延器113₋₁～113₋₇で構成し、 $4N$ 個の比較器を、第1～第8の比較器115₋₁～115₋₈で構成した点にあり、その他の部分は図4と同一に構成されている。
- [0137] 図13の回路によるゲート信号パターンと出力電圧の関係を図14に示す。図14の上段は、振幅値が0～1の間で推移する、三角波生成部112の三角波信号および各遅延器で $1/4N (= 1/8)$ 周期ずつ遅延された三角波信号と、減算器70の偏差出力である基準値（すなわち $(5/8) - (\text{バランス制御指令値} + \text{通電幅指令値})$ ）を示している。
- [0138] 図14の中段は、比較器115₋₁～115₋₈から各々出力されるゲート指令信号を示し、図14の下段は出力電圧を示している。
- [0139] 本実施例4では、単相インバータの各アームのスイッチング素子が、2直列2並列であるので、出力電圧（ V_{out} ）の周波数に比べ、1素子当たりのスイッチング周波数が出力周波数の $1/4$ である信号で動作させることになる。図14の時刻 $t_0 \sim t_8$ の区間が1素子の動作周期である。スイッチング素子U11とY11は同時にオン・オフのスイッチングをする。同様にスイッチング素子U12とY12、スイッチング素子U21とY21、スイッチング素子U22とY22、スイッチング素子V11とX11、スイッチング素子V12とX12、スイッチング素子V21とX21、スイッチング素子V22とX22は同時にオン・オフのスイッチングをする。
- [0140] 各スイッチング素子のスイッチング周波数は出力周波数の $1/4$ であるの

で、図14の最下段に示すように1周期で4回のオン（上側）と4回のオフ（下側）があることになる。このため1周期を8分割した1/8周期毎にスイッチングをする必要がある。

[0141] 図14中段のゲート指令信号（1）U11/Y11，（2）X11/V11，（3）U21/Y21，（4）X21/V21，（7）U12/Y12，（8）X12/V12，（9）U22/Y22，（10）X22/V22を生成するため、図14上段の（1），（2），（3），（4），（7），（8），（9），（10）の三角波を用意している。これは上述したように1/8周期毎にスイッチングをする必要があるためである。

[0142] そして、1周期の間で5/8（＝（2N+1）/4N）周期が連続してオン、残り3/8（＝（2N-1）/4N）周期がオフである信号を生成するために、図13の回路のように、三角波と、5/8をベースとした基準値（5/8－（バランス制御指令値＋通電幅指令値））とを比較し、基準値より低い値をオンとするように構成しており、これによって5/8周期のオン期間が得られる。

[0143] ゲート指令信号（1）U11/Y11の波形の時間幅のみ考えれば、5/8のオン期間が得られるためには、三角波の下端の頂点が時刻t2－t3の中間にある必要がある。これは、他のゲート指令信号（2）X11/V11，（3）U21/Y21，（4）X21/V21，（7）U12/Y12，（8）X12/V12，（9）U22/Y22，（10）X22/V22も同様である。

[0144] 尚、本発明では、三角波信号と比較するための基準値を生成する際、通電幅指令値を考慮しているため、プラスの出力電圧を生成するU（Y）集団とマイナスの出力電圧を生成するV（X）集団の各スイッチング素子が同時刻にオンからオフ、又はオフからオンに切り換わることがない。

[0145] すなわち、例えばプラスの出力電圧を生成するゲート指令信号（7）U12/Y12がオンからオフに切り換わるタイミングと、マイナスの出力電圧を生成するゲート指令信号（2）X11/V11がオフからオンに切り換わ

るタイミングは、時刻 t_1 の前後にわたって通電幅 α の間隔があいている。

[0146] また時刻 t_2 では、マイナスの出力電圧を生成するゲート指令信号 (8) X_{12}/V_{12} がオンからオフに切り換わるタイミングと、プラスの出力電圧を生成するゲート指令信号 (3) U_{21}/Y_{21} がオフからオンに切り換わるタイミングは、通電幅 α の間隔があいている。

[0147] これは、時刻 $t_3 \sim t_8$ においても同様である。

[0148] 前記ゲート指令信号 (1) U_{11}/Y_{11} は、図 13 の比較器 115₋₁ において、三角波生成部 112 で生成された三角波信号 (図 14 上段の (1)) と減算器 70 の出力を比較した結果、三角波の 1 周期の $5/8$ の期間ゲート ON となり $3/8$ の期間ゲート OFF となる信号として出力される。

[0149] 前記ゲート指令信号 (2) X_{11}/V_{11} は、比較器 115₋₂ において、遅延器 113₋₁ で遅延された三角波信号 (図 14 上段の (2)) と減算器 70 の出力を比較した結果、前記ゲート指令信号 (1) U_{11}/Y_{11} に対して $1/8$ ($= 1/4N$) 周期遅延し、ON 期間、OFF 期間がゲート指令信号 (1) と同一の信号として出力される。

[0150] 前記ゲート指令信号 (3) U_{21}/Y_{21} は、比較器 115₋₃ において、遅延器 113₋₂ で遅延された三角波信号 (図 14 上段の (3)) と減算器 70 の出力を比較した結果、前記ゲート指令信号 (2) X_{11}/V_{11} に対して $1/8$ 周期遅延し、ON 期間、OFF 期間がゲート指令信号 (2) と同一の信号として出力される。

[0151] 前記ゲート指令信号 (4) X_{21}/V_{21} は、比較器 115₋₄ において、遅延器 113₋₃ で遅延された三角波信号 (図 14 上段の (4)) と減算器 70 の出力を比較した結果、前記ゲート指令信号 (3) U_{21}/Y_{21} に対して $1/8$ 周期遅延し、ON 期間、OFF 期間がゲート指令信号 (3) と同一の信号として出力される。

[0152] 前記ゲート指令信号 (7) U_{12}/Y_{12} は、比較器 115₋₅ において、遅延器 113₋₄ で遅延された三角波信号 (図 14 上段の (7)) と減算器 70 の出力を比較した結果、前記ゲート指令信号 (4) X_{21}/V_{21} に対して 1

／8周期遅延し、ON期間、OFF期間がゲート指令信号（4）と同一の信号として出力される。

[0153] 前記ゲート指令信号（8）X12／V12は、比較器115₆において、遅延器113₅で遅延された三角波信号（図14上段の（8））と減算器70の出力を比較した結果、前記ゲート指令信号（7）U12／Y12に対して1／8周期遅延し、ON期間、OFF期間がゲート指令信号（7）と同一の信号として出力される。

[0154] 前記ゲート指令信号（9）U22／Y22は、比較器115₇において、遅延器113₆で遅延された三角波信号（図14上段の（9））と前記減算器70の出力を比較した結果、前記ゲート指令信号（8）X12／V12に対して1／8周期遅延し、ON期間、OFF期間がゲート指令信号（8）と同一の信号として出力される。

[0155] 前記ゲート指令信号（10）X22／V22は、比較器115₈において、遅延器113₇で遅延された三角波信号（図14上段の（10））と減算器70の出力を比較した結果、前記ゲート指令信号（9）U22／Y22に対して1／8周期遅延し、ON期間、OFF期間がゲート指令信号（9）と同一の信号として出力される。

[0156] 尚、図14において、ゲート指令信号（5）、（6）は、前記図9でゲート指令信号（5）U31／Y31、ゲート指令信号（6）X31／V31を用いているため、ここでは欠番としている。

[0157] 以上のように本実施例によれば、1アーム毎に4個のスイッチング素子を有した単相インバータを備えた交直変換装置を、複数並列に、又は直列多重化して共振負荷に接続した共振負荷用電力変換システムにおいて、複数の単相インバータ間の電力をバランスさせることができる。

[0158] また、1アーム毎に4個のスイッチング素子を有した単相インバータの、1スイッチング素子あたりのスイッチング周波数を下げることができる。

[0159] また、他の実施例として、単相インバータの各アームにおける2直列のスイッチング素子の並列数NをN＝4以上とした場合も前記同様に複数の単相

インバータ間の電力をバランスさせることができ、また時分割運転が可能なスイッチングパターンを生成することができる。

請求の範囲

[請求項1]

直流入力側が直流電圧源に、出力側が共振負荷に各々接続され、共振周波数で矩形波電圧を出力する単相インバータを備えた共振負荷用電力変換装置であって、

前記単相インバータの一方の相の上、下アームおよび他方の相の上、下アームに各々接続され、2個のスイッチング素子の直列体をN個（Nは2以上の整数）並列に接続して構成されたスイッチ群回路と、

前記単相インバータの前記スイッチ群回路の各スイッチング素子を時分割でスイッチング制御する制御部とを備え、

前記制御部は、

周波数指令を所定分数に分周した周波数を有し、振幅値0～1の間に、プラス傾斜とマイナス傾斜が同一傾斜である直線波形により形成された三角波信号を生成する三角波生成部と、

前記三角波生成部で生成された三角波信号を、 $1/4N$ 周期ずつ順次遅延させる $4N-1$ 個の遅延器と、

$(2N+1)/4N$ の値に設定した基準値と、前記三角波生成部で生成された三角波信号および前記 $4N-1$ 個の遅延器により遅延された三角波信号とを各々比較し、前記三角波信号が基準値より小のときゲートON信号を、三角波信号が基準値より大のときゲートOFF信号を各々出力する $4N$ 個の比較器と、

を備えている共振負荷用電力変換装置。

[請求項2]

前記スイッチング素子の直列体の並列個数Nは2であり、

前記単相インバータの一方の相の上アームのスイッチ群回路は、スイッチング素子U11、U12の直列体とスイッチング素子U21、U22の直列体とを並列に接続して構成され、

前記単相インバータの一方の相の下アームのスイッチ群回路は、スイッチング素子X11、X12の直列体とスイッチング素子X21、X22の直列体とを並列に接続して構成され、

前記単相インバータの他方の相の上アームのスイッチ群回路は、スイッチング素子 V_{11} 、 V_{12} の直列体とスイッチング素子 V_{21} 、 V_{22} の直列体とを並列に接続して構成され、

前記単相インバータの他方の相の下アームのスイッチ群回路は、スイッチング素子 Y_{11} 、 Y_{12} の直列体とスイッチング素子 Y_{21} 、 Y_{22} の直列体とを並列に接続して構成され、

前記 $4N-1$ 個の遅延器は、前記三角波生成部に対して順次直列に設けた第1～第7の遅延器で構成され、前記 $4N$ 個の比較器は、第1～第8の比較器で構成され、

前記第1の比較器は、前記三角波生成部で生成された三角波信号と前記基準値を比較し、前記三角波信号の1周期の $(2N+1)/4N$ の期間ゲートON信号となり、 $(2N-1)/4N$ の期間ゲートOFF信号となるスイッチング素子 U_{11} 、 Y_{11} 用ゲート指令信号を出力し、

前記第2の比較器は、前記第1の遅延器により遅延された三角波信号と前記基準値を比較し、前記 U_{11} 、 Y_{11} 用ゲート指令信号に対して $1/4N$ 周期遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子 X_{11} 、 V_{11} 用ゲート指令信号を出力し、

前記第3の比較器は、前記第2の遅延器により遅延された三角波信号と前記基準値を比較し、前記 X_{11} 、 V_{11} 用ゲート指令信号に対して $1/4N$ 周期遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子 U_{21} 、 Y_{21} 用ゲート指令信号を出力し、

前記第4の比較器は、前記第3の遅延器により遅延された三角波信号と前記基準値を比較し、前記 U_{21} 、 Y_{21} 用ゲート指令信号に対して $1/4N$ 周期遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子

X 2 1、V 2 1 用ゲート指令信号を出力し、

前記第 5 の比較器は、前記第 4 の遅延器により遅延された三角波信号と前記基準値を比較し、前記 X 2 1、V 2 1 用ゲート指令信号に対して $1/4N$ 周期遅延し、当該ゲート指令信号の ON 期間および OFF 期間と同一の ON 期間および OFF 期間を有するスイッチング素子 U 1 2、Y 1 2 用ゲート指令信号を出力し、

前記第 6 の比較器は、前記第 5 の遅延器により遅延された三角波信号と前記基準値を比較し、前記 U 1 2、Y 1 2 用ゲート指令信号に対して $1/4N$ 周期遅延し、当該ゲート指令信号の ON 期間および OFF 期間と同一の ON 期間および OFF 期間を有するスイッチング素子 X 1 2、V 1 2 用ゲート指令信号を出力し、

前記第 7 の比較器は、前記第 6 の遅延器により遅延された三角波信号と前記基準値を比較し、前記 X 1 2、V 1 2 用ゲート指令信号に対して $1/4N$ 周期遅延し、当該ゲート指令信号の ON 期間および OFF 期間と同一の ON 期間および OFF 期間を有するスイッチング素子 U 2 2、Y 2 2 用ゲート指令信号を出力し、

前記第 8 の比較器は、前記第 7 の遅延器により遅延された三角波信号と前記基準値を比較し、前記 U 2 2、Y 2 2 用ゲート指令信号に対して $1/4N$ 周期遅延し、当該ゲート指令信号の ON 期間および OFF 期間と同一の ON 期間および OFF 期間を有するスイッチング素子 X 2 2、V 2 2 用ゲート指令信号を出力する請求項 1 に記載の共振負荷用電力変換装置。

[請求項 3]

直流入力側が直流電圧源に、出力側が共振負荷に各々接続され、共振周波数で矩形波電圧を出力する単相インバータを備えた共振負荷用電力変換装置の時分割運転方法であって、

前記単相インバータの一方の相の上、下アームおよび他方の相の上、下アームに各々接続され、2 個のスイッチング素子の直列体を N 個 (N は 2 以上の整数) 並列に接続して構成されたスイッチ群回路と、

前記単相インバータの前記スイッチ群回路の各スイッチング素子を時分割でスイッチング制御する制御部とを備え、

前記制御部の三角波生成部が、周波数指令を所定分数に分周した周波数を有し、振幅値 $0 \sim 1$ の間に、プラス傾斜とマイナス傾斜が同一傾斜である直線波形により形成された三角波信号を生成する三角波生成ステップと、

前記制御部の $4N - 1$ 個の遅延器が、前記三角波生成部で生成された三角波信号を、 $1 / 4N$ 周期ずつ順次遅延させるステップと、

前記制御部の $4N$ 個の比較器が、 $(2N + 1) / 4N$ の値に設定した基準値と、前記三角波生成部で生成された三角波信号および前記 $4N - 1$ 個の遅延器により遅延された三角波信号とを各々比較し、前記三角波信号が基準値より小のときゲート ON 信号を、三角波信号が基準値より大のときゲート OFF 信号を各々出力するステップと、

を備えている共振負荷用電力変換装置の時分割運転方法。

[請求項4]

前記スイッチング素子の直列体の並列個数 N は 2 であり、

前記単相インバータの一方の相の上アームのスイッチ群回路は、スイッチング素子 U_{11} 、 U_{12} の直列体とスイッチング素子 U_{21} 、 U_{22} の直列体とを並列に接続して構成され、

前記単相インバータの一方の相の下アームのスイッチ群回路は、スイッチング素子 X_{11} 、 X_{12} の直列体とスイッチング素子 X_{21} 、 X_{22} の直列体とを並列に接続して構成され、

前記単相インバータの他方の相の上アームのスイッチ群回路は、スイッチング素子 V_{11} 、 V_{12} の直列体とスイッチング素子 V_{21} 、 V_{22} の直列体とを並列に接続して構成され、

前記単相インバータの他方の相の下アームのスイッチ群回路は、スイッチング素子 Y_{11} 、 Y_{12} の直列体とスイッチング素子 Y_{21} 、 Y_{22} の直列体とを並列に接続して構成され、

前記 $4N - 1$ 個の遅延器は、前記三角波生成部に対して順次直列に

設けた第1～第7の遅延器で構成され、前記4N個の比較器は、第1～第8の比較器で構成され、

前記第1の比較器が、前記三角波生成部で生成された三角波信号と前記基準値を比較し、前記三角波信号の1周期の $(2N+1)/4N$ の期間ゲートON信号となり、 $(2N-1)/4N$ の期間ゲートOFF信号となるスイッチング素子U11、Y11用ゲート指令信号を出力するステップと、

前記第2の比較器が、前記第1の遅延器により遅延された三角波信号と前記基準値を比較し、前記U11、Y11用ゲート指令信号に対して $1/4N$ 周期遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X11、V11用ゲート指令信号を出力するステップと、

前記第3の比較器が、前記第2の遅延器により遅延された三角波信号と前記基準値を比較し、前記X11、V11用ゲート指令信号に対して $1/4N$ 周期遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子U21、Y21用ゲート指令信号を出力するステップと、

前記第4の比較器が、前記第3の遅延器により遅延された三角波信号と前記基準値を比較し、前記U21、Y21用ゲート指令信号に対して $1/4N$ 周期遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X21、V21用ゲート指令信号を出力するステップと、

前記第5の比較器が、前記第4の遅延器により遅延された三角波信号と前記基準値を比較し、前記X21、V21用ゲート指令信号に対して $1/4N$ 周期遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子U12、Y12用ゲート指令信号を出力するステップと、

前記第6の比較器が、前記第5の遅延器により遅延された三角波信

号と前記基準値を比較し、前記U 1 2、Y 1 2用ゲート指令信号に対して1 / 4 N周期遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X 1 2、V 1 2用ゲート指令信号を出力するステップと、

前記第7の比較器が、前記第6の遅延器により遅延された三角波信号と前記基準値を比較し、前記X 1 2、V 1 2用ゲート指令信号に対して1 / 4 N周期遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子U 2 2、Y 2 2用ゲート指令信号を出力するステップと、

前記第8の比較器が、前記第7の遅延器により遅延された三角波信号と前記基準値を比較し、前記U 2 2、Y 2 2用ゲート指令信号に対して1 / 4 N周期遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X 2 2、V 2 2用ゲート指令信号を出力するステップと、

を備えた請求項3に記載の共振負荷用電力変換装置の時分割運転方法。

[請求項5]

直流入力側が直流電圧源に、出力側が共振負荷側に各々接続され、共振周波数で矩形波電圧を出力する単相インバータを備えた共振負荷用電力変換装置を、複数並列に、又は直列多重化して共振負荷に接続した共振負荷用電力変換システムにおける電力バランス制御装置であって、

前記各共振負荷用電力変換装置の単相インバータの一方の相の上、下アームおよび他方の相の上、下アームに各々接続され、2個のスイッチング素子の直列体をN個（Nは2以上の整数）並列に接続して構成されたスイッチ群回路と、

前記複数の共振負荷用電力変換装置各々に設けられ、各共振負荷用電力変換装置の電力のバランス制御を行いつつ、前記単相インバータの前記スイッチ群回路の各スイッチング素子を時分割でスイッチング

制御する制御部とを備え、

前記各制御部は、

前記複数の共振負荷用電力変換装置の平均電力と制御対象の共振負荷用電力変換装置の電力との偏差をとって、平均電力に対してバランスさせる補正量を求め、該補正量に、設定した通電幅指令値を加算して、当該制御対象の共振負荷用電力変換装置の単相インバータの電圧補正值を出力するバランス制御部と、

周波数指令を所定分数に分周した周波数を有し、振幅値 $0 \sim 1$ の間に、プラス傾斜とマイナス傾斜が同一傾斜である直線波形により形成された三角波信号を生成する三角波生成部と、

前記三角波生成部で生成された三角波信号を、 $1 / 4 N$ 周期ずつ順次遅延させる $4 N - 1$ 個の遅延器と、

$(2 N + 1) / 4 N$ の値から前記バランス制御部で出力された電圧補正值を差し引いた基準値と、前記三角波生成部で生成された三角波信号および前記 $4 N - 1$ 個の遅延器により遅延された三角波信号とを各々比較し、前記三角波信号が基準値より小のときゲート ON 信号を、三角波信号が基準値より大のときゲート OFF 信号を各々出力する $4 N$ 個の比較器と、

を各々備えている共振負荷用電力変換システムにおける電力バランス制御装置。

[請求項6]

前記スイッチング素子の直列体の並列個数 N は 2 であり、

前記単相インバータの一方の相の上アームのスイッチ群回路は、スイッチング素子 U_{11} 、 U_{12} の直列体とスイッチング素子 U_{21} 、 U_{22} の直列体とを並列に接続して構成され、

前記単相インバータの一方の相の下アームのスイッチ群回路は、スイッチング素子 X_{11} 、 X_{12} の直列体とスイッチング素子 X_{21} 、 X_{22} の直列体とを並列に接続して構成され、

前記単相インバータの他方の相の上アームのスイッチ群回路は、ス

スイッチング素子 V_{11} 、 V_{12} の直列体とスイッチング素子 V_{21} 、 V_{22} の直列体とを並列に接続して構成され、

前記単相インバータの他方の相の下アームのスイッチ群回路は、スイッチング素子 Y_{11} 、 Y_{12} の直列体とスイッチング素子 Y_{21} 、 Y_{22} の直列体とを並列に接続して構成され、

前記 $4N - 1$ 個の遅延器は、前記三角波生成部に対して順次直列に設けた第 1 ～第 7 の遅延器で構成され、前記 $4N$ 個の比較器は、第 1 ～第 8 の比較器で構成され、

前記第 1 の比較器は、前記三角波生成部で生成された三角波信号と前記基準値を比較し、前記三角波信号の 1 周期の $(2N + 1) / 4N$ の期間ゲート ON 信号となり、 $(2N - 1) / 4N$ の期間ゲート OFF 信号となるスイッチング素子 U_{11} 、 Y_{11} 用ゲート指令信号を出力し、

前記第 2 の比較器は、前記第 1 の遅延器により遅延された三角波信号と前記基準値を比較し、前記 U_{11} 、 Y_{11} 用ゲート指令信号に対して $1 / 4N$ 周期遅延し、当該ゲート指令信号の ON 期間および OFF 期間と同一の ON 期間および OFF 期間を有するスイッチング素子 X_{11} 、 V_{11} 用ゲート指令信号を出力し、

前記第 3 の比較器は、前記第 2 の遅延器により遅延された三角波信号と前記基準値を比較し、前記 X_{11} 、 V_{11} 用ゲート指令信号に対して $1 / 4N$ 周期遅延し、当該ゲート指令信号の ON 期間および OFF 期間と同一の ON 期間および OFF 期間を有するスイッチング素子 U_{21} 、 Y_{21} 用ゲート指令信号を出力し、

前記第 4 の比較器は、前記第 3 の遅延器により遅延された三角波信号と前記基準値を比較し、前記 U_{21} 、 Y_{21} 用ゲート指令信号に対して $1 / 4N$ 周期遅延し、当該ゲート指令信号の ON 期間および OFF 期間と同一の ON 期間および OFF 期間を有するスイッチング素子 X_{21} 、 V_{21} 用ゲート指令信号を出力し、

前記第5の比較器は、前記第4の遅延器により遅延された三角波信号と前記基準値を比較し、前記X21、V21用ゲート指令信号に対して $1/4N$ 周期遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子U12、Y12用ゲート指令信号を出力し、

前記第6の比較器は、前記第5の遅延器により遅延された三角波信号と前記基準値を比較し、前記U12、Y12用ゲート指令信号に対して $1/4N$ 周期遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X12、V12用ゲート指令信号を出力し、

前記第7の比較器は、前記第6の遅延器により遅延された三角波信号と前記基準値を比較し、前記X12、V12用ゲート指令信号に対して $1/4N$ 周期遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子U22、Y22用ゲート指令信号を出力し、

前記第8の比較器は、前記第7の遅延器により遅延された三角波信号と前記基準値を比較し、前記U22、Y22用ゲート指令信号に対して $1/4N$ 周期遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X22、V22用ゲート指令信号を出力する請求項5に記載の共振負荷用電力変換システムにおける電力バランス制御装置。

[請求項7]

直流入力側が直流電圧源に、出力側が共振負荷側に各々接続され、共振周波数で矩形波電圧を出力する単相インバータを備えた共振負荷用電力変換装置を、複数並列に、又は直列多重化して共振負荷に接続した共振負荷用電力変換システムにおける電力バランス制御方法であって、

前記各共振負荷用電力変換装置の単相インバータの一方の相の上、下アームおよび他方の相の上、下アームに各々接続され、2個のスィ

ッチング素子の直列体を N 個（ N は2以上の整数）並列に接続して構成されたスイッチ群回路と、

前記複数の共振負荷用電力変換装置各々に設けられ、各共振負荷用電力変換装置の電力のバランス制御を行いつつ、前記単相インバータの前記スイッチ群回路の各スイッチング素子を時分割でスイッチング制御する制御部とを備え、

前記各制御部のバランス制御部が、前記複数の共振負荷用電力変換装置の平均電力と制御対象の共振負荷用電力変換装置の電力との偏差をとって、平均電力に対してバランスさせる補正量を求め、該補正量に、設定した通電幅指令値を加算して、当該制御対象の共振負荷用電力変換装置の単相インバータの電圧補正值を出力するステップと、

前記各制御部の三角波生成部が、周波数指令を所定分数に分周した周波数を有し、振幅値 $0 \sim 1$ の間に、プラス傾斜とマイナス傾斜が同一傾斜である直線波形により形成された三角波信号を生成するステップと、

前記各制御部の $4N - 1$ 個の遅延器が、前記三角波生成部で生成された三角波信号を、 $1 / 4N$ 周期ずつ順次遅延させるステップと、

前記各制御部の $4N$ 個の比較器が、 $(2N + 1) / 4N$ の値から前記バランス制御部で出力された電圧補正值を差し引いた基準値と、前記三角波生成部で生成された三角波信号および前記 $4N - 1$ 個の遅延器により遅延された三角波信号とを各々比較し、前記三角波信号が基準値より小のときゲートON信号を、三角波信号が基準値より大のときゲートOFF信号を各々出力するステップと、

を各々備えている共振負荷用電力変換システムにおける電力バランス制御方法。

[請求項8]

前記スイッチング素子の直列体の並列個数 N は2であり、

前記単相インバータの一方の相の上アームのスイッチ群回路は、スイッチング素子 U_{11} 、 U_{12} の直列体とスイッチング素子 U_{21} 、

U 2 2 の直列体とを並列に接続して構成され、

前記単相インバータの一方の相の下アームのスイッチ群回路は、スイッチング素子 X 1 1, X 1 2 の直列体とスイッチング素子 X 2 1, X 2 2 の直列体とを並列に接続して構成され、

前記単相インバータの他方の相の上アームのスイッチ群回路は、スイッチング素子 V 1 1, V 1 2 の直列体とスイッチング素子 V 2 1, V 2 2 の直列体とを並列に接続して構成され、

前記単相インバータの他方の相の下アームのスイッチ群回路は、スイッチング素子 Y 1 1, Y 1 2 の直列体とスイッチング素子 Y 2 1, Y 2 2 の直列体とを並列に接続して構成され、

前記 $4N - 1$ 個の遅延器は、前記三角波生成部に対して順次直列に設けた第 1 ～第 7 の遅延器で構成され、前記 $4N$ 個の比較器は、第 1 ～第 8 の比較器で構成され、

前記第 1 の比較器が、前記三角波生成部で生成された三角波信号と前記基準値を比較し、前記三角波信号の 1 周期の $(2N + 1) / 4N$ の期間ゲート ON 信号となり、 $(2N - 1) / 4N$ の期間ゲート OFF 信号となるスイッチング素子 U 1 1、Y 1 1 用ゲート指令信号を出力するステップと、

前記第 2 の比較器が、前記第 1 の遅延器により遅延された三角波信号と前記基準値を比較し、前記 U 1 1、Y 1 1 用ゲート指令信号に対して $1 / 4N$ 周期遅延し、当該ゲート指令信号の ON 期間および OFF 期間と同一の ON 期間および OFF 期間を有するスイッチング素子 X 1 1、V 1 1 用ゲート指令信号を出力するステップと、

前記第 3 の比較器が、前記第 2 の遅延器により遅延された三角波信号と前記基準値を比較し、前記 X 1 1、V 1 1 用ゲート指令信号に対して $1 / 4N$ 周期遅延し、当該ゲート指令信号の ON 期間および OFF 期間と同一の ON 期間および OFF 期間を有するスイッチング素子 U 2 1、Y 2 1 用ゲート指令信号を出力するステップと、

前記第4の比較器が、前記第3の遅延器により遅延された三角波信号と前記基準値を比較し、前記U21、Y21用ゲート指令信号に対して $1/4N$ 周期遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X21、V21用ゲート指令信号を出力するステップと、

前記第5の比較器が、前記第4の遅延器により遅延された三角波信号と前記基準値を比較し、前記X21、V21用ゲート指令信号に対して $1/4N$ 周期遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子U12、Y12用ゲート指令信号を出力するステップと、

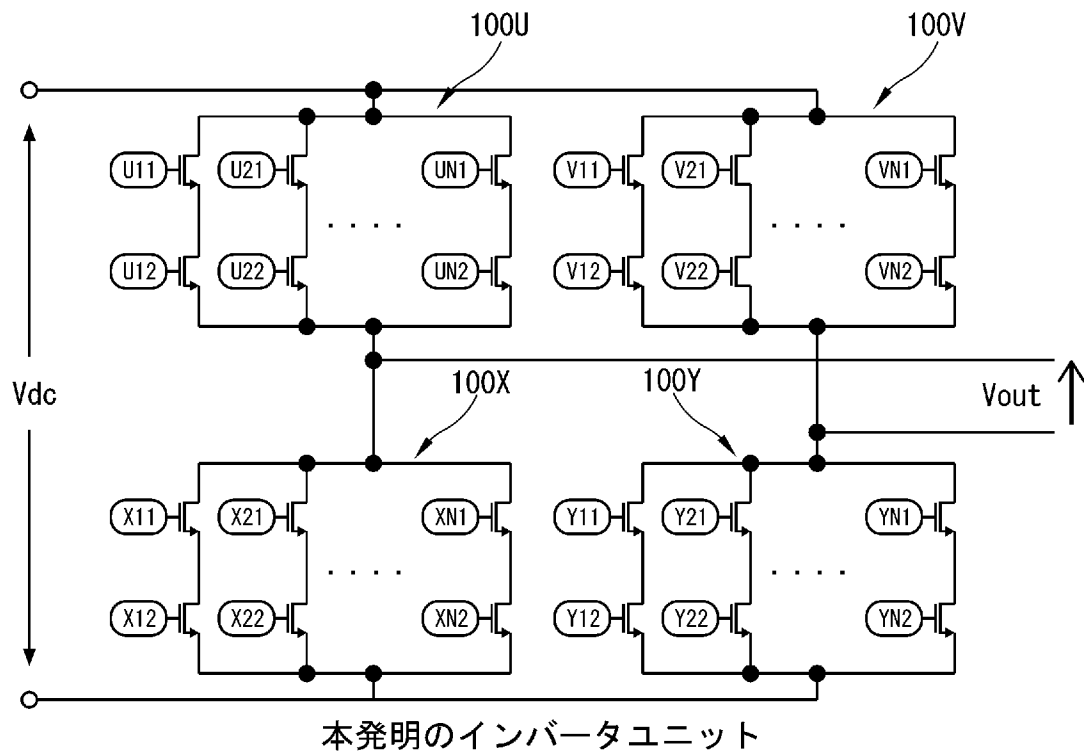
前記第6の比較器が、前記第5の遅延器により遅延された三角波信号と前記基準値を比較し、前記U12、Y12用ゲート指令信号に対して $1/4N$ 周期遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X12、V12用ゲート指令信号を出力するステップと、

前記第7の比較器が、前記第6の遅延器により遅延された三角波信号と前記基準値を比較し、前記X12、V12用ゲート指令信号に対して $1/4N$ 周期遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子U22、Y22用ゲート指令信号を出力するステップと、

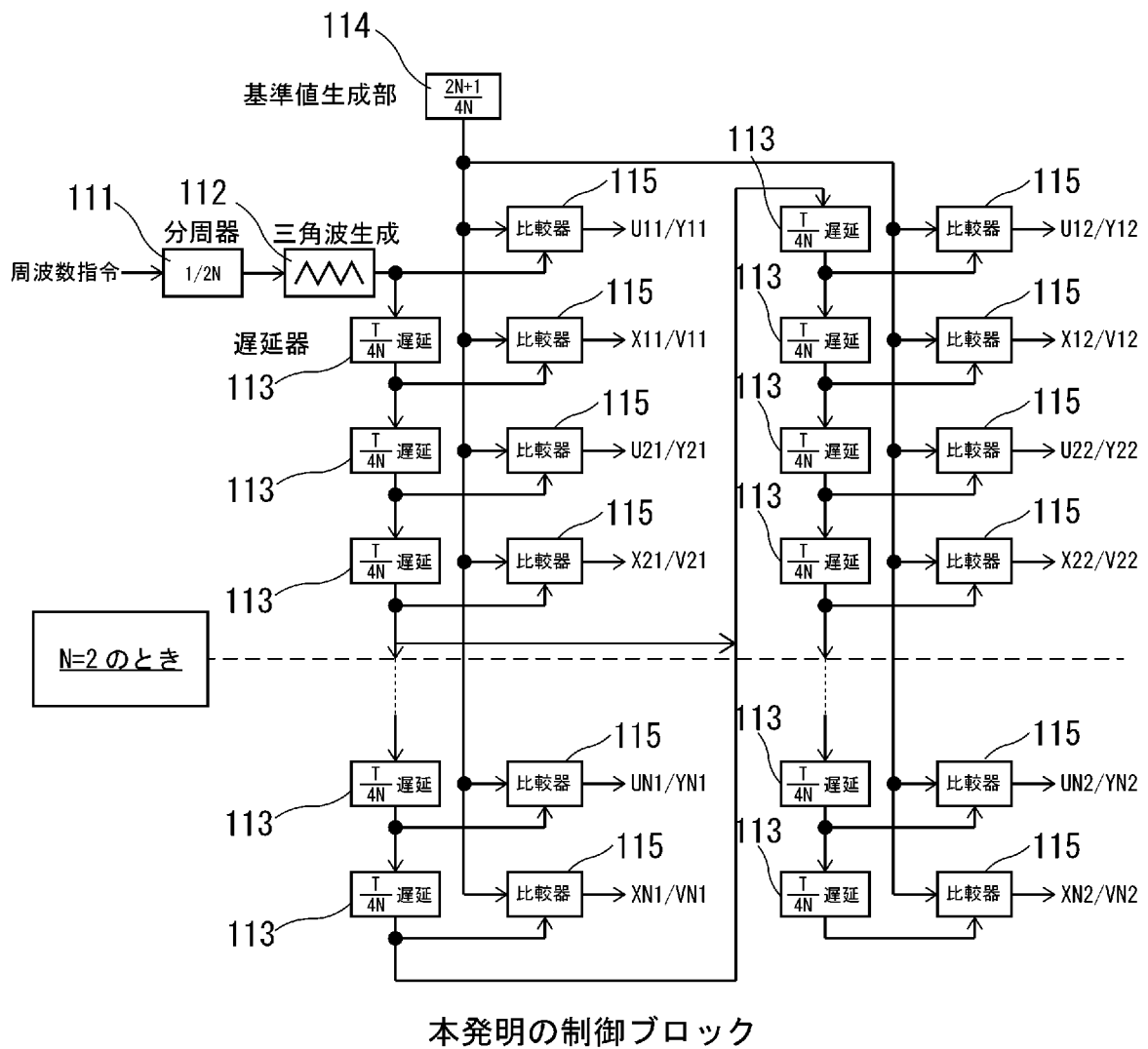
前記第8の比較器が、前記第7の遅延器により遅延された三角波信号と前記基準値を比較し、前記U22、Y22用ゲート指令信号に対して $1/4N$ 周期遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X22、V22用ゲート指令信号を出力するステップと、

を備えた請求項7に記載の共振負荷用電力変換システムにおける電力バランス制御方法。

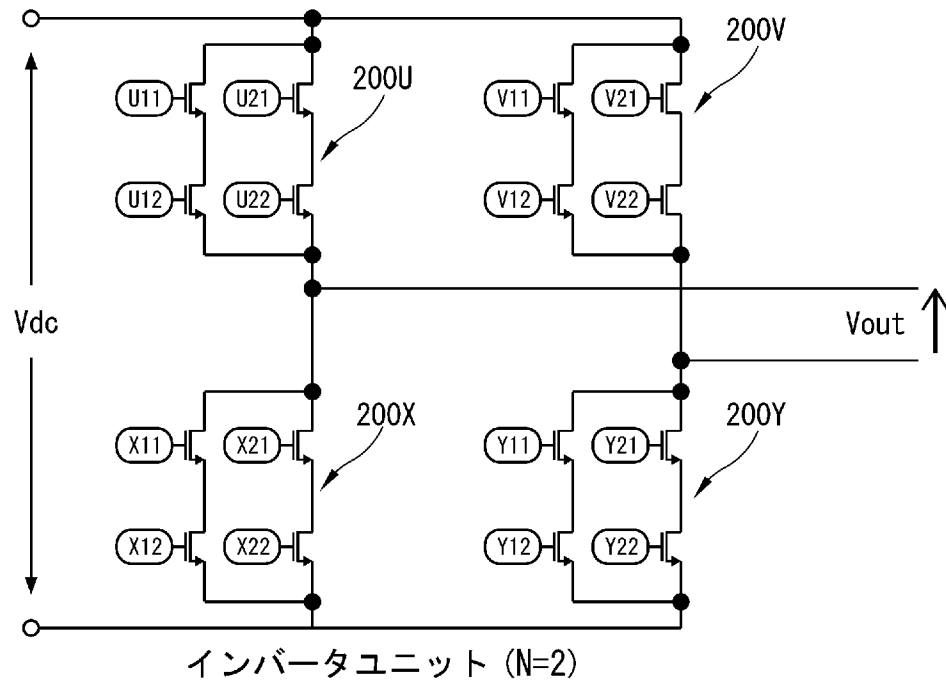
[図1]



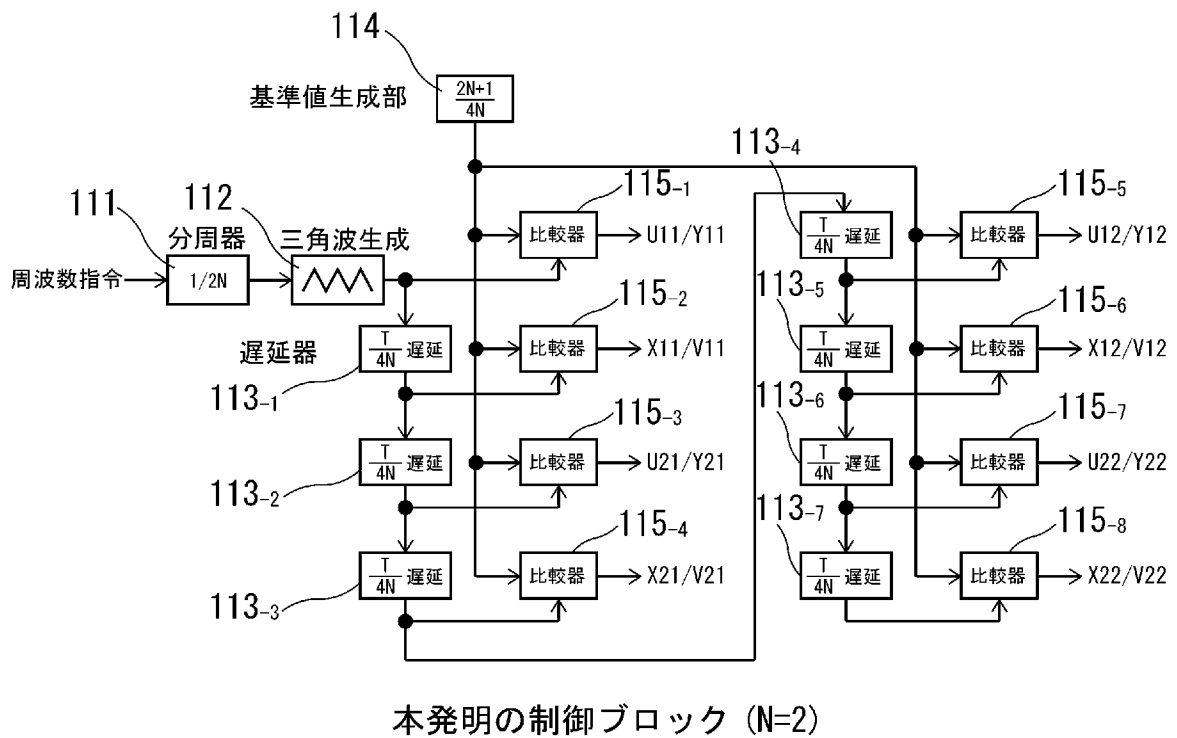
[図2]



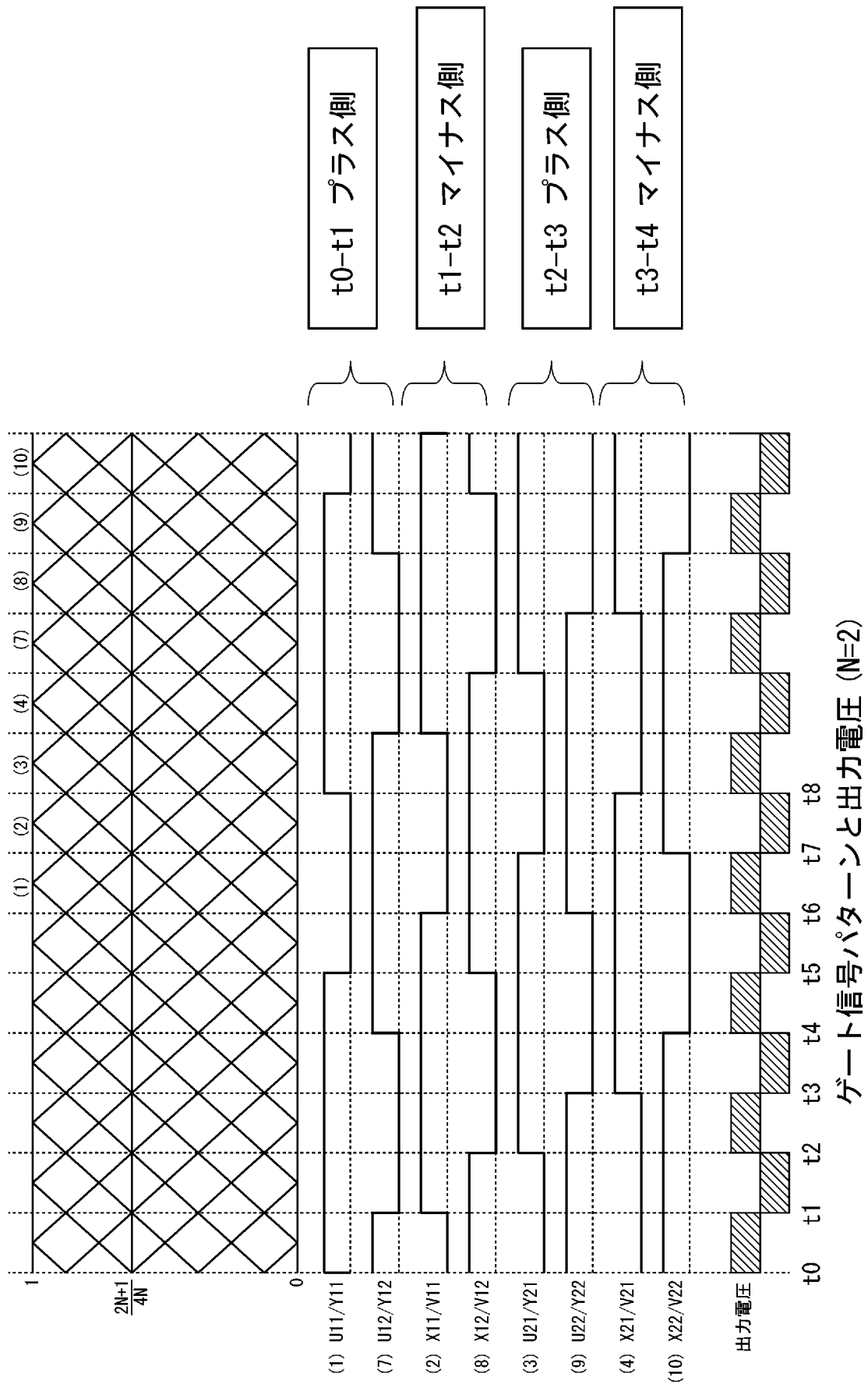
[図3]



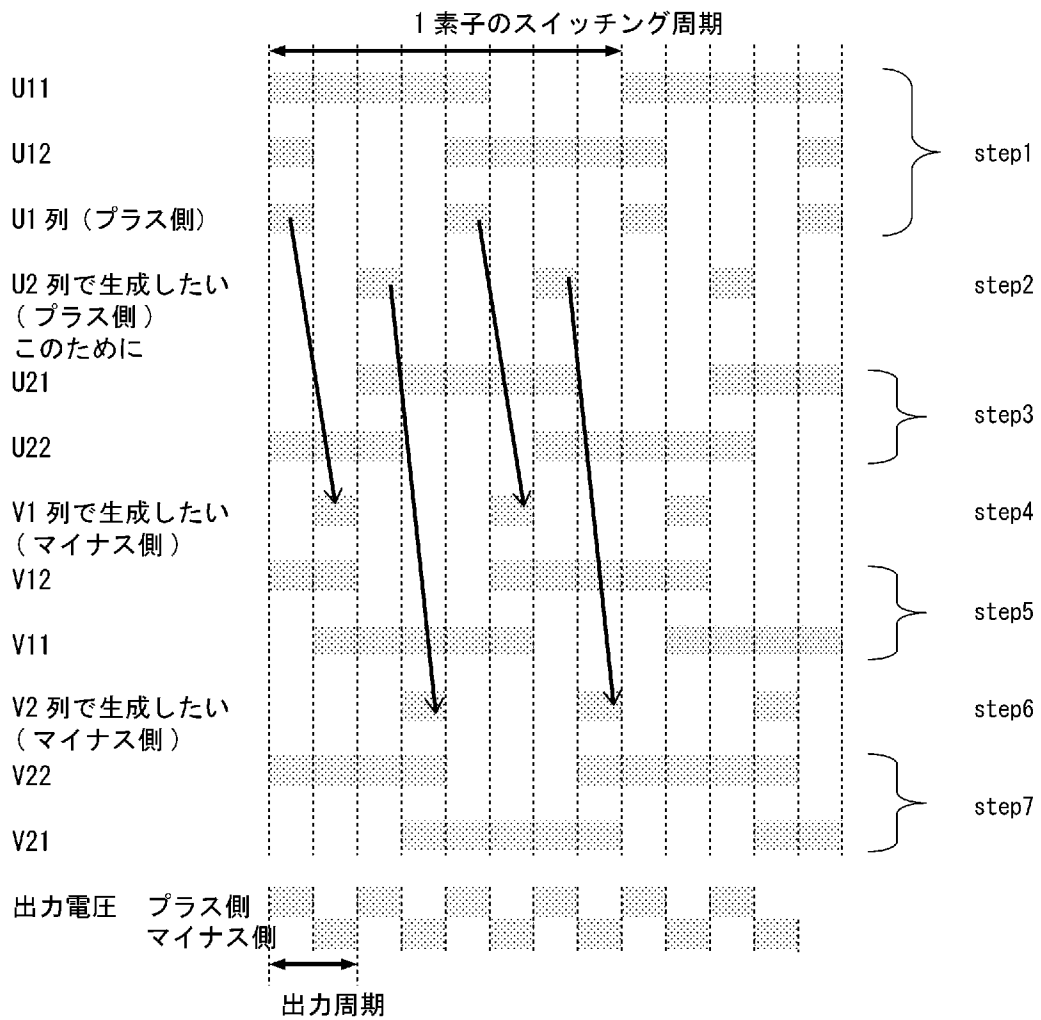
[図4]



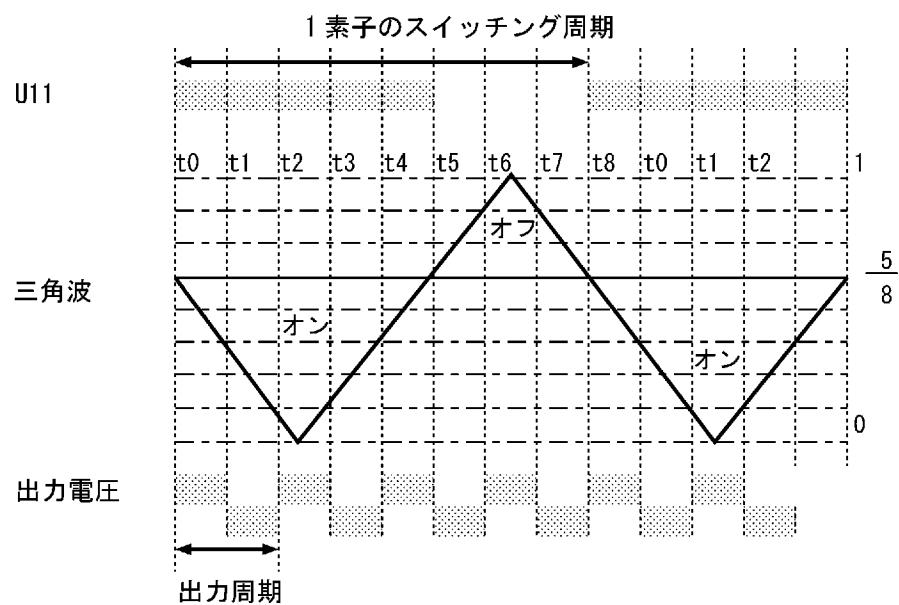
[図5]



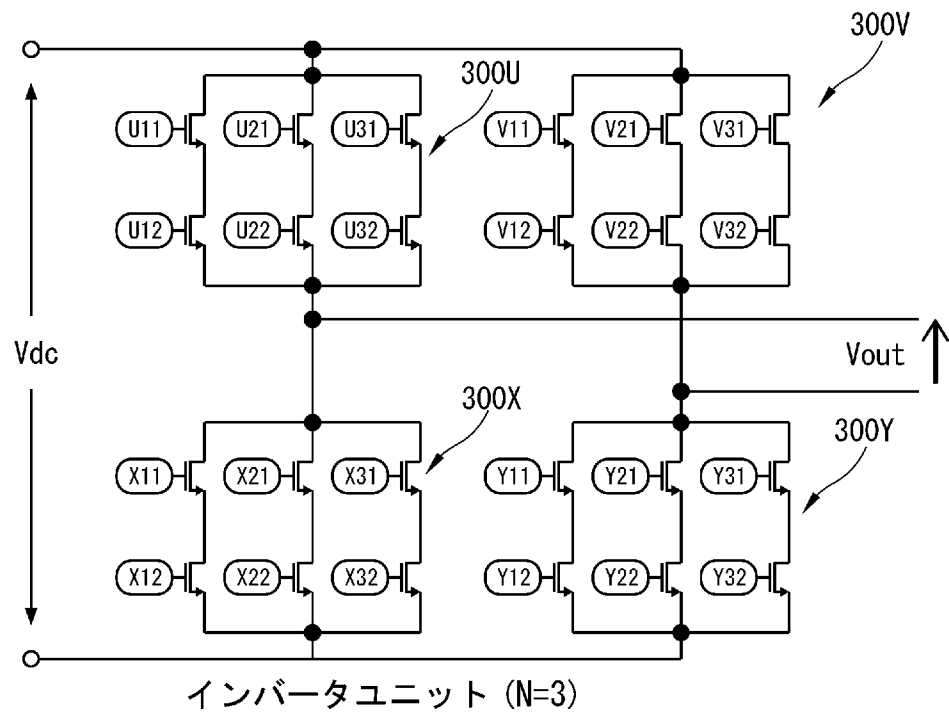
[図6]



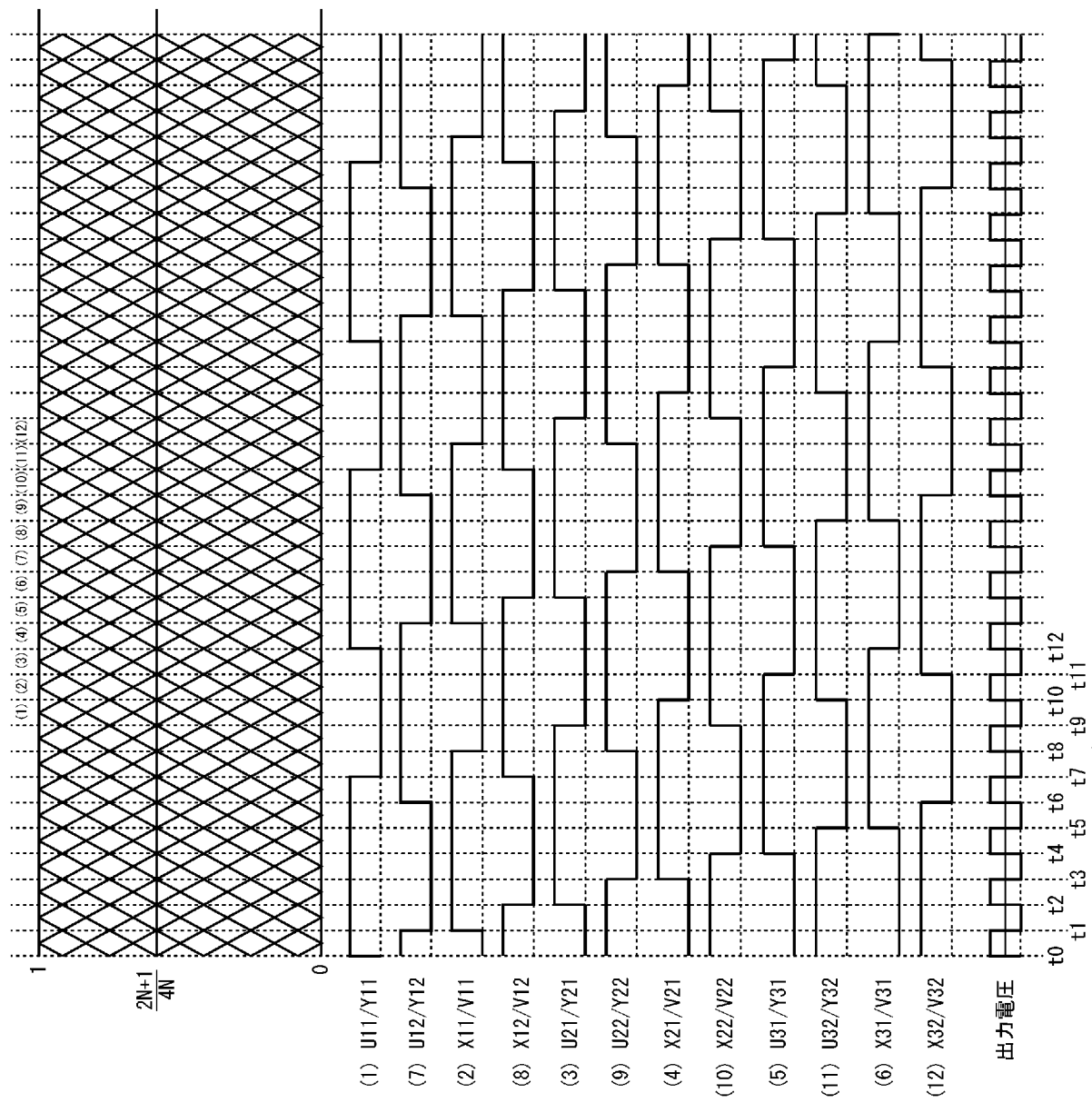
[図7]



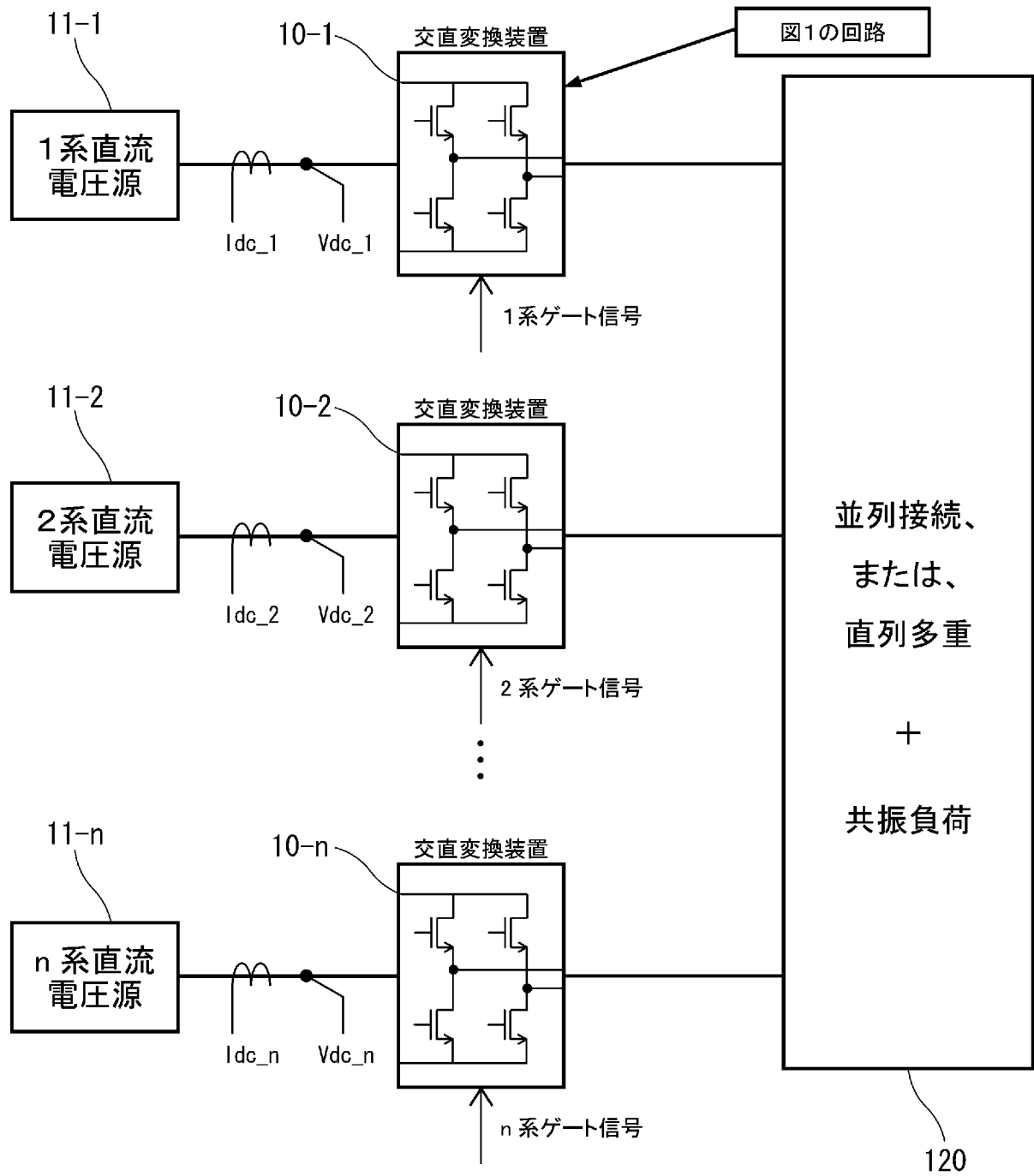
[図8]



[図9]

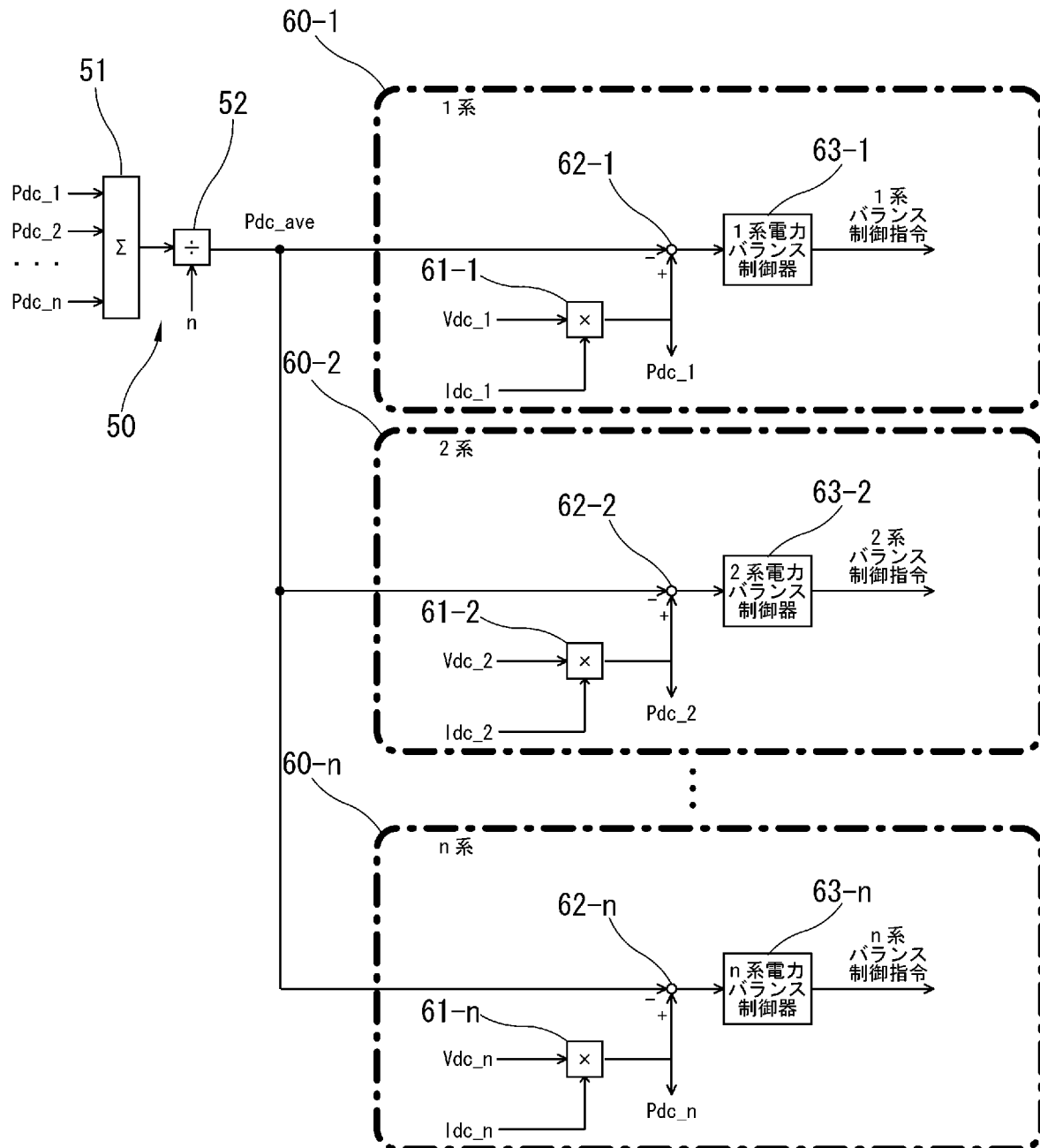


[図10]



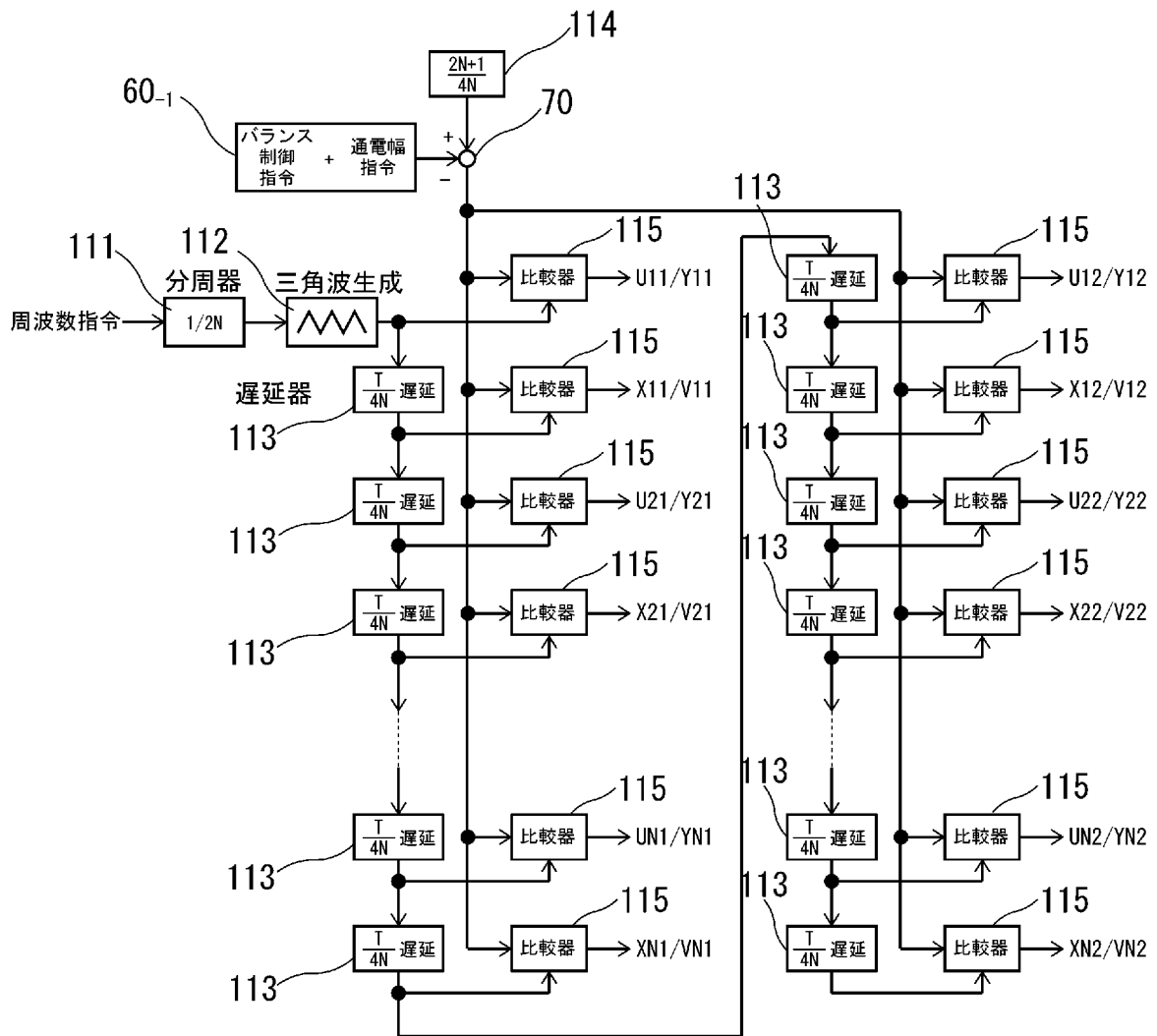
本発明の主回路構成

[図11]



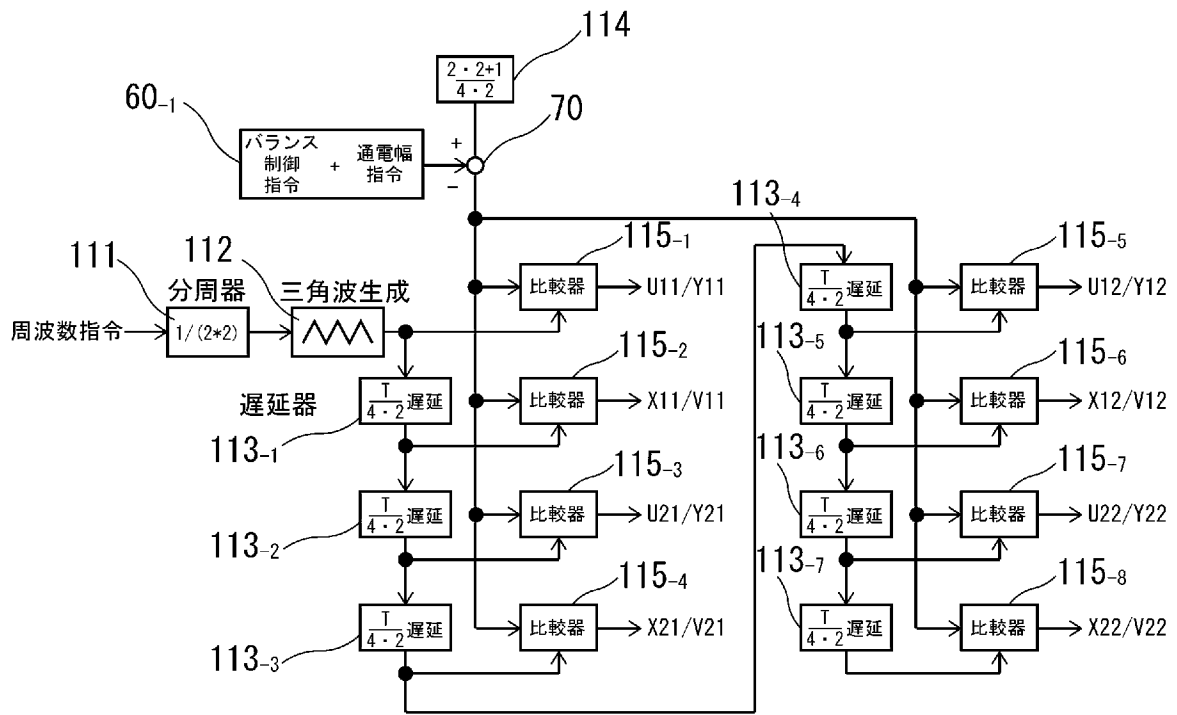
本発明のバランス制御ブロック

[図12]



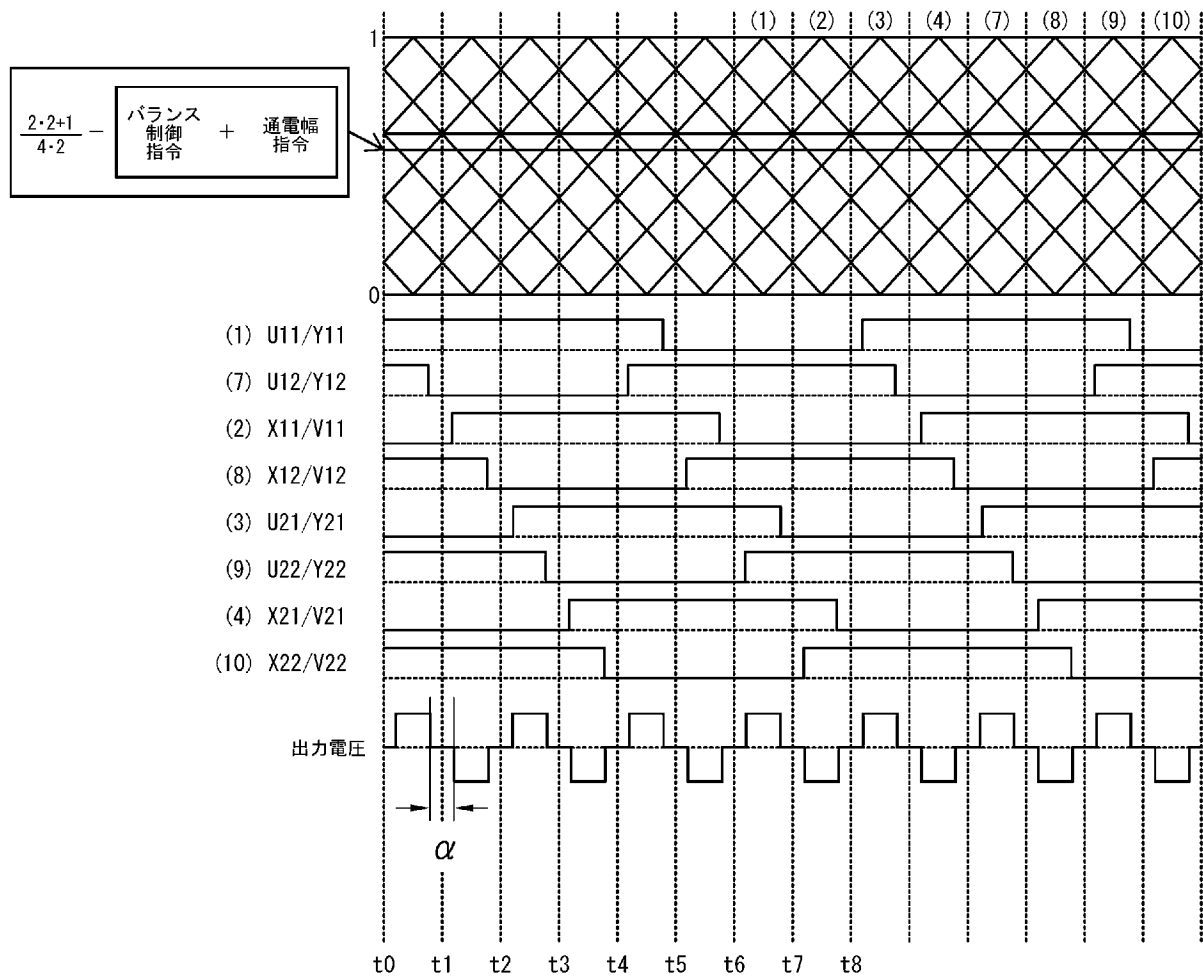
本発明のゲート信号制御ブロック

[図13]



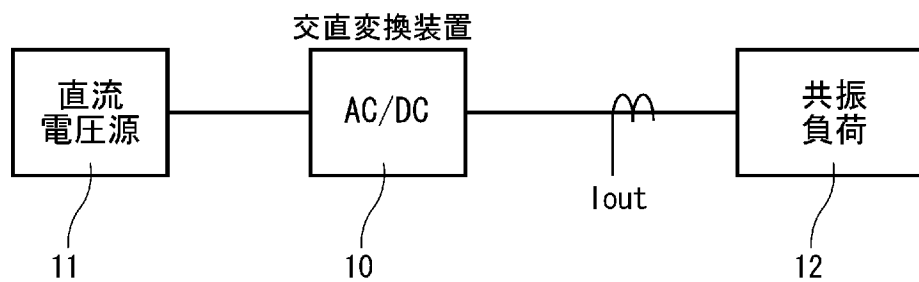
ゲート信号制御回路構成 (N=2)

[図14]



バランス制御動作時のゲート信号パターンと出力電圧 (N=2)

[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/006525

A. CLASSIFICATION OF SUBJECT MATTER

H02M7/48 (2007.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M7/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2015/194585 A1 (Meidensha Corp.), 23 December 2015 (23.12.2015), abstract; paragraphs [0007] to [0012]; fig. 3, 6 (Family: none)	1-8
A	JP 2004-510400 A (Efd Induction A.S.), 02 April 2004 (02.04.2004), abstract; fig. 1 to 3 & JP 4761696 B2 & US 2003/0179595 A1 abstract; fig. 1a to 3b & WO 2002/027908 A1 & CN 1466810 A	1-8
A	JP 2015-43660 A (Mitsubishi Electric Corp.), 05 March 2015 (05.03.2015), abstract; fig. 10 (Family: none)	5-8

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
16 March 2017 (16.03.17)

Date of mailing of the international search report
28 March 2017 (28.03.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H02M7/48(2007.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H02M7/48

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	W0 2015/194585 A1（株式会社明電舎）2015.12.23, 要約, 段落7-12, 図3, 6（ファミリーなし）	1-8
A	JP 2004-510400 A（エフド インダクション エイ. エス.） 2004.04.02, 要約, 図1-3 & JP 4761696 B2 & US 2003/0179595 A1, 要約, 図1a-3b & W0 2002/027908 A1 & CN 1466810 A	1-8

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

16.03.2017

国際調査報告の発送日

28.03.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

佐藤 匡

5G

9650

電話番号 03-3581-1101 内線 3526

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2015-43660 A (三菱電機株式会社) 2015. 03. 05, 要約, 図 1 0 (ファミリーなし)	5-8