

公告本

申請日期	90 年 10 月 2 日
案 號	90124304
類 別	H01L ²⁷ / ₀₈

A4
C4

522548

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	半導體裝置及其製造方法
	英 文	
二、發明 人	姓 名	(1) 大塚文雄 (2) 尾内享裕 (3) 大西和博
	國 籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國東京都千代田區丸之内一丁目五番一號 新丸大樓日立製作所(股)知的財産權本部内 (2) 日本國東京都千代田區丸之内一丁目五番一號 新丸大樓日立製作所(股)知的財産權本部内 (3) 日本國東京都千代田區丸之内一丁目五番一號 新丸大樓日立製作所(股)知的財産權本部内
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番 地
	代 表 人 姓 名	(1) 庄山悦彦

經濟部智慧財產局員工消費合作社印製

裝

訂

線

申請日期	90 年 10 月 2 日
案 號	90124304
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	
	英 文	
二、發明 人	姓 名	(4) 若原祥史
	國 籍	(4) 日本 (4) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所 (股) 知的財産權本部內
三、申請人	住、居所	
	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝

訂

線

經濟部智慧財產局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國 (地區)	申請專利，申請日期：	案號：	， ☐ 有 ☐ 無主張優先權
日本	2000 年 10 月 18 日	2000-317345	☒ 有主張優先權
日本	2001 年 7 月 19 日	2001-219666	☒ 有主張優先權

有關微生物已寄存於：	， 寄存日期：	， 寄存號碼：
------------	---------	---------

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

【發明領域】

本發明係關於半導體裝置的製造技術，特別是關於適用於具有閘極長為 $0.1\mu\text{m}$ 以下的世代之 MISFET(金屬-絕緣體-半導體場效電晶體，Metal Insulator Semiconductor Field Effect Transistor)的半導體裝置之有效技術。

【發明背景】

【習知技藝之說明】

抑制短通道效應(Short channel effect)的 MISFET 例如有日本特開平 4-58562 號公報所揭示的具有口袋構造的擊穿中止(Punch through stopper)層的 MISFET。

此 MISFET 首先以第一導電型基板上中介絕緣膜而形成的閘電極為罩幕，對基板表面離子植入第二導電型雜質形成第一擴散區域，並且，在此第一擴散區域下方離子植入第一導電型雜質形成第二擴散區域，所謂的口袋構造的擊穿中止層。然後，在該閘電極的兩側部形成導電性的側壁膜，以此側壁膜以及該閘電極為罩幕，對基板表面離子植入第二導電型雜質形成第三擴散區域。

短通道效應的主要原因為自 MISFET 的汲極所產生的電場到達源極，在源極/汲極間流過電流。但是，前述 MISFET 因自汲極所產生的電場強度被反向電場型的口袋構造的擊穿中止層(第二擴散區域)抑制，故即使閘極長為 $0.2\mu\text{m}$ 左右也能避免短通道效應的發生。

五、發明說明 (2)

【發明概要】

但是，關於具有口袋構造的擊穿中止層之 MISFET，本發明者檢討時發現以下的問題點。

爲了謀求半導體裝置的高積集化，需要 MISFET 的閘電極的源極/汲極方向的寬度(以下稱爲閘極長)的微細化。但是，閘極長爲 $0.1\mu\text{m}$ 以下的 MISFET 若口袋構造的擊穿中止層的擴張爲 $0.03\mu\text{m}$ 以上的話，閘電極下的上述擴張佔閘極長的 60% 以上。因此，由於閘電極的形狀或擊穿中止層形成時的離子植入角度的偏差，使 MISFET 的啓始電壓變動。

本發明的目的爲提供在短通道 MISFET 中，可抑制啓始電壓的偏差，再者，可謀求開關速度(Switching speed)的提高之技術。

本發明的前述以及其他目的與新穎的特徵可由本說明書的記述以及添付圖面而明瞭。

在本案中所揭示的發明之中，若簡單地說明代表的發明概要的話如以下所示。

本發明的半導體裝置及其製造方法係在形成具有約 $0.1\mu\text{m}$ 以下的閘極長之 MISFET 時，具有：

對基板形成雜質濃度分布具有第一尖峰的第一導電型雜質層，與雜質濃度分布具有第二尖峰的第一導電型雜質層之工程；

在形成閘電極後，於基板形成第二導電型源極/汲極擴張區域之工程；以及

五、發明說明 (3)

在該閘電極的側壁形成側壁間隙壁後，於基板形成第二導電型源極/汲極擴散區域之工程，其中

該第一尖峰係位於比源極/汲極擴散區域的接合深度還淺的位置，該第二尖峰係位於比通道區域還深的位置。而且，第二尖峰的雜質濃度比第一尖峰的雜質濃度大。而且，通道區域的雜質濃度總合為 $5 \times 10^{17}/\text{cm}^3$ 以下。而且，離子植入構成第二尖峰的雜質層的元素質量比構成第一尖峰的雜質層的元素質量還重的元素。

如果依照上述手段，藉由在 MISFET 的通道區域下的基板全面形成具有防止擊穿功能的雜質層，與形成口袋構造的擊穿中止層的情形比較，可抑制啓始電壓的變動。再者，藉由在上述雜質層的雜質濃度分布配設第一尖峰以及第二尖峰的兩個尖峰，相對地增大可控制的空乏層寬度，可縮小次啓始係數 (Subthreshold swing)。據此，可防止起始電壓的降低，提高 MISFET 的開關速度。再者，因通道區域的雜質濃度總合為 $5 \times 10^{17}/\text{cm}^3$ 以下，故可增大遷移率 (Mobility)。而且，因離子植入構成第二尖峰的雜質層的元素質量比構成第一尖峰的雜質層的元素質量還重的元素，持續提高尖峰濃度，因可降低表面濃度，故可防止遷移率的降低。而且，以汲極電壓為 1V 以下與口袋構造比較可提高斷開 (Off) 電流。即本發明的 MISFET 藉由以 1V 以下的電源電壓的動作可提高斷開電流。

【圖式之簡單說明】

五、發明說明 (4)

圖 1 係顯示本發明的一實施形態之 CMOS 裝置的製造方法之基板的主要部位剖面圖。

圖 2 係顯示本發明的一實施形態之 CMOS 裝置的製造方法之基板的主要部位剖面圖。

圖 3 係顯示本發明的一實施形態之 CMOS 裝置的製造方法之基板的主要部位剖面圖。

圖 4 係顯示本發明的一實施形態之 CMOS 裝置的製造方法之基板的主要部位剖面圖。

圖 5 係顯示本發明的一實施形態之 CMOS 裝置的製造方法之基板的主要部位剖面圖。

圖 6 係顯示本發明的一實施形態之 CMOS 裝置的製造方法之基板的主要部位剖面圖。

圖 7 係顯示本發明的一實施形態之 CMOS 裝置的製造方法之基板的主要部位剖面圖。

圖 8 係顯示本發明的一實施形態之 CMOS 裝置的製造方法之基板的主要部位剖面圖。

圖 9 係顯示本發明的一實施形態之 CMOS 裝置的製造方法之基板的主要部位剖面圖。

圖 10(a)係顯示 n 通道型 MISFET 的擴大剖面圖，(b)係顯示(a)的 A-A'線中的雜質濃度分布圖。

圖 11(a)以及(b)係顯示 n 通道型 MISFET 的空乏層形狀之擴大剖面圖。

圖 12 係顯示 n 通道型 MISFET 的啓始電壓的閘極長依存性圖。

五、發明說明 (5)

圖 13 係顯示由包含本發明的一實施形態之 CMOS 裝置的 MISFET 以及口袋構造所構成的 MISFET 中的汲極電流值與斷開電流值的關係之說明圖。

圖 14 係顯示本發明的其他實施形態之 CMOS 裝置的基板的主要部位剖面圖。

【符號說明】

- 1: 基板
- 2: 氧化矽膜
- 3: 氮化矽膜
- 4a: 元件隔離溝槽
- 4b: 氧化矽膜
- 5: p 型井
- 6: n 型井
- 7: p 型雜質層
- 8: p 型雜質層
- 9: n 型雜質層
- 10: n 型雜質層
- 11: 閘極絕緣膜
- 12n: n 型多晶矽膜
- 12p: p 型多晶矽膜
- 13n: 閘電極
- 13p: 閘電極
- 14a: 源極/汲極擴張區域

五、發明說明 (6)

14b: 源極/汲極擴散區域

15a: 源極/汲極擴張區域

15b: 源極/汲極擴散區域

16: 氮化矽膜

17: 氧化矽膜

18: 金屬矽化物層

19: 氮化矽膜

20: 層間絕緣膜

21n: 接觸孔

21p: 接觸孔

22: 插塞

23: 配線層

24: 隔離絕緣膜

25: 基板

26: 矽單晶薄膜

Qn: n 通道型 MISFET

Qp: p 通道型 MISFET

【較佳實施例之詳細說明】

以下根據圖示詳細說明本發明的實施形態。此外，在用以說明實施形態的全圖中，對具有相同功能的構件附加相同的符號，省略其重複說明。

(實施形態一)

五、發明說明 (7)

使用圖 1~圖 9 所示的基板的主要部位剖面圖，依照工程順序說明本發明的一實施形態之 CMOS(互補式金屬氧化半導體，Complementary Metal Oxide Semiconductor)裝置(Device)的製造方法。圖中 Qn 為 n 通道型 MISFET、Qp 為 p 通道型 MISFET。

首先，如圖 1 所示準備例如由 p 型的單晶矽所構成的基板 1。其次，熱氧化此基板 1 在其表面形成膜厚 $0.01\mu\text{m}$ 左右的薄氧化矽膜 2，接著，在其上層以 CVD(化學氣相沉積，Chemical Vapor Deposition)法沉積膜厚 $0.1\mu\text{m}$ 左右的氮化矽膜 3 後，藉由以光阻圖案(Resist pattern)為罩幕(Mask)依次乾式蝕刻(Dry etching)氮化矽膜 3、氧化矽膜 2 以及基板 1，在元件隔離區域的基板 1 形成深度 $0.35\mu\text{m}$ 左右的元件隔離溝槽 4a。

其次，藉由使用熱磷酸的濕式蝕刻(Wet etching)除去氮化矽膜 3 後，如圖 2 所示以回蝕(Etch back)或者 CMP(化學機械研磨，Chemical Mechanical Polishing)法研磨在基板 1 上以 CVD 法沉積的氧化矽膜 4b，藉由在元件隔離溝槽 4a 的內部殘留氧化矽膜 4b，形成元件隔離區域。接著，藉由以約 1000°C 對基板 1 進行回火(Anneal)，使埋入元件隔離溝槽 4a 的氧化矽膜 4b 密質化(Densify)。

接著，對基板 1 的 n 通道型 MISFETQn 的形成區域離子植入用以形成 p 型井 5 的 p 型雜質例如硼(B)，對 p 通道型 MISFETQp 的形成區域離子植入用以形成 n 型井 6 的 n 型雜質例如磷(P)。上述 B 例如以植入能量 200keV 、劑量(Dose)

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (8)

$2 \times 10^{13} \text{cm}^{-2}$ 來植入，上述 P 例如以植入能量 500keV、劑量 $3 \times 10^{13} \text{cm}^{-2}$ 來植入。

其次，如圖 3 所示對基板 1 的 n 通道型 MISFETQn 的形成區域離子植入 p 型雜質例如硼(B)，形成雜質濃度分布具有第一尖峰的 p 型雜質層 7，接著離子植入質量比構成 p 型井 5 的雜質(B)還重的 p 型雜質例如銦(In)，形成雜質濃度分布具有第二尖峰的 p 型雜質層 8。距 p 型雜質層 7 的第一尖峰的基板 1 表面的深度係位於比距 p 型雜質層 8 的第二尖峰的基板 1 表面的深度相對地深的位置，如後述雜質濃度分布具有第一尖峰的 p 型雜質層 7 具有防止源極/汲極擴散區域間的擊穿之功能，雜質濃度分布具有第二尖峰的 p 型雜質層 8 具有防止源極/汲極擴張區域間的擊穿之功能。上述 B 例如以植入能量 30keV、劑量 $1 \times 10^{13} \text{cm}^{-2}$ 來植入，上述 In 例如以植入能量 160keV、劑量 $1 \times 10^{13} \text{cm}^{-2}$ 來植入。

如 In 質量重的元素因擴散係數小，故持續提高上述第二尖峰的濃度，可降低基板 1 表面中的濃度。p 型雜質層 8 爲了防止源極/汲極擴張區域間的擊穿之作用，必須高高地設定其雜質濃度。另一方面，在植入擴散係數小的質量的輕元素的情形中，因基板 1 表面中的濃度高，故發生因雜質散亂所造成的載子(Carrier)的遷移率變小的問題。因此，藉由植入質量重的元素，因可降低基板 1 表面中的濃度，故可防止載子的遷移率下降。

而且，p 型雜質層 7 係防止源極/汲極擴散區域的擊穿之作用。此處，對於此 p 型雜質層 7 藉由高能量植入質量

五、發明說明 (9)

重的元素而形成之情形，構成基板 1 的 Si(矽)被非晶矽化，在後面的工程中的熱處理時產生結晶缺陷。p 型雜質層 7 因與汲極區域接觸，故若該結晶缺陷產生的話，在汲極區域與基板 1 之間產生遺漏電流(Leakage current)。因此，如上述藉由利用植入質量輕的元素形成 p 型雜質層 7，可解決此問題。

同樣地，對基板 1 的 p 通道型 MISFETQp 的形成區域離子植入 n 型雜質例如 P，形成雜質濃度分布具有第一尖峰的 n 型雜質層 9，接著離子植入質量比構成 n 型井 6 的雜質(P)還重的 n 型雜質例如砷(As)，形成雜質濃度分布具有第二尖峰的 n 型雜質層 10。距 n 型雜質層 9 的第一尖峰的基板 1 表面的深度係位於比距 n 型雜質層 10 的第二尖峰的基板 1 表面的深度相對地深的位置，如後述雜質濃度分布具有第一尖峰的 n 型雜質層 9 具有防止源極/汲極擴散區域間的擊穿之功能，雜質濃度分布具有第二尖峰的 n 型雜質層 10 具有防止源極/汲極擴張區域間的擊穿之功能。上述 P 例如以植入能量 80keV、劑量 $1 \times 10^{13} \text{cm}^{-2}$ 來植入，上述 As 例如以植入能量 80keV、劑量 $1 \times 10^{13} \text{cm}^{-2}$ 來植入。

如此，在被元件隔離溝槽 4a 以及氧化矽膜 4b 規定的 p 型井 5 中，p 型雜質層 8 係在距基板 1 表面預定深度以具有第二尖峰而形成，p 型雜質層 7 係在距基板 1 表面預定深度以具有第一尖峰而形成。即如後述，p 型雜質層 7 在閘電極 13n 下部的源極/汲極擴散區域 14b 間全域中形成於一定的深度，且用以接觸源極/汲極擴散區域 14b 而形成。而且，p

五、發明說明 (10)

型雜質層 8 在閘電極 13n 下部的源極/汲極擴張區域 14a 間全域中形成於一定的深度，且用以接觸源極/汲極擴張區域 14a 而形成。

而且，在被元件隔離溝槽 4a 以及氧化矽膜 4b 規定的 n 型井 6 中，n 型雜質層 10 係在距基板 1 表面預定深度以具有第二尖峰而形成，n 型雜質層 9 係在距基板 1 表面預定深度以具有第一尖峰而形成。即如後述，n 型雜質層 9 在閘電極 13p 下部的源極/汲極擴張區域 15b 間全域中形成於一定的深度，且用以接觸源極/汲極擴張區域 15b 而形成。而且，n 型雜質層 10 在閘電極 13p 下部的源極/汲極擴張區域 15a 間全域中形成於一定的深度，且用以接觸源極/汲極擴張區域 15a 而形成。

其次，如圖 4 所示熱氧化基板 1，在 p 型井 5 以及 n 型井 6 的各表面以 2nm 左右的厚度形成閘極絕緣膜 11 後，以 CVD 法在基板 1 上沉積厚度 200nm 左右的非晶矽 (Amorphous silicon) 膜 (未圖示)。其次，對 n 通道型 MISFETQn 的形成區域的非晶矽膜離子植入 n 型雜質例如 P，對 p 通道型 MISFETQp 的形成區域的非晶矽膜離子植入 p 型雜質例如 B。

然後，對基板 1 實施例如 950℃、60 秒左右的熱處理，使導入非晶矽膜的 n 型雜質以及 p 型雜質活化，然後，使 n 通道型 MISFETQn 的形成區域的非晶矽膜變成 n 型多晶矽膜 12n，使 p 通道型 MISFETQp 的形成區域的非晶矽膜變成 p 型多晶矽膜 12p。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (11)

其次，如圖 5 所示以光阻圖案為罩幕蝕刻 n 型多晶矽膜 12n，在 n 通道型 MISFETQn 的形成區域形成以 n 型多晶矽膜 12n 構成的閘極長 $0.1\mu\text{m}$ 左右的閘電極 13n。同時，以光阻圖案為罩幕蝕刻 p 型多晶矽膜 12p，在 p 通道型 MISFETQp 的形成區域形成以 p 型多晶矽膜 12p 構成的閘極長 $0.1\mu\text{m}$ 左右的閘電極 13p。然後，對基板 1 實施例如 800°C 的乾式氧化處理。

其次，以光阻膜覆蓋 n 型井 6 後，以 n 通道型 MISFETQn 的閘電極 13n 為罩幕對 p 型井 5 離子植入 n 型雜質例如 As，形成 n 通道型 MISFETQn 的源極/汲極擴張區域 14a。上述 As 例如以植入能量 5keV 、劑量 $1\times 10^{15}\text{cm}^{-2}$ 來植入，形成具有 $0.04\mu\text{m}$ 左右的接合深度的源極/汲極擴張區域 14a。

同樣地，以光阻膜覆蓋 p 型井 5 後，以 p 通道型 MISFETQp 的閘電極 13p 為罩幕對 n 型井 6 離子植入 p 型雜質例如氟化硼 (BF_2)，形成 p 通道型 MISFETQp 的源極/汲極擴張區域 15a。上述 BF_2 例如以植入能量 3keV 、劑量 $1\times 10^{15}\text{cm}^{-2}$ 來植入，形成具有 $0.04\mu\text{m}$ 左右的接合深度的源極/汲極擴張區域 15a。

其次，在基板 1 上以 CVD 法依次沉積氮化矽膜 16 以及氧化矽膜 17 後，如圖 6 所示以反應性離子蝕刻 (Reactive ion etching) 法非等向性蝕刻 (Anisotropic etch) 氧化矽膜 17，接著蝕刻氮化矽膜 16，在 n 通道型 MISFETQn 的閘電極 13n 以及 p 通道型 MISFETQp 的閘電極 13p 的各個側壁形成由氮

五、發明說明 (12)

化矽膜 16 以及氧化矽膜 17 所構成的側壁間隙壁(Sidewall spacer)。

其次，以光阻膜覆蓋 n 型井 6 後，以 n 通道型 MISFETQn 的閘電極 13n 以及側壁間隙壁為罩幕對 p 型井 5 離子植入 n 型雜質例如 As，形成位於接合深度比前述 p 型雜質層 7 的第一尖峰還深的位置之源極/汲極擴散區域 14b。上述 As 例如以植入能量 40keV、劑量 $2 \times 10^{15} \text{cm}^{-2}$ 來植入，形成具有 $0.1 \mu\text{m}$ 左右的接合深度的源極/汲極擴散區域 14b。

同樣地，以光阻膜覆蓋 p 型井 5 後，以 p 通道型 MISFETQp 的閘電極 13p 以及側壁間隙壁為罩幕對 n 型井 6 離子植入 p 型雜質例如 BF_2 ，形成位於接合深度比前述 n 型雜質層 9 的第一尖峰還深的位置之源極/汲極擴散區域 15b。上述 BF_2 例如以植入能量 25keV、劑量 $2 \times 10^{15} \text{cm}^{-2}$ 來植入，形成具有 $0.1 \mu\text{m}$ 左右的接合深度的源極/汲極擴散區域 15b。

其次，如圖 7 所示在以氫氟酸(HF)液洗淨基板 1 後，利用例如濺鍍法將厚度 10~20nm 左右的鈷(Co)膜沉積於基板 1 上。其次，對基板 1 施加 500~600℃ 左右的熱處理，在 n 通道型 MISFETQn 的閘電極 13n 表面以及源極/汲極擴散區域 14b 表面與 p 通道型 MISFETQp 的閘電極 13p 表面以及源極/汲極擴散區域 15b 表面，選擇性地形成厚度 30nm 左右的金屬矽化物(Silicide)層 18。然後，除去未反應的 Co 膜，其次，為了金屬矽化物層 18 的低電阻化，對基板 1 實施

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (13)

700~800℃ 左右的熱處理。

其次，如圖 8 所示在基板 1 上以電漿 CVD 法沉積氮化矽膜 19 後，形成例如以氧化矽膜構成的層間絕緣膜 20。其次，以光阻圖案為罩幕依次蝕刻層間絕緣膜 20 以及氮化矽膜 19，使到達配設於 n 通道型 MISFETQ_n 的源極/汲極擴散區域 14b 表面的金屬矽化物層 18 之接觸孔(Contact hole)21_n，以及到達配設於 p 通道型 MISFETQ_p 的源極/汲極擴散區域 15b 表面的金屬矽化物層 18 之接觸孔 21_p 開孔。此外雖然未圖示，但同時形成到達配設於 n 通道型 MISFETQ_n 的閘電極 13_n 表面的金屬矽化物層 18 以及 p 通道型 MISFETQ_p 的閘電極 13_p 表面的金屬矽化物層 18 之接觸孔。

其次，如圖 9 所示在層間絕緣膜 20 的上層沉積金屬膜例如鎢(W)膜，藉由例如以 CMP 法平坦化此金屬膜的表面，在上述接觸孔 21_n、21_p 的內部形成埋入金屬膜的插塞(Plug)22。然後，藉由蝕刻沉積於層間絕緣膜 20 上層的金屬膜形成配線層 23，大致完成 CMOS 裝置(Device)。

其次，使用圖 10~圖 12 說明關於前述 n 通道型 MISFETQ_n 的諸特性。圖 10(a) 係顯示 n 通道型 MISFETQ_n 的擴大剖面圖，圖 10(b) 係顯示同圖(a)的 A-A' 線中的雜質濃度分布圖。而且，圖 11 係顯示 n 通道型 MISFETQ_n 的空乏層形狀之擴大剖面圖，圖 12 係顯示 n 通道型 MISFETQ_n 的啓始電壓的閘極長依存性圖。此外，此處雖然說明關於 n 通道型 MISFETQ_n 的諸特性，惟關於 p 通道型 MISFETQ_p 也同樣。

五、發明說明 (14)

如圖 10 所示，p 型雜質層 7 的雜質濃度分布中的第一尖峰係位於比源極/汲極擴散區域 14b 的接合深度還淺的位置，p 型雜質層 8 的雜質濃度分布中的第二尖峰係比通道區域還深，且位於比源極/汲極擴散區域 14b 的接合深度還淺的位置。而且，p 型雜質層 8 的第二尖峰係位於比 p 型雜質層 7 的第一尖峰還淺的位置。即 p 型雜質層 7 在閘電極 13n 下部的源極/汲極擴散區域 14b 間全域中形成於一定的深度，且用以接觸源極/汲極擴散區域 14b 而形成。而且，p 型雜質層 8 在閘電極 13n 下部的源極/汲極擴張區域 14a 間全域中形成於一定的深度，且用以接觸源極/汲極擴張區域 14a 而形成。藉由使用具有由這種第一尖峰以及第二尖峰的兩個尖峰所構成的雜質濃度分布的基板 1，與具有本發明者所檢討的一樣的雜質濃度分布(圖中以點線表示)的基板比較，可增大可控制的空乏層寬度，可縮小次啓始係數 (Subthreshold swing) S。

即次啓始係數 S 以

$$(1) \text{式} \quad S = \ln 10 (1 + C_d / C_{ox})$$

$$(2) \text{式} \quad C_d = \epsilon / d$$

表示。此處 C_d 為可以閘電極 13n 控制的空乏層電容、 C_{ox} 為閘極絕緣膜 11 的電容， d 為可以閘電極 13n 控制的深度方向的空乏層寬度。因此，若空乏層的寬度 d 變大的話 S 變小。再者，S 係以將次啓始特性畫在半對數座標圖 (Semilog plot) 時電流改變一位數所需的閘電壓而定義，若 S 變小的話，對閘電壓增加的電流的增加率變大，MISFET 的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (19)

開關速度變快。

如上述在本實施形態一中藉由導入質量重的 In 形成 p 型雜質層 8。因此，因可降低基板 1 表面中的雜質濃度，故可防止雜質散亂，可增大載子的遷移率。而且，藉由令 p 型雜質層 8 的雜質濃度分布的第二尖峰位置為距基板 1 表面 50nm 左右的深度，令其第二尖峰的濃度為 $1 \times 10^{18} \text{cm}^{-3}$ 左右，令基板 1 表面中的濃度為 $5 \times 10^{17} \text{cm}^{-3}$ 左右以下，可在基板 1 表面形成陡峭的濃度斜率。這種情形載子被關入形成於基板 1 表面的量子井戶，均勻地在該量子井戶內流動。因此，因載子不受形成於基板 1 表面的界面順位的影響，故可增大其遷移率。

而且，雜質濃度分布具有第一尖峰的 p 型雜質層 7 具有防止源極/汲極擴散區域 14b 間的擊穿之功能，雜質濃度分布具有第二尖峰的 p 型雜質層 8 具有防止源極/汲極擴張區域 14a 間的擊穿之功能。如此，藉由在基板 1 的全面形成 p 型雜質層 7、8，與形成口袋構造的擊穿中止層的情形比較，起因於擊穿中止層的橫方向偏差的啓始電壓的偏差被防止。

此外，令第一尖峰的雜質濃度為約 $1 \times 10^{18} \text{cm}^{-3}$ 以上，設定比第二尖峰的雜質濃度還高較佳。藉由如此地設定，距深的區域的源極/汲極擴散區域 14b 的空乏層寬度比距淺的區域的源極/汲極擴張區域 14a 的空乏層寬度還小，可以開電極 13n 控制的空乏層形狀如圖 11(a)所示成為梯形。因具有梯形的空乏層的 MISFET 比具有圖 11(b)所示的倒梯形的

五、發明說明 (16)

空乏層的 MISFET，其啓始電壓的特性曲線斜率(Roll-off)被緩和，故如圖 12 所示對短通道效應的防止有效。圖 11 以及圖 12 中 $N1$ 爲 p 型雜質層 8 的雜質濃度， $N2$ 爲 p 型雜質層 7 的雜質濃度。

此外，本實施形態一雖然以 B 構成 n 通道型 MISFET Q_n 的雜質濃度分布具有第一尖峰的 p 型雜質層 7，惟以 In 構成也可以。而且，以 P 構成 p 通道型 MISFET Q_p 的雜質濃度分布具有第一尖峰的 n 型雜質層 9，惟以 As 構成也可以，可獲得同樣的功效。

如 In 因質量重的元素擴散係數小，故持續提高上述第二尖峰的濃度，可降低基板 1 表面中的濃度。p 型雜質層 8 爲了防止源極/汲極擴張區域 14a 間的擊穿作用，必須高高地設定其雜質濃度。另一方面，在植入擴散係數小的質量的輕元素的情形中，因基板 1 表面中的濃度高，故產生因雜質散亂所造成的載子的遷移率變小的問題。因此，藉由植入質量重的元素，因可降低基板 1 表面中的濃度，故可防止載子的遷移率的下降。

而且，p 型雜質層 7 係防止源極/汲極擴散區域 14b 間的擊穿作用。此處，對於藉由以高能量植入質量重的元素形成此 p 型雜質層 7 的情形，構成基板 1 的 Si(矽)被非晶矽化，在後面的工程中的熱處理時產生結晶缺陷。p 型雜質層 7 因與汲極區域接觸，故若該結晶缺陷產生的話，在汲極區域與基板 1 之間產生遺漏電流。因此，如上述藉由利用植入質量輕的元素形成 p 型雜質層 7，可解決此問題。

五、發明說明 (17)

如此，如果依照本實施形態一，藉由在 CMOS 裝置的通道區域下的基板 1 全面形成具有防止擊穿功能的雜質層 (n 通道型 MISFETQ_n 的情形為 p 型雜質層 7、8，p 通道型 MISFETQ_p 的情形為 n 型雜質層 9、10)，與形成口袋構造的擊穿中止層的情形比較，可抑制啓始電壓的變動。再者，藉由在上述雜質層的雜質濃度分布配設第一尖峰以及第二尖峰的兩個尖峰，因相對地增大可控制的空乏層寬度，可縮小次啓始係數，故可防止起始電壓的降低，提高 CMOS 裝置的開關速度。

再者如圖 13 所示，本實施形態一中的 n 通道型 MISFETQ_n 或 p 通道型 MISFETQ_p 中的載子遷移率的增加的影響在其電流電壓特性中的汲極電壓的低區域顯著地顯現。即若汲極電壓高的話載子以飽和速度流動。如果依照本發明者們所進行的實驗，藉由以口袋構造形成的 MISFET 與以本實施形態一形成的 MISFET，在汲極電壓為約 1V 以上的情形中若以相同斷開電流值比較的話，兩者的汲極電流值為約略相同或接近相同值。另一方面，在汲極電壓為約 1V 以下的情形中，依照斷開電流值的增加，以本實施形態一形成的 MISFET 的汲極電流值係比以口袋構造形成的 MISFET 的汲極電流值還大。即如果依照本實施形態一，特別是因可增大汲極電壓為約 1V 以下的情形中的汲極電流，可提高此時的 MISFET 的驅動能力。

(實施形態二)

五、發明說明 (18)

形成於本發明的其他實施形態之 SOI(絕緣層上覆矽，Silicon on insulator)基板上的 CMOS 裝置顯示於圖 14。

SOI 基板係藉由隔離絕緣膜 24 電性地隔離基板 25 與裝置層(矽(Si)單晶薄膜 26)，例如藉由利用氧的高能量離子植入的 SIMOX(氧植入隔離，Separation by Implanted Oxygen)技術或貼合技術等來形成。

本實施形態二的 CMOS 裝置對上述 Si 單晶薄膜 26 利用與前述實施形態一同樣的製造方法形成。如此，藉由在 SOI 基板形成 CMOS 裝置，可降低寄生電容，可提高開關速度。

以上根據發明的實施形態具體地說明了由本發明者所創作的發明，惟本發明並非限定於前述發明的實施形態，當然在不脫離其要旨的範圍可進行種種的變更。

例如前述實施形態雖然以 B 或 In 構成 n 通道型 MISFET 的 p 型雜質層，惟以顯示其他 p 型導電性的雜質來構成也可以，同樣地，雖然以 P 或 As 構成 p 通道型 MISFET 的 n 型雜質層，惟以顯示其他 n 型導電性的雜質來構成也可以。

【發明的功效】

如果簡單地說明藉由在本案中所揭示的發明之中代表的發明所獲得的功效的話，如以下所示。

在形成短通道 MISFET 的基板全面，形成具有防止擊穿功能的雜質層，藉由令該雜質層為具有第一尖峰與第二尖

五、發明說明 (19)

峰的雜質濃度分布，可抑制啓始電壓的偏差，再者，可防止啓始電壓的下降，謀求開關速度的提高。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要 (發明之名稱： 半導體裝置及其製造方法)

【課題】

提供在短通道 MISFET 中，可抑制啓始電壓的偏差，再者可謀求開關速度的提高之技術。

【解決手段】

在 MISFET 的通道區域下的基板 1 全面，形成具有防止擊穿功能的雜質濃度分布具有第一尖峰的 p 型雜質層 7 與雜質濃度分布具有第二尖峰的 p 型雜質層 8。據此，與形成口袋(Pocket)構造的擊穿中止(Punch through stopper)層的情形比較，可抑制啓始電壓(Threshold voltage)的變動。再者，因可控制的空乏(Depletion)層寬度相對地大，故次啓始係數小可防止啓始電壓的下降，可提高 MISFET 的開關速度。

英文發明摘要 (發明之名稱：)

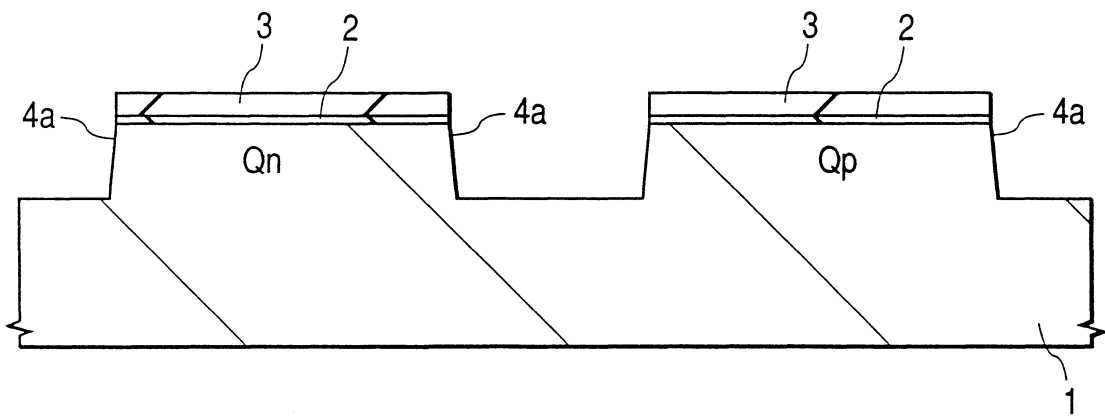
(請先閱讀背面之注意事項再填寫本頁各欄)

裝

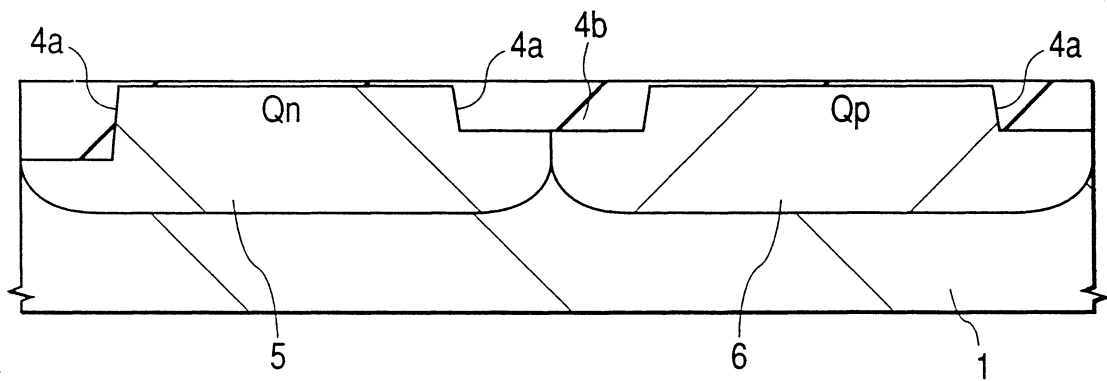
訂

線

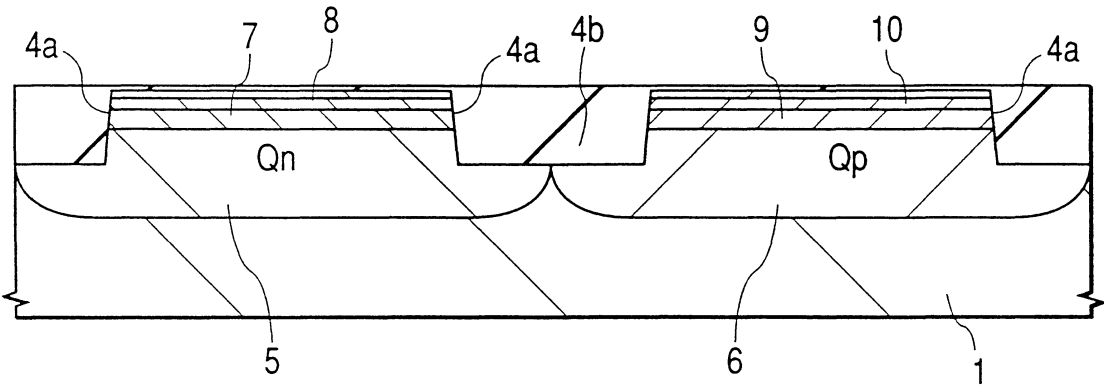
第 1 圖



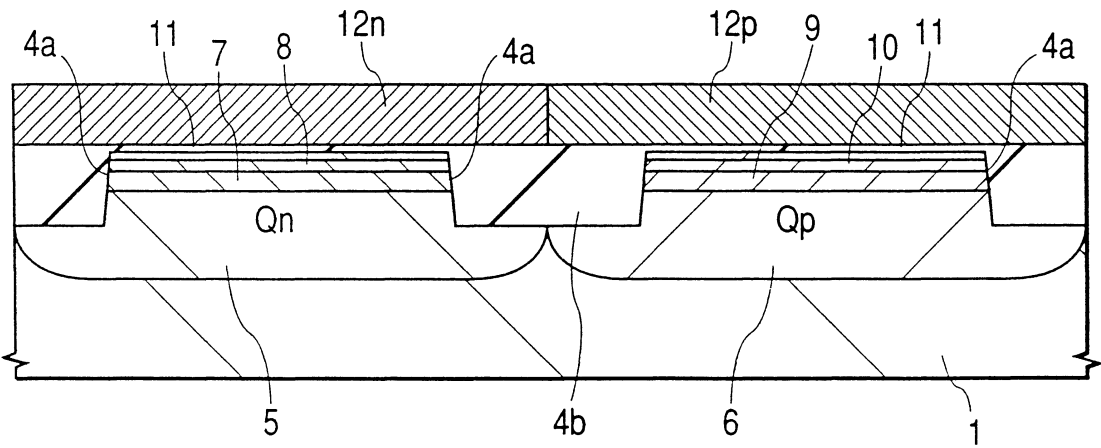
第 2 圖



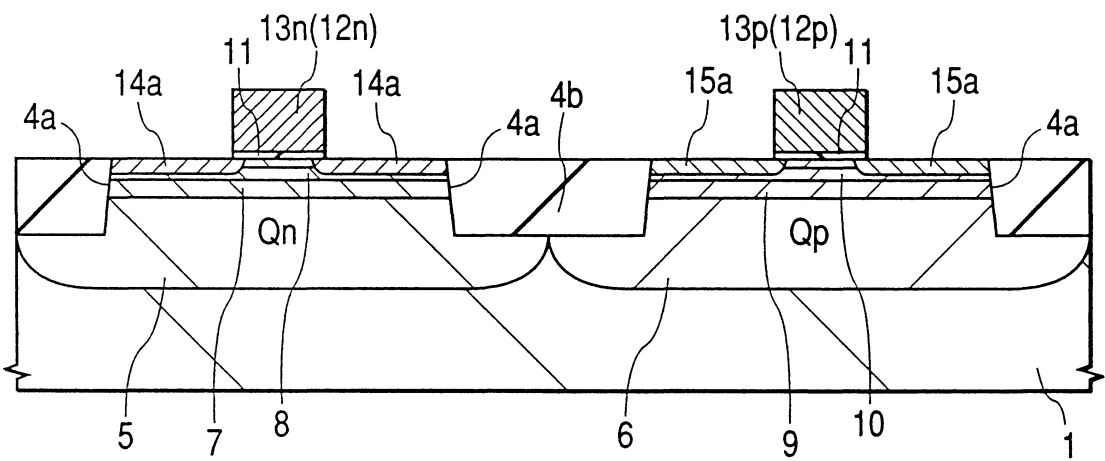
第 3 圖



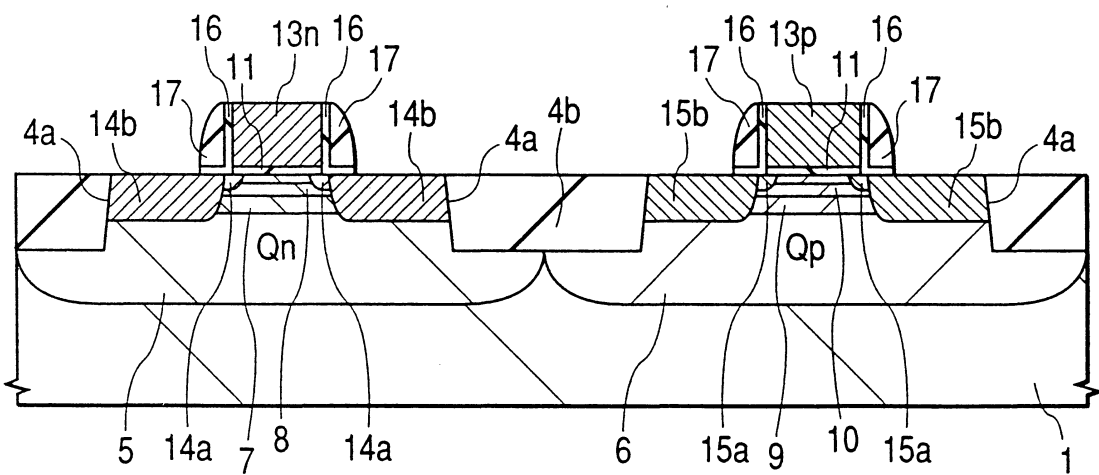
第 4 圖



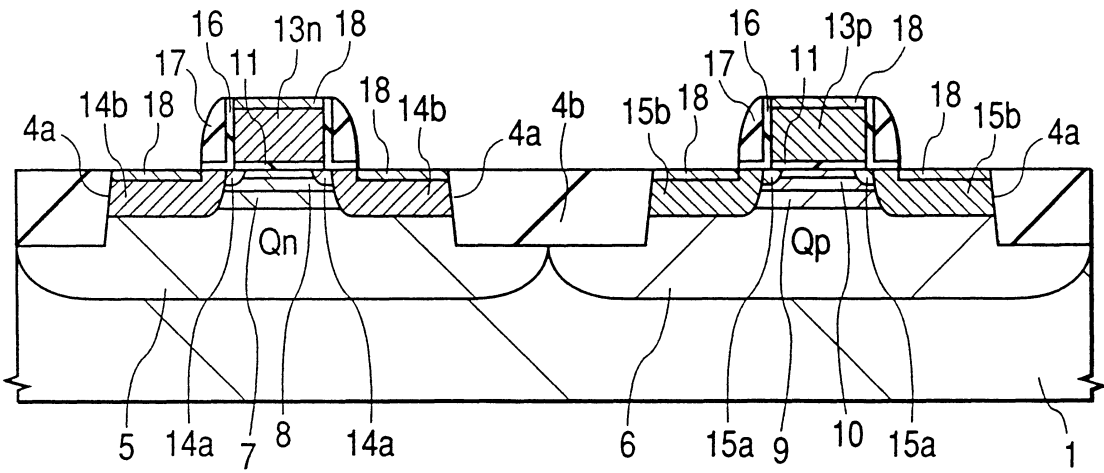
第 5 圖



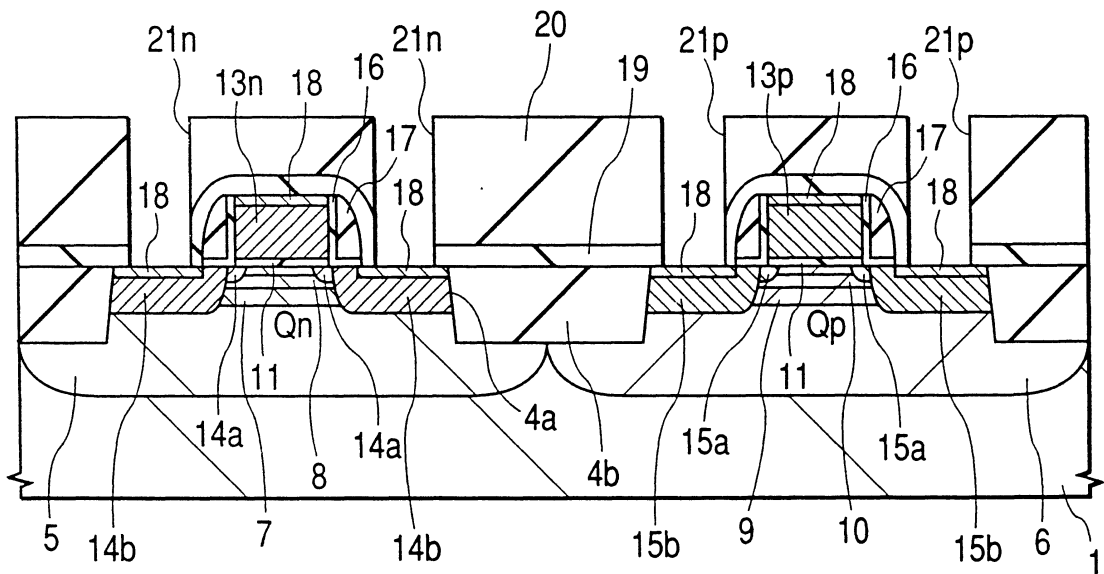
第 6 圖



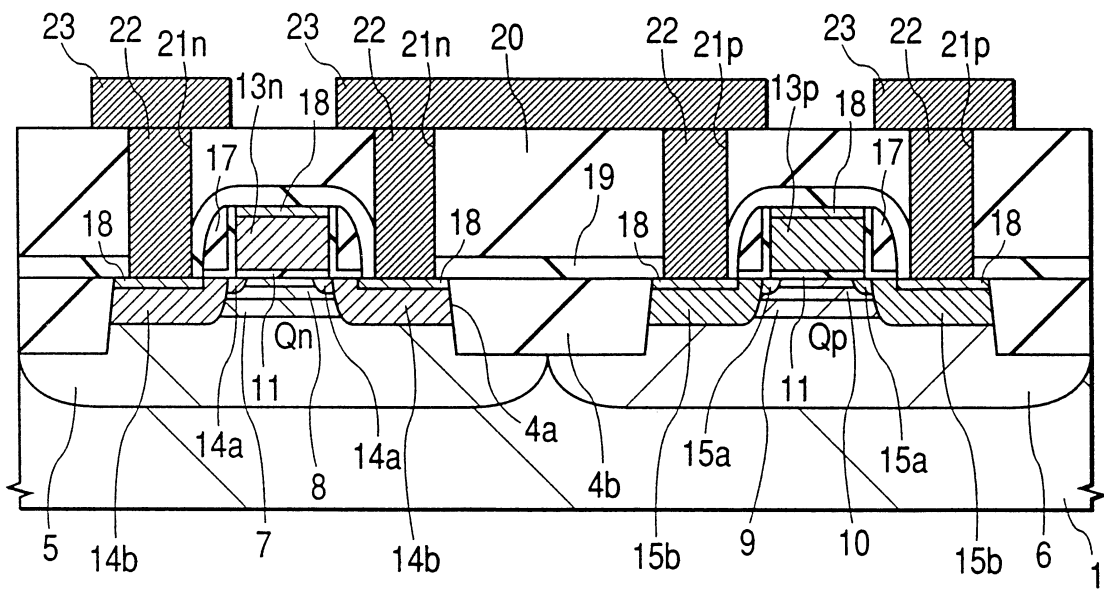
第 7 圖



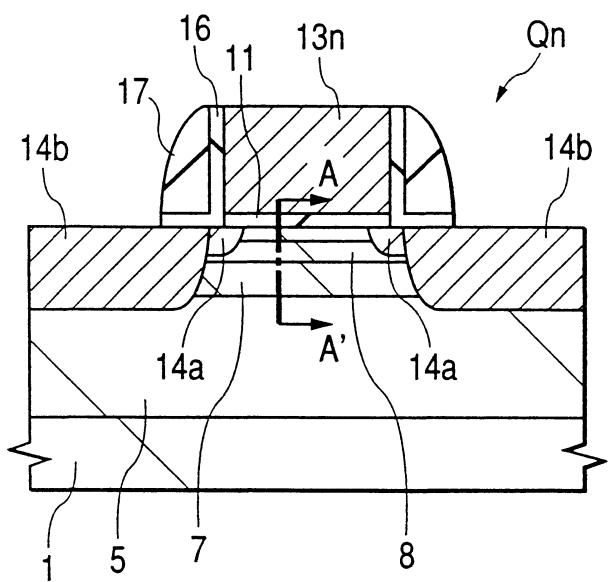
第 8 圖



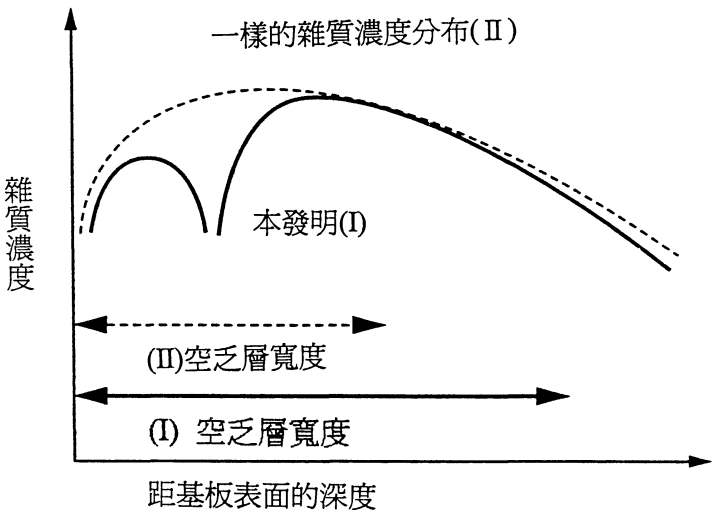
第 9 圖



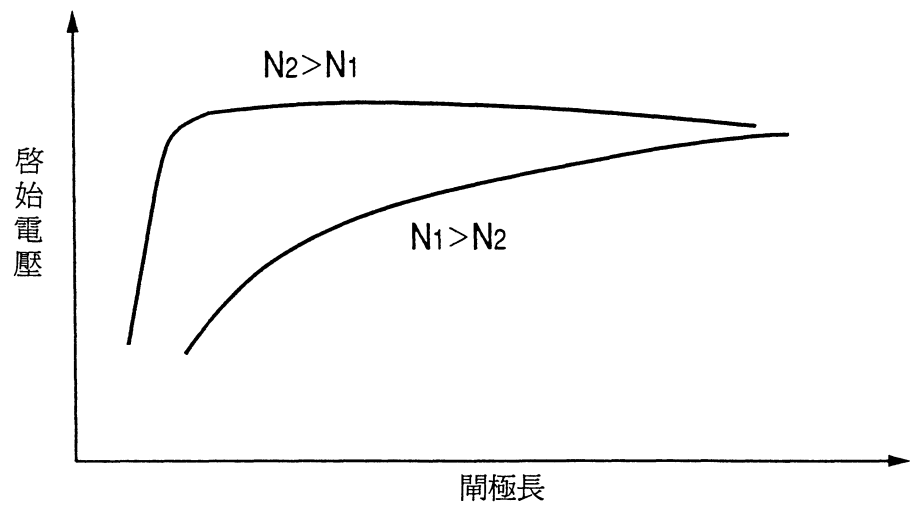
第 10 圖 a



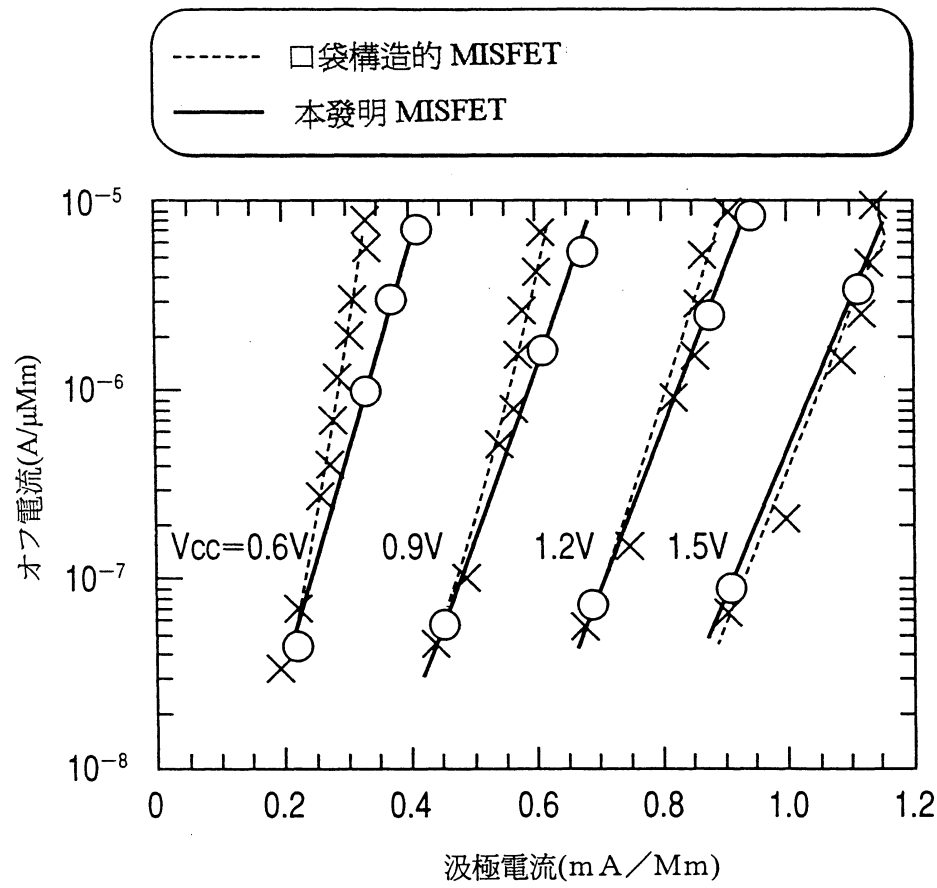
第 10 圖 b



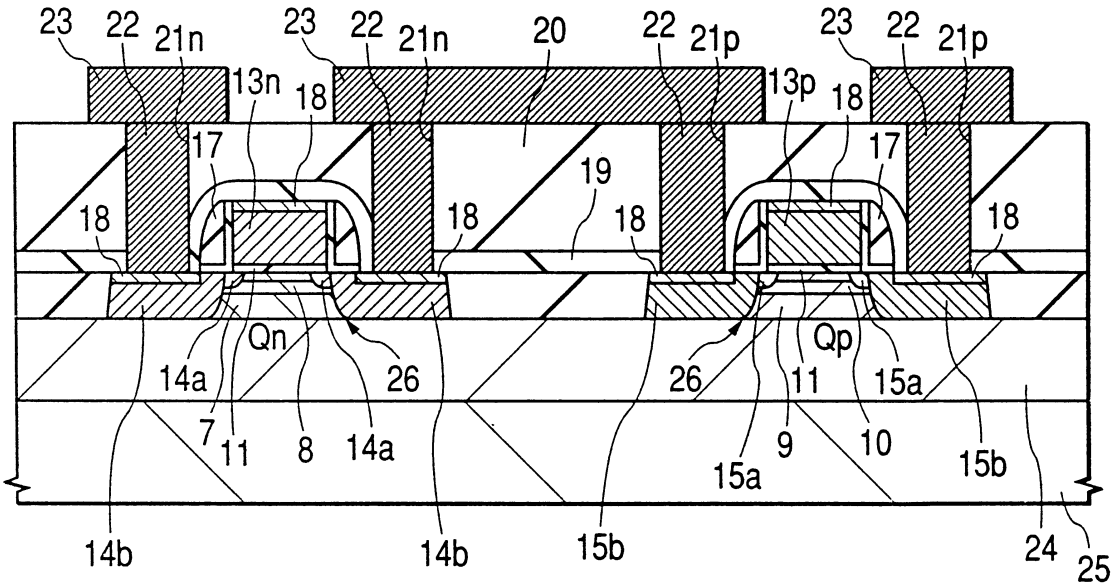
第 12 圖



第 13 圖



第 14 圖



煩請委員明示
修正本有無變更實質內容是否准予修正。

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

第 9 0 1 2 4 3 0 4 號 專 利 申 請 案

中 文 申 請 專 利 範 圍 修 正 本

民 國 91 年 8 月 12 日 修 正

1、一種半導體裝置，係具備 MISFET，其特徵為：

在閘電極下部的半導體基板形成有導電型與源極/汲極區域的導電型相反，在比該源極/汲極區域還淺的深度具有第一尖峰，在比形成有通道的區域還深，且比該第一尖峰還淺的區域具備具有第二尖峰的雜質濃度分布的半導體區域。

2、一種半導體裝置，係具備 MISFET，其特徵為：

在閘電極下部的半導體基板形成有導電型與源極/汲極區域的導電型相反，在比該源極/汲極區域還淺的深度具有第一尖峰，在比形成有通道的區域還深，且比該第一尖峰還淺的區域具備具有第二尖峰的雜質濃度分布的半導體區域，其中

該第一尖峰的雜質濃度比該第二尖峰的雜質濃度還高。

3、一種半導體裝置，係具備 MISFET，其特徵為：

在閘電極下部的半導體基板形成有導電型與源極/汲極區域的導電型相反，在比該源極/汲極區域還淺的深度具有第一尖峰，在比形成有通道的區域還深，且比該第一尖峰還淺的區域具備具有第二尖峰的雜質濃度分布的半導體區域，其中

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

構成該第二尖峰的雜質元素係比構成該第一尖峰的雜質元素還重的元素。

4、一種半導體裝置，係具備 MISFET，其特徵為：

在閘電極下部的井區域形成有導電型與源極/汲極區域的導電型相反，在比該源極/汲極區域還淺的深度具有第一尖峰，在比形成有通道的區域還深，且比該第一尖峰還淺的區域具備具有第二尖峰的雜質濃度分布的半導體區域，其中

構成該第二尖峰的雜質元素係比構成該井區域的雜質元素還重的元素。

5、如申請專利範圍第 1 項至第 4 項中任一項所述之半導體裝置，其中形成該通道區域的雜質濃度總合為 $5 \times 10^{17}/\text{cm}^3$ 以下。

6、如申請專利範圍第 1 項至第 4 項中任一項所述之半導體裝置，其中該 MISFET 係以 1V 以下的電源電壓動作。

7、如申請專利範圍第 1 項至第 4 項中任一項所述之半導體裝置，其中該第二尖峰的雜質濃度為 $1 \times 10^{18}/\text{cm}^3$ 以上，閘極長為 $0.1 \mu\text{m}$ 以下。

8、如申請專利範圍第 1 項至第 4 項中任一項所述之半導體裝置，其中該源極/汲極區域具有較低濃度的源極/汲極擴張區域與較高濃度的源極/汲極擴散區域，具有該第一尖峰的雜質層與一對該源極/汲極擴散區域接觸，具有該第二尖峰的雜質層與一對該源極/汲極擴張區域接觸。

9、如申請專利範圍第 1 項至第 4 項中任一項所述之半

六、申請專利範圍

導體裝置，其中該第一尖峰以及該第二尖峰係以離子植入來形成。

10、如申請專利範圍第1項至第4項中任一項所述之半導體裝置，其中構成該第二尖峰的雜質元素為銦。

11、一種半導體裝置的製造方法，其特徵包含：

(a)、對半導體基板導入雜質，形成雜質濃度分布具有第一尖峰的第一導電型的第一雜質層之製程；

(b)、對該半導體基板導入雜質，形成雜質濃度分布具有第二尖峰的第一導電型的第二雜質層之製程；

(c)、在形成閘電極後，於該半導體基板形成第二導電型源極/汲極擴張區域之製程；以及

(d)、在該閘電極的側壁形成側壁間隙壁後，於該半導體基板形成第二導電型源極/汲極擴散區域之製程，其中

該第一尖峰係位於比該源極/汲極擴散區域的接合深度還淺的位置，該第二尖峰係位於比通道區域還深，且比該第一尖峰還淺的位置，其中

構成該第二雜質層的元素質量係比構成該半導體基板的元素質量還重。

12、一種半導體裝置的製造方法，其特徵包含：

(a)、在半導體基板形成雜質濃度分布具有第一尖峰的第一導電型的第一雜質層，與雜質濃度分布具有第二尖峰的第一導電型的第二雜質層之製程；

(b)、在形成閘電極後，於該半導體基板形成第二導電型源極/汲極擴張區域之製程；以及

六、申請專利範圍

(c)、在該閘電極的側壁形成側壁間隙壁後，於該半導體基板形成第二導電型源極/汲極擴散區域之製程，其中

該第一尖峰係位於比該源極/汲極擴散區域的接合深度還淺的位置，該第二尖峰係位於比通道區域還深，且比該第一尖峰還淺的位置，

該第一尖峰的雜質濃度係比該第二尖峰的雜質濃度還高。

13、一種半導體裝置的製造方法，其特徵包含：

(a)、在半導體基板形成雜質濃度分布具有第一尖峰的第一導電型的第一雜質層，與雜質濃度分布具有第二尖峰的第一導電型的第二雜質層之製程；

(b)、在形成閘電極後，於該半導體基板形成第二導電型源極/汲極擴張區域之製程；以及

(c)、在該閘電極的側壁形成側壁間隙壁後，於該半導體基板形成第二導電型源極/汲極擴散區域之製程，其中

該第一尖峰係位於比該源極/汲極擴散區域的接合深度還淺的位置，該第二尖峰係位於比通道區域還深，且比該第一尖峰還淺的位置，

該閘電極的閘極長為約 $0.1\mu\text{m}$ 以下，該第二尖峰的雜質濃度為約 $1\times 10^{18}/\text{cm}^3$ 以上。

14、一種半導體裝置的製造方法，其特徵包含：

(a)、在半導體基板形成雜質濃度分布具有第一尖峰的第一導電型的第一雜質層，與雜質濃度分布具有第二尖峰的第一導電型的第二雜質層之製程；

六、申請專利範圍

(b)、在形成閘電極後，於該半導體基板形成第二導電型源極/汲極擴張區域之製程；以及

(c)、在該閘電極的側壁形成側壁間隙壁後，於該半導體基板形成第二導電型源極/汲極擴散區域之製程，其中

該第一尖峰係位於該源極/汲極擴散區域的接合深度還淺的位置，該第二尖峰係位於比通道區域還深，且比該第一尖峰還淺的位置，其中

構成該第二雜質層的元素質量係比構成該半導體基板的元素質量還重。

15、一種半導體裝置的製造方法，其特徵包含：

(a)、在半導體基板形成以第一導電型雜質所構成的井之製程；

(b)、對該井離子植入第一導電型雜質，形成雜質濃度分布具有第一尖峰的第一導電型的第一雜質層之製程；

(c)、對該井離子植入具有比構成該井的雜質質量還重的質量之第一導電型雜質，形成雜質濃度分布具有第二尖峰的第一導電型的第二雜質層之製程；

(d)、在該井上中介閘極絕緣膜形成閘電極之製程；

(e)、以該閘電極為罩幕對該井離子植入第二導電型的雜質，形成第二導電型源極/汲極擴張區域之製程；

(f)、在該閘電極的側壁形成側壁間隙壁之製程；以及

(g)、以該閘電極以及該側壁間隙壁為罩幕對該井離子植入第二導電型的雜質，形成第二導電型源極/汲極擴散區域之製程，其中

六、申請專利範圍

該第一尖峰係位於比該源極/汲極擴散區域的接合深度還淺的位置，該第二尖峰係位於比通道區域還深的位置，該第一尖峰的雜質濃度比該第二尖峰的雜質濃度還高。

16、一種半導體裝置的製造方法，其特徵包含：

(a)、在半導體基板形成雜質濃度分布具有第一尖峰的第一導電型的第一雜質層，與雜質濃度分布具有第二尖峰的第一導電型的第二雜質層之製程；

(b)、在形成閘電極後，於該半導體基板形成第二導電型源極/汲極擴張區域之製程；以及

(c)、在該閘電極的側壁形成側壁間隙壁後，於該半導體基板形成第二導電型源極/汲極擴散區域之製程，其中

該第一尖峰係位於比該源極/汲極擴散區域的接合深度還淺的位置，該第二尖峰係位於比通道區域還深，且比該第一尖峰還淺的位置。

17、如申請專利範圍第 11 項至第 16 項中任一項所述之半導體裝置的製造方法，其中該通道區域的雜質濃度總合為 $5 \times 10^{17}/\text{cm}^3$ 以下。

18、如申請專利範圍第 11 項至第 16 項中任一項所述之半導體裝置的製造方法，其中構成該半導體裝置的 MISFET 係以 1V 以下的電源電壓動作。

19、如申請專利範圍第 11 項、第 12 項以及第 14 項至第 16 項中任一項所述之半導體裝置的製造方法，其中該第二尖峰的雜質濃度為 $1 \times 10^{18}/\text{cm}^3$ 以上，該閘電極的閘極長為

六、申請專利範圍

0.1 μ m 以下。

20、如申請專利範圍第 11 項至第 16 項中任一項所述之半導體裝置的製造方法，其中該第一雜質層與該源極/汲極擴散區域接觸，該第二雜質層與該源極/汲極擴張區域接觸。

21、如申請專利範圍第 11 項至第 16 項中任一項所述之半導體裝置的製造方法，其中該第一雜質層以及該第二雜質層係以離子植入來形成。

22、如申請專利範圍第 11 項至第 16 項中任一項所述之半導體裝置的製造方法，其中構成該第二雜質層的雜質元素為銮。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線