I797908

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I797908 B**

(45)公告日： 中華民國 112 (2023) 年 04 月 01 日

(21)申請案號：110148456 (22)申請日： 中華民國 110 (2021) 年 12 月 23 日

(51)Int. Cl.： ***H04B1/16 (2006.01)*** ***H04B3/04 (2006.01)***

H03F1/26 (2006.01)

(71)申請人：智原科技股份有限公司 (中華民國) FARADAY TECHNOLOGY CORPORATION (TW)

新竹市東區新竹科學工業園區力行三路 5 號

(72)發明人：加恩 維諾德庫馬爾 JAIN, VINOD KUMAR (IN)

(74)代理人：祁明輝；葉明源

(56)參考文獻：

US 2002/0075012A1 US 2015/0358011A1

審查人員：張智杰

申請專利範圍項數：19 項 圖式數：9 共 52 頁

(54)名稱

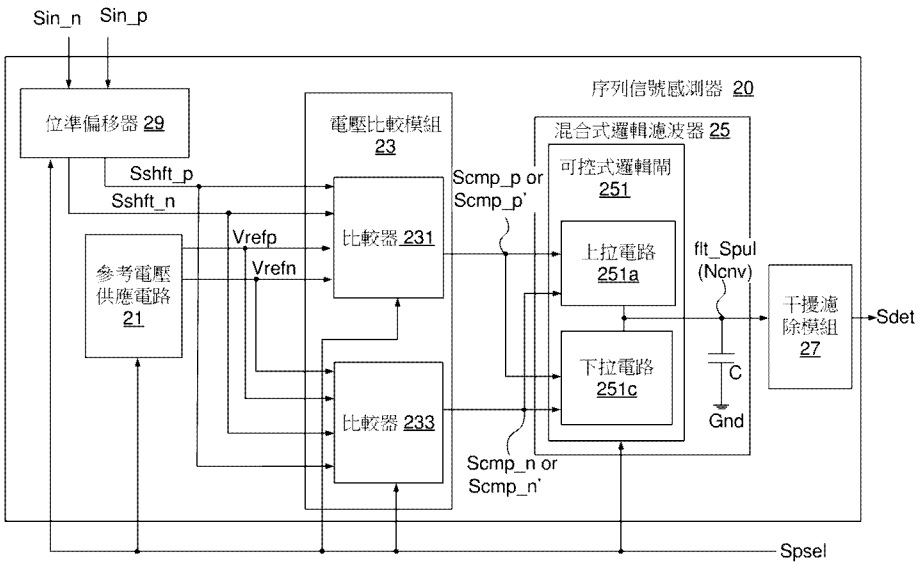
涵蓋多種協定的序列信號感測器與差動信號感測方法

(57)摘要

本發明係為序列信號感測器與差動信號感測方法。序列信號感測器包含電壓比較模組與混合式邏輯濾波器。電壓比較模組接收包含第一移位信號與第二移位信號的差動信號對。電壓比較模組包含第一比較器與第二比較器。根據第一移位信號、第二移位信號與電壓門檻，第一比較器與第二比較器分別產生第一比較信號與第二比較信號。混合式邏輯濾波器包含可控式邏輯閘與電容。可控式邏輯閘進行與第一比較信號和第二比較信號相關的邏輯操作，並據以產生濾波暨轉換後脈波信號。當邏輯操作進行時，可控式邏輯閘與電容共同對濾波暨轉換後脈波信號進行初階濾波操作。

A serial signal detector and a differential signal detection method are provided. The serial signal detector includes a voltage comparison module and a hybrid logic filter. The voltage comparison module receives a differential signal, including a first shifted signal and a second shifted signal. The voltage comparison module includes a first comparator and a second comparator. Based on the first shifted signal, the second shifted signal, and a voltage threshold, the first and the second comparators respectively generate a first and a second comparison signals. The hybrid logic filter includes a controllable logic gate and a capacitor. The controllable logic gate performs a logic operation related to the first and the second comparison signals and generates a filtered and converted pulse accordingly. The controllable logic gate and the capacitor jointly perform a preliminary filtering operation to the filtered and converted pulse while the logic operation is being performed.

指定代表圖：



第3圖

符號簡單說明：

Sin_n:負向輸入信號

Sin_p:正向輸入信號

29:位準偏移器

Sshft_p:正向移位信號

Sshft_n:負向移位信號

Vrefp:正向參考電壓

Vrefn:負向參考電壓

21:參考電壓供應電路

23:電壓比較模組

231,233:比較器

Scmp_p,Scmp_p':正向比較信號

Scmp_n,Scmp_n':負向比較信號

251:可控式邏輯閘

251a:上拉電路

251c:下拉電路

25:混合式邏輯濾波器

20:序列信號感測器

C:電容

Gnd:接地端點(電壓)

flt_Spul:濾波暨轉換後脈波信號

Ncnv:脈波轉換端點

27:干擾濾除模組

Sdet:感測信號

Spsel:協定選擇信號

I797908

【發明摘要】

公告本

【中文發明名稱】涵蓋多種協定的序列信號感測器與差動信號感測方法

【英文發明名稱】SERIAL SIGNAL DETECTOR AND DIFFERENTIAL SIGNAL DETECTION METHOD COVERING MULTI-PROTOCOLS

【中文】

本發明係為序列信號感測器與差動信號感測方法。序列信號感測器包含電壓比較模組與混合式邏輯濾波器。電壓比較模組接收包含第一移位信號與第二移位信號的差動信號對。電壓比較模組包含第一比較器與第二比較器。根據第一移位信號、第二移位信號與電壓門檻，第一比較器與第二比較器分別產生第一比較信號與第二比較信號。混合式邏輯濾波器包含可控式邏輯閘與電容。可控式邏輯閘進行與第一比較信號和第二比較信號相關的邏輯操作，並據以產生濾波暨轉換後脈波信號。當邏輯操作進行時，可控式邏輯閘與電容共同對濾波暨轉換後脈波信號進行初階濾波操作。

【英文】

A serial signal detector and a differential signal detection method are provided. The serial signal detector includes a voltage comparison module and a hybrid logic filter. The voltage comparison module receives a differential

signal, including a first shifted signal and a second shifted signal. The voltage comparison module includes a first comparator and a second comparator. Based on the first shifted signal, the second shifted signal, and a voltage threshold, the first and the second comparators respectively generate a first and a second comparison signals. The hybrid logic filter includes a controllable logic gate and a capacitor. The controllable logic gate performs a logic operation related to the first and the second comparison signals and generates a filtered and converted pulse accordingly. The controllable logic gate and the capacitor jointly perform a preliminary filtering operation to the filtered and converted pulse while the logic operation is being performed.

【指定代表圖】 第3圖。

【代表圖之符號簡單說明】

Sin_n:負向輸入信號

Sin_p:正向輸入信號

29:位準偏移器

Sshft_p:正向移位信號

Sshft_n:負向移位信號

Vrefp:正向參考電壓

Vrefn:負向參考電壓

21:參考電壓供應電路

23:電壓比較模組

231,233:比較器

Scmp_p,Scmp_p':正向比較信號

Scmp_n,Scmp_n':負向比較信號

251:可控式邏輯閘

251a:上拉電路

251c:下拉電路

25:混合式邏輯濾波器

20:序列信號感測器

C:電容

Gnd:接地端點(電壓)

flt_Spul:濾波暨轉換後脈波信號

Ncnv:脈波轉換端點

27:干擾濾除模組

Sdet:感測信號

Spsel:協定選擇信號

【發明說明書】

【中文發明名稱】涵蓋多種協定的序列信號感測器與差動信號感測方法

【英文發明名稱】SERIAL SIGNAL DETECTOR AND DIFFERENTIAL SIGNAL DETECTION METHOD COVERING MULTI-PROTOCOLS

【技術領域】

【0001】 本發明是有關於一種序列信號感測器與差動信號感測方法，且特別是有關於一種涵蓋多種協定的序列信號感測器與差動信號感測方法。

【先前技術】

【0002】 電子裝置經常採用序列傳輸技術，且序列信號感測是序列信號協定相當重要的環節。不同的序列通訊協定的規格，例如PCIe的噪音抑制(squelch)感測、序列先進技術附接(serial advanced technology attachment，簡稱為SATA)中的帶外(out of band，簡稱為OOB)感測、通用序列匯流排(universal serial bus，簡稱為USB)中的低頻率週期訊號(low-frequency periodic signaling，簡稱為LFPS)、乙太網路(Ethernet)中的信號損失(loss of signal，簡稱為LOS)感測等，針對電壓、信號擺動(signal swing)、頻率、型態等，定義不同的信號感測條件。

【0003】 請參見第1圖，其係習用接收器的信號感測架構的示意圖。隨著隨身裝置的普及發展，電子裝置需包含不同的序列信號感測器方能支援多種的協定。請留意，為便於說明，第一圖僅繪式兩個序列信號感測器10a、10b。

【0004】 習用的接收器1包含序列信號感測器 10a、10b與主要電路12。序列信號感測器10a、10b分別電連接於主要電路12。

【0005】 序列信號感測器10a、10b的運作方式類似。序列信號感測器10a對正向輸入信號Sina_p與負向輸入信號Sina_n進行差動信號感測操作，產生感測信號Sdeta。序列信號感測器10b對正向輸入信號Sinb_p與負向輸入信號Sinb_n進行差動信號感測操作，產生另一個感測信號Sdetb。接著，序列信號感測器10a、10b分別將感測信號Sdeta、Sdetb傳送至主要電路12。主要電路12再利用感測信號Sdeta、Sdetb進行其他操作。例如，主要電路12可為序列化器(serializer)/解序列化器(de-serializer)(簡稱為SerDes)電路，用於因應感測信號Sdeta、Sdetb而進行SERDES操作。

【0006】 如第1圖所示，對支援多種序列通訊協定的電子裝置而言，需在習用的接收器1提供多個序列信號感測器10a、10b。據此，當電子裝置支援越多種序列通訊協定時，所需之序列信號感測器的個數也越多。然而，為實現多個序列信號感測器10a、10b，接收器1需要較大的面積，且主要電路12需要更多的接腳作為設定序列信號感測器10a、10b使用。簡言之，個別設置序列信號感測器10a、10b需要相當高的成本。

【發明內容】

【0007】 本發明係有關於一種應用至接收器的序列信號感測器與差動信號感測方法。序列信號感測器與差動信號感測方法可涵蓋不同種類的序列通訊協定。

【0008】 根據本發明之第一方面，提出一種序列信號感測器。序列信號感測器包含電壓比較模組與混合式邏輯濾波器。電壓比較模組接收包含

第一移位信號與第二移位信號的差動信號對。電壓比較模組包含第一比較器和第二比較器。第一比較器根據第一移位信號、第二移位信號，以及電壓門檻而產生第一比較信號。第二比較器根據第一移位信號、第二移位信號，以及電壓門檻而產生第二比較信號。混合式邏輯濾波器電連接於第一比較器和第二比較器。混合式邏輯濾波器包含可控式邏輯閘與電容。可控式邏輯閘進行與第一比較信號和第二比較信號相關的邏輯操作，並據以產生濾波暨轉換後脈波信號。電容電連接於可控式邏輯閘。於邏輯操作進行時，可控式邏輯閘與電容共同對濾波暨轉換後脈波信號進行初階濾波操作。

【0009】 根據本發明之第二方面，提出一種應用於接收器的信號感測方法。信號感測方法包含以下步驟。首先，接收包含第一移位信號與第二移位信號的差動信號對。接著，根據第一移位信號、第二移位信號與電壓門檻，產生第一比較信號與第二比較信號。進行與第一比較信號和第二比較信號相關的邏輯操作。因應邏輯操作而產生濾波暨轉換後脈波信號。此外，在進行邏輯操作的同時，對濾波暨轉換後脈波信號進行初階濾波操作。

【0010】 為了對本發明之上述及其他方面有更佳的瞭解，下文特舉實施例，並配合所附圖式詳細說明如下：

【圖式簡單說明】

【0011】

第1圖，其係習用接收器的信號感測架構的示意圖。

第2圖，其係根據本揭露實施例之接收器的信號感測架構的示意圖。

第3圖，其係根據本揭露實施例的序列信號感測器中的信號與元件的方塊圖。

第4A、4B圖，其係舉例說明電壓供應電路的實現方式之示意圖。

第5圖，其係序列信號感測器的輸入信號與輸出信號之波形圖。

第6A圖，其係序列信號感測器之實施例的示意圖。

第6B圖，其係第6A圖所示之序列信號感測器的波形圖。

第7A圖，其係序列信號感測器的另一個實施例的示意圖。

第7B圖，其係第7A圖所示之序列信號感測器的波形圖。

第8A圖，其係舉例說明混合式邏輯濾波器之示意圖。

第8B圖，其係與第8A圖所示之混合式邏輯濾波器相關的信號之波形圖。

第9A圖，其係舉例說明另一種混合式邏輯濾波器之示意圖。

第9B圖，其係與第9A圖所示之混合式邏輯濾波器相關的信號之波形圖。

【實施方式】

【0012】 本文提供一種可涵蓋不同種序列通訊協定的統合式序列信號感測器。序列信號感測器包含可因應所選擇之序列通訊協定而動態設定的元件。

【0013】 請參見第2圖，其係根據本揭露實施例之接收器的信號感測架構的示意圖。接收器2包含序列信號感測器20與主要電路22。序列信號感測器20電連接於主要電路22。

【0014】 主要電路22可包含暫存器22a，其數值係動態地因應使用者所選擇的序列通訊協定而設定。根據在暫存器22a中設定的數值，主要電路22將協定選擇信號Spsel傳送至序列信號感測器20。協定選擇信號Spsel係由

暫存器決定，並用於通知序列信號感測器20序列通訊協定中的何者被選取。序列信號感測器20根據協定選擇信號Spsel的變化而修改其內部設定，藉以符合協定所要求的特定規範。

【0015】 序列信號感測器20接收包含正向輸入信號Sin_p與負向輸入信號Sin_n的差動輸入信號對Sin。正向輸入信號Sin_p與負向輸入信號Sin_n可以是任一種序列通訊協定所定義之差動信號對。序列信號感測器20根據正向輸入信號Sin_p與負向輸入信號Sin_n產生感測信號Sdet。接著，將感測信號Sdet傳送至主要電路22。如第2圖所示，接收器2僅需要一個序列信號感測器20。與第1圖的接收器1相較，接收器2的成本可大幅降低。此外，因為需要的電路數量較少，在接收器2輸入端點的負載減少，且在接收器2輸入端點的頻寬不會受到限制。

【0016】 請參見第3圖，其係根據本揭露實施例的序列信號感測器中的信號與元件的方塊圖。序列信號感測器20包含位準偏移器29、參考電壓供應電路21、電壓比較模組23、混合式邏輯濾波器25，以及干擾濾除模組27。

【0017】 位準偏移器29接收正向輸入信號Sin_p與負向輸入信號Sin_n。接著，位準偏移器29改變正向輸入信號Sin_p與負向輸入信號Sin_n的共用模式電壓。經過移動後，位準偏移器29根據正向輸入信號Sin_p而產生正向移位信號Sshft_p，以及根據負向輸入信號Sin_n而產生負向移位信號Sshft_n。

【0018】 參考電壓供應電路21提供正向參考電壓Vrefp與負向參考電壓Vrefn至電壓比較模組23。正向參考電壓Vrefp與負向參考電壓Vrefn為直

流電壓，且正向參考電壓Vrefp高於負向參考電壓Vrefn。在本文中，將正向參考電壓Vrefp與負向參考電壓Vrefn之間的電壓差定義為電壓門檻Vth。即，Vth=(Vrefp-Vrefn)。

【0019】 除正向參考電壓Vrefp與負向參考電壓Vrefn外，比較器231、233亦同時接收正向移位信號Sshft_p與負向移位信號Sshft_n。比較器231產生正向比較信號Scmp_p並將其傳送至混合式邏輯濾波器25；比較器233產生負向比較信號Scmp_n並將其傳送至混合式邏輯濾波器25。

【0020】 在本文中，將正向移位信號Sshft_p與負向移位信號Sshft_n之間的電壓差(Sshft_p-Sshft_n)，定義為正向電壓差ΔVshft_pn，以及將負向移位信號Sshft_n與正向移位信號Sshft_p之間的電壓差(Sshft_n-Sshft_p)，定義為負向電壓差ΔVshft_np。即，正向電壓差ΔVshft_pn=(Sshft_p-Sshft_n)，以及負向電壓差ΔVshft_np=(Sshft_n-Sshft_p)。根據前述定義可以得知，正向電壓差ΔVshft_pn與ΔVshft_np的大小相等但正負符號相反。

【0021】 根據電壓門檻Vth與正向電壓差ΔVshft_pn之間的比較，定義與比較器231對應的正向路徑比較條件。當正向電壓差ΔVshft_pn大於電壓門檻Vth(即，ΔVshft_pn >Vth)時，正向路徑比較條件成立，且比較器231將正向比較信號Scmp_p設為預設位準(例如，高位準H)。或者，當正向電壓差ΔVshft_pn小於或等於電壓門檻Vth (即，ΔVshft_pn≦Vth)時，正向路徑比較條件不成立，且比較器231將正向比較信號Scmp_p設為另一個預設位準(例如，低位準L)。

【0022】 根據電壓門檻Vth與負向電壓差ΔVshft_np之間的比較，定義與比較器233對應的負向路徑比較條件。當負向電壓差ΔVshft_np大於電壓門

檻Vth(即，ΔVshft_np >Vth)時，負向路徑比較條件成立，且比較器233將負向比較信號Scmp_n設為預設位準。或者，當負向電壓差ΔVshft_np小於或等於電壓門檻Vth (即，ΔVshft_np≦Vth)時，負向路徑比較條件不成立，且比較器233將負向比較信號Scmp_n設為另一個預設位準。

【0023】 關於正向比較信號Scmp_p如何因應正向路徑比較條件成立與否而選擇，根據實際應用而決定。同理，關於負向比較信號Scmp_n之預設位準如何因應負向路徑比較條件成立與否而選擇，亦取決於實際應用。表1列式關於正向路徑比較條件/負向路徑比較條件成立時，預設位準的兩種可能的組合。然而，在其他應用中，尚可採用其他類型之預設位準的選擇與組合。

【0024】 表1

	比較結果	正向比較信號/負向比較信號的預設位準	
		Scmp_p/Scmp_n (第6A、6B、7A、7B圖)	Scmp_p'/Scmp_n' (第8A、8B、9A、9B圖)
正向路徑比較條件 (ΔVshft_pn >Vth)	成立	Scmp_p=H	Scmp_p'=L
	不成立	Scmp_p=L	Scmp_p'=H
負向路徑比較條件 (ΔVshft_np >Vth)	成立	Scmp_n=H	Scmp_n'=L
	不成立	Scmp_n=L	Scmp_n'=H

【0025】 以下說明兩種類型的實施例。在第6A、6B、7A、7B圖的實施例中，與比較器231、233對應的比較條件成立時，比較器231、233分別

將正向比較信號Scmp_p與負向比較信號Scmp_n設為高位準(Scmp_p=H、Scmp_n=H)，反之亦然。在第8A、8B、9A、9B圖的實施例中，與正向/負向路徑比較條件對應之正向比較信號Scmp_p與負向比較信號Scmp_n的預設位準，與第6A、6B、7A、7B圖的實施例相反。另請留意，混合式邏輯濾波器25的設計亦須針對該些差異而進行適當的修改。

【0026】 混合式邏輯濾波器25更包含可控式邏輯閘251與電容C。可控式邏輯閘251包含上拉電路251a與下拉電路251c。混合式邏輯濾波器25執行邏輯操作(例如，NOR操作、OR操作、AND操作、NAND操作等)。再者，混合式邏輯濾波器25與電容C共同進行初階濾波操作。邏輯操作與初階濾波操作同時進行。由於混合式邏輯濾波器25主要為數位電路，用於濾波的電路面積較小。接著，混合式邏輯濾波器25在脈波轉換端點Ncnv產生濾波暨轉換後脈波信號flt_Spul，並將濾波暨轉換後脈波信號flt_Spul傳送至干擾濾除模組27。之後，干擾濾除模組27對濾波暨轉換後脈波信號flt_Spul進行二階濾波操作後，產生感測信號Sdet。接著，干擾濾除模組27將感測信號Sdet傳送至主要電路22。

【0027】 主要電路22將代表所選擇之序列通訊協定的協定選擇信號Spsel，傳送至位準偏移器29、參考電壓供應電路21、比較器231、233，以及可控式邏輯閘251。位準偏移器29、參考電壓提供電路21、比較器231、233，以及可控式邏輯閘251，根據協定選擇信號Spsel而動態地調整其內部設定(例如，電壓值、門檻值、電阻值、電容值等)，藉此進行與所選擇之序列通訊協定對應的信號感測操作。

【0028】 請參見第4A、4B圖，其係參考電壓供應電路的實現方式之舉例的示意圖。在第4A圖中，採用電壓分壓器作為參考電壓供應電路31。電壓分壓器包含電阻R1、R2、R3、R4。電阻R1、R2、R3、R4的電阻值，可因應協定選擇信號Spsel而自由設定。在第4B圖中，以電流源c_src與電阻Ra、Rb實現參考電壓供應電路33。電流源c_src的電流值，以及電阻Ra、Rb的電阻值，可根據協定選擇信號Spsel而自由選取。

【0029】 在本文中，符號Vdd同時代表供應電壓端點與其電壓(供應電壓)；符號Gnd同時代表接地端點與其電壓(接地電壓)。供應電壓Vdd高於接地電壓Gnd(Vdd>Gnd)。如第4A、4B所示，供應電壓Vdd、正向參考電壓Vrefp與負向參考電壓Vrefn的電壓值，可根據序列通訊協定的要求而自由地選取與設定。再者，參考電壓供應電路21亦可採用其他電路設計實現。

【0030】 正向參考電壓Vrefp與負向參考電壓Vrefn可能來自序列信號感測器的外部電路。為便於說明，以下實施例略過位準偏移器與電壓供應電路的部分。

【0031】 請參見第5圖，其係序列信號感測器的輸入信號與輸出信號之波形圖。第5圖最上方的虛線波形為正向移位信號Sshft_p、實線波形為負向移位信號Sshft_n。第5圖還包含正向比較信號Scmp_p、負向比較信號Scmp_n，以及濾波暨轉換後脈波信號flt_Spul (pos pl)、flt_Spul (neg pl)的波形。在本文中，以flt_Spul (pos pul)的波形代表具有正向脈波的濾波暨轉換後脈波信號，並以flt_Spul (neg pul)的波形代表具有負向脈波的濾波暨轉換後脈波信號。

【0032】 如第5圖所示，濾波暨轉換後脈波信號的波形flt_Spul (pos pl)、flt_Spul (neg pl)彼此互補。隨著比較器231、233與可控式邏輯閘251的設計不同，混合式邏輯濾波器25的輸出(濾波暨轉換後脈波信號flt_Spul)的波形為flt_Spul (pos pl)、flt_Spul (neg pl)的其中一者。

【0033】 表2依照時間順序，彙整與正向比較信號Scmp_p、負向比較信號Scmp_n，以及濾波暨轉換後脈波信號flt_Spul (pos pul)、flt_Spul (neg pul)對應的波形變化。

【0034】 表2

期間	正向比較信號 Scmp_p	負向比較信號 Scmp_n	濾波暨轉換後脈波信號 flt_Spul (pos pul)	濾波暨轉換後脈波信號 flt_Spul (neg pul)	期間的類型
t1-t2	L	L	L	H	無效信號期間
t2-t3	H	L	H	L	有效信號期間
t3-t4	L	H	H	L	
t4-t5	H	L	H	L	
t5-t6	L	H	H	L	
t6-t7	L	L	L	H	無效信號期間

【0035】 上表是在時點t1至時點t7期間的波形。自時點t7後的波形，與前述說明類似，故不予以說明。在第5圖中，有效信號期間Tval1、Tval2

代表正向路徑比較條件與負向路徑比較條件中的任一者成立。在有效信號期間Tval1、Tval2內，可控式邏輯閘251在脈波轉換端點Ncnv形成具有正向脈波的濾波暨轉換後脈波信號flt_Spul (pos pul)=H，或是在脈波轉換端點Ncnv形成具有負向脈波的濾波暨轉換後脈波信號flt_Spul (neg pul)=L。無效信號期間代表正向路徑比較條件與負向路徑比較條件均不成立的期間。有效信號期間Tval1、Tval2的長度不一定等長。

【0036】 理論上，混合式邏輯濾波器25可將濾波暨轉換後脈波信號flt_Spul (pos pul)、flt_Spul (neg pul)直接傳送至主要電路。然而，在實際應用中，比較器231、233的運作速度可能不夠快，且/或正向/負向移位信號在轉換時可能存在邊限值。連帶的，正向移位信號Sshft_p與負向移位信號Sshft_n無法即時改變，使得濾波暨轉換後脈波信號flt_Spul (pos pul)、flt_Spul (neg pul)無法在有效信號期間Tval1、Tpval2維持一致。換言之，濾波暨轉換後脈波信號flt_Spul (pos pul)、flt_Spul (neg pul)在有效信號期間Tval1、Tval2內，可能存在些微的變動而無法維持固定的電壓(Vdd/Gnd)。濾波暨轉換後脈波信號flt_Spul在間隔期間所發生的微小變動形成主要電路進行數位操作時的干擾。在這些微小變動中，濾波暨轉換後脈波信號flt_Spul並不等於接地電壓Gnd與供應電壓Vdd其中的任何一者。相反的，濾波暨轉換後脈波信號flt_Spul僅為介於接地電壓Gnd與供應電壓Vdd之間的一個中間電壓Vm (Gnd<Vm<Vdd)。

【0037】 在本文中，可控式邏輯閘251內建初階濾波操作的功能，且干擾濾除模組27用於進行二階濾波操作。接著，在濾除干擾後，干擾濾除模組27產生並傳送數位格式的感測信號Sdet至主要電路22。

【0038】 請參見第6A圖，其係序列信號感測器之實施例的示意圖。序列信號感測器40包含電壓比較模組43、混合式邏輯濾波器45，以及干擾濾除模組47。

【0039】 電壓比較模組43包含比較器431、433。比較器431、433分別產生正向比較信號Scmp_p與負向比較信號Scmp_n。在第6A圖中，混合式邏輯濾波器45包含可控式NOR閘451與電容C。可控式NOR閘451更包含上拉電路451a與下拉電路451c。

【0040】 上拉電路451a包含PMOS電晶體Mu1、Mu2(上拉電晶體)和可程式化電阻Rp，且下拉電路451c 包含NMOS電晶體Md1、Md2(下拉電晶體)。可程式化電阻Rp電連接於下拉電路451c與電容C。上拉電路451a提供將供應電壓Vdd傳導至脈波轉換端點Ncnv的上拉路徑。下拉電路451c提供將接地電壓Gnd傳導至脈波轉換端點Ncnv的下拉路徑。

【0041】 在上拉電路451a中，PMOS電晶體Mu1的源極電連接於供應電壓端點Vdd，且PMOS電晶體Mu1的汲極電連接於PMOS電晶體Mu2的源極。PMOS電晶體Mu2的汲極電連接於電阻Rp。PMOS電晶體Mu1、Mu2的閘極分別電連接於比較器431、433。PMOS電晶體Mu1由正向比較信號Scmp_p(比較器431的輸出)控制。PMOS電晶體Mu2由負向比較信號Scmp_n(比較器433的輸出)控制。

【0042】 由於PMOS電晶體Mu1、Mu2以序列方式相連，當PMOS電晶體Mu1、Mu2均為導通(ON)時，濾波暨轉換後脈波信號flt_Spul被上拉至供應電壓Vdd。當PMOS電晶體Mu1、Mu2的任一者斷開(OFF)時，上拉路徑斷開，此時濾波暨轉換後脈波信號flt_Spul由下拉路徑決定。

【0043】 在下拉電路451c中，NMOS電晶體Md1、Md2的源極電連接於接地端點Gnd，且NMOS電晶體Md1、Md2的汲極電連接於可程式化電阻Rp與電容C。NMOS電晶體Md1、Md2的閘極分別電連接於比較器431、433。NMOS電晶體Md1由正向比較信號Scmp_p(比較器431的輸出)控制。NMOS電晶體Md2由負向比較信號Scmp_n(比較器433的輸出)控制。

【0044】 由於NMOS電晶體Md1、Md2以並列方式相連，當NMOS電晶體Md1、Md2中的任一者導通(ON)時，將濾波暨轉換後脈波信號flt_Spul下拉至接地電壓Gnd。當NMOS電晶體Md1、Md2均斷開(OFF)時，下拉路徑斷開，此時濾波暨轉換後脈波信號flt_Spul由上拉路徑決定。

【0045】 表3彙整與混合式邏輯濾波器45相關的操作。在表3中，彙整不同組合之NOR閘451的輸入、PMOS電晶體Mu1、Mu2與NMOS電晶體Md1、Md2的切換狀態(ON/OFF)，以及混合式邏輯濾波器45的輸出。

【0046】 表3

可控式 NOR 閘的輸入		上拉路徑中的 PMOS 電晶體		下拉路徑中的 NMOS 電晶體		混合式邏輯濾波器 45 的輸出	與 flt_Spul 相關的電晶體
Scmp_p	Scmp_n	Mu1	Mu2	Md1	Md2	flt_Spul	
L	L	ON	ON	OFF	OFF	H (Vdd)	Mu1+Mu2
L	H	ON	OFF	OFF	ON	L (Gnd)	Md2
H	L	OFF	ON	ON	OFF	L (Gnd)	Md1
H	H	OFF	OFF	ON	ON	L (Gnd)	Md1+Md2

【0047】 表3說明，當正向比較信號Scmp_p與負向比較信號Scmp_n的至少一者被設為高位準(Scmp_p=H 及/或Scmp_n=H)時，下拉路徑將接地電壓Gnd傳導至脈波轉換端點Ncnv(濾波暨轉換後脈波信號flt_Spul=Gnd)。此外，當正向比較信號Scmp_p與負向比較信號Scmp_n均被設為低位準(Scmp_p=Scmp_n=L)時，上拉路徑將供應電壓Vdd傳導至脈波轉換端點Ncnv(濾波暨轉換後脈波信號flt_Spul=Vdd)。因此，PMOS電晶體M1、M2與NMOS電晶體M3、M4共同提供NOR操作。另請留意，根據正向路徑比較條件(ΔVshft_pn>Vth)與負向路徑比較條件(ΔVshft_np>Vth)的定義，在實際應用中，正向比較信號Scmp_p與負向比較信號Scmp_n並不會同時被設為高位準(Scmp_p=Scmp_n=H)。

【0048】 可程式化電阻Rp可減緩濾波暨轉換後脈波信號flt_Spul的暫態速度。一旦濾波暨轉換後脈波信號 flt_Spul的暫態速度減緩，即可抑制干擾。可程式化電阻Rp的電阻值需因應規格的要求而選定。例如，USB與SATA的規格便針對感測信號Sdet脈波寬度規範最大值與最小值。由於可程式化電阻Rp調節濾波暨轉換後脈波信號flt_Spul的充電速度，連帶使感測信號Sdet的脈波寬度受影響。

【0049】 可程式化電阻Rp的電阻值較大時，濾波暨轉換後脈波信號flt_Spul的干擾被濾除，且濾波暨轉換後脈波信號flt_Spul的脈波寬度較窄。另一方面，當可程式化電阻Rp的電阻值較小時，濾波暨轉換後脈波信號flt_Spul的干擾無法被濾除，且濾波暨轉換後脈波信號flt_Spul的脈波寬度較寬。

【0050】 因此，儘管可程式化電阻Rp的電阻值越大時，具有較佳之干擾抑制效果，但也不希望可程式化電阻Rp的電阻值過大而影響濾波暨轉換後脈波信號flt_Spul的充電速度。換言之，選擇可程式化電阻Rp的電阻值時，需斟酌干擾抑制與充電速度。表4列出選擇可程式化電阻Rp之電阻值時的相關考量。

【0051】 表4

可程式化電阻 Rp 的電阻值	干擾抑制	充電速度
較大	較佳	較慢(flt_Spul 上升較慢，干擾較少)
較小的電阻值	較差	較快(flt_Spul 上升較快，干擾增加)

【0052】 如上所述，混合式邏輯濾波器45根據正向比較信號Scmp_p與負向比較信號Scmp_n而產生濾波暨轉換後脈波信號flt_Spul。此外，在有效信號期間Tval的濾波暨轉換後脈波信號flt_Spul可能存在干擾，因此在將濾波暨轉換後脈波信號flt_Spul傳送至主要電路前，需事先將干擾移除。

【0053】 在第6A圖中，干擾濾除模組47包含干擾濾波器471、473與輸出反向器475。干擾濾波器471、473用於過濾存在於濾波暨轉換後脈波信號flt_Spul的干擾。干擾濾波器471、473各自包含一個傳輸閘471a、473a與一個反向器471c、473c。在實際應用中，干擾濾除模組47所包含之干擾濾波器471、473 的數量與輸出反向器475的數量，並不需要加以限定。

【0054】 傳輸閘471a在接收濾波暨轉換後脈波信號flt_Spul後，產生干擾濾除信號Sgf1做為中間階段信號。接著，反向器471c將干擾濾除信號Sgf1反向後，產生反向信號Sinv1。

【0055】 傳輸閘473a在接收反向信號Sinv1後，產生干擾濾除信號Sgf2作為中間階段信號。接著，反向器473c將干擾濾除信號Sgf2反向後，產生反向信號Sinv2。

【0056】 輸出反向器475進一步將反向信號Sinv2反向後，產生感測信號Sdet。此處利用波形圖列式這些信號，藉以說明信號間的關係，以及干擾濾波器471、473的干擾移除效果。

【0057】 請參見第6B圖，其係第6A圖所示之序列信號感測器的波形圖。請同時參見第6A、6B圖。在第6B圖中，由上而下依序為正向移位信號Sshft_p、負向移位信號Sshft_n、正向比較信號Scmp_p、負向比較信號Scmp_n、理論轉換後脈波信號theo_Spul、濾波暨轉換後脈波信號flt_Spul、干擾濾除信號Sgf1、反向信號Sinv1、干擾濾除信號Sgf2與感測信號Sdet的波形。

【0058】 請同時參見第一個波形(正向移位信號Sshft_p)、第二個波形(負向移位信號Sshft_n)，以及第三個波形(正向比較信號Scmp_p)。在理想的情況下，當正向路徑比較條件成立(即，ΔVshft_pn)>Vth)時，比較器431可瞬間將正向比較信號Scmp_p設為高位準(Scmp_p=H)；或者，當正向路徑比較條件不成立(即，ΔVshft_pn≤Vth)時，比較器431可瞬間將正向比較信號Scmp_p設為低位準(Scmp_p=L)。但在實際電路中，比較器431實際產生正向比較信號Scmp_p的時點，可能略晚於正向路徑比較條件的成立時點。

【0059】 請同時參見第一個波形(正向移位信號Sshft_p)、第二個波形(負向移位信號Sshft_n)與第四個波形(負向比較信號Scmp_n)。在理想的情況下，當負向路徑比較條件成立(即，ΔVshft_np)>Vth)時，比較器433可瞬間將負向比較信號Scmp_n設為高位準(Scmp_n=H)；或者，當負向路徑比較條件不成立(即，ΔVshft_np≤Vth)時，比較器433可瞬間將負向比較信號Scmp_n設為低位準(Scmp_n=L)。但在實際電路中，比較器433實際產生負向比較信號Scmp_n的時點，可能略晚於負向路徑比較條件的成立時點。

【0060】 由於混合式邏輯濾波器45提供NOR操作，當正向比較信號Scmp_p與負向比較信號Scmp_n均被設為低位準(Scmp_p=Scmp_n=L)時，混合式邏輯濾波器45將供應電壓Vdd傳導至脈波轉換端點Ncnv(理論轉換後脈波信號theo_Spul=Vdd)。當正向比較信號Scmp_p與負向比較信號Scmp_n其中的至少一者被設為高位準(Scmp_p=H及/或Scmp_n=H)時，混合式邏輯濾波器45將接地電壓Gnd傳導至脈波轉換端點Ncnv(理論轉換後脈波信號theo_Spul=Gnd)。

【0061】 以虛線繪式的理論轉換後脈波信號theo_Spul，代表混合式邏輯濾波器45不包含可程式化電阻Rp與電容C時，在脈波轉換端點Ncnv產生的濾波暨轉換後脈波信號。另一方面，濾波暨轉換後脈波信號flt_Spul則是混合式邏輯濾波器45包含可程式化電阻Rp與電容C時，在脈波轉換端點Ncnv產生的濾波暨轉換後脈波信號。

【0062】 為簡化說明，此處列出但未詳細說明關於正向比較信號Scmp_p、負向比較信號Scmp_n與理論轉換後脈波信號theo_Spul之間的細部

關係。在表5中，按照時間順序列出負向比較信號Scmp_n與理論轉換後脈波信號theo_Spul在不同期間的狀態。

【0063】 表5

期間	正向比較信號 Scmp_p	負向比較信號 Scmp_n	理論轉換後脈波信號 theo_Spul	期間的類型
t1之前	L	L	H (Vdd)	無效信號期間
t1-t2	H	L	L (Gnd)	有效信號期間
t2-t3	L	L	H (Vdd)	
t3-t4	L	H	L (Gnd)	
t4-t5	L	L	H (Vdd)	
t5-t6	H	L	L (Gnd)	
t6-t7	L	L	H (Vdd)	
t7-t8	L	H	L (Gnd)	
t8-t9	L	L	H (Vdd)	
t9-t10	H	L	L (Gnd)	
t10-t11	L	L	H (Vdd)	無效信號期間
t11之後	L	L	H (Vdd)	

【0064】 由第6B圖可以看出，在時點t1前，以及在時點t10後，理論轉換後脈波信號theo_Spul均維持在供應電壓Vdd。且，在時點t1至時點t10

之間的大部分時段，接地電壓Gnd被傳導至脈波轉換端點Ncnv(理論轉換後脈波信號theo_Spul=Gnd)。也就是說，雖然脈波轉換端點Ncnv在時點t1~時點t10期間大致維持在接地電壓Gnd。但，脈波轉換端點Ncnv在時點t1~時點t10期間中的部分短暫期間(t2~t3、t4~t5、t6~t7、t8~t9)內，則為供應電壓Vdd(理論轉換後脈波信號theo_Spul=Vdd)。

【0065】 若不考慮理論轉換後脈波信號theo_Spul在短暫期間(t2~t3、t4~t5、t6~t7、t8~t9)的變動，則，理論轉換後脈波信號theo_Spul的波形大致可視為一個脈波期間介於時點t1~時點t10的負向脈波。在第6B圖中，將與這個負向脈波對應的脈波期間(時點t1至時點t10)，定義為有效信號期間Tval。

【0066】 為便於說明，本文進一步將這些位於有效信號期間Tval內的短暫期間(t2~t3、t4~t5、t6~t7、t8~t9)定義為，使理論轉換後脈波信號theo_Spul的負向脈波出現中斷(理論轉換後脈波信號theo_Spul從接地電壓Gnd切換至供應電壓Vdd)的間隔期間(gap duration)。以下簡要說明間隔期間(t2~t3、t4~t5、t6~t7、t8~t9)的可能成因。

【0067】 如前所述，比較器431、433實際產生正向比較信號Scmp_p、負向比較信號Scmp_n的時點，可能與正向路徑比較條件、負向路徑比較條件的成立與否存在些許的時間差。因此，間隔期間(t2~t3、t4~t5、t6~t7、t8~t9)的一個形成原因是，比較器431、433的電路存在延遲，導致正向比較信號Scmp_p、負向比較信號Scmp_n未能即時反應正向路徑比較條件與負向路徑比較條件的比較結果。

【0068】 再者，比較第5、6B圖的正向移位信號Sshft_p、負向移位信號Sshft_n可以看出，第5圖的正向移位信號Sshft_p、負向移位信號Sshft_n

相當平順，但第6B圖的正向移位信號Sshft_p、負向移位信號Sshft_n存在抖動的現象。這些抖動現象可能源自於信號通道的雜訊。抖動現象的存在，亦影響比較器431、433的判斷結果因雜訊而衍生誤差。連帶的，也衍生理論轉換後脈波信號theo_Spul在間隔期間(t2~t3、t4~t5、t6~t7、t8~t9) 產生變動的情形。

【0069】 如前所述，若將時點t1~時點t10期間的理論轉換後脈波信號theo_Spul視為一個負向脈波的脈波期間，則此負向脈波相當於被比較器的電路延遲、雜訊所致的信號抖動等非理想特性而衍生的間隔期間t2~t3、t4~t5、t6~t7、t8~t9)中斷多次。為改善此種脈波期間被中斷的情形，本揭露在混合式邏輯濾波器45中進一步設置可程式化電阻Rp與電容C。

【0070】 比較濾波暨轉換後脈波信號flt_Spul與理論轉換後脈波信號theo_Spul時，可以看出濾波暨轉換後脈波信號flt_Spul在間隔期間(t2~t3、t4~t5、t6~t7、t8~t9)雖出現些微的信號變動，但濾波暨轉換後脈波信號flt_Spul的信號變動幅度並不像理論轉換後脈波信號theo_Spul在間隔期間(t2~t3、t4~t5、t6~t7、t8~t9)的變動大。由此可知，可程式化電阻Rp與電容C的組合與設置，可減緩脈波轉換端點Ncnv在間隔期間(t2~t3、t4~t5、t6~t7、t8~t9)的信號變動幅度，相當於提供低通濾波的功能。

【0071】 在第6B圖中，虛線圈選處CIR1、CIR2、CIR3分別為，與間隔期間(時點t4至時點t5)對應之理論轉換後脈波信號theo_Spul、濾波暨轉換後脈波信號flt_Spul，以及干擾濾除信號Sgf1。

【0072】 接著比較理論轉換後脈波信號theo_Spul與濾波暨轉換後脈波信號flt_Spul的波形。請同時參看在虛線圈選處CIR1、CIR2的波形。在間

隔期間(時點t4至時點t5)，理論轉換後脈波信號theo_Spul被設為供應電壓Vdd。另一方面，在時點t4至時點t5期間，濾波暨轉換後脈波信號flt_Spul無法上升至供應電壓Vdd。相反的，在時點t4至時點t5期間，濾波暨轉換後脈波信號flt_Spul較理論轉換後脈波信號theo_Spul低許多。

【0073】 即，若混合式邏輯濾波器45不包含可程式化電阻Rp與電容C時，理論轉換後脈波信號theo_Spul可在時點t4快速地自接地電壓Gnd上升至供應電壓Vdd，並在時點t5自供應電壓Vdd下降至接地電壓Gnd。另一方面，若混合式邏輯濾波器45包含可程式化電阻Rp與電容C時，可程式化電阻Rp將顯著地影響在供應電壓端點Vdd與脈波轉換端點Ncnv之間的導通速度。在本文中，利用可程式化電阻Rp可降低導通速度的特徵抑制在有效信號期間Tval出現的干擾。

【0074】 由於間隔期間(時點t4-時點t5)非常的短，且濾波暨轉換後脈波信號flt_Spul的上升速度受到可程式化電阻Rp拖曳的影響，濾波暨轉換後脈波信號flt_Spul無法在時點t5前上升至供應電壓Vdd。連帶的，由於濾波暨轉換後脈波信號flt_Spul並不像理論轉換後脈波信號theo_Spul上升至供應電壓Vdd的緣故，濾波暨轉換後脈波信號flt_Spul在時點t5可以快速降低至接地電壓Gnd。

【0075】 簡言之，理論轉換後脈波信號theo_Spul在有效信號期間Tval包含一系列的短期脈波。此外，一旦採用可程式化電阻Rp與電容C時，這些短期脈波受到濾波的影響，被轉換為在濾波暨轉換後脈波信號flt_Spul中，破碎且不完整的突波。

【0076】 與濾波暨轉換後脈波信號flt_Spul相似，干擾濾除信號Sgf1具有負向脈波。請比較在虛線圈選處CIR2、CIR3的波形。在虛線圈選處CIR2的濾波暨轉換後脈波信號flt_Spul的干擾，高於在虛線圈選處CIR3的干擾濾除信號Sgf1的干擾。或者，干擾濾除信號Sgf1的變動幅度，小於濾波暨轉換後脈波信號flt_Spul的變動幅度。

【0077】 傳輸閘471a包含PMOS電晶體與NMOS電晶體，且兩者均受濾波暨轉換後脈波信號flt_Spul控制。當可控式NOR閘451將供應電壓Vdd傳導至脈波轉換端點Ncnv(濾波暨轉換後脈波信號flt_Spul=Vdd)時，傳輸閘471a中的NMOS電晶體操作於線性操作區間，此時傳輸閘471a中的NMOS電晶體提供一個可快速產生干擾濾除信號Sgf1的低阻抗路徑。或者，當可控式NOR閘451將接地電壓Gnd傳導至脈波轉換端點Ncnv(濾波暨轉換後脈波信號flt_Spul=Gnd)時，傳輸閘471a中的PMOS電晶體操作於線性操作區間，此時傳輸閘471a中的PMOS電晶體提供一個可快速產生干擾濾除信號Sgf1的低阻抗路徑。

【0078】 然而，當濾波暨轉換後脈波信號flt_Spul在間隔期間被設為中間電壓Vm時，傳輸閘471a 內的PMOS電晶體與NMOS電晶體均操作於飽和區段，此時傳輸閘471a提供高阻抗路徑。由於濾波暨轉換後脈波信號flt_Spul(傳輸閘471a的輸入)在間隔期間被設為中間電壓Vm的緣故，干擾濾除信號flt_Spul(傳輸閘471a的輸出)受高阻抗路徑的影響而使干擾被抑制。據此，干擾濾除信號Sgf1的變化幅度相對小於濾波暨轉換後脈波信號flt_Spul的變化幅度。因此，比較有效信號期間Tval內的濾波暨轉換後脈波信號flt_Spul與干擾濾除信號Sgf1可以看出，干擾濾除信號Sgf1較為平滑。

【0079】 比較濾波暨轉換後脈波信號flt_Spul、干擾濾除信號Sgf1與反向信號Sinv的波形。如上所述，傳輸閘471a在抑制濾波暨轉換後脈波信號flt_Spul的干擾後，產生干擾濾除信號Sgf1。其後，反向器471c將干擾濾除信號Sgf1反向後產生反向信號Sinv1。因此，干擾濾除信號Sgf1與反向信號Sinv1的位準彼此反向，且反向信號Sinv1具有正向脈波。干擾濾除信號Sgf1的干擾被反向器471c進一步濾除，故在有效信號期間Tval的反向信號Sinv1大致等於供應電壓Vdd。

【0080】 對系統設計而言，干擾現象並非好事，因此使用干擾濾波器471、473逐步地消除干擾。干擾濾波器471、473的設計類似，且干擾濾除模組47所包含的干擾濾波器的數量也不須被限定。自第6B圖的波形可以看出，在時點t1至時點t11期間，干擾濾除信號Sgf2的正向脈波較反向信號Sinv1的正向脈波平滑，且感測信號Sdet的平滑程度較干擾濾除信號Sgf2高。感測信號Sdet具有正向脈波。感測信號Sdet的正向脈波具有明確的上升緣與下降緣，故感測信號Sdet相當適合用於數位電路。

【0081】 時點t10至時點t11的期間視為轉換期間。這段期間代表自存在信號至無信號(或信號損失)之間的轉換。在時點t11後，波形的關係與前述說明類似，其細節不再詳述。

【0082】 請參見第7A圖，其係序列信號感測器的另一個實施例的示意圖。與第6圖相似，序列信號感測器50包含電壓比較模組53、混合式邏輯濾波器55與干擾濾除模組57。

【0083】 在第7A圖中，電壓比較模組53包含比較器531、533；混合式邏輯濾波器55包含輸入電路553、可控式NAND閘551與電容C。輸入電路

553包含輸入反向器553a、553c。輸入反向器553a將正向比較信號Scmp_p反向後，產生互補正向比較信號Scmp_pb，且輸入反向器553c將負向比較信號Scmp_n反向後，產生互補負向比較信號Scmp_nb。

【0084】 可控式NAND閘551更包含上拉電路551a與下拉電路551c。上拉電路551a提供上拉路徑；下拉電路551c提供下拉路徑。上拉電路551a與下拉電路551c均電連接於輸入反向器553a、553c。上拉電路551a包含PMOS電晶體Mu1'、Mu2'(上拉電晶體)，且下拉電路551c包含可程式化電阻Rp'與NMOS電晶體Md1'、Md2'(下拉電晶體)。

【0085】 在上拉電路551a中，PMOS電晶體Mu1'、Mu2'的源極電連接於供應電壓端點(Vdd)，且PMOS電晶體Mu1'、Mu2'的汲極電連接於可程式化電阻Rp'。PMOS電晶體Mu1'、Mu2'的閘極分別電連接於輸入反向器553a、553c。PMOS電晶體Mu1'由互補正向比較信號Scmp_pb(輸入反向器553a的輸出)控制。PMOS電晶體Mu2'由互補負向比較信號 Scmp_nb(輸入反向器553c的輸出)控制。

【0086】 由於PMOS電晶體Mu1'、Mu2'以並列方式相連，若PMOS電晶體 Mu1'、Mu2'的任一者導通時，濾波暨轉換後脈波信號flt_Spul被上拉至供應電壓Vdd。當PMOS電晶體Mu1'、Mu2'均為斷開時，上拉路徑為斷開，且濾波暨轉換後脈波信號flt_Spul由下拉路徑決定。

【0087】 在下拉電路551c中，NMOS電晶體Md1'的源極電連接於接地端點Gnd，且NMOS電晶體Md1'的汲極電連接於NMOS電晶體Md2'的源極。NMOS電晶體Md2'的汲極電連接於可程式化電阻Rp'。可程式化電阻Rp'電連接於上拉電路551a、電容C與干擾濾除模組57。NMOS電晶體Md1'、Md2'

的閘極分別電連接於輸入反向器553a、553c。NMOS電晶體Md1'由互補正向比較信號Scmp_pb(輸入反向器553a的輸出)所控制，NMOS電晶體Md2'的閘極由互補負向比較信號Scmp_nb(輸入反向器553c的輸出)所控制。

【0088】 由於NMOS電晶體Md1'、Md2'以序列方式相連，若正向比較信號Scmp_p與負向比較信號Scmp_n均被設為低位準(Scmp_p=Scmp_n=L)時，濾波暨轉換後脈波信號flt_Spul被下拉至接地電壓Gnd。另一方面，若正向比較信號Scmp_p與負向比較信號Scm_n的任一者被設為高位準(Scmp_p=H及/或Scmp_n=H)時，濾波暨轉換後脈波信號flt_Spul被上拉至供應電壓Vdd。因此，輸入反向器553a、553c、PMOS電晶體Mu1'、Mu2'與NMOS電晶體Md1'、Md2'，共同對正向比較信號Scmp_p與負向比較信號Scmp_n進行OR操作。

【0089】 表6彙整與混合式邏輯濾波器55相關的操作。

【0090】 表6

混合式邏輯濾波器55的輸入		可控式NAND閘的輸入551		上拉路徑中的PMOS電晶體		下拉路徑中的NMOS電晶體		混合式邏輯濾波器55的輸出	與flt_Spul相關的電晶體
Scmp_p	Scmp_n	Scmp_pb	Scmp_nb	Mu1'	Mu2'	Md1'	Md2'	flt_Spul	
L	L	H	H	OFF	OFF	ON	ON	L (Gnd)	Md1'+Md2'
L	H	H	L	OFF	ON	ON	OFF	H (Vdd)	Mu2'

H	L	L	H	ON	OFF	OFF	ON	H (Vdd)	Mu1'
H	H	L	L	ON	ON	OFF	OFF	H (Vdd)	Mu1'+Mu2'

【0091】 請留意，根據正向路徑比較條件(ΔVshft_pn>Vth)與負向路徑比較條件(ΔVshft_np>Vth)的定義可以得知，在實際應用中，正向比較信號 Scmp_p 與負向比較信號 Scmp_n 並不會同時被設為高位準(Scmp_p=Scmp_n=H)。

【0092】 請參見第7B圖，其係第7A圖所示之序列信號感測器的波形圖。正向移位信號Sshft_p、負向移位信號Sshft_n、正向比較信號Scmp_p與負向比較信號 Scmp_n的波形，與第7A圖的實施例相同。

【0093】 由於輸入反向器553a、553c與可控式NAND閘551共同提供OR操作，濾波暨轉換後脈波信號flt_Spul具有正向脈波。據此，濾波暨轉換後脈波信號flt_Spul、干擾濾除信號Sgf1、反向信號Sinv1、干擾濾除信號Sgf2與感測信號Sdet的波形與第6B圖的波形相反。

【0094】 如表1所述，正向比較信號Scmp_p與負向比較信號Scmp_n之預設位準的選擇，隨著實際應用的不同而異。在第8A、8B、9A、9B圖的實施例中，正向比較信號Scmp_p'與負向比較信號Scmp_n'的預設位準與第6A、6B、7A、7B圖的實施例相反。

【0095】 請參見第8A圖，其係混合式邏輯濾波器之舉例的示意圖。關於混合式邏輯濾波器75的操作可類推前述說明得出，此處不再詳述其細節。簡言之，輸入反向器633a將正向比較信號Scmp_p'反向後，產生互補正

向比較信號 Scmp_pb'，且輸入反向器633c將負向比較信號Scmp_n'反向後，產生互補負向比較信號Scmp_nb'。接著，可控式NOR閘451對互補正向比較信號Scmp_pb'與互補負向比較信號Scmp_nb'進行NOR操作。整體說來，混合式邏輯濾波器65內的輸入反向器633a、633c與可控式NOR閘451，共同對正向比較信號Scmp_p'與負向比較信號Scmp_n'進行AND操作。表7彙整混合式邏輯濾波器65執行的操作。

【0096】 表7

混合式邏輯濾波器65的輸入		可控式NOR閘451的輸入		上拉路徑中的PMOS電晶體		下拉路徑中的NMOS電晶體		混合式邏輯濾波器65的輸出	與flt_Spul相關的電晶體
Scmp_p'	Scmp_n'	Scmp_pb'	Scmp_nb'	Mu1	Mu2	Md1	Md2	flt_Spul	
L	L	H	H	OFF	OFF	ON	ON	L (Gnd)	Md1+Md2
L	H	H	L	OFF	ON	ON	OFF	L (Gnd)	Md1
H	L	L	H	ON	OFF	OFF	ON	L (Gnd)	Md2
H	H	L	L	ON	ON	OFF	OFF	H (Vdd)	Mu1+Mu2

【0097】 請參見第8B圖，其係與第8A圖所示之混合式邏輯濾波器相關的信號之波形圖。在第8B圖中，正向移位信號Sshft_p與負向移位信號

Sshft_n的波形與第6B圖一致，但第8B圖的正向比較信號Scmp_p'與負向比較信號Scmp_n'和第6B圖的正向比較信號Scmp_p與負向比較信號Scmp_n相反。在第8B圖中，由於混合式邏輯濾波器65提供AND操作至正向比較信號Scmp_p'與負向比較信號Scmp_n'的緣故，濾波暨轉換後脈波信號 flt_Spul具有負向脈波。因為干擾發生在負向脈波的緣故，第8A圖將可程式化電阻Rp設置在上拉路徑中，用以延遲干擾的上拉速度。

【0098】 請參見第9A圖，其係另一種混合式邏輯濾波器之舉例的示意圖。混合式邏輯濾波器75的操作可依據前述說明推導得出，故不予以詳述。簡言之，混合式邏輯濾波器75對正向比較信號Scmp_p'與負向比較信號Scmp_n'進行NAND操作。表8彙整混合式邏輯濾波器75執行的操作。

【0099】 表8

混合式邏輯濾波器 75 的輸入		上拉路徑中的 PMOS 電晶體		下拉路徑中的 NMOS 電晶體		混合式邏輯濾波器 75 的輸出	與 flt_Spul 相關的電晶體
Scmp_p'	Scmp_n'	Mu1'	Mu2'	Md1'	Md2'	flt_Spul	
L	L	ON	ON	OFF	OFF	H	Mu1+Mu2
L	H	ON	OFF	OFF	ON	H	Mu1
H	L	OFF	ON	ON	OFF	H	Mu2
H	H	OFF	OFF	ON	ON	L	Md1+Md2

【0100】 請參見第9B圖，其係與第9A圖所示之混合式邏輯濾波器相關的信號之波形圖。在第9B圖中，正向移位信號Sshft_p與負向移位信號

Sshft_n的波形與第7B圖的正向移位信號Sshft_p與負向移位信號Sshft_n的波形一致，但正向比較信號Scmp_p'與負向比較信號Scmp_n'的波形和第7B圖的正向比較信號Scmp_p與負向比較信號Scmp_n的波形相反。在第9B圖中，由於混合式邏輯濾波器75提供NAND操作至正向比較信號Scmp_p'與負向比較信號Scmp_n'的緣故，濾波暨轉換後脈波信號flt_Spul具有正向脈波。因為干擾發生在正向脈波的緣故，第8B圖將可程式化電阻Rp設置在下拉路徑中，用以延遲干擾的下拉速度。

【0101】 根據前述說明，可任意設計混合式邏輯濾波器的電路與其邏輯操作。表9簡要彙整前述實施例。

【0102】 表9

圖式	混合式邏輯濾波器的邏輯操作	混合式邏輯濾波器的輸入	元件	flt_Spul的脈波類型	可程式化電阻 Rp/Rp'的位置
第6A、6B圖	NOR	Scmp_p 、Scmp_n	可控式 NOR 閘 451	負向脈波	上拉路徑
第7A、7B圖	OR		輸入反向器 533a、533c 與可控式 NAND 閘 551	正向脈波	下拉路徑
第8A、8B圖	AND	Scmp_p’、Scmp_n’	輸入反向器 633a、633b 與可控式 NOR 閘 451	負向脈波	上拉路徑

第9A、9B圖	NAND		可控式NAND閘551	正向脈波	下拉路徑

【0103】 當濾波暨轉換後脈波信號flt_Spul具有負向脈波(如第6B、8B圖所示)時，將可程式化電阻Rp設置在上拉路徑(如第6A、8A圖所示)。藉此而拖曳濾波暨轉換後脈波信號flt_Spul的干擾的上升速度。藉由在上拉路徑設置可程式化電阻Rp的方式，可以抑制在負向脈波的有效信號期間Tval中的多個朝下的干擾。

【0104】 當濾波暨轉換後脈波信號flt_Spul具有正向脈波(如第7B、9B圖所示)時，將可程式化電阻Rp設置在下拉路徑(如第7A、9A圖所示)，藉以拖曳濾波暨轉換後脈波信號flt_Spul之干擾的下降速度。藉由在下拉路徑設置可程式化電阻Rp的方式，可以抑制在正向脈波的有效信號期間Tval中的多個朝下的干擾。

【0105】 由於本揭露可以自由選定位準偏移器、參考電壓供應電路、比較器與可控式邏輯閘的內部設定，序列信號感測器可以依據協定選擇信號Spsel的設定，動態地對不同類型的序列輸入信號進行感測。基於此種設計，本揭露的序列信號感測器可彈性地應用於不同類型的序列通訊協定。例如，PCIe的噪音抑制感測、SATA的OOB感測、USB的LFPS感測、Ethernet的LOS感測等。

【0106】 綜上所述，雖然本發明已以實施例揭露如上，然其並非用以限定本發明。本發明所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾。因此，本發明之

保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0107】

Sina_p,Sinb_p,Sin_p:正向輸入信號

Sina_n,Sinb_n,Sin_n:負向輸入信號

10a,10b,20,40,50:序列信號感測器

Sdeta,Sdetb,Sdet:感測信號

1,2:接收器

12,22:主要電路

Sin:差動輸入信號

Spsel:協定選擇信號

22a:暫存器

29:位準偏移器

Sshft_p:正向移位信號

Ssfht_n:負向移位信號

21,31,33:參考電壓供應電路

Vrefp: 正向參考電壓

Vrefn: 負向參考電壓

23,43,53: 電壓比較模組

231,233,431,433,531,533: 比較器

25,45,55,65,75:混合式邏輯濾波器

251:可控式邏輯閘

Scmp_p,Scmp_p':正向比較信號

Scmp_n,Scmp_n':負向比較信號

251a,451a,551a: 上拉電路

251c,451c,551c:下拉電路

flt_Spul:濾波暨轉換後脈波信號

Ncnv:脈波轉換端點

C:電容

Gnd: 接地端點(電壓)

27,57:干擾濾除模組

R1,R2,R3,R4,Ra,Rb:電阻

Vdd:供應電壓(端點)

c_src: 電流源

flt_Spul(pos pl),flt_Spul (neg pl):濾波暨轉換後脈波信號

Tval1,Tval2,Tval:有效信號期間

t1,t2,t3,t4,t5,t6,t7,t8,t9,t10,t11:時點

451:可控式 NOR 閘

Mu1,Mu2,Mu1',Mu2':PMOS 電晶體

Md1,Md2,Md1',Md2': NMOS 電晶體

47: 干擾濾除模組

471,473: 干擾濾波器

475: 輸出反向器

471a,473a:傳輸閘

Rp,Rp':可程式化電阻

Sgf1,Sgf2: 干擾濾除信號

471c,473c: 反向器

Sinv1,Sinv2:反向信號

Vth:電壓門檻

CIR1,CIR2,CIR3:虛線圈選處

553: 輸入電路

553a,553c,633a,633c: 輸入反向器

551:可控式 NAND 閘

【發明申請專利範圍】

【請求項1】 一序列信號感測器，包含：

一電壓比較模組，其係接收包含一第一移位信號與一第二移位信號的一差動信號對，其中該電壓比較模組係包含：

一第一比較器，其係基於該第一移位信號、該第二移位信號與一電壓門檻而產生一第一比較信號；以及

一第二比較器，其係基於該第一移位信號、該第二移位信號與該電壓門檻而產生一第二比較信號；以及

一混合式邏輯濾波器，電連接於該第一比較器與該第二比較器，包含：

一可控式邏輯閘，其係因應一邏輯操作而在一脈波轉換端點產生一濾波暨轉換後脈波信號，其中該邏輯操作係與該第一比較信號和該第二比較信號相關，且該可控式邏輯閘係包含：

一上拉電路，電連接於該脈波轉換端點與具有一供應電壓之一供應電壓端點，其係選擇性將該供應電壓導通至該脈波轉換端點；以及

一下拉電路，電連接於該脈波轉換端點與具有一接地電壓之一接地端點，其係選擇性將該接地電壓傳導至該脈波轉換端點，其中該供應電壓高於該接地電壓，且該上拉電路與該下拉電路係因應該第一比較信號與該第二比較信號而輪流導通；以及

一電容，電連接於該脈波轉換端點，其中當該邏輯操作進行時，該可控式邏輯閘與該電容係共同對該濾波暨轉換後脈波信號進行一初階濾波操作。

【請求項2】 如請求項1所述之序列信號感測器，其中該邏輯操作係為一NOR操作、一NAND操作 、一AND 操作，或一OR操作。

【請求項3】 如請求項1所述之序列信號感測器，其中該上拉電路係包含：

一第一上拉電晶體，包含：

一第一端、一第二端與一控制端，其中該第一上拉電晶體的該第一端係電連接於該供應電壓端點，且該第一上拉電晶體係因應該第一比較信號而選擇性導通；以及

一第二上拉電晶體，包含：

一第一端、一第二端與一控制端，其中該第二上拉電晶體係因應該第二比較信號而選擇性導通。

【請求項4】 如請求項3所述之序列信號感測器，其中

該第一上拉電晶體的該第二端係電連接於該第二上拉電晶體的該第一端，其中

當該第一上拉電晶體與該第二上拉電晶體均為導通時，該上拉電路係將該供應電壓傳導至該脈波轉換端點，且

當該第一上拉電晶體與該第二上拉電晶體其中的至少一者為斷開時，該下拉電路係將該接地電壓傳到至該脈波轉換端點。

【請求項5】 如請求項4所述之序列信號感測器，其中該上拉電路更包含：

一電阻，包含一第一端與一第二端，其中

該電阻的該第一端係電連接於該第二上拉電晶體的該第二端，且

該電阻的該第二端係電連接於該脈波轉換端點。

【請求項6】 如請求項5所述之序列信號感測器，其中該電阻的電阻值係因應一協定選擇信號而調整，且該協定選擇信號代表通用序列匯流排(universal serial bus，簡稱為USB)協定、序列先進技術附接(serial advanced technology attachment，簡稱為SATA)協定、快速外設組件互連標準(Peripheral Component Interconnect Express，簡稱為PCIe)協定，與乙太網路(Ethernet)協定其中的一者。

【請求項7】 如請求項3所述之序列信號感測器，其中

該第一上拉電晶體的該第二端係電連接於該脈波轉換端點，且

該第二上拉電晶體的該第一端與該第二端係分別電連接於該供應電壓端點與該脈波轉換端點，其中

當該第一上拉電晶體與該第二上拉電晶體其中的至少一者為導通時，該上拉電路係將該供應電壓傳導至該脈波轉換端點，以及

當該第一上拉電晶體與該第二上拉電晶體均為斷開時，該下拉電路係將該接地電壓傳導至該脈波轉換端點。

【請求項8】 如請求項3所述之序列信號感測器，其中該混合式邏輯濾波器更包含：

一第一輸入反向器，電連接於該第一比較器與該第一上拉電晶體的該控制端，其係將該第一比較信號反向產生一第一互補比較信號後，將該第一互補比較信號傳送至該第一上拉電路；以及

一第二輸入反向器，電連接於該第二比較器與該第二上拉電晶體的該控制端，其係將該第二比較信號反向產生一第二互補比較信號後，將該第二互補比較信號傳送至該第二上拉電晶體。

【請求項9】 如請求項1所述之序列信號感測器，其中該下拉電路係包含：

一第一下拉電晶體，包含：一第一端、一第二端與一控制端，其中該第一下拉電晶體的該第一端係電連接於該接地端點，且該第一下拉電晶體因應該第一比較信號而選擇性導通；以及

一第二下拉電晶體，包含：一第一端、一第二端與一控制端，其中該第二下拉電晶體係因應該第二比較信號而選擇性導通。

【請求項10】 如請求項9所述之序列信號感測器，其中

該第一下拉電晶體的該第二端係電連接於該脈波轉換端點，且

該第二下拉電晶體的該第一端與該第二端係分別電連接於該接地端點與該脈波轉換端點，其中

當該第一下拉電晶體與該第二下拉電晶體均為斷開時，該上拉電路係將該供應電壓傳導至該脈波轉換端點，以及

當該第一下拉電晶體與該第二下拉電晶體其中的至少一者為導通時，該下拉電路係將該接地電壓傳導至該脈波轉換端點。

【請求項11】 如請求項9所述之序列信號感測器，其中

該第一下拉電晶體的該第二端係電連接於該第二下拉電晶體的該第一端，其中

當該第一下拉電晶體與該第二下拉電晶體其中的至少一者為斷開時，該上拉電路將該供應電壓傳導至該脈波轉換端點，且

當該第一下拉電晶體與該第二下拉電晶體均為導通時，該下拉電路將該接地電壓傳導至該脈波轉換端點。

【請求項12】 如請求項11所述之序列信號感測器，其中該下拉電路更包含：

一電阻，包含一第一端與一第二端，其中該電阻的該第一端係電連接於該第二下拉電晶體的該第二端，且該電阻的該第二端係電連接於該脈波轉換端點。

【請求項13】 如請求項12所述之序列信號感測器，其中該電阻的電阻值係因應一協定選擇信號而調整，且該協定選擇信號係代表通用序列匯流排(universal serial bus，簡稱為USB)協定、序列先進技術附接(serial advanced technology attachment，簡稱為SATA)協定、快速外設組件互連標準(Peripheral Component Interconnect Express，簡稱為PCIe)協定，與乙太網路(Ethernet)協定其中的一者。

【請求項14】 如請求項9所述之序列信號感測器，其中該混合式邏輯濾波器更包含：

一第一輸入反向器，電連接於該第一比較器與該第一下拉電晶體的該控制端，其係將該第一比較信號反向產生一第一互補比較信號，並將該第一互補比較信號傳送至該第一下拉電晶體；以及

一第二輸入反向器，電連接於該第二比較器與該第二下拉電晶體的該控制端，其係將該第二比較信號反向產生一第二互補比較信號，並將該第二互補比較信號傳送至該第二下拉電晶體。

【請求項15】 如請求項1所述之序列信號感測器，其中更包含：

一干擾濾波器，包含：

一傳輸閘，電連接於該脈波轉換端點，其係對該濾波暨轉換後脈波信號進行一二階濾波操作，並據以產生一干擾濾除信號；以及

一反向器，電連接於該傳輸閘，其係將該干擾濾除信號反向後，產生一第一反向信號。

【請求項16】 如請求項1所述之序列信號感測器，其中該電壓門檻係為一第一參考電壓與一第二參考電壓之間的電壓差，其中該第一參考電壓與該第二參考電壓為直流電壓，且該第一參考電壓高於該第二參考電壓。

【請求項17】 如請求項16所述之序列信號感測器，其中

該第一比較器係接收該第一移位信號、該第二移位信號、該第一參考電壓與該第二參考電壓，其中

當該第一移位信號與該第二移位信號之間的電壓差大於該電壓門檻時，該第一比較器將該第一比較信號設定為一第一位準，且

當該第一移位信號與該第二移位信號之間的電壓差小於或等於該電壓門檻時，該第一比較器係將該第一比較信號設為一第二位準。

【請求項18】 如請求項16所述之序列信號感測器，其中

該第二比較器係接收該第一移位信號、該第二移位信號、該第一參考電壓與該第二參考電壓，其中

當該第二移位信號與該第一移位信號之間的電壓差大於該電壓門檻時，該第二比較器係將該第二比較信號設為一第一位準，且

當該第二移位信號與該第一移位信號之間的電壓差小於或等於該電壓門檻時，該第二比較器係將該第二比較信號設為一第二位準。

【請求項19】 一種應用於一接收器的差動信號感測方法，包含以下步驟：

接收包含一第一移位信號與一第二移位信號的一差動信號對；

根據該第一移位信號、該第二移位信號與一電壓門檻，產生一第一比較信號與一第二比較信號；

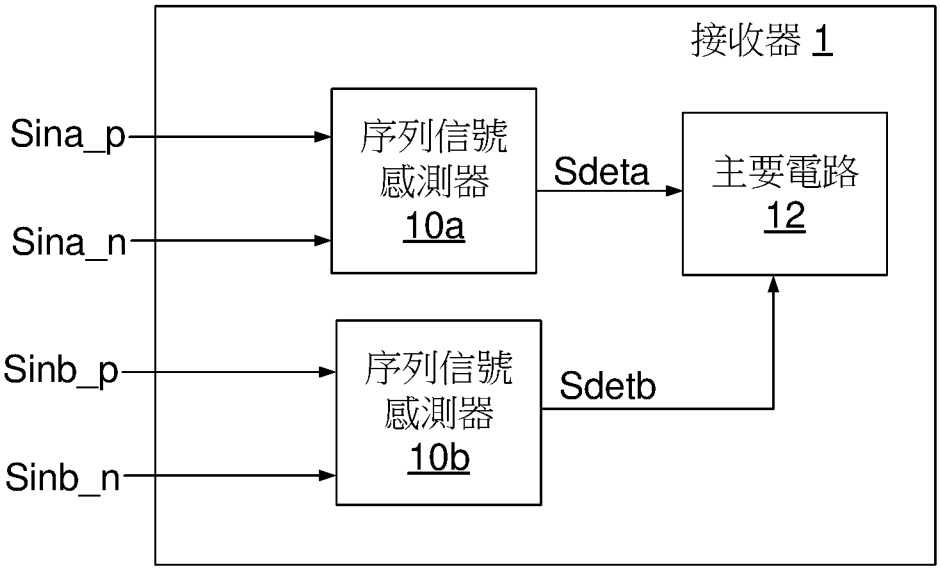
執行與該第一比較信號和該第二比較信號相關的一邏輯操作；

在進行該邏輯操作時，因應該第一比較信號與該第二比較信號而輪流將一供應電壓導通或一接地電壓傳導至一脈波轉換端點，其中該供應電壓高於該接地電壓；

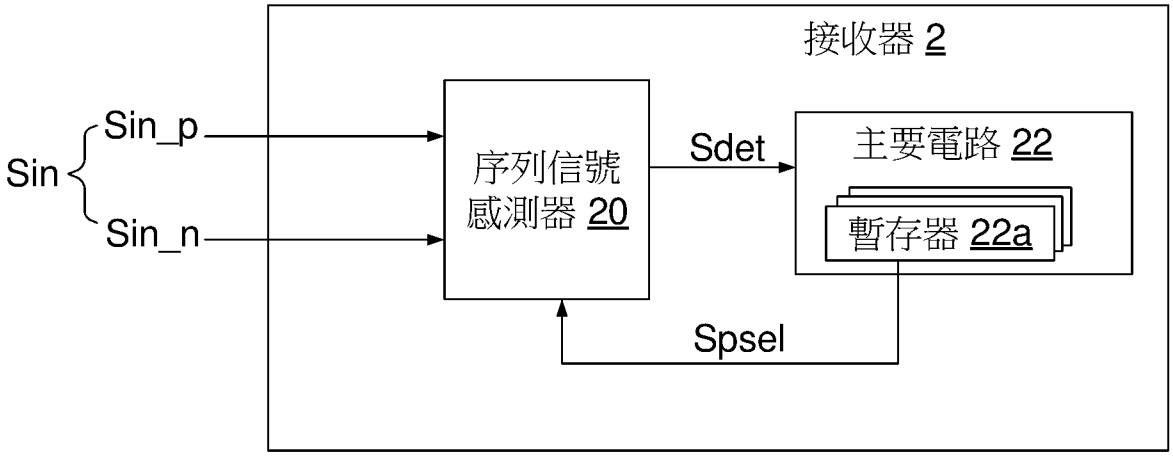
根據該邏輯操作而在該脈波轉換端點產生一濾波暨轉換後脈波信號；以及

於執行該邏輯操作時，對該濾波暨轉換後脈波信號進行一初階濾波操作。

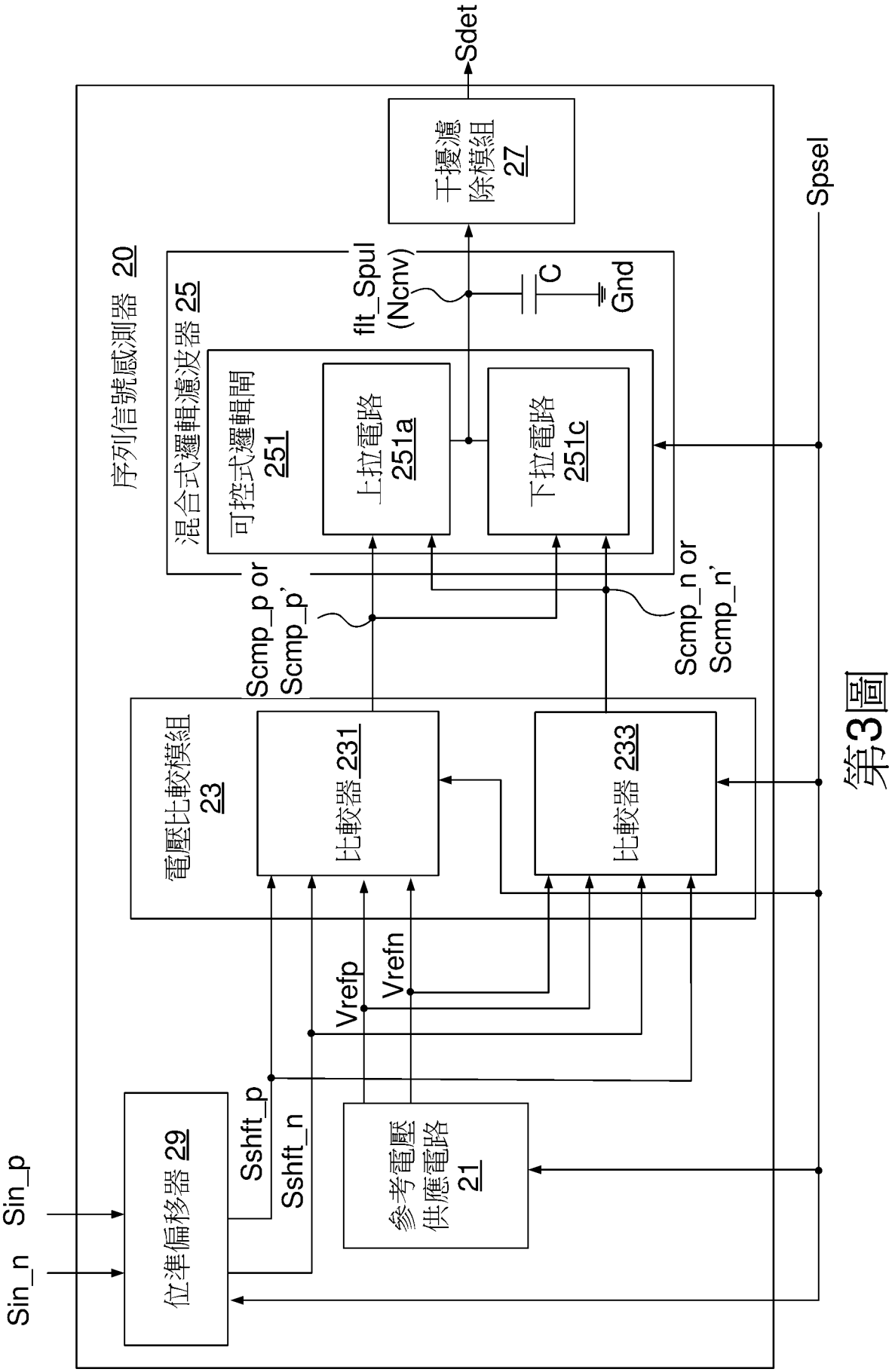
【發明圖式】


接收器 1
Sina_p
Sina_n
序列信號
感測器
10a
Sdeta
主要電路
12
Sinb_p
Sinb_n
序列信號
感測器
10b
Sdetb

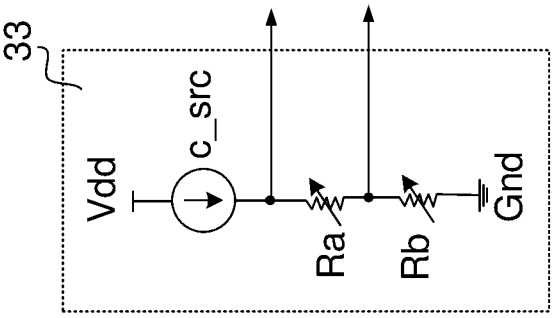
第1圖


接收器 2
Sin
Sin_p
Sin_n
序列信號
感測器 20
Sdet
主要電路 22
暫存器 22a
Spsel

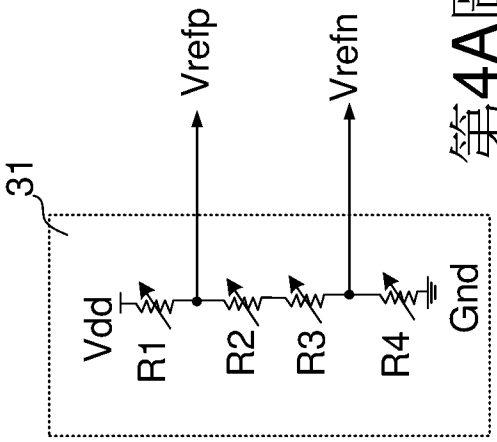
第2圖


Sdet
干擾濾除模組 27
序列信號感測器 20
混合式邏輯濾波器 25
可控式邏輯閘 251
上拉電路 251a
下拉電路 251c
flt_Spul (Ncnv)
C
Gnd
Spsel
Scmp_p or Scmp_p'
Scmp_n or Scmp_n'
電壓比較模組 23
比較器 231
比較器 233
Vrefp
Vrefn
位準偏移器 29
參考電壓供應電路 21
Sshft_p
Sshft_n
Sin_p
Sin_n

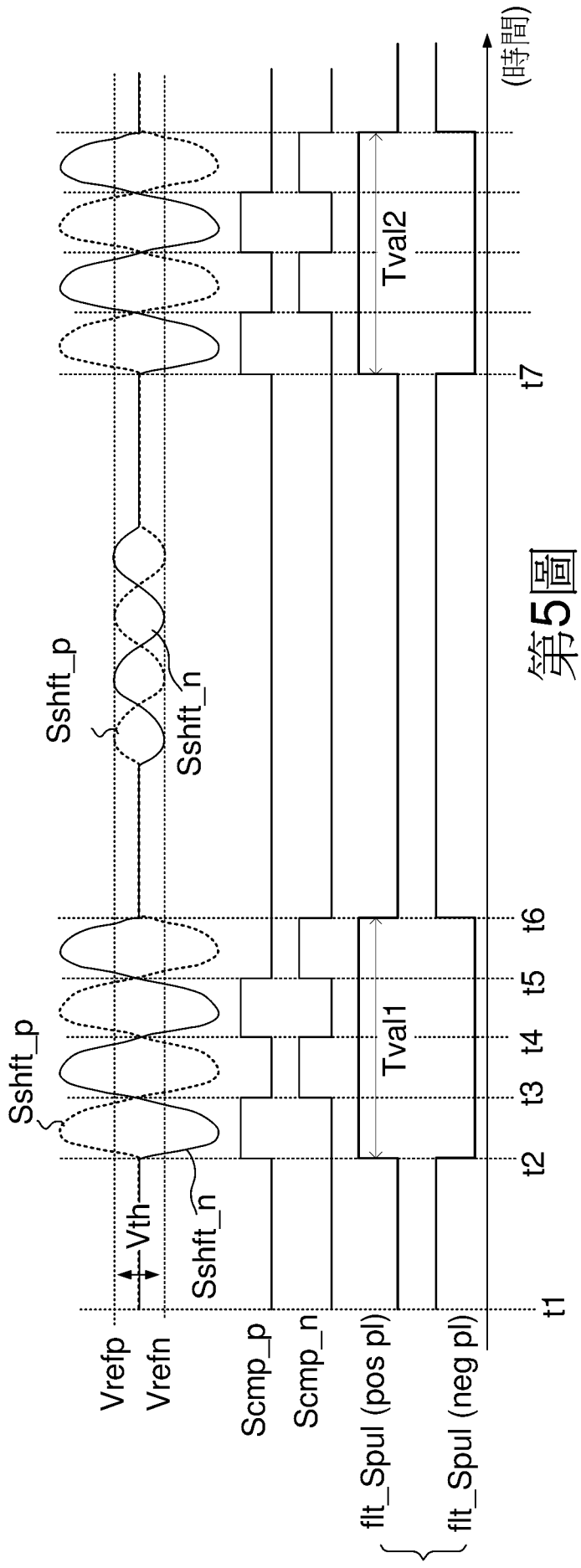
第3圖



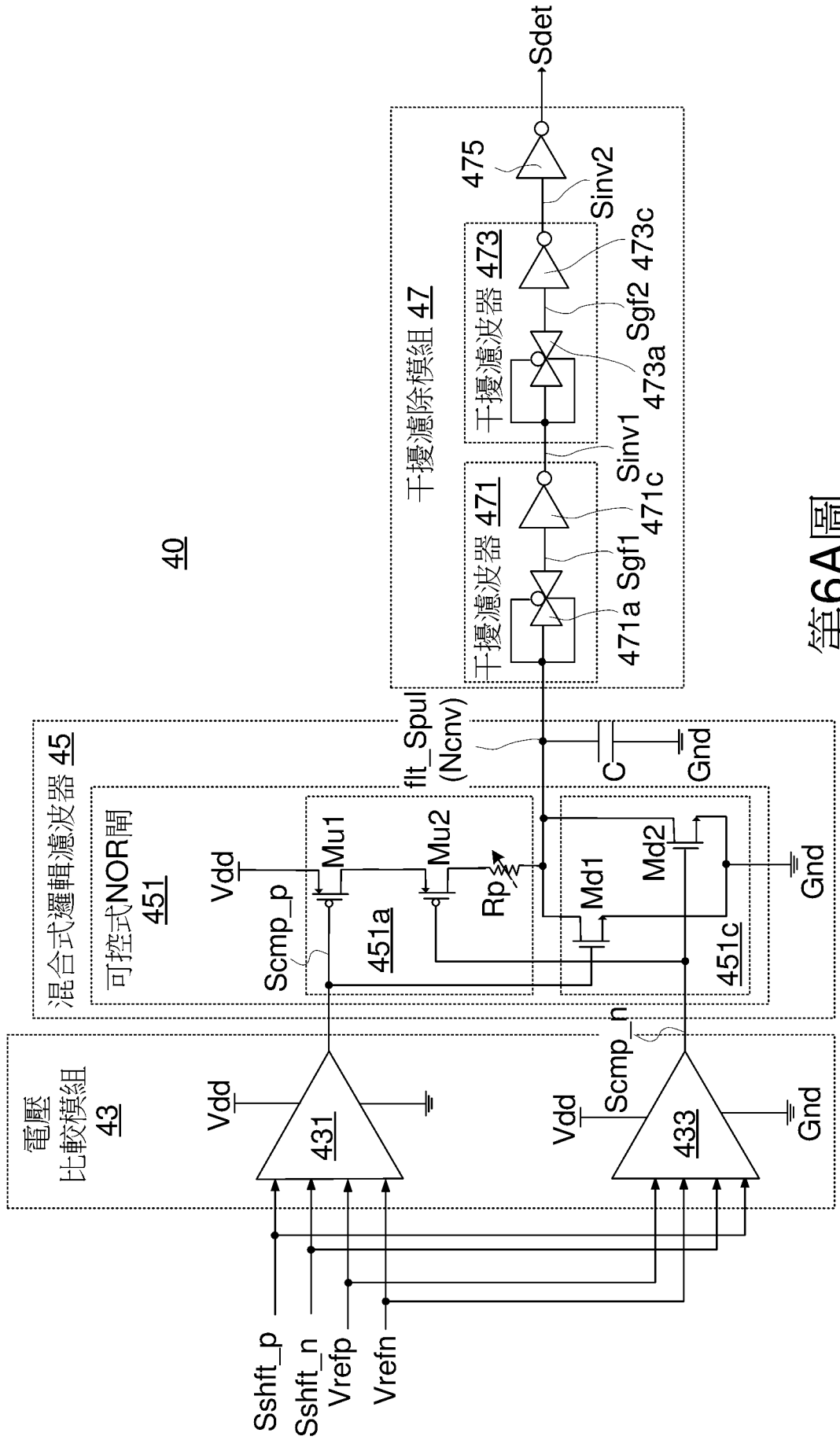
第4B圖



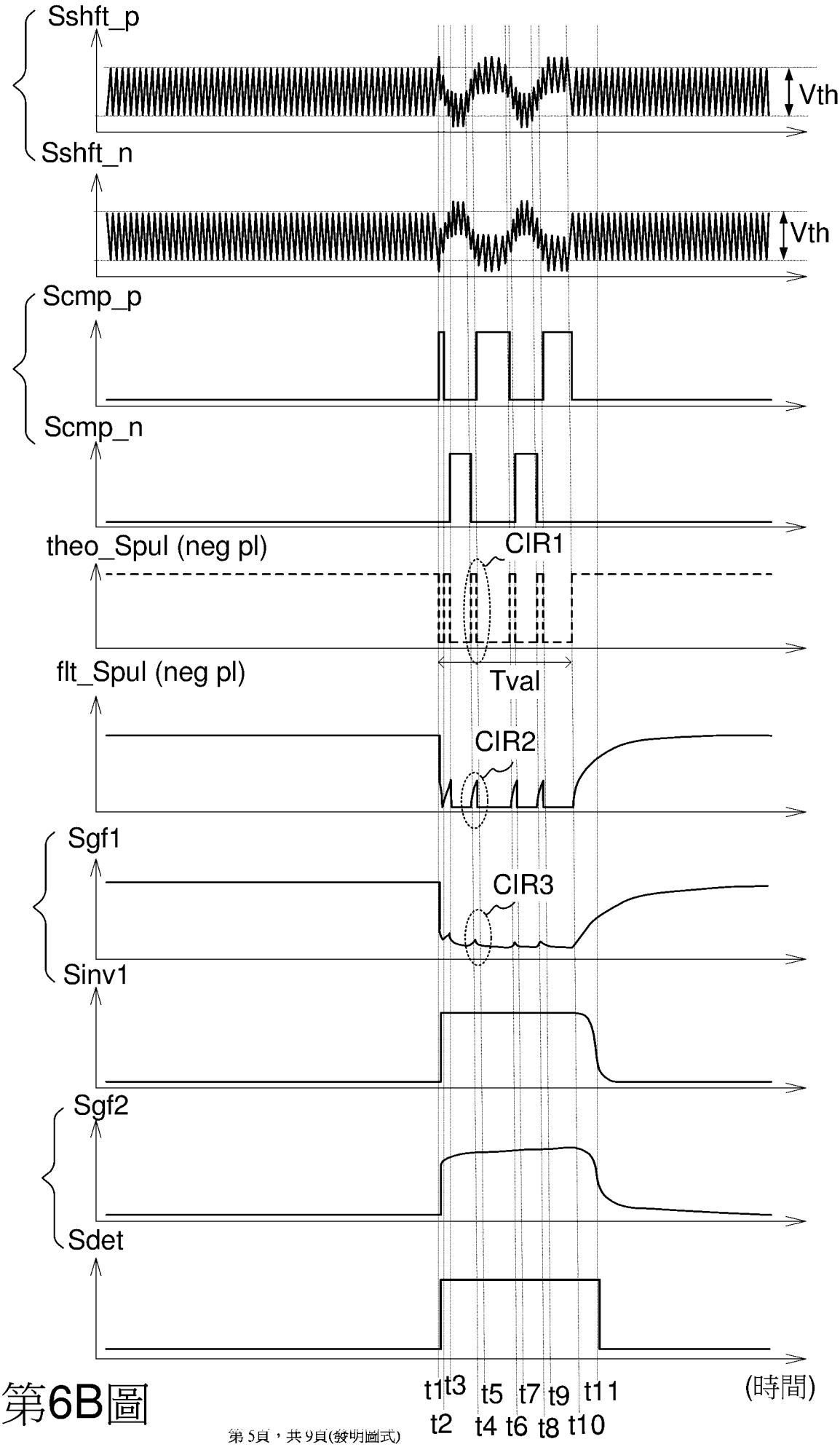
第4A圖



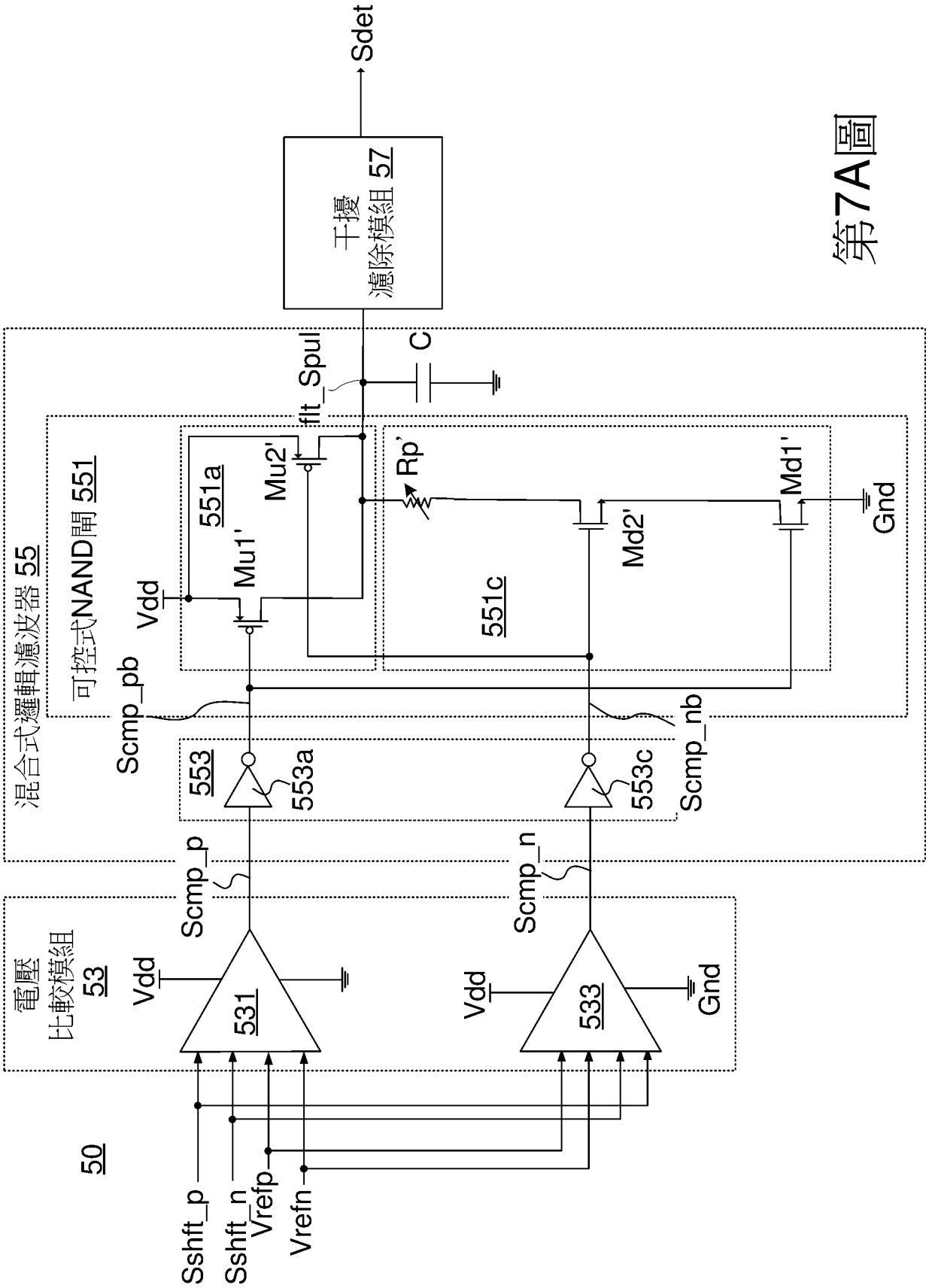
第5圖


40
混合式邏輯濾波器 45
可控式NOR閘 451
電壓比較模組 43
干擾濾除模組 47
干擾濾波器 471
干擾濾波器 473
flt_Spul (Ncnv)
C
Gnd
Vdd
Scmp_p
Scmp_n
Mu1
Mu2
Rp
Md1
Md2
451a
451c
431
433
475
Sdet
Sinv1
Sinv2
Sgf1
Sgf2
471a
471c
473a
473c
Sshft_p
Sshft_n
Vrefp
Vrefn

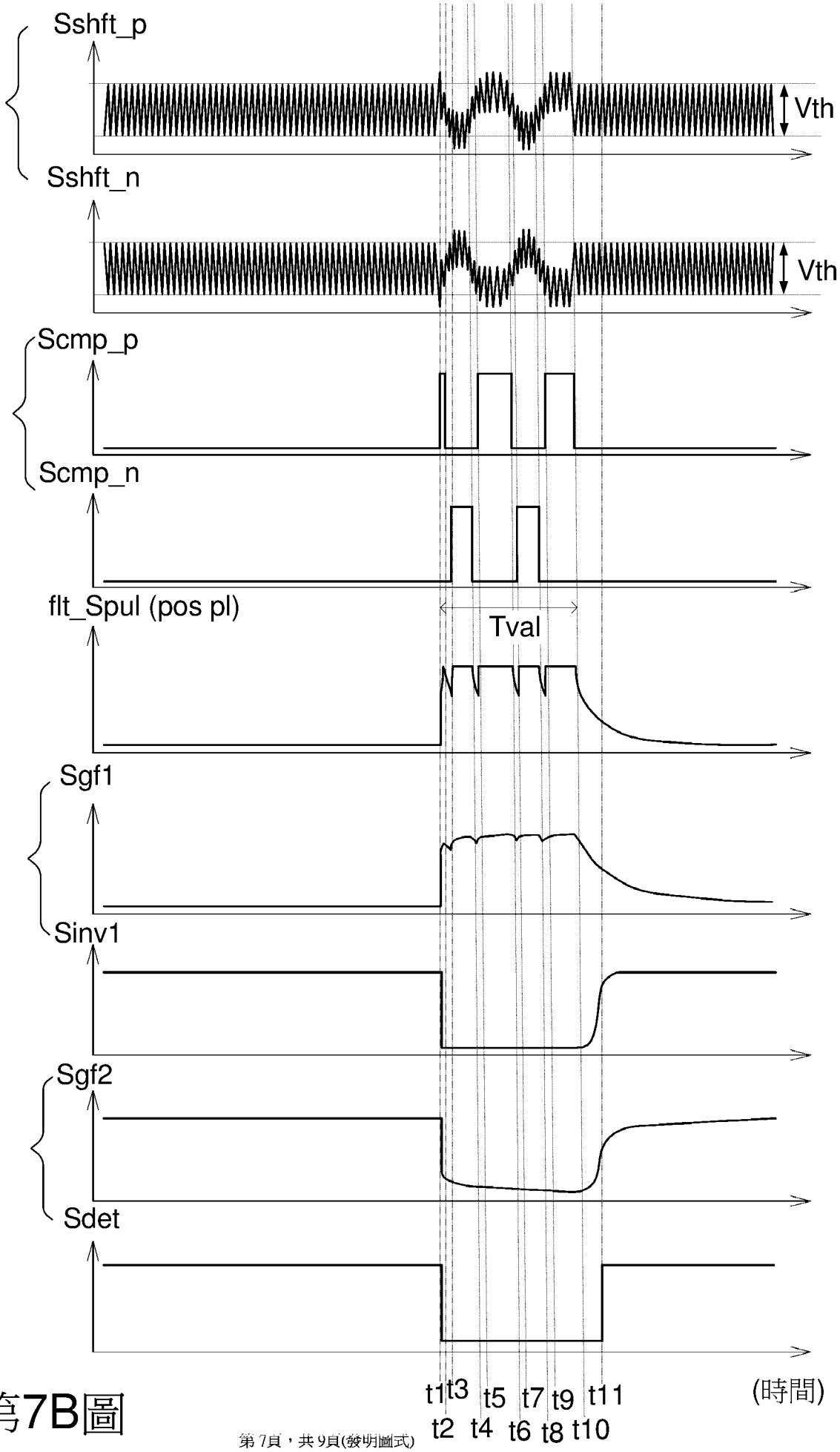
第6A圖


Sshft_p
Vth
Sshft_n
Vth
Scmp_p
Scmp_n
theo_Spul (neg pl)
CIR1
flt_Spul (neg pl)
Tval
CIR2
Sgf1
CIR3
Sinv1
Sgf2
Sdet
t1
t2
t3
t4
t5
t6
t7
t8
t9
t10
t11
(時間)

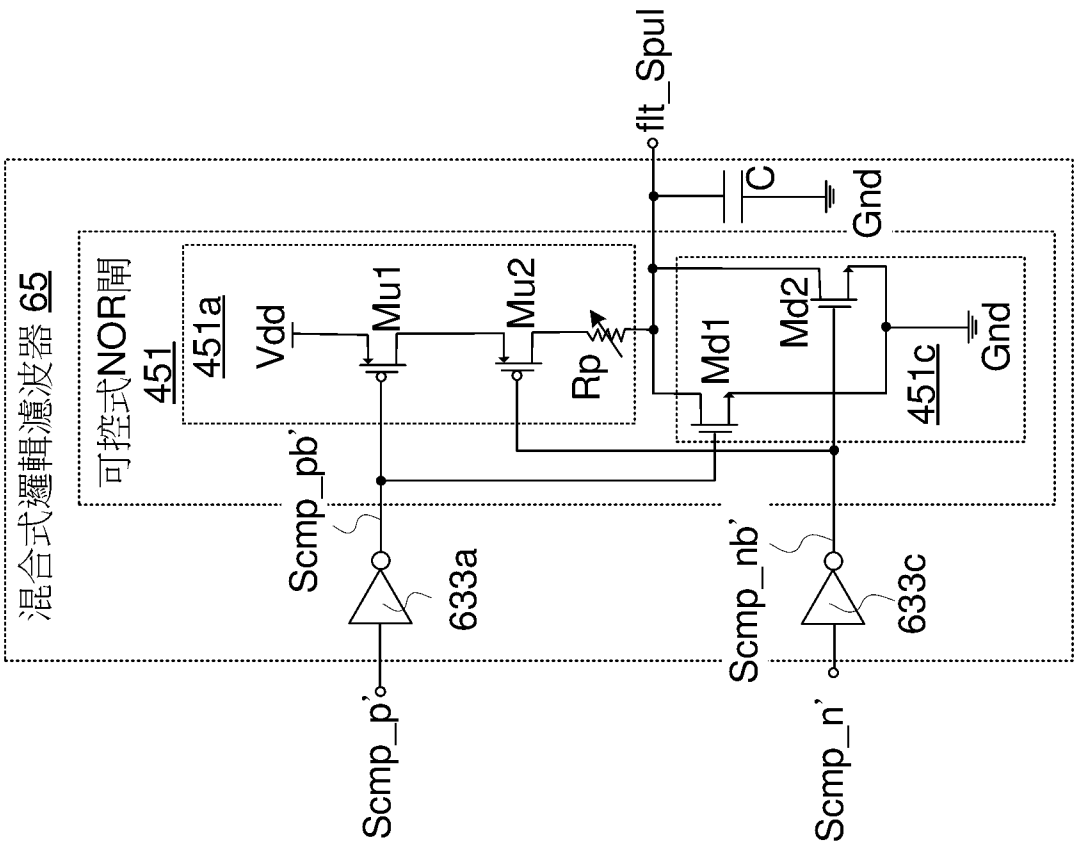
第6B圖


Sdet
干擾
濾除模組 57
C
flt_Spul
混合式邏輯濾波器 55
可控式NAND閘 551
551a
Mu2'
Mu1'
Vdd
Rp'
Md2'
Md1'
Gnd
551c
Scmp_pb
Scmp_nb
553
553a
553c
Scmp_p
Scmp_n
電壓
比較模組
53
531
533
Vdd
Gnd
50
Sshft_p
Sshft_n
Vrefp
Vrefn

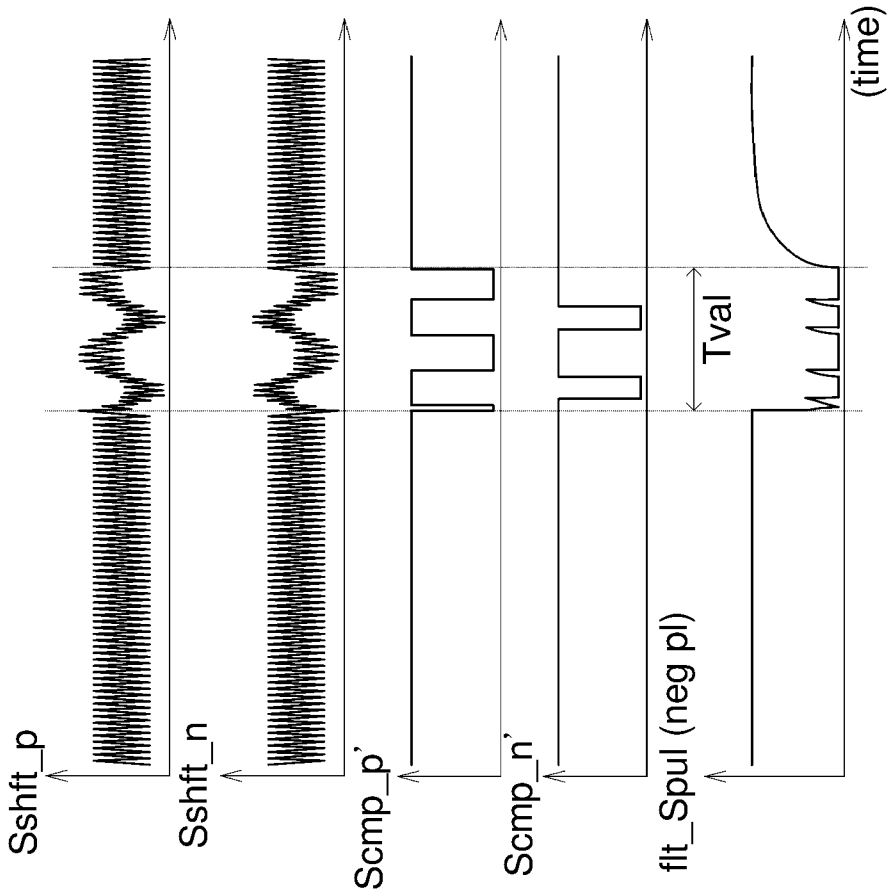
第7A圖


Sshft_p
Vth
Sshft_n
Vth
Scmp_p
Scmp_n
flt_Spul (pos pl)
Tval
Sgf1
Sinv1
Sgf2
Sdet
t1
t2
t3
t4
t5
t6
t7
t8
t9
t10
t11
(時間)

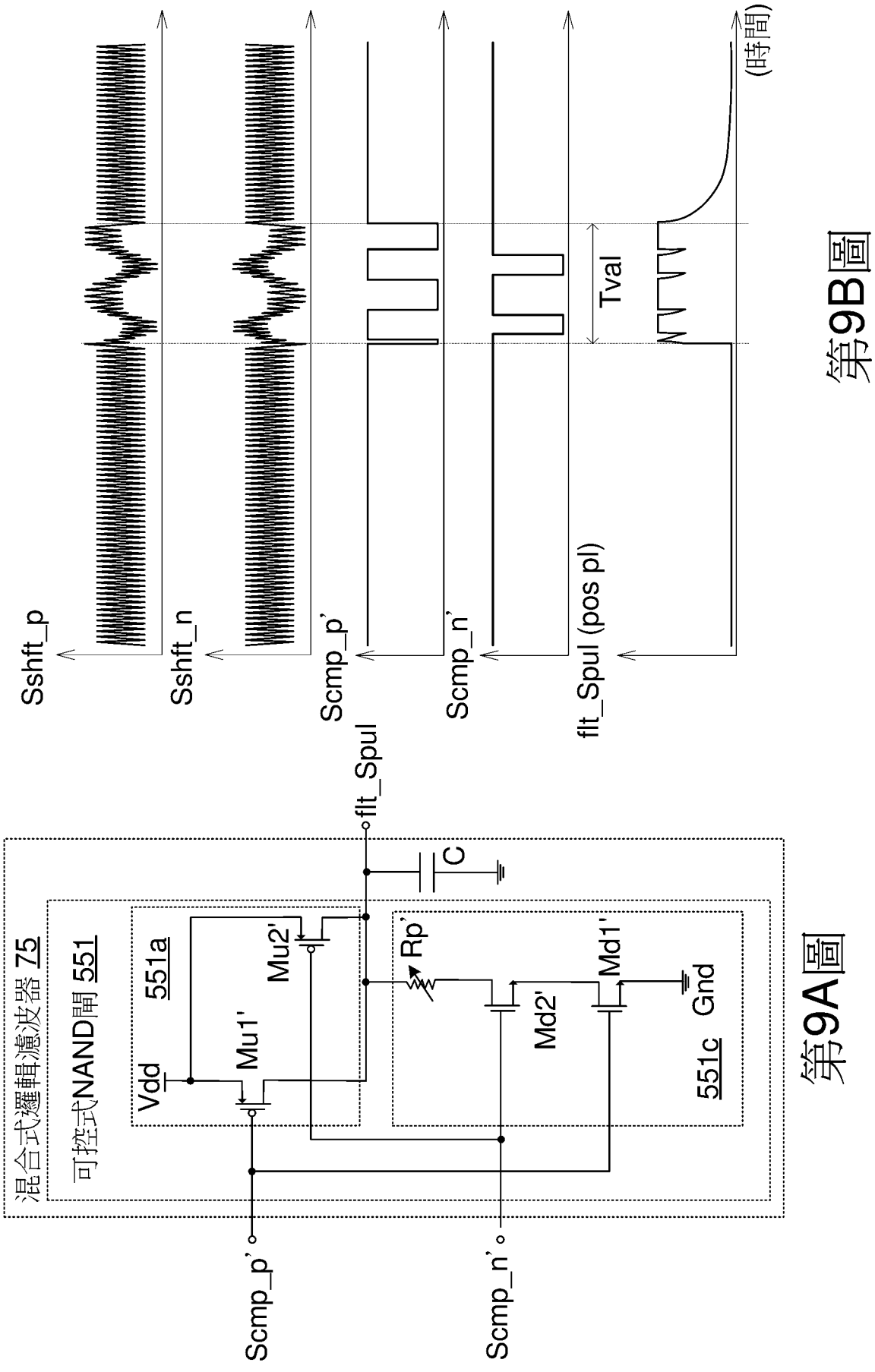
第7B圖


混合式邏輯濾波器 65
可控式NOR閘
451
451a
Vdd
Mu1
Mu2
Rp
Md1
Md2
451c
Gnd
C
flt_Spul
Scmp_pb'
Scmp_nb'
633a
633c
Scmp_p'
Scmp_n'

第8A圖


Sshft_p
Sshft_n
Scmp_p'
Scmp_n'
flt_Spul (neg pl)
Tval
(time)

第8B圖


混合式邏輯濾波器 75
可控式NAND閘 551
551a
Vdd
Mu1'
Mu2'
Rp'
Md2'
Md1'
551c Gnd
C
flt_Spul
Scmp_p'
Scmp_n'
Sshft_p
Sshft_n
Scmp_p'
Scmp_n'
flt_Spul (pos pl)
Tval
(時間)

第9A圖

第9B圖