

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4560025号
(P4560025)

(45) 発行日 平成22年10月13日(2010.10.13)

(24) 登録日 平成22年7月30日(2010.7.30)

(51) Int. Cl. F I
 HO 1 L 21/8246 (2006.01) HO 1 L 27/10 4 4 7
 HO 1 L 27/105 (2006.01) HO 1 L 43/08 Z
 HO 1 L 43/08 (2006.01)

請求項の数 4 (全 25 頁)

(21) 出願番号	特願2006-269334 (P2006-269334)	(73) 特許権者	000003078
(22) 出願日	平成18年9月29日 (2006.9.29)		株式会社東芝
(65) 公開番号	特開2008-91537 (P2008-91537A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成20年4月17日 (2008.4.17)	(74) 代理人	100091351
審査請求日	平成20年9月22日 (2008.9.22)		弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100084618
			弁理士 村松 貞男

最終頁に続く

(54) 【発明の名称】 磁気ランダムアクセスメモリ及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

第1の書き込み電流が流れる第1の配線と、

前記第1の配線の上方に前記第1の配線と離間して設けられ、第2の書き込み電流が流れる第2の配線と、

前記第1及び第2の配線間に配置され、前記第1の配線の上面に接して配置され、固定層と前記第1及び第2の書き込み電流の少なくとも一方に応じて磁化の向きが変わる記録層と前記固定層及び前記記録層との間に設けられた非磁性層とを有する磁気抵抗効果素子と、

前記磁気抵抗効果素子上に配置され、前記磁気抵抗効果素子と積層して一体に形成された金属層と、

前記金属層、前記磁気抵抗効果素子及び前記第1の配線の側面に設けられた第1のサイド絶縁膜と、

前記第1のサイド絶縁膜の側面と接して形成された第1のコンタクトと、

前記金属層及び前記第1のコンタクト上に配置され、前記磁気抵抗効果素子と前記第1のコンタクトとを電氣的に接続する第3の配線と、

前記第1のサイド絶縁膜を介して、前記金属層、前記磁気抵抗効果素子及び前記第1の配線を覆う層間絶縁膜と、

を具備し、

前記第1のサイド絶縁膜の材料は、前記層間絶縁膜の材料と異なる、

10

20

ことを特徴とする磁気ランダムアクセスメモリ。

【請求項 2】

半導体基板と、

前記半導体基板上に形成されたゲート電極と、

前記半導体基板内のゲート電極の両側にそれぞれ設けられた第 1 及び第 2 の拡散層と、

前記ゲート電極の側面に形成された第 2 のサイド絶縁膜と、

前記第 2 のサイド絶縁膜の側面と接する側面を有し、前記第 1 のコンタクト及び前記第 1 の拡散層に接続された第 2 のコンタクトと

をさらに具備することを特徴とする請求項 1 に記載の磁気ランダムアクセスメモリ。

【請求項 3】

前記金属層の上面に形成された第 1 のトップ絶縁膜と、

前記第 1 のトップ絶縁膜を貫通し、前記金属層と前記第 3 の配線とに接続された第 2 のコンタクトと

をさらに具備することを特徴とする請求項 1 に記載の磁気ランダムアクセスメモリ。

【請求項 4】

半導体基板上にスイッチング素子を形成する工程と、

前記スイッチング素子の上方に、第 1 の書き込み電流が流れる第 1 の配線を形成する工程と、

前記第 1 の配線上に、固定層と記録層と前記固定層及び前記記録層との間に設けられた非磁性層とを有する磁気抵抗効果素子を形成する工程と、

前記磁気抵抗効果素子上に金属層を形成する工程と、

前記第 1 の配線、前記磁気抵抗効果素子及び前記金属層の側面に第 1 のサイド絶縁膜を形成する工程と、

前記金属層を覆い、前記第 1 のサイド絶縁膜の材料とは異なる材料が用いられる第 1 の層間絶縁膜を形成する工程と、

前記第 1 の層間絶縁膜を平坦化し、前記金属層を露出させる工程と、

前記第 1 のサイド絶縁膜の一部を露出するコンタクトホールを形成する工程と、

前記コンタクトホール内に前記スイッチング素子に接続する第 1 のコンタクトを形成する工程と、

前記第 1 のコンタクト及び前記金属層上に第 2 の配線を形成し、前記第 2 の配線で前記金属層と前記スイッチング素子とを電氣的に接続する工程と、

前記第 2 の配線上に第 2 の層間絶縁膜を形成する工程と、

前記第 2 の層間絶縁膜上に、第 2 の書き込み電流が流れる第 3 の配線を形成する工程とを具備することを特徴とする磁気ランダムアクセスメモリの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、磁気抵抗 (Magnetoresistive) 効果を利用した磁気ランダムアクセスメモリ (MRAM: Magnetic Random Access Memory) 及びその製造方法に関する。

【背景技術】

【0002】

近年、新たな原理により情報を記憶するメモリが数多く提案されている。そのうちのひとつに、Roy Scheuerlein et. Al.によって提案されたトンネル型磁気抵抗 (TMR: Tunneling Magnetoresistive) 効果を利用した磁気ランダムアクセスメモリがある (例えば、非特許文献 1 参照)。

【0003】

磁気ランダムアクセスメモリは、MTJ (Magnetic Tunnel Junction) 素子により、“1”、“0” - 情報を記憶する。MTJ 素子は、2 つの磁性層 (強磁性層) により絶縁層 (トンネルバリア) を挟んだ構造を有する。MTJ 素子に記憶される情報は、2 つの磁性層のスピンの向きが平行か又は反平行かによって判断される。

10

20

30

40

50

【 0 0 0 4 】

M T J素子に書き込まれたデータを読み出す場合、このM T J素子に直列にスイッチ素子を接続し、選択されたリードワード線に接続されるスイッチ素子のみをオン状態として電流経路を作る。その結果、選択されたM T J素子のみで電流が流れるため、そのM T J素子のデータを読み出すことができる。

【 0 0 0 5 】

スイッチ素子としてM O S F E Tを用いた場合、M T J素子の短辺（磁化困難軸方向の幅）をF（Feature size）、長辺（磁化容易軸方向の幅）を2 Fとすると、セルサイズは $1 2 F^2$ となる。従って、磁気ランダムアクセスメモリのセルサイズは、D R A Mやフラッシュメモリに対して大きい。そこで、容易軸書き込みのビット線をM T J素子の下部に配置して、かつM T J素子の下部電極とこの下部電極のコンタクトのフリンジをセルファラインにすれば、セルサイズは $1 0 F^2$ となる。しかしながら、セルサイズの微細化がまだ不十分であった。

【非特許文献1】Roy Scheuerlein et. Al, ISSCC2000 Technical Digest p.128, 「A 10 ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell」

【特許文献1】特開2005-175375号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 6 】

本発明は、セルサイズの微細化を図ることが可能な磁気ランダムアクセスメモリ及びその製造方法を提供する。

【課題を解決するための手段】

【 0 0 0 7 】

本発明の第1の視点による磁気ランダムアクセスメモリは、第1の書き込み電流が流れる第1の配線と、前記第1の配線の上方に前記第1の配線と離間して設けられ、第2の書き込み電流が流れる第2の配線と、前記第1及び第2の配線間に配置され、前記第1の配線の上面に接して配置され、固定層と前記第1及び第2の書き込み電流の少なくとも一方によって磁化の向きが変わる記録層と前記固定層及び前記記録層との間に設けられた非磁性層とを有する磁気抵抗効果素子と、前記磁気抵抗効果素子上に配置され、前記磁気抵抗効果素子と積層して一体に形成された金属層と、前記金属層、前記磁気抵抗効果素子及び前記第1の配線の側面に設けられた第1のサイド絶縁膜と、前記第1のサイド絶縁膜の側面と接して形成された第1のコンタクトと、前記金属層及び前記第1のコンタクト上に配置され、前記磁気抵抗効果素子と前記第1のコンタクトとを電氣的に接続する第3の配線と、前記第1のサイド絶縁膜を介して、前記金属層、前記磁気抵抗効果素子及び前記第1の配線を覆う層間絶縁膜と、を具備し、前記第1のサイド絶縁膜の材料は、前記層間絶縁膜の材料と異なる。

【 0 0 0 9 】

本発明の第2の視点による磁気ランダムアクセスメモリの製造方法は、半導体基板上にスイッチング素子を形成する工程と、前記スイッチング素子の上方に、第1の書き込み電流が流れる第1の配線を形成する工程と、前記第1の配線上に、固定層と記録層と前記固定層及び前記記録層との間に設けられた非磁性層とを有する磁気抵抗効果素子を形成する工程と、前記磁気抵抗効果素子上に金属層を形成する工程と、前記第1の配線、前記磁気抵抗効果素子及び前記金属層の側面に第1のサイド絶縁膜を形成する工程と、前記金属層を覆い、前記第1のサイド絶縁膜の材料とは異なる材料が用いられる第1の層間絶縁膜を形成する工程と、前記第1の層間絶縁膜を平坦化し、前記金属層を露出させる工程と、前記第1のサイド絶縁膜の一部を露出するコンタクトホールを形成する工程と、前記コンタクトホール内に前記スイッチング素子に接続する第1のコンタクトを形成する工程と、前記第1のコンタクト及び前記金属層上に第2の配線を形成し、前記第2の配線で前記金属層と前記スイッチング素子とを電氣的に接続する工程と、前記第2の配線上に第2の層間

10

20

30

40

50

絶縁膜を形成する工程と、前記第2の層間絶縁膜上に、第2の書き込み電流が流れる第3の配線を形成する工程とを具備する。

【発明の効果】

【0010】

本発明によれば、セルサイズの微細化を図ることが可能な磁気ランダムアクセスメモリ及びその製造方法を提供できる。

【発明を実施するための最良の形態】

【0011】

本発明の実施の形態を以下に図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

10

【0012】

[1] 第1の実施形態

[1-1] 磁気ランダムアクセスメモリの基本例

図1は、本発明の第1の実施形態に係る磁気ランダムアクセスメモリの基本例の断面図を示す。図2(a)は、本発明の第1の実施形態に係るMTJ素子の周辺の平面図を示す。図2(b)は、本発明の第1の実施形態に係るゲート電極の周辺の平面図を示す。以下に、第1の実施形態に係る磁気ランダムアクセスメモリの基本例について説明する。

【0013】

図1に示すように、半導体基板11上にゲート絶縁膜12を介してゲート電極13が形成されている。このゲート電極13の両側の半導体基板11内にはソース・ドレイン拡散層15が形成され、スイッチング素子としてのMOS(Metal Oxide Semiconductor)トランジスタTrが形成されている。ここで、ゲート電極13の側面にはサイド絶縁膜16が形成され、ゲート電極13の上面にはトップ絶縁膜14が形成されている。ゲート電極13は、読み出しワード線RWLとして機能する。

20

【0014】

ソース・ドレイン拡散層15にはコンタクト18が接続されている。このコンタクト18は、ゲート電極13及びサイド絶縁膜16と自己整合的に形成されている。従って、コンタクト18は、サイド絶縁膜16の側面と直接接している。コンタクト18の一部は、サイド絶縁膜16上に乗っている。

【0015】

ゲート電極13の上方にはビット線BLが形成されている。このビット線BL上にMTJ素子MTJが形成されている。このMTJ素子MTJ上に例えば導電性のハードマスクHM(金属層)がMTJ素子MTJと積層で一体に形成されている。ハードマスクHMの平面形状は、例えばMTJ素子MTJの平面形状と同じである。MTJ素子MTJの磁化容易軸方向の側面は、ハードマスクHM及びビット線BLの側面と一致している。ハードマスクHMの前記側面、MTJ素子MTJの磁化容易軸方向の前記側面及びビット線BLの前記側面には、サイド絶縁膜24が形成されている。

30

【0016】

ハードマスクHM上には配線27が形成されている。この配線27の下にはコンタクト26が形成されている。コンタクト26は、ハードマスクHM、MTJ素子MTJ、ビット線BL及びサイド絶縁膜24と自己整合的に形成されている。従って、コンタクト26は、サイド絶縁膜24の側面と直接接している。コンタクト26の一部は、サイド絶縁膜24上に乗っている。配線27における磁化容易軸方向の一方の側面はコンタクト26の側面と一致し、他方の側面はサイド絶縁膜24の側面と一致している。そして、配線27と離間して、MTJ素子MTJの上方には書き込みワード線WWLが形成されている。

40

【0017】

ハードマスクHMの材料は、例えば、酸化されても導電性を有する金属(例えば、Ru)、酸化されても比較的安定した導電性を有する高融点金属(例えば、Ta、Ti、W)、耐酸化性に優れた高融点金属化合物(例えば、TiN、TaN、WN)などが望ましい

50

【0018】

サイド絶縁膜24の材料は、層間絶縁膜25の材料と異なることが望ましい。コンタクト26の形成時における両者のエッチング選択比を高めるためである。例えば、層間絶縁膜25をSiO₂膜(シリコン酸化膜)で形成した場合、サイド絶縁膜24はSiN膜(シリコン窒化膜)又はAlxOy膜(アルミナ膜)で形成するとよい。

【0019】

サイド絶縁膜16及びトップ絶縁膜14の材料は、層間絶縁膜17の材料と異なることが望ましい。コンタクト18の形成時におけるエッチング選択比を高めるためである。例えば、層間絶縁膜17をSiO₂膜で形成した場合、サイド絶縁膜16及びトップ絶縁膜14はSiN膜又はAlxOy膜で形成するとよい。尚、サイド絶縁膜16とトップ絶縁膜14とは、材料の密着性等を鑑みると同じ材料が望ましいが、異なる材料でもよい。

【0020】

トップ絶縁膜14の膜厚Tt1は、サイド絶縁膜16の膜厚Ts1よりも厚いことが望ましい。これは、コンタクト18の形成時のエッチングによりゲート電極13の上端部等が削れることを、トップ絶縁膜14で十分に防止するためである。

【0021】

トップ絶縁膜14の膜厚Tt1とサイド絶縁膜16の膜厚Ts1との関係は、例えば、 $Tt1 \times 1/3 \leq Ts1 \leq Tt1 \times 1/2$ を満たすことが望ましい。ここで、下限値は、主にコンタクト18の形成時のエッチング選択比と絶縁耐圧とに基づいて規定される。上限値は、コンタクト18の形成時のエッチングの際、コンタクトホール(特にコンタクトホールホールのサイドの幅)が確保できるように規定される。

【0022】

サイド絶縁膜16の膜厚は、例えば10nmから50nm程度である。サイド絶縁膜24の膜厚は、例えば10nmから50nm程度である。このサイド絶縁膜16、24の膜厚は、エッチング時のダメージ吸収と絶縁耐圧により調整される。

【0023】

図3乃至図9は、本発明の第1の実施形態に係る磁気ランダムアクセスメモリの基本例の製造工程の断面図を示す。以下に、第1の実施形態に係る磁気ランダムアクセスメモリの基本例の製造方法について説明する。

【0024】

まず、図3に示すように、半導体基板(例えばシリコン基板)11内にSTI(Shallow Trench Isolation)構造の素子分離領域STIが形成される。次に、半導体基板11上にゲート絶縁膜12が形成され、このゲート絶縁膜12上に例えばポリシリコンからなるゲート電極13が形成される。そして、このゲート電極13上にトップ絶縁膜14が形成される。このトップ絶縁膜14は、例えばSiN膜からなる。その後、ゲート絶縁膜12、ゲート電極13及びトップ絶縁膜14が所望形状にパターニングされる。そして、半導体基板11内にソース・ドレイン拡散層15が形成される。ここで、ゲート電極13は、例えば読み出しワード線RWLとして機能する。

【0025】

次に、図4に示すように、半導体基板11及びトップ絶縁膜14上にサイド絶縁膜16が形成され、このサイド絶縁膜16がゲート絶縁膜12、ゲート電極13及びトップ絶縁膜14の側面に残るようにパターニングされる。サイド絶縁膜16は、例えばSiN膜からなる。

【0026】

次に、図5に示すように、半導体基板11及びトップ絶縁膜14上に例えばSiO₂膜からなる層間絶縁膜17が形成される。次に、例えばRIE(Reactive Ion Etching)により層間絶縁膜17内にコンタクトホールが形成され、このコンタクトホール内を例えばW(タングステン)で埋め込むことによりコンタクト18が形成される。ここで、コンタクトホールをサイド絶縁膜16の側面を露出するように開孔することで、コンタクト18

10

20

30

40

50

をサイド絶縁膜 16 及びゲート電極 13 と自己整合的に形成できる。

【0027】

次に、図 6 に示すように、コンタクト 18 に接続する配線 19 が形成され、この配線 19 が層間絶縁膜 20 で埋め込まれる。そして、配線 19 が露出するまで層間絶縁膜 20 が平坦化される。次に、配線 19 及び層間絶縁膜 20 上に例えば SiO_2 膜からなる層間絶縁膜 21 が形成され、この層間絶縁膜 21 上に例えば AlCu からなる配線 22 が形成される。そして、この配線 22 上に MTJ 素子膜 23 及びハードマスク HM が形成される。次に、ハードマスク HM がパターニングされた後、配線 22 及び MTJ 素子膜 23 が所望形状にパターニングされる。これにより、ビット線 BL 及び MTJ 素子 MTJ が形成される。

10

【0028】

次に、図 7 に示すように、ビット線 BL 、 MTJ 素子 MTJ 及びハードマスク HM の側面にサイド絶縁膜 24 が形成される。このサイド絶縁膜 24 は、例えば SiN 膜からなる。

【0029】

次に、図 8 に示すように、例えば SiO_2 膜からなる層間絶縁膜 25 が形成され、ハードマスク HM が覆われる。そして、ハードマスク HM が露出するまで層間絶縁膜 25 が平坦化される。その後、例えば RIE により層間絶縁膜 21、25 内にコンタクトホールが形成され、サイド絶縁膜 24 の一部が露出される。この際、コンタクトホールの開口により、ハードマスク HM の一部が露出する場合もある。そして、コンタクトホール内を例えば W で埋め込むことにより、コンタクト 26 が形成される。このコンタクト 26 は配線 19 に接続される。

20

【0030】

ここで、サイド絶縁膜 24 (例えば SiN 膜) と層間絶縁膜 25 (例えば SiO_2 膜) とを異なる材料で形成することで、両者のエッチング選択比は高い。そして、コンタクトホールを、サイド絶縁膜 24 の側面を露出するように開孔し、 MTJ 素子 MTJ に隣接して形成する。これにより、コンタクト 26 を、サイド絶縁膜 24、ビット線 BL 、 MTJ 素子 MTJ 及びハードマスク HM と自己整合的に形成できる。

【0031】

次に、図 9 に示すように、ハードマスク HM 及びコンタクト 26 上に配線 27 が形成され、所望形状にパターニングされる。この配線 27 により、ハードマスク HM とトランジスタ Tr とが電氣的に接続される。

30

【0032】

最後に、図 1 に示すように、配線 27 が層間絶縁膜 28 で埋め込まれ、この層間絶縁膜 28 上に所望形状の配線 29 が形成される。この配線 29 は、書き込みワード線 WWL として機能する。

【0033】

[1-2] 磁気ランダムアクセスメモリの変形例

図 10 は、本発明の第 1 の実施形態に係る磁気ランダムアクセスメモリの変形例の断面図を示す。以下に、第 1 の実施形態に係る磁気ランダムアクセスメモリの変形例について説明する。

40

【0034】

図 10 に示すように、ハードマスク HM と配線 27 は、直接接していることに限定されず、コンタクト 32 を介して接続されていてもよい。この場合、ハードマスク HM の上面にはトップ絶縁膜 31 を設けておくことが望ましい。コンタクト 26 の形成時にハードマスク HM 及び MTJ 素子 MTJ の一部が削れることを防止するためである。

【0035】

ここで、トップ絶縁膜 31 とサイド絶縁膜 24 は、これらの周囲の層間絶縁膜 21、25 とエッチング選択比の高い材料が望ましい。従って、層間絶縁膜 21、25 が例えば SiO_2 膜で形成されている場合、トップ絶縁膜 31 とサイド絶縁膜 24 は例えば SiN 膜

50

又はAlxOy膜で形成するとよい。尚、トップ絶縁膜31とサイド絶縁膜24とは、材料の密着性等を鑑みると同じ材料を用いることが望ましいが、異なる材料の組み合わせでもよい。

【0036】

トップ絶縁膜31は、サイド絶縁膜24よりも厚いことが望ましい。これは、コンタクト26の形成時のエッチングによりハードマスクHM及びMTJ素子MTJの上端部等が削れることを、トップ絶縁膜31で十分に防止するためである。

【0037】

図11及び図12は、本発明の第1の実施形態に係る磁気ランダムアクセスメモリの変形例の製造工程の断面図を示す。以下に、第1の実施形態に係る磁気ランダムアクセスメモリの変形例の製造方法について説明する。

10

【0038】

まず、上述した図3乃至図5の工程を経た後、図11に示すように、コンタクト18に接続する配線19が形成され、この配線19が層間絶縁膜20で埋め込まれる。そして、配線19が露出するまで層間絶縁膜20が平坦化される。次に、配線19及び層間絶縁膜20上に層間絶縁膜21が形成され、この層間絶縁膜21上に例えばAlCuからなる配線22が形成される。この配線22上にMTJ素子膜23が形成され、このMTJ素子膜23上にハードマスクHMが形成される。そして、ハードマスクHM上にトップ絶縁膜31が形成される。このトップ絶縁膜31は、例えばSiN膜からなる。その後、配線22、MTJ素子膜23、ハードマスクHM及びトップ絶縁膜31が所望形状にパターニングされる。これにより、ビット線BL及びMTJ素子MTJが形成される。そして、ビット線BL、MTJ素子MTJ、ハードマスクHM及びトップ絶縁膜31の側面にサイド絶縁膜24が形成される。このサイド絶縁膜24は、例えばSiN膜からなる。

20

【0039】

次に、図12に示すように、例えばSiO₂膜からなる層間絶縁膜25が形成される。そして、層間絶縁膜25がRIEで選択的に除去され、さらにトップ絶縁膜31がRIEで選択的に除去される。これにより、ハードマスクHMを露出するコンタクトホールが形成される。このコンタクトホールがW等で埋め込まれ、MTJ素子MTJに接続するコンタクト32が形成される。その後は、上記同様、コンタクト26、配線27、書き込みワード線WWLが順に形成される。

30

【0040】

以上のような変形例によれば、図1の構造と同様の効果が得られるだけでなく、コンタクト32を形成することで、次のような効果も得ることができる。変形例では、MTJ素子MTJ（ハードマスクHM）と配線27との接触面積を図1の構造よりも小さくできるため、応力の影響が緩和され、磁氣的に設計し易くなる。また、配線27の加工時にMTJ素子MTJに与えるエッチングダメージを抑制できる。

【0041】

[1-3] MTJ素子

(1) 構造

図13は、本発明の第1の実施形態に係るMTJ素子の断面図を示す。以下に、MTJ素子について説明する。

40

【0042】

図13に示すように、MTJ素子MTJは、磁化が一軸方向に固定された固定層PF、磁化が反転する記録層FF、固定層PF及び記録層FFに挟まれた非磁性層NF、固定層PFの磁化を固定する反強磁性層（図示せず）を有する。

【0043】

固定層PF及び記録層FFは、図示するような単層に限定されない。例えば、固定層PF及び記録層FFは、複数の強磁性層からなる積層膜でもよい。固定層PF及び記録層FFの少なくとも一方は、第1の強磁性層/非磁性層/第2の強磁性層の3層からなり、第1及び第2の強磁性層の磁化方向が反平行状態となるように磁気結合（層間交換結合）し

50

た反強磁性結合構造であってもよいし、第1及び第2の強磁性層の磁化方向が平行状態となるように磁気結合（層間交換結合）した強磁性結合構造であってもよい。

【0044】

非磁性層NFは、図示するような1層の非磁性層からなるシングルジャンクション構造に限定されない。例えば、MTJ素子MTJは、非磁性層を2層有するダブルジャンクション構造であってもよい。このダブルジャンクション構造のMTJ素子MTJは、第1の固定層と、第2の固定層と、第1及び第2の固定層間に設けられた記録層と、第1の固定層及び記録層間に設けられた第1の非磁性層と、第2の固定層及び記録層間に設けられた第2の非磁性層とを有する。

【0045】

MTJ素子MTJの平面形状は、長方形に限定されない。例えば、MTJ素子MTJの平面形状は、楕円、円、六角形、菱形、平行四辺形、十字型、ビーンズ型（凹型）等種々変更可能である。但し、セルサイズの縮小の観点に鑑みれば、MTJ素子MTJの平面形状は、 F （短辺） \times $2F$ （長辺）の長方形が望ましい。

【0046】

MTJ素子MTJにおける固定層PF、非磁性層NF及び記録層FFは、例えば一括加工されて同じ平面形状となっているが、これに限定されない。例えば、固定層PF及び非磁性層NFは四角形にし、記録層FFのみ十字形状にしてもよい。

【0047】

（2）材料

固定層PF及び記録層FFの材料には、次のような強磁性材料が用いられる。例えば、Fe, Co, Ni、それらの積層膜、又はそれらの合金、スピン分極率の大きいマグネタイト、 CrO_2 、 $RX MnO_{3-\gamma}$ （R；希土類、X；Ca, Ba, Sr）等の酸化物の他、NiMnSb、PtMnSb等のホイスラー合金等を用いることが好ましい。また、これら磁性体には、強磁性を失わないかぎり、Ag, Cu, Au, Al, Mg, Si, Bi, Ta, B, C, O, N, Pd, Pt, Zr, Ir, W, Mo, Nb等の非磁性元素が多少含まれていてもよい。

【0048】

非磁性層NFの材料には、例えば、 Al_2O_3 、 SiO_2 、MgO、AlN、 Bi_2O_3 、 MgF_2 、 CaF_2 、 $SrTiO_2$ 、 $AlLaO_3$ 等の様々な誘電体を使用することができる。これらの誘電体には、酸素、窒素、フッ素欠損が存在していてもかまわない。

【0049】

ここで、非磁性層NFとしてMgO（酸化マグネシウム）、AlO（酸化アルミニウム、例えば Al_2O_3 ）等の絶縁体が用いられた場合、MTJ素子MTJはTMR（Tunneling Magneto Resistive）効果を有する。非磁性層NFとしてCu、Pt等の金属が用いられた場合、MTJ素子MTJはGMR（Giant Magneto Resistive）効果を有する。

【0050】

（3）磁化配置

図14（a）及び（b）、図15（a）及び（b）は、本発明の第1の実施形態に係るMTJ素子の平行又は反平行の磁化配置の図を示す。

【0051】

図14（a）及び図15（a）に示すように、MTJ素子MTJの固定層PF及び記録層FFの磁化方向が平行（同じ向き）となった場合、非磁性層NFのトンネル抵抗は最も低くなる。この状態を、例えば“1”状態とする。

【0052】

一方、図14（b）及び図15（b）に示すように、MTJ素子MTJの固定層PF及び記録層FFの磁化方向が反平行（逆向き）となった場合、非磁性層NFのトンネル抵抗は最も高くなる。この状態を、例えば“0”状態とする。

【0053】

尚、固定層PF及び記録層FFの磁化の安定方向は、図14（a）及び（b）のように

10

20

30

40

50

、膜面に対して平行な方向である平行磁化型でもよいし、図15(a)及び(b)に示すように、膜面に対して垂直な方向である垂直磁化型でもよい。

【0054】

[1-4] 書き込み方法

(1) 磁場書き込み

書き込み方法として磁場書き込みを採用する場合、MTJ素子MTJへのデータ書き込みは次のように行われる。

【0055】

選択セルのMTJ素子MTJに対応するビット線BL及び書き込みワード線WWLがそれぞれ選択され、この選択されたビット線BL及び書き込みワード線WWLに書き込み電流をそれぞれ流す。この書き込み電流により発生した合成磁場をMTJ素子MTJに印加することで、MTJ素子MTJの磁化が平行又は反平行となる。

10

【0056】

例えば、書き込みワード線WWLの書き込み電流は一方向に流れ、ビット線BLの書き込み電流は両方向に流れる。この場合、ビット線BLに流れる書き込み電流の向きを変えることで、MTJ素子MTJの記録層の磁化の向きを変える。尚、書き込みワード線WWLの書き込み電流が両方向に流れてもよい。

【0057】

(2) スピン注入書き込み

図14(a)及び(b)を用いて、スピン注入書き込みについて説明する。尚、電子e₁、e₂の流れる方向と電流の流れる方向とは勿論逆である。

20

【0058】

まず、図14(a)に示すように、書き込み電流を固定層PFから記録層FFへ流すと、スピン偏極した電子(以下、スピン偏極電子と称す)e₁は記録層FFから固定層PFへ流れ、固定層PFと平行なスピンを持つ電子は透過し、反平行のスピンを持つ電子が反射され、結果として、記録層FFの磁化方向と固定層PFの磁化方向が反平行磁化配置となる。

【0059】

一方、図14(b)に示すように、書き込み電流を記録層FFから固定層PFへ流すと、スピン偏極電子e₂は固定層PFから記録層FFへ注入され、固定層PFの磁化方向と記録層FFの磁化方向が21が平行磁化配置となる。

30

【0060】

尚、MTJ素子MTJへのデータ書き込みは、(1)磁場書き込みと(2)スピン注入書き込みとを組み合わせることも可能である。

【0061】

[1-5] 読み出し方法

MTJ素子MTJのデータ読み出しは、ビット線BLと読み出しワード線RWL間に電圧(又は電流)を印加し、電流(又は電圧)をセンスアンプ(図示せず)で検出することによって、MTJ素子MTJの“1”、“0”状態を判別する。

【0062】

ここで、MTJ素子MTJの磁化配置が平行状態(例えば“1”状態)の場合は低抵抗となり、反平行状態(例えば“0”状態)の場合は高抵抗となる。従って、この抵抗値の違いを読み取ることで、MTJ素子の“1”、“0”の判別が可能である。

40

【0063】

[1-6] 効果

上記第1の実施形態によれば、MTJ素子MTJとスイッチング素子とをつなぐコンタクト26をビット線BL及びMTJ素子MTJに対して自己整合的に形成することで、コンタクト26がビット線BL及びMTJ素子MTJのサイド絶縁膜24と直接接する構造を実現する。つまり、MTJ素子MTJとMOSトランジスタTrとを接続するコンタクト26をMTJ素子MTJと隣接して配置でき、セルサイズを縮小できる。具体的には、

50

図 2 (a) に示すように、M T J 素子 M T J の短辺 (磁化困難軸方向の幅) を F (Feature size)、長辺 (磁化容易軸方向の幅) を 2 F とすると、 $2 F \times 4 F = 8 F^2$ のセルが実現でき、セルサイズの微細化を図ることができる。

【 0 0 6 4 】

[2] 第 2 の実施形態

第 1 の実施形態は、M T J 素子の横にスイッチング素子につながるコンタクトを配置したのに対し、第 2 の実施形態は、M T J 素子の下方にスイッチング素子につながるコンタクトを配置することで、セルサイズの更なる微細化を図っている。

【 0 0 6 5 】

[2 - 1] 磁気ランダムアクセスメモリの基本例

図 1 6 は、本発明の第 2 の実施形態に係る磁気ランダムアクセスメモリの基本例の断面図を示す。図 1 7 (a) は、本発明の第 2 の実施形態に係る M T J 素子の周辺の平面図を示す。図 1 7 (b) は、本発明の第 2 の実施形態に係るゲート電極の周辺の平面図を示す。以下に、第 2 の実施形態に係る磁気ランダムアクセスメモリの基本例について説明する。

【 0 0 6 6 】

図 1 6 に示すように、第 2 の実施形態において、第 1 の実施形態と異なる点は、以下のような M T J 素子 M T J の周辺の構造である。

【 0 0 6 7 】

M O S トランジスタ T r のソース・ドレイン拡散層 1 5 につながるコンタクト 2 6 上に配線 2 7 が形成され、この配線 2 7 の上面に接して M T J 素子 M T J が形成されている。M T J 素子 M T J は配線 2 7 と同じ平面形状を有する。M T J 素子 M T J の磁化容易軸方向の側面は配線 2 7 の磁化容易軸方向の側面と一致し、M T J 素子 M T J の磁化困難軸方向の側面は配線 2 7 の磁化困難軸方向の側面と一致する。M T J 素子 M T J 上にはハードマスク H M が形成され、このハードマスク H M 上にビット線 B L が設けられている。

【 0 0 6 8 】

M T J 素子 M T J の下方には、書き込みワード線 W W L が配線 2 7 と離間して配置されている。この書き込みワード線 W W L の磁化容易軸方向の側面にはサイド絶縁膜 4 2 が設けられ、書き込みワード線 W W L の上面にはトップ絶縁膜 4 1 が設けられている。コンタクト 2 6 は、書き込みワード線 W W L 及びサイド絶縁膜 4 2 と自己整合的に形成されている。従って、コンタクト 2 6 は、サイド絶縁膜 4 2 の側面と直接接している。コンタクト 2 6 の一部は、サイド絶縁膜 4 2 上に乗り上げている。

【 0 0 6 9 】

M O S トランジスタ T r のソース・ドレイン拡散層 1 5 に接続されたコンタクト 1 8 のうちソース側のコンタクト 1 8 は、隣り合う M O S トランジスタ T r で共有している。従って、隣り合うゲート電極 1 3 間の距離は、コンタクト 1 8 の幅とサイド絶縁膜 1 6 の膜厚の合計程度となる。

【 0 0 7 0 】

サイド絶縁膜 4 2 及びトップ絶縁膜 4 1 の材料は、層間絶縁膜 2 5 の材料と異なることが望ましい。コンタクト 2 6 の形成時における両者のエッチング選択比を高めるためである。例えば、層間絶縁膜 2 5 を S i O ₂ 膜で形成した場合、サイド絶縁膜 4 2 及びトップ絶縁膜 4 1 は S i n 膜又は A l x O y 膜で形成するとよい。尚、トップ絶縁膜 4 1 とサイド絶縁膜 4 2 とは、材料の密着性等を鑑みると同じ材料を用いることが望ましいが、異なる材料の組み合わせでもよい。

【 0 0 7 1 】

サイド絶縁膜 4 2 の膜厚 T s 2 は、例えば 1 0 n m ~ 5 0 n m 程度である。このサイド絶縁膜 4 2 の膜厚 T s 2 は、トップ絶縁膜 4 1 の膜厚 T t 2 より薄くてもよい。例えば、 $T t 2 \times 1 / 3 \leq T s 2 \leq T t 2 \times 1 / 2$ を満たすことが望ましい。ここで、下限値は、主にコンタクト 2 6 の形成時のエッチング選択比と絶縁耐圧とに基づいて規定される。上限値は、コンタクト 2 6 の形成時のエッチングの際、コンタクトホールの最低限の幅 (特

10

20

30

40

50

にコンタクトホールホールのサイドの幅)が確保できるように規定される。

【0072】

図18乃至図22は、本発明の第2の実施形態に係る磁気ランダムアクセスメモリの基本例の製造工程の断面図を示す。以下に、第2の実施形態に係る磁気ランダムアクセスメモリの基本例の製造方法について説明する。

【0073】

まず、上述した図3乃至図5の工程を経て、コンタクト18が、サイド絶縁膜16及びゲート電極13と自己整合的に形成される。

【0074】

次に、図18に示すように、コンタクト18に接続する配線19が形成され、この配線19が層間絶縁膜20で埋め込まれる。そして、配線19が露出するまで層間絶縁膜20が平坦化される。次に、配線19及び層間絶縁膜20上に例えばSiO₂膜からなる層間絶縁膜21が形成され、この層間絶縁膜21上に例えばAlCuからなる配線22が形成される。この配線22上には、例えばSiN膜からなるトップ絶縁膜41が形成される。その後、配線22及びトップ絶縁膜41が所望形状にパターニングされる。これにより、ビット線BLが形成される。

【0075】

次に、図19に示すように、トップ絶縁膜41及び層間絶縁膜21上にサイド絶縁膜42が形成される。このサイド絶縁膜42は、例えばSiN膜からなる。

【0076】

次に、図20に示すように、例えばRIEによりサイド絶縁膜42が選択的に除去され、ビット線BL及びトップ絶縁膜41の側面にサイド絶縁膜42が残される。

【0077】

次に、図21に示すように、トップ絶縁膜41、サイド絶縁膜42及び層間絶縁膜21上に層間絶縁膜25が形成され、この層間絶縁膜25によりトップ絶縁膜41が覆われる。この層間絶縁膜25は、例えばSiO₂膜からなる。次に、例えばCMPにより層間絶縁膜25を平坦化し、トップ絶縁膜41を露出させる。この際、トップ絶縁膜41上に層間絶縁膜25が部分的に残る場合もある。次に、例えばRIEにより層間絶縁膜21、25内にコンタクトホールが形成され、サイド絶縁膜42の一部が露出される。そして、このコンタクトホール内を例えばWで埋め込むことによりコンタクト26が形成される。このコンタクト26は配線19に接続される。

【0078】

ここで、トップ絶縁膜41及びサイド絶縁膜42(例えばSiN膜)と層間絶縁膜21、25(例えばSiO₂膜)とを異なる材料で形成することで、両者のエッチング選択比は高い。そして、コンタクトホールを、サイド絶縁膜42の側面を露出するように開孔し、書き込みワード線WWLに隣接して形成する。これにより、コンタクト26を、サイド絶縁膜42及び書き込みワード線WWLと自己整合的に形成できる。

【0079】

次に、図22に示すように、コンタクト26及び層間絶縁膜25上に配線27が形成され、この配線27上にMTJ素子膜23が形成される。このMTJ素子膜23上にハードマスクHMが形成され、このハードマスクHMがパターニングされる。そして、配線27及びMTJ素子膜23が所望形状にパターニングされる。これにより、同じ平面形状を有する配線27及びMTJ素子MTJが形成される。

【0080】

最後に、図16に示すように、MTJ素子MTJが層間絶縁膜28で埋め込まれ、ハードマスクHMが露出するまで層間絶縁膜28が平坦化される。次に、層間絶縁膜28及びMTJ素子MTJ上に所望形状の配線29が形成される。この配線29は、ビット線BLとして機能する。

【0081】

[2-2] 磁気ランダムアクセスメモリの変形例

10

20

30

40

50

(1) 変形例 1

図 2 3 は、本発明の第 2 の実施形態に係る磁気ランダムアクセスメモリの変形例 1 の断面図を示す。以下に、第 2 の実施形態に係る磁気ランダムアクセスメモリの変形例 1 について説明する。

【 0 0 8 2 】

図 2 3 に示すように、変形例 1 では、書き込みワード線 W W L をいわゆるダマシプロセスで形成している。このため、図 1 6 の構造ではサイド絶縁膜 4 2 は書き込みワード線 W W L の側面にのみ形成されていたのに対し、図 2 3 の構造では書き込みワード線 W W L の側面に形成された絶縁膜 5 2 は書き込みワード線 W W L の底面にも形成されている。

【 0 0 8 3 】

そして、図 2 3 の構造では、配線の信頼性確保の観点から、書き込みワード線 W W L と絶縁膜 5 2 間にバリアメタル膜 5 3 を設けることが望ましい。但し、このバリアメタル膜 5 3 は必ずしも設ける必要はない。書き込みワード線 W W L、バリアメタル膜 5 3 及び絶縁膜 5 2 上にはトップ絶縁膜 5 4 が形成されている。トップ絶縁膜 5 4 の上面及びコンタクト 2 6 の上面は、配線 2 7 の底面と直接接している。

【 0 0 8 4 】

コンタクト 2 6 は、絶縁膜 5 2 及びビット線 B L と自己整合的に形成されている。このため、コンタクト 2 6 の側面は、絶縁膜 5 2 の側面と直接接している。

【 0 0 8 5 】

トップ絶縁膜 5 4 と絶縁膜 5 2 は、これらの周囲の層間絶縁膜 5 1 とエッチング選択比の高い材料が望ましい。従って、層間絶縁膜 5 1 が例えば S i O₂ 膜で形成されている場合、トップ絶縁膜 5 4 と絶縁膜 5 2 は例えば S i N 膜、A l x O y 膜、S i N / T a / N i F e / T a の積層膜、F e x O y 膜のいずれかで形成するとよい。

【 0 0 8 6 】

トップ絶縁膜 5 4 は絶縁膜 5 2 よりも厚いことが望ましい。これは、コンタクト 2 6 の形成時のエッチングにより書き込みワード線 W W L の上端部等が削れることを、トップ絶縁膜 5 4 で十分に防止するためである。

【 0 0 8 7 】

図 2 4 及び図 2 8 は、本発明の第 2 の実施形態に係る磁気ランダムアクセスメモリの変形例 1 の製造工程の断面図を示す。以下に、第 2 の実施形態に係る磁気ランダムアクセスメモリの変形例 1 の製造方法について説明する。ここでは、書き込みワード線 W W L のダマシプロセスについて説明するが、その他の製造工程は上述する第 2 の実施形態に係る磁気ランダムアクセスメモリの基本例の製造工程と同様である。

【 0 0 8 8 】

まず、図 2 4 に示すように、例えば S i O₂ 膜からなる層間絶縁膜 5 1 が例えば R I E により選択的に除去され、層間絶縁膜 5 1 内に溝 5 0 が形成される。この溝 5 0 内及び層間絶縁膜 5 1 上に絶縁膜 5 2 が形成され、この絶縁膜 5 2 上にバリアメタル膜 5 3 が形成される。絶縁膜 5 2 は例えば S i N 膜からなり、バリアメタル膜 5 3 は T a N 等の T a 系の材料からなる。そして、バリアメタル膜 5 3 上に例えば C u からなる配線 2 2 が形成される。その後、例えば C M P により配線 2 2、バリアメタル膜 5 3 及び絶縁膜 5 2 が平坦化され、層間絶縁膜 5 1 が露出される。

【 0 0 8 9 】

次に、図 2 5 に示すように、配線 2 2、バリアメタル膜 5 3 及び絶縁膜 5 2 の上部が除去され、溝 5 0 の上部に凹部 5 5 が形成される。

【 0 0 9 0 】

次に、図 2 6 に示すように、凹部 5 5 及び層間絶縁膜 5 1 上にトップ絶縁膜 5 4 が形成される。このトップ絶縁膜 5 4 は、例えば S i N 膜からなる。

【 0 0 9 1 】

次に、図 2 7 に示すように、例えば C M P により層間絶縁膜 5 1 上のトップ絶縁膜 5 4 が除去され、凹部 5 5 内のみにトップ絶縁膜 5 4 が残される。

10

20

30

40

50

【 0 0 9 2 】

次に、図 2 8 に示すように、例えば R I E により層間絶縁膜 5 1 内にコンタクトホールが形成され、このコンタクトホール内を例えば W で埋め込むことによりコンタクト 2 6 が形成される。このコンタクト 2 6 は配線 1 9 (図示せず) に接続される。

【 0 0 9 3 】

ここで、トップ絶縁膜 5 4 (例えば S i N 膜) 及び絶縁膜 5 2 (例えば S i N 膜) と層間絶縁膜 5 1 (例えば S i O₂ 膜) とを異なる材料で形成することで、両者のエッチング選択比は高い。そして、コンタクトホールを、絶縁膜 5 2 の側面を露出するように開孔し、書き込みワード線 W W L に隣接して形成する。これにより、コンタクト 2 6 を、絶縁膜 5 2 及び書き込みワード線 W W L と自己整合的に形成できる。

10

【 0 0 9 4 】

以上のような変形例 1 によれば、書き込みワード線 W W L をダマシンプロセスで形成している。このため、図 1 6 と比べて、M T J 素子 M T J と書き込みワード線 W W L とを近づけることができる。従って、書き込みワード線 W W L の書き込み電流を低減することができる。

【 0 0 9 5 】

(2) 変形例 2

図 2 9 は、本発明の第 2 の実施形態に係る磁気ランダムアクセスメモリの変形例 2 の断面図を示す。以下に、第 2 の実施形態に係る磁気ランダムアクセスメモリの変形例 2 について説明する。

20

【 0 0 9 6 】

図 2 9 に示すように、ハードマスク H M とビット線 B L は、直接接していることに限定されず、コンタクト 6 2 を介して接続されていてもよい。このコンタクト 6 2 は、層間絶縁膜 6 1 内にコンタクトホールを形成し、このコンタクトホール内に金属材を埋め込むことにより形成できる。

【 0 0 9 7 】

尚、コンタクト 6 2 及びビット線 B L は別々に金属材を埋め込んで形成することに限定されない。例えば、コンタクト 6 2 のコンタクトホールとビット線 B L の溝を形成し、これらコンタクトホール及び溝を金属材で同時に埋め込み、コンタクト 6 2 及びビット線 B L を形成することも可能である。

30

【 0 0 9 8 】

以上のような変形例 2 によれば、図 1 6 の構造と同様の効果が得られるだけでなく、コンタクト 6 2 を形成することで、次のような効果も得ることができる。変形例 2 では、M T J 素子 M T J (ハードマスク H M) とビット線 B L との接触面積を図 1 6 の構造よりも小さくできるため、応力の影響が緩和され、磁氣的に設計し易くなる。また、ビット線 B L の加工時に M T J 素子 M T J に与えるエッチングダメージを抑制できる。

【 0 0 9 9 】

[2 - 3] M T J 素子

第 2 の実施形態に係る M T J 素子 M T J も、上述する第 1 の実施形態に係る M T J 素子 M T J と同様であるため、説明は省略する。

40

【 0 1 0 0 】

[2 - 4] 書き込み方法

第 2 の実施形態に係る書き込み方法は、上述する第 1 の実施形態に係る書き込み方法と同様、磁場書き込み及びスピニ注入書き込みのうち少なくとも一方の方法が採用される。

【 0 1 0 1 】

ここで、第 2 の実施形態は、第 1 の実施形態と比べて、ビット線 B L 及び書き込みワード線 W W L の配置が異なる。

【 0 1 0 2 】

第 1 の実施形態の場合、図 2 (a) に示すように、ビット線 B L は M T J 素子 M T J の磁化困難軸方向に延在され、書き込みワード線 W W L は M T J 素子 M T J の磁化容易軸方

50

向に延在される。従って、MTJ素子MTJの磁化困難軸方向に延在する書き込み配線はビット線BLであるので、このビット線BLに流す書き込み電流がMTJ素子MTJの磁化容易軸方向に磁場を与えるため、このビット線BLの書き込み電流は両方向に流れることが望ましい。

【0103】

一方、第2の実施形態の場合、図17(a)に示すように、書き込みワード線WWLはMTJ素子MTJの磁化困難軸方向に延在され、ビット線BLはMTJ素子MTJの磁化容易軸方向に延在される。従って、MTJ素子MTJの磁化困難軸方向に延在する書き込み配線は書き込みワード線WWLであるので、この書き込みワード線WWLに流す書き込み電流がMTJ素子MTJの磁化容易軸方向に磁場を与えるため、この書き込みワード線WWLの書き込み電流は両方向に流れることが望ましい。

10

【0104】

[2-5] 読み出し方法

第2の実施形態に係る読み出し方法は、上述する第1の実施形態に係る読み出し方法と同様であるため、説明は省略する。

【0105】

[2-6] 効果

上記第2の実施形態によれば、MTJ素子MTJの下方の領域に、MTJ素子MTJ及びスイッチング素子をつなぐコンタクト26と書き込みワード線WWLとを配置する。そして、コンタクト26を書き込みワード線WWLに対して自己整合的に形成することで、コンタクト26が書き込みワード線WWLのサイド絶縁膜42と直接接する構造を実現する。つまり、MTJ素子MTJとMOSトランジスタTrとを接続するコンタクト26を書き込みワード線WWLと隣接して配置でき、セルサイズを縮小できる。具体的には、図17(a)に示すように、MTJ素子MTJの短辺(磁化困難軸方向の幅)をF、長辺(磁化容易軸方向の幅)を2Fとすると、 $2F \times 3F = 6F^2$ のセルが実現でき、第1の実施形態よりもセルサイズの微細化を図ることができる。

20

【0106】

[3] 第3の実施形態

第3の実施形態は、上記第1及び第2の実施形態において、サイド絶縁膜等を磁性絶縁膜にする。例えば、図1及び図10のサイド絶縁膜24、図16及び図29のサイド絶縁膜42、図23の絶縁膜52の材料として、磁性絶縁材を用いる。

30

【0107】

この磁性絶縁材としては、例えば、絶縁性のフェライトや、(Fe、Co)-(B、Si、Hf、Zr、Sm、Ta、Al)-(F、O、N)系等の金属-非金属ナノグラニューラ膜があげられる。具体的に、絶縁性のフェライトは、例えば、Mn-Zn-フェライト、Ni-Zn-フェライト、MnFeO、CuFeO、FeO、NiFeOのうち少なくとも1つ以上の材料からなる。

【0108】

上記第3の実施形態によれば、第1及び第2の実施形態と同様の効果を得ることができる。

40

【0109】

さらに、第3の実施形態では、ビット線BL又は書き込みワード線WWLの側面を磁性絶縁膜で覆う。このため、この磁性絶縁膜がヨークとしての効果を発揮し、ビット線BL又は書き込みワード線WWLの作る電流磁界を選択セルに効率的に印加することができる。従って、書き込み電流が低減できるため、消費電力を低減することが可能となる。

【0110】

また、ビット線BL又は書き込みワード線WWLの側面を磁性絶縁膜で覆うことにより、隣接するMTJ素子MTJへの漏れ磁界をより効率的に遮断することができる。従って、誤書き込みを抑制することができる。

【0111】

50

尚、図30及び図31に示すように、ビット線BLの底面に磁性絶縁膜71を設けたり、図32及び図33に示すように、書き込みワード線WWLの底面に磁性絶縁膜71を設けたりしてもよい。この場合、書き込み電流をさらに効率的に選択セルに印加することが可能となり、書き込み電流の低減効果を高めることができる。

【0112】

[4]第4の実施形態

第4の実施形態は、スイッチング素子としてダイオードを用いた例である。

【0113】

図34及び図35は、本発明の第4の実施形態に係わる磁気ランダムアクセスメモリの断面図を示す。以下に、第4の実施形態に係る磁気ランダムアクセスメモリについて説明する。

10

【0114】

図34及び図35に示すように、上記各実施形態と異なる点は、スイッチング素子としてMOSトランジスタの代わりにダイオードDを用いている。このダイオードDは、例えばPN接合ダイオードであり、P型拡散層81とN型拡散層82からなる。

【0115】

上記第4の実施形態によれば、上記各実施形態と同様の効果を得ることができる。さらに、スイッチング素子としてダイオードDを用いることで、MOSFETのサイズの影響を受けないため、更なるセルの高密度化を実現できる。

【0116】

20

[5]第5の実施形態

第5の実施形態は、上記各実施形態におけるコンタクト26及び配線27の形成方法として、いわゆる「ビアホールプロセス」や「デュアルダマシンプロセス」を用いた例である。

【0117】

図36(a)乃至(c)は、本発明の第5の実施形態に係わるビアホールプロセスを用いた磁気ランダムアクセスメモリの製造工程の概略的な断面図を示す。以下に、第5の実施形態に係るビアホールプロセスについて簡単に説明する。

【0118】

図36(a)に示すように、層間絶縁膜25内にホール26'が開口される。次に、図36(b)に示すように、スパッタ法により例えばAlCu等の金属材料90が形成され、この金属材料90でホール26'が埋め込まれる。次に、図36(c)に示すように、RIEにより層間絶縁膜25上の金属材料90が加工される。以上の結果、コンタクト26及び配線27が形成される。

30

【0119】

図37(a)乃至(d)は、本発明の第5の実施形態に係わるデュアルダマシンプロセスを用いた磁気ランダムアクセスメモリの製造工程の概略的な断面図を示す。以下に、第5の実施形態に係るデュアルダマシンプロセスについて簡単に説明する。

【0120】

図37(a)に示すように、層間絶縁膜25内に配線溝27'が開口される。次に、図37(b)に示すように、配線溝27'の底面から層間絶縁膜25を開口し、ホール26'が形成される。次に、図37(c)に示すように、スパッタ法により例えばCu等の金属材料90が形成され、この金属材料90で配線溝27'及びホール26'が埋め込まれる。次に、図37(d)に示すように、層間絶縁膜25が露出するまで金属材料90がCMPで平坦化される。以上の結果、コンタクト26及び配線27が形成される。

40

【0121】

尚、図36(a)乃至(c)、図37(a)乃至(d)は概略図であり、コンタクト26及び配線27の形状は各実施形態に適用できるように種々に変更可能であり、コンタクト26及び配線27の周囲に各実施形態に存在する素子(例えば図1のビット線BL等)を付加することも勿論可能である。

50

【 0 1 2 2 】

その他、本発明は、上記各実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で、種々に変形することが可能である。さらに、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【 図面の簡単な説明 】

【 0 1 2 3 】

【 図 1 】本発明の第 1 の実施形態に係わる磁気ランダムアクセスメモリの基本例を示す断面図。

【 図 2 】図 2 (a) は、本発明の第 1 の実施形態に係る M T J 素子の周辺を示す平面図、図 2 (b) は、本発明の第 1 の実施形態に係るゲート電極の周辺を示す平面図。

【 図 3 】本発明の第 1 の実施形態に係わる磁気ランダムアクセスメモリの基本例の製造工程を示す断面図。

【 図 4 】図 3 に続く、本発明の第 1 の実施形態に係わる磁気ランダムアクセスメモリの基本例の製造工程を示す断面図。

【 図 5 】図 4 に続く、本発明の第 1 の実施形態に係わる磁気ランダムアクセスメモリの基本例の製造工程を示す断面図。

【 図 6 】図 5 に続く、本発明の第 1 の実施形態に係わる磁気ランダムアクセスメモリの基本例の製造工程を示す断面図。

【 図 7 】図 6 に続く、本発明の第 1 の実施形態に係わる磁気ランダムアクセスメモリの基本例の製造工程を示す断面図。

【 図 8 】図 7 に続く、本発明の第 1 の実施形態に係わる磁気ランダムアクセスメモリの基本例の製造工程を示す断面図。

【 図 9 】図 8 に続く、本発明の第 1 の実施形態に係わる磁気ランダムアクセスメモリの基本例の製造工程を示す断面図。

【 図 1 0 】本発明の第 1 の実施形態に係わる磁気ランダムアクセスメモリの変形例を示す断面図。

【 図 1 1 】図 5 に続く、本発明の第 1 の実施形態に係わる磁気ランダムアクセスメモリの変形例の製造工程を示す断面図。

【 図 1 2 】図 1 1 に続く、本発明の第 1 の実施形態に係わる磁気ランダムアクセスメモリの変形例の製造工程を示す断面図。

【 図 1 3 】本発明の第 1 の実施形態に係る M T J 素子を示す断面図。

【 図 1 4 】図 1 4 (a) は、本発明の第 1 の実施形態に係る平行磁化型の M T J 素子の平行配置の図、図 1 4 (b) は、本発明の第 1 の実施形態に係る平行磁化型の M T J 素子の反平行配置の図。

【 図 1 5 】図 1 5 (a) は、本発明の第 1 の実施形態に係る垂直磁化型の M T J 素子の平行配置の図、図 1 5 (b) は、本発明の第 1 の実施形態に係る垂直磁化型の M T J 素子の反平行配置の図。

【 図 1 6 】本発明の第 2 の実施形態に係わる磁気ランダムアクセスメモリの基本例を示す断面図。

【 図 1 7 】図 1 7 (a) は、本発明の第 2 の実施形態に係る M T J 素子の周辺を示す平面図、図 1 7 (b) は、本発明の第 2 の実施形態に係るゲート電極の周辺を示す平面図。

【 図 1 8 】本発明の第 2 の実施形態に係わる磁気ランダムアクセスメモリの基本例の製造工程を示す断面図。

【 図 1 9 】図 1 8 に続く、本発明の第 2 の実施形態に係わる磁気ランダムアクセスメモリの基本例の製造工程を示す断面図。

【 図 2 0 】図 1 9 に続く、本発明の第 2 の実施形態に係わる磁気ランダムアクセスメモリ

10

20

30

40

50

の基本例の製造工程を示す断面図。

【図 2 1】図 2 0 に続く、本発明の第 2 の実施形態に係わる磁気ランダムアクセスメモリの基本例の製造工程を示す断面図。

【図 2 2】図 2 1 に続く、本発明の第 2 の実施形態に係わる磁気ランダムアクセスメモリの基本例の製造工程を示す断面図。

【図 2 3】本発明の第 2 の実施形態に係わる磁気ランダムアクセスメモリの变形例 1 を示す断面図。

【図 2 4】本発明の第 2 の実施形態に係わる磁気ランダムアクセスメモリの变形例 1 の製造工程を示す断面図。

【図 2 5】図 2 4 に続く、本発明の第 2 の実施形態に係わる磁気ランダムアクセスメモリの变形例 1 の製造工程を示す断面図。

10

【図 2 6】図 2 5 に続く、本発明の第 2 の実施形態に係わる磁気ランダムアクセスメモリの变形例 1 の製造工程を示す断面図。

【図 2 7】図 2 6 に続く、本発明の第 2 の実施形態に係わる磁気ランダムアクセスメモリの变形例 1 の製造工程を示す断面図。

【図 2 8】図 2 7 に続く、本発明の第 2 の実施形態に係わる磁気ランダムアクセスメモリの变形例 1 の製造工程を示す断面図。

【図 2 9】本発明の第 2 の実施形態に係わる磁気ランダムアクセスメモリの变形例 2 を示す断面図。

【図 3 0】本発明の第 3 の実施形態に係わる磁気ランダムアクセスメモリを示す断面図。

20

【図 3 1】本発明の第 3 の実施形態に係わる磁気ランダムアクセスメモリを示す断面図。

【図 3 2】本発明の第 3 の実施形態に係わる磁気ランダムアクセスメモリを示す断面図。

【図 3 3】本発明の第 3 の実施形態に係わる磁気ランダムアクセスメモリを示す断面図。

【図 3 4】本発明の第 4 の実施形態に係わる磁気ランダムアクセスメモリを示す断面図。

【図 3 5】本発明の第 4 の実施形態に係わる磁気ランダムアクセスメモリを示す断面図。

【図 3 6】本発明の第 5 の実施形態に係わるヴィアホールプロセスを用いた磁気ランダムアクセスメモリの製造工程を示す概略的な断面図。

【図 3 7】本発明の第 5 の実施形態に係わるデュアルダマシンプロセスを用いた磁気ランダムアクセスメモリの製造工程を示す概略的な断面図。

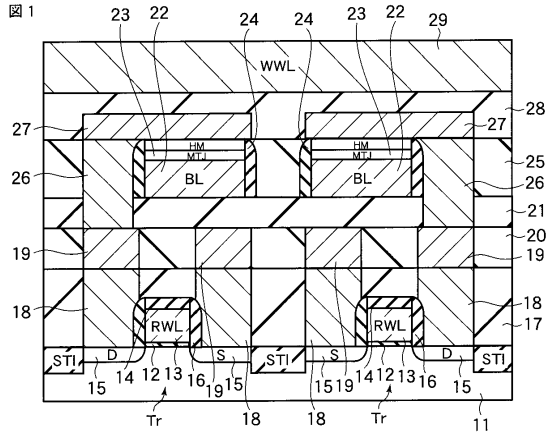
【符号の説明】

30

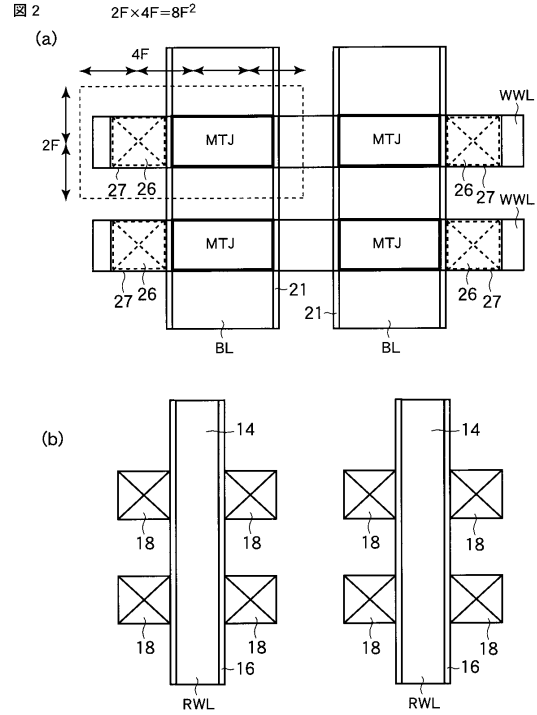
【0 1 2 4】

1 1 ... 半導体基板、1 2 ... ゲート絶縁膜、1 3 ... ゲート電極、1 4 , 3 1 , 4 1 , 5 4 ... トップ絶縁膜、1 5 ... ソース・ドレイン拡散層、1 6 , 2 4 , 4 2 ... サイド絶縁膜、1 7 , 2 0 , 2 1 , 2 5 , 2 8 , 5 1 , 6 1 ... 層間絶縁膜、1 8 , 2 6 , 3 2 , 6 2 ... コンタクト、1 9 , 2 2 , 2 7 , 2 9 ... 配線、2 6 ' ... ホール、2 7 ' ... 配線溝、5 0 ... 溝、5 2 ... 絶縁膜、5 3 ... バリアメタル膜、5 5 ... 凹部、8 1 ... P 型拡散層、8 2 ... N 型拡散層、S T I ... 素子分離領域、M T J ... M T J 素子、H M ... ハードマスク、B L ... ビット線、W W L ... 書き込みワード線、読み出しワード線 R W L、T r ... M O S トランジスタ、D ... ダイオード。

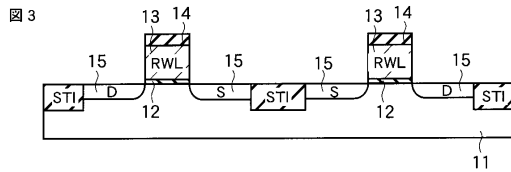
【 図 1 】



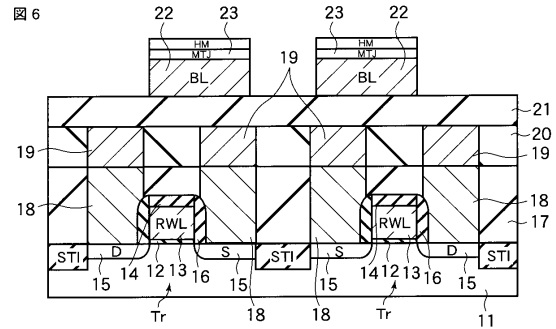
【 図 2 】



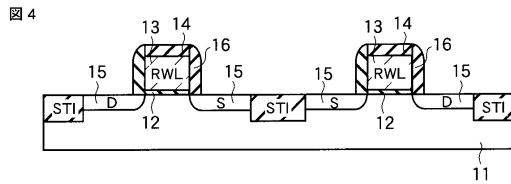
【 図 3 】



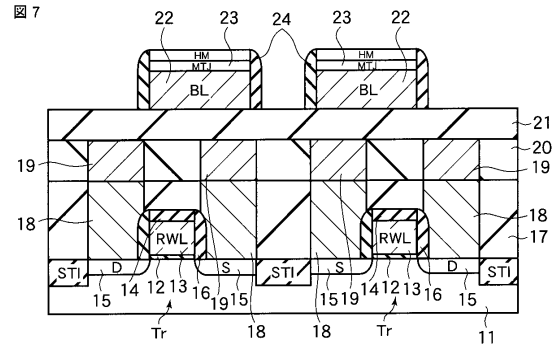
【 図 6 】



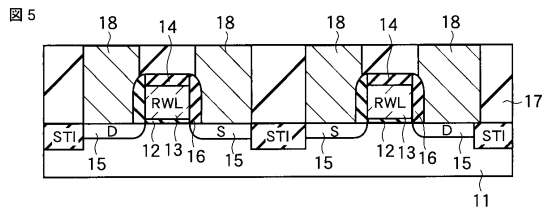
【 図 4 】



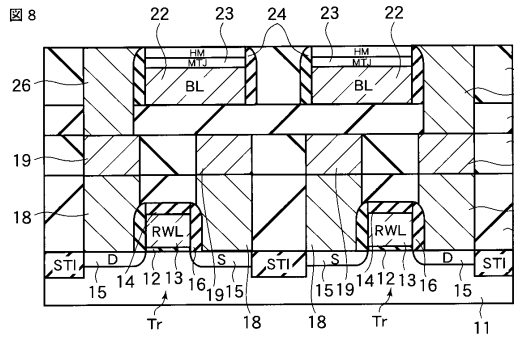
【 図 7 】



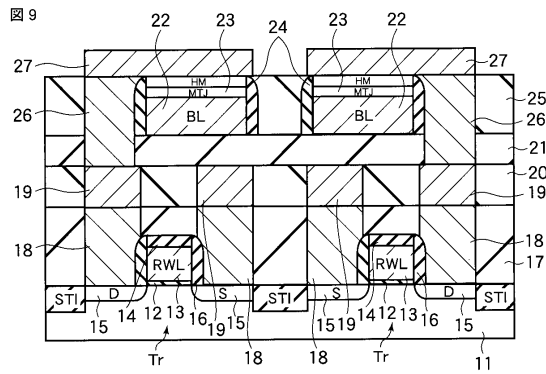
【 図 5 】



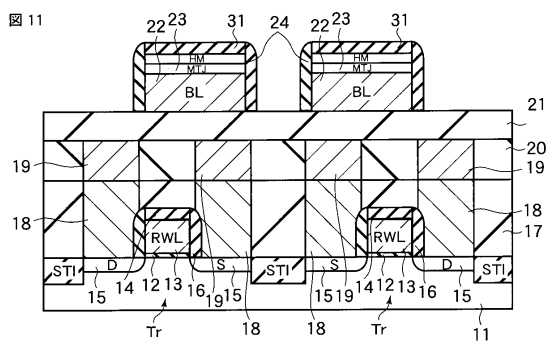
【図 8】



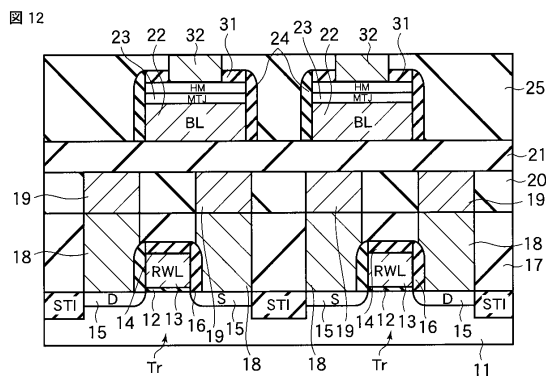
【図 9】



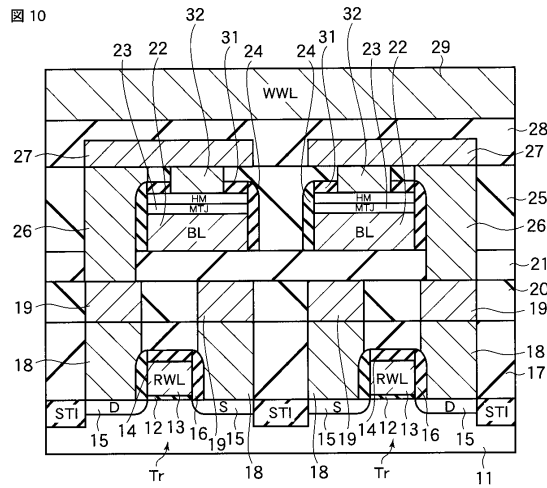
【図 11】



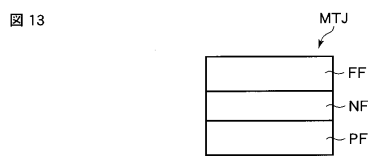
【図 12】



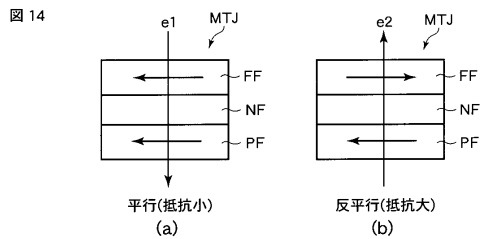
【図 10】



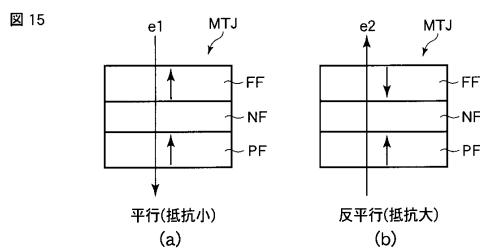
【図 13】



【図 14】



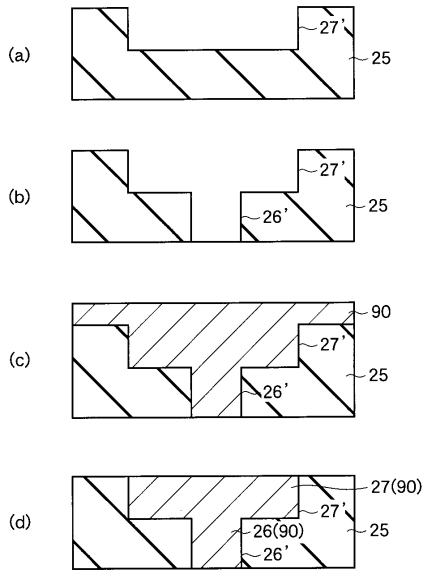
【図 15】



【 図 3 7 】

図 37

デュアルダマシンプロセス



フロントページの続き

- (74)代理人 100092196
弁理士 橋本 良郎
- (72)発明者 細谷 啓司
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 浅尾 吉昭
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 仁田山 晃寛
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 三浦 尊裕

- (56)参考文献 特開2004-179187(JP,A)
特開2004-080051(JP,A)
特開2006-054458(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|---------|
| H01L | 21/8246 |
| H01L | 27/105 |
| H01L | 43/08 |