



(19) Országkód

HU



**MAGYAR
KÖZTÁRSASÁG**

**MAGYAR
SZABADALMI
HIVATAL**

SZABADALMI LEÍRÁS

(11) Lajstromszám:

218 537 B

(21) A bejelentés ügyszáma: P 94 02954
(22) A bejelentés napja: 1993. 04. 21.
(30) Elsőbbségi adatok:
92/04914 1992. 04. 22. FR
(86) Nemzetközi bejelentési szám: PCT/FR 93/00390
(87) Nemzetközi közzétételi szám: WO 93/21701

(51) Int. Cl.⁷

H 04 H 1/00
H 04 H 3/00
H 04 L 7/04

(40) A közzététel napja: 1995. 06. 28.
(45) A megadás meghirdetésének dátuma a Szabadalmi
Közlönyben: 2000. 10. 30.

(72) Feltalálók:

Conchis, Joël, Issy-les-Moulineaux (FR)
Seguin, Michel, Buc (FR)
Viallevieille, Alain, Versailles (FR)

(73) Szabadalmas:

Telediffusion de France, Párizs (FR)

(74) Képviselő:

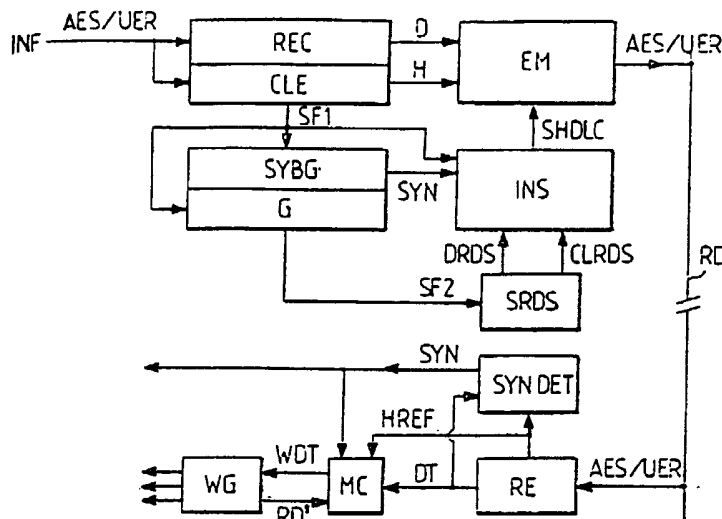
Komáromi Judit, DANUBIA Szabadalmi
és Védjegy Iroda Kft., Budapest

(54) Eljárás multiplex jel legalább egy analóg összetevőjének átvitelére és/vagy szinkronizálására

KIVONAT

A találmány tárgya eljárás multiplex jel legalább egy analóg összetevőjének átvitelére és/vagy szinkronizálására, ahol az analóg összetevőt digitális információ (INF) képezi, és az analóg összetevő legalább egy digitális adatot (D) tartalmaz. Az eljárásra jellemző, hogy az adáskor egy olyan beillesztendő jelet (SHDLC) iktatnak be, amely bináris adatjelet (DRDS) tartalmaz, a beillesztendő jel (SHDLC) olyan összetevőket tartalmaz, amelyek közül legalább kettő az analóg összetevőt képező digitális információt (INF) és a bináris adatjelet (DRDS) fázisba hozó blokkszinkronjelet (SYN) tartalmaz.

iktatnak be, amely bináris adatjelet (DRDS) tartalmaz, a beillesztendő jel (SHDLC) olyan összetevőket tartalmaz, amelyek közül legalább kettő az analóg összetevőt képező digitális információt (INF) és a bináris adatjelet (DRDS) fázisba hozó blokkszinkronjelet (SYN) tartalmaz.



1. ábra

A találmány tárgya eljárás multiplex jel legalább egy analóg összetevőjének átvitelére és/vagy szinkronizálására, amely legalább egy digitális adatsatornát tartalmaz.

Vannak olyan korszerű adórendszerek, amelyeknél a különböző pontokból kiindulva kisugárzott multiplex jelek között pontos fáziskapcsolatoknak kell lenni (ilyen rendszerek például az FM szinkronrendszerek, a DAB digitális rádióadó-rendszerek).

Ismert az a megoldás, hogy a különböző pontokból érkező egyedi multiplex analóg jeleket reprodukálják oly módon, hogy ezt a jelet analóg formában együttesen viszik az adóhálózatra. Ez a megoldás egyszerű, de nagyon jó minőségű analóg átviteli rendszerekre van hozzá szükség, és digitális formában kell a jeleket átvinni, ha azt a kisugárzandó jelek fázisaival pontos fázisba kívánják hozni, például azonos frekvenciájú kisugárzás esetén (például FM szinkron jel formájában).

Ismertesek továbbá az olyan digitális átviteli rendszerek, amelyekben a digitális adórendszer által továbbított szinkron jelekkel átvitt jelek fázisszinkronizálási információi megtalálhatók. Mindazonáltal ezek a fázisszinkronizálási információk nem elegendőek ahhoz, hogy a kisugárzott multiplex jel összes analóg összetevőjét fázisszinkronba lehessen hozni.

A bejelentő EP-A-0445027 számú szabadalmi bejelentésében nyilvánosságra hozott például kisugárzott jelek szinkronizálására egy olyan példát, ahol egy FM szinkron adóhálózat megvalósításához előre meghatározott késleltetést alkalmaznak.

Erre az eljárásra jellemző, hogy a forrásjelet meghatározott frekvenciával mintavételezve digitális formába alakítják át oly módon, hogy egy digitalizált forrásjelet sugároznak ki. A digitalizált forrásjel feldolgozását a mintavételezési frekvenciára szinkronizálják, és a végső jel kisugárzásakor előre meghatározott késleltetést alkalmaznak.

A találmány célja egy olyan eljárás kidolgozása, amellyel az ismert megoldások hiányosságait ki lehet küszöbölni.

A kitűzött célt olyan eljárás kidolgozásával értik el, ahol az analóg összetevőt digitális információ képezi, és az analóg összetevő legalább egy digitális adatot tartalmaz, és az adáskor egy olyan beillesztendő jelet iktatunk be, amely bináris adatjelet tartalmaz, a beillesztendő jel olyan összetevőket tartalmaz, amelyek közül legalább kettő az analóg összetevőt képező digitális információt és a bináris adatjelet fázisba hozó blokkszinkronjelet tartalmaz.

A találmány szerinti eljárást az alábbiakban kiviteli példa kapcsán, a mellékelt rajzra való hivatkozással ismertetjük részletesebben, ahol az

1. ábra a találmány szerinti eljárást szemlélteti egy AES/UER szabvány szerinti rádióadó-hálózatban; a
- 2a. és 2b. ábrák egy blokk szinkronizálását, illetve egy blokk felépítését szemléltetik; a
3. ábra RDS típusú információk vételére és sugárzására mutat be egy példát; a

4. ábra a fázis-kétértelműség megszüntetését lehetővé tevő NRZ-kódolás idődiagramjait szemlélteti; az

5. ábra egy raszter általános szervezését szemlélteti; a

6. ábra hangjelek kompresszióját, majd expanzióját végrehajtó rendszert megvalósító átvitelt mutat be; a

7. ábra egy raszterre szemléltet példát, amely egy időmarkert képző szinkronszót tartalmaz; a

8a. és 8b. ábrák DRDS adatjeleknek egy hálózat elejére történő beillesztésére szolgáló berendezést, illetve az ahhoz tartozó idődiagramokat szemléltetik; a

9a., 9b. és 10a., illetve 10b. ábrák DRDS adatjeleknek az AES/UER szabvány szerint egy jeltől kezdve történő vételére szolgáló berendezést, az ahhoz tartozó idődiagramokat, egy DRDS adatjeleket előállító jelgenerátort és annak idődiagramját szemlélteti; a

11. ábrán egy találmány szerinti eljárás végrehajtására alkalmas berendezést mutatunk be egy olyan változatban, amely olvasómarkereket tartalmaz, amelyek a raszterbe be vannak illesztve, a

12. ábra egy adatok beillesztésére alkalmas berendezést tartalmazó adóra mutat be egy példát.

Egy digitális átviteli rendszerben több útvonal van a hangfrekvenciás jelek átvitelére, és ezen útvonalakhoz kiegészítő csatornák társulnak, amelyek a felhasználók rendelkezésére állnak. A találmány szerinti eljárás végrehajtására alkalmas elrendezést szemléltetjük az 1. ábrán tömbvázlat formájában. Az elrendezés egy AES/UER szabvány szerinti illesztőegység köré van felépítve [lásd a Rádióadók Európai Egyesületének (Union Européenne de Radiodiffusion) 3250. számú műszaki dokumentációját és az ezen műszaki dokumentáció No. 1. kiegészítését].

Az alkalmazott átviteli rendszer az illesztőegység minden információját vagy pedig ezen információknak csupán egy részét tudja átvinni. Első lépésben feltételezzük, hogy legalább egy felhasználói csatorna egésze és a hangfrekvenciás jel legnagyobb helyi értékű bitjei multiplexelve vannak a digitális átviteli hálózatban.

A jelek küldéséhez az átviendő INF digitális információkat, például hanginformációkat AES/UER szabvány szerint továbbítjuk. A kiegészítő adatokat, például a szabványos RDS jeleket az AES/UER szabvány szerinti illesztőegység egy felhasználói csatornájába multiplexeljük. Ez a felhasználói csatorna az AES/UER szabvány szerint van formattálva. Ezt a formattálást a találmány szerint egy SYBG blokkszinkronjel-generátorral valósítjuk meg, amely a SYN blokkszinkronjelet állítja elő, és a D adatokat egy önmagában ismert és a fent említett AES/UER szabvány szerinti beillesztési protokollnak megfelelő INS beillesztő-áramkör segítségével, adatsomagok formájában beillesztjük.

Az átvendő INF digitális információt egy REC vevőáramkör és egy CLE órajelszűrő bemenetére adjuk.

Az REC vevőáramkör a D adatokat egy EM adó adatbemenetére adja, amely azokat az AES/UER szabvány szerinti formában továbbítja egy RD adóhálózatra. A CLE órajelszűrő egy H órajelet ad az EM adóórajel bemenetére, és egy SF1 órajelet ad egyrészt, az SYBG blokkzinkronjel-generátorra, másrészt pedig egy, a beillesztendő DRDS adatjelek frekvenciáját előállító G generátorra, és végül az INS beillesztő-áramkörre.

Egy, például az „RDS” szabvány („Radio Data System”) szerinti SRDS adatgenerátor a G generátorból egy SF2 frekvenciájú jelet kap, és az INS beillesztő-áramkör számára egyrészt egy DRDS adatjelet, másrészt pedig egy CLRDS órajelet állít elő. Az INS beillesztő-áramkör az EM adó számára egy SHDLC beillesztendő jelet állít elő, amely megfelel egy HDLC raszternek (lásd a fent említett szabványt). Megjegyezzük, hogy a beillesztési eljárások önmagukban ismeretek, és azok a fent említett AES/UER szabványban megtalálhatók.

A vétel során egy SYN blokkzinkronjelet választunk le, amellyel a bináris adatsorozat feldolgozásának fontosabb időpontjait lehet pontosan azonosítani, és az adatsomagokban átvitt információkat dekódolni, hogy azokkal jelgenerátorokat tudjunk elővezérelni, amely jelgenerátorokat a blokkok szinkronizálásával szinkronizálunk. Ebből a célból az RD adóhálózat kimenetén vett jelek AES/UER szabvány szerinti, és ezeket egy RE vevőáramkör bemenetére adjuk, amelyben azokat demultiplexeljük, továbbá egy HREF órajelet állítunk elő. Az RE vevőáramkör DT demultiplexelt adatjeleket ad egy MC mikrovezérlőre, továbbá egy SYNDT szinkronjeldetektor-áramkörre. Az RE vevőáramkör a HREF órajeleket egyrészt a SYNDT szinkronjeldetektor-áramkörre, másrészt pedig az MC mikrovezérlőre is ráadja. A SYNDT szinkronjeldetektor-áramkör egy SYN blokkzinkronjelet ad az MC mikrovezérlőre. Egy WG jelgenerátor az MC mikrovezérlőtől az előállítandó jelalaknak megfelelő WDT jeleket kap. A WG jelgenerátor egy RD' olvasásjelet ad az MC mikrovezérlőre. A WG jelgenerátor olyan jeleket állít elő (pilot-frekvenciát, hangvívőket, szabványos RDS jeleket), amelyek így helyreállítva és pontosan szinkronizálva közvetlenül felhasználhatóak a SYN blokkzinkronjelekkel együtt, hogy például egy közszolgálati FM rádióműsor-szórását valósítsunk meg az AES/UER szabvány szerinti vett jelekből, még pontosabban egy frekvenciamodulált szinkronhálózat keretein belül.

Az AES/UER szabvány szerinti illesztőegység felhasználói csatornái függetlenek az FM illesztőegységben lévő más átviteli csatornáktól (digitális hangcsatorna, jelzési csatorna). Minden egyes hangfrekvenciás mintavételhez egy felhasználói bit van társítva. Ha a mintavételi frekvencia F_e , akkor $F_e \times$ kbit/s hosszúságú adatsorozatot kapunk. Ennek a bináris adatsorozatnak blokkokra történő szétvágását a találmány szerint oly módon valósítjuk meg, hogy helyreállítjuk mindazokat a frekvenciákat, amelyek szükségesek a jelhelyreállításnál felhasznált segédvívők szinkronizálásához, ahol a

helyreállítást például FM multiplexeléssel valósítjuk meg.

Szinkron frekvenciamodulációs sugárzashoz az RD adóhálózatnak lehetővé kell tennie a 19 kHz mint pilot-frekvencia pontos fázisú szintetizálását, a 38 kHz-es segédvívők szintetizálását, és adott esetben az 57 kHz-es segédvívő szintetizálását, valamint a szabványos RDS jel átmeneteit, amelyek 19/16 kbit/s sebességűek.

Az adás során a felhasználói csatorna blokkokra van felosztva, amelyek egy SB blokkzinkronjellel kezdődnek (lásd a 2a., 2b. és 3. ábrákat).

Ez az SB blokkzinkronjel lehetővé teszi a bináris adatsorozatban egy adott időpont egyszerű azonosítását, amely időpontot a WG jelgenerátor vezérléséhez használunk.

A 19 kHz-es pilotfrekvenciájú jelnek és a két fent említett segédvívőjelnek (38 és 57 kHz) 19 ms-onként egész számú periódusa van.

A DRDS adatjelek minden 16 ms-ban egész számú bitet (19) tartalmaznak.

A szinkronizálás célja az, hogy azonosítsuk a pilot-frekvencia és a segédvívők szinusz alakú jeleinek egy-egy pontos időpontját, és a DRDS adatjelekben egy $n \times 19$ bites adatsomagban egy speciális bitnek az azonosítását 19/16 kbit/s-nál.

A blokkok vagy adatsomagok hosszúságát úgy választjuk meg, hogy azok az 1/19 ms-nak (pilotjel és segédvívők) és a 16 ms-nak (DRDS adatjel) közös többszöröse legyenek. A teljes rendszer tulajdonságainak egy különösen megfelelő hosszúság a 64 ms. Egy ilyen blokk látható a 2a. ábrán. Ha az F_e mintavételi frekvencia 32 kHz, a blokk 2048 db bitet tartalmaz. A DRDS adatjeleket a szabványnak megfelelően lehet multiplexelni. A blokkok kezdetét (SB blokkzinkronjel) úgy azonosítjuk, hogy legalább hét darab egymást követő egyest azonosítunk, amelyeket egy nulla követ. Az SB blokkzinkronjel lehetővé teszi a WG jelgenerátor szinkronizálását és olyan multiplex jelek előállítását, amelyek az RD adóhálózat minden pontjában azonosak. Az SB blokkzinkronjel ugyanakkor lehetővé teszi a DRDS adatjelek szinkronizálását is. A fentiek szerint kiválasztott 64 ms-os hosszúság 76 bites DRDS adatjeleknek felel meg, ami lehetővé teszi, hogy az első blokkba egy első 104 bites (26×4) raszter első 76 bitjét vigyük be, a következő blokkba az első raszter DRDS adatjelenek maradék 28 bitjét és a második raszter DRDS adatjelenek első 48 bitjét, és így tovább.

Általánosabban egy blokk hosszúsága $n \times 16$ ms, ami a szabványos RDS jelnek megfelelő raszterben $n \times 19$ bitnek felel meg. Minden egyes blokkba egy vagy több P1, P2 stb. adatsomagot illesztünk be, amelyek mindegyike $n \times 19$ bitet tartalmaz. A leírt példában a DRDS adatjel bitjeit tartalmazó egyetlen adatsomagot illesztünk be minden egyes blokkba (lásd 2b. ábrát) és ezt az adatsomagot beillesztéssel multiplexeljük azokkal az adatsomagokkal, amelyek már jelen vannak a multiplexelésben, és amelyek más alkalmazásokból érkeznek.

A DRDS adatjeleket a fent említett SRDS adatgenerátor állítja elő. A DRDS adatjeleknek az RE vevőáram-

körben végrehajtott szűrése lehetővé teszi az egyes blokkokba beillesztett DRDS adatjelek multiplexelését és azoknak az MC mikrovezérlő memóriájába való betöltését.

A WG jelgenerátorok fázisát az SB blokkzinkrónjel határozza meg. Ezenkívül az SRDS adatgenerátor ugyanezzel a fázissal, ugyanezzel a bittel kell kódoljon az RD adóhálózat különböző pontjain, és az időzítést a DRDS adatjelek sorozatainak adatcsomagokra való felosztásával képezzük.

A 3. ábra szerint a DRDS adatjeleknek egy N-edik blokkban vett bitjeit a következő (N+1)-edik blokk időtartama alatt továbbítjuk az RD adóhálózatban. Az (N+1)-ik blokk elején az előző N-edik blokk PN-RDS adatcsomagja DRDS adatjelének bitjei rendelkezésre állnak egy „első be/első ki” típusú FIFO memóriában, és ott sorrendben vannak elhelyezve. A FIFO memória mérete megfelelhet a következő p-edik blokkokban lévő bitek számának. Ebben az esetben az N-edik blokk PN-RDS adatcsomagjának bitjei az (N+p)-ik blokk elején rendelkezésre állnak.

Az SB blokkzinkrónjel lehetővé teszi az előző N-edik blokkban vett első bit lefutó éle helyzetének pontos azonosítását, és annak az SB blokkzinkrónjelhez képest pontosan meghatározott időpontban, tudniillik az SB blokkzinkrónjel végénél történő átvitelét. Mint az a 3. ábrán látható, az N-edik blokkban lévő PN-RDS adatcsomag első bitjét a WG jelgenerátor az (N+1)-edik blokk elejétől kezdve felhasználja. Ilyen módon azok a PN-RDS adatcsomagok, amelyeket a WG jelgenerátor felhasznál, az RD adóhálózatban mindenhol ugyanazok, a felhasználói csatorna szinkronizálóblokkjához képest. A 3. ábrán az is megfigyelhető, hogy az N-edik blokkba beillesztett első PN-RDS adatcsomagot olyan ütemben olvassuk ki, hogy az azt képező 76 bit az (N+1)-edik blokk teljes időtartamát (64 ms) kitölti, és így helyreállíthatjuk a DRDS adatjelek folytonosságát.

Ezenkívül, mint az a 4. ábrán látható, a kisugárzott DRDS adatjel egy kétfázisú kódmarkert használ, amelyik a bitcella közepén egy átmenetet tartalmaz, amikor „1”-eket sugárzunk ki. Ez a rendszer tehát a fázisban kétértelműséget tartalmaz. A kisugárzaskor előkódolást valósítunk meg. Ez abból áll, hogy a DRDS adatjeleket NRZ-M adatkód formájában vesszük át, az előkódolás pedig úgy történik, hogy az NRZ jel fázisát megváltoztatjuk, valahányszor a kisugározandó DRDS adatjelek értéke 1-gyel egyenlő.

A 19/16 kHz-s DRDS adatjel H órajelét a fent említett SB blokkzinkrónjelek segítségével szinkronizáljuk, és a moduláló DRDS adatjel az NRZ-M adatkód és a H órajel kizáró-VAGY kapcsolatának az eredménye.

Ilyen módon a fázis-kétértelműséget megszüntetjük.

Az 5. ábra szerint az INF digitális információkat más multiplex jelekben vesszük át, amelyeket például kis teljesítményű rendszerekben használunk. Ez, mint a 6. ábrán szemléltetjük, önmagában ismert módon a következőket foglalhatja magában: az AUDCOMP hangjelkompresszióját és az UICOMP felhasználóiadatkompresszióját, amely kompressziókat az előtt hajtjuk végre,

mielőtt ezeket a jeleket ST átviteli rendszerben továbbítanánk. Ilyen átviteli rendszer például egy 2 Mbit/s-os átviteli rendszer lehet, amilyen például a Francia Posta és Távközlési Minisztérium G704 típusú rendszere.

5 Ezután a jelet önmagában ismert módon egy AUDEXP hangjelexpanzióknak és egy UIEXP felhasználóiadat-expanzióknak vetjük alá, mielőtt azokat az AES/UER szabvány szerint továbbítanánk. Általánosságban véve, a digitális adatsorozatot raszterekre osztjuk, amelyek INF digitális információt és UI felhasználói információkat tartalmaznak, ahol a raszter elejét egy VT raszterzáró szóval azonosítjuk. Egy raszter állandó n számú bitet tartalmaz, például 6400 darabot (lásd 7. ábrát). Az ezen raszter belsejében lévő INF digitális információ ilyen módon például hanginformációt és UI felhasználói információt tartalmaz. Ezt az információcsoportot más adatokkal multiplexelni lehet. A VT raszterzáró szó és az órajelbit lehetővé teszi a raszterben lévő információk egyszerű demultiplexelését (lásd az 5. ábrát). Az UI felhasználói információk független csatornában vannak szervezve, és ezeket ugyanolyan módon kezeljük, mint az AES/UER szabvány szerinti illesztőegység felhasználói csatornáit, de csökkentett bináris sebességgel (például 2 kbit/s-mal). Ez, különösen hangátviteli rendszerekben, azzal jár, hogy a raszterben tartalmazott szabványos analóg RDS jel csak a kisugározandó szabványos, analóg RDS jel módosításait viszi át, ami az átviteli sebesség jelentős csökkenésével jár, mivel a DRDS adatjelek természetüknél fogva nagyon ismétlődők.

30 Megjegyezzük, hogy különböző algoritmusok ismeretesekek hangfrekvenciás adatok kompressziójának és expanziójának a megvalósítására (kvázi azonnali kompresszió stb.). A felhasználói D adatokat szintén lehet tömöríteni.

35 A blokkok szinkronizációját úgy alakítottuk ki, hogy ugyanazokat a feltételeket teljesítsük, mint az előző esetben, amennyiben ez lehetséges.

A blokkok hosszúságát úgy választjuk meg, hogy a 40 blokkok elején az összes felismerendő frekvenciájú (pilotfrekvencia, segéd-vivőfrekvencia, DRDS adatjel-frekvenciája) jelek fázisvezérlése legyen lehetséges oly módon, hogy minden egyes blokk első bitje az RD adóhálózat rasztereiben mindig ugyanazon a helyen legyen található. A 7. ábra szerinti példában egy 6400 bites raszterben 50 darab U0...U49 felhasználói bit található. A szinkronizálóbit felfutó éle, így például az U1 felhasználói bit formájában érkezik, és a többi raszterben szükség esetén ugyanazon a helyen ismétlődik.

50 Az SB blokkzinkrónjel ilyen formán referencia-ként szolgálhat a WG jelgenerátorok szinkronizálásánál a 19, 38 és 57 kHz-es szinuszjelek előállításánál, amely szinuszjeleket egy olyan, csak olvasható memória tartalma alapján állítunk elő, amely memória az ezen szinuszjelek előállításához szükséges különböző minták értékét tartalmazza. Az SB blokkzinkrónjel képezi a csak olvasható memóriaolvasás pointerét vagy markerét a következő SB blokkzinkrónjel elején.

60 A DRDS adatjelek nagyrészt ismétlődők. Négy darab 26 bites raszterbe vannak szervezve, és mind a

104 bit ismétlődhet. Ezt a 104 darab bitet olyan összetett jelalaknak tekintjük, amelyet a memóriába megfelelő sebességgel beolvastunk. Az SB blokkzinkronjelek az előző esethez hasonlóan a memóriaolvasás pointereként szolgálnak. A DRDS adatjel megváltoztatását valamivel kisebb sebességgel lehet megvalósítani, és a változtatást akkor lehet aktivizálni a 104 bites blokk elején, amikor az új DRDS adatjelet már felépítettük. Ezek a változások 26 bites raszterenként történnek. A gyakorlatban minden 26 bites raszterhez tartozik egy CRC ciklikus redundancia-ellenőrző jel. Az RD adóhálózaton az adatátviteli sebességet tehát úgy csökkentjük, hogy csak azokat a DRDS adatjeleket visszük át, amelyek változnak.

A 8a. és 8b. ábrák szerint a CLE órajelszűrő egy AES/UER szabvány szerinti INF digitális információt kap, és kimenetén egy 32 kHz-es frekvenciájú SF1 órajelet állít elő, amelyet a G generátor bemenetére, valamint egy, a fent említett SYBG blokkzinkronjel-generátort képező DIV frekvenciaosztóra adunk, mely utóbbi egy 2048-cal osztó áramkör. A G generátor egy 19 kHz-es SF2 órajelet állít elő, amelyet a DRDS adatjeleket előállító SRDS adatgenerátorra adunk. Az SF1 órajelet az MC1 mikrovezérlőre is ráadjuk (amely például egy INTEL 8044 típusú áramkör), amely az INS beillesztő-áramkört képezi. A DIV frekvenciaosztó az SF1 órajelet 2048-cal osztja, és 64 ms-os jeleket állít elő, amelyek egy ismétlődő SYN blokkzinkronjelnak felelnek meg. Az SRDS adatgenerátor DRDS adatjeleket, valamint egy 19 kHz-es CLRDS órajelet állít elő, amelyek lehetővé teszik, hogy az MC1 mikrovezérlő egy HDLC raszter szerint állítson elő egy SHDLC beillesztendő jelet, amelyet az EM adó jeleibe kell beilleszteni az AES/UER szabvány szerint. Emlékeztetünk arra, hogy egy normalizált HDLC raszter tartalmaz egy DR raszterkezdőjelző bitet, egy AD címbitet, egy 8 bites CO vezérlőjelet és INF digitális információt, CRC ciklikus redundancia-ellenőrző jeleket és egy DR' rasztervégjelző bitet. Az SYN blokkzinkron jel a blokk elején egy olyan szó formájában van jelen, amely legalább hét darab egymást követő „1”-ből áll, amelyeket egy „0” követ, és minden blokk több rasztert tartalmazhat.

Mint a 8b. ábrán látható, az SYN blokkzinkronjel lehetővé teszi, hogy a 2048 bitből álló blokkokat 32 kbit/s-os sebességgel vigyük át. A CLRDS órajel lehetővé teszi ugyanezen időtartam alatt a DRDS adatjel 76 db bitjének az összegyűjtését. A DRDS adatjelet tartalmazó rasztert az SHDLC beillesztendő jel blokkjának elejére lehet elhelyezni, és azt az AES/UER szabvány szerint illesztjük be.

A 9a., 9b., 10a. és 10b. ábrák szerint a vétel szinkronizálása a következő módon történik. Az RD adóhálózat egyik végén lévő EM adó által előállított, és az AES/UER szabvány szerint formázott jeleket az RD adóhálózat másik végén lévő RE vevőáramkör bemenetére adjuk. Az RE vevőáramkör egy DT demultiplexelt adatjelet és egy referencia HREF órajelet állít elő, amelyeket egyrészt a SYNDET szinkronjeldetektor-áramkör bemenetére, másrészt pedig egy, az egyik MC2 mikrovezérlővel (amely például egy „INTEL” gyártmányú 8044 típu-

sú áramkör lehet) társított SIU soros illesztőáramkör bemeneteire adunk. A CPU központi egység szintén a SYNDET szinkronjeldetektor-áramkör által előállított SYN blokkzinkronjelet kapja.

5 Az MC2 mikrovezérlő egy soros léptetőregiszter típusú FIFO1 memória számára egyrészt egy RS nullára visszatérő jelet, másrészt pedig egy WR írásjelet állít elő. A FIFO1 memória lehetővé teszi, hogy az MC2 mikrovezérlőnek ne kelljen előállítania a DRDS adatjel minden bitjét.

10 A felhasználói csatornának megfelelő RDS jeleket az MC2 mikrovezérlő a FIFO1 memóriára egy BUS1 buszon keresztül adja rá. A FIFO1 memória egy RD' olvasási jelet vesz, és a DRDS adatjeleket állítja elő, továbbá egy EF jele is előállít, amellyel az MC2 mikrovezérlőnek jelzi, ha a FIFO1 memória üres. Az EF jel azt jelzi, hogy a FIFO1 memória befejezte az előző blokk kiolvasását. Az MC2 mikrovezérlő tehát egy RS nullára visszatérő jelet, majd egy WR írásjelet állít elő a FIFO1 memória számára. Az MC2 mikrovezérlő ellenőrzi, hogy az SYN blokkzinkronjel és az EF jel egy időben érkeznek-e, és ha nem, megkísérli, hogy a FIFO1 memória újra vegye az RS nullára visszatérő jelet. Más szavakkal a FIFO1 memória töltése csak annak olvasása pillanatában történik meg, és az MC2 mikrovezérlő a memóriában tartja a FIFO1 memóriába még be nem töltött DRDS adatjel bitjeit. A DRDS adatjeleket dekódoló DEC dekóder az MC2 mikrovezérlőtől egy DRDS adatjelet kap. Ezután egy RD' olvasási jel CLRDS órajelét állítja elő a FIFO1 memória számára. A DEC dekóder az adatokat és a címeket egy BUS2 buszon keresztül egy DSP digitális jelfeldolgozó egységre adja. A DSP digitális jelfeldolgozó egység az SYNDET szinkronjel-detektor áramkörtől egy SYN szinkron jelet kap, az RE vevőáramkörtől pedig egy Fe mintavételi frekvenciájú FECH jelet, ahol az Fe mintavételi frekvencia (például a HREF órajel többszöröse, nevezetesen 256 kHz, ha a HREF órajel-frekvenciája 32 kHz). A DSP digitális jelfeldolgozó egység a DRDS adatjeleket egy BUS3 buszra adja. A DEC dekóder ugyancsak tartalmaz egy programozható PROM memóriát, amelyben a jelalakok vannak eltárolva, és amelynek működését az alábbiakban írjuk le az RDS jel jelalakjának előállításával kapcsolatban.

45 A DSP digitális jelfeldolgozó egységet (amely például egy MOTOROLA gyártmányú 56011 típusú mikrovezérlő) úgy programozzuk, hogy a PROM memória legkisebb helyi értékű címbiteinek ciklikus címzéséhez ciklikusan állítson elő például egy 12 bites, A0...A11 címbitekből álló címet. Amikor a legnagyobb helyi értékű címet megkaptuk, a számlálót visszaállítjuk 0-ra. Az SYN blokkzinkronjel szintén nullára állítja vissza az említett számlálót. Ha a szinkronizálás helyes, a két fent említett nullára történő visszaállítás ezzel együtt végbemegy. A nullára történő visszaállítás során az A11 címbit értéke megváltozik. Ennek figyelése tehát lehetővé teszi egy megfelelő SY szinkron jel előállítását még akkor is, ha az SYN blokkzinkronjel nincs jelen minden egyes periódusban. Az A11 címbit értéke akkor is megváltozik, amikor a számláló eléri a legna-

gyobb érték felét. Az SY szinkron jel frekvenciája tehát megegyezik a DRDS adatjel frekvenciájával.

A PROM memória három nagy helyi értékű A12, A13 és A14 címbitjét a DRDS adatjelek felhasználásával címezzük (lásd a 10a. ábrát) oly módon, hogy teljesen és helyes fázissal állítsuk helyre az analóg RDS jeleket. A DEC dekóder ütemezését a CLK órajellel végezzük olyan frekvenciával, amely a 19 kHz többszöröse, és amely megfelel a PROM memória olvasási frekvenciájának, amely PROM memória a mintavett és digitális formában beírt jeleket tartalmazza. Egy D típusú B10 flipflop D bemenetére a számláló (DSP digitális jelfeldolgozó egység) fent említett és az SY szinkron jelet képező A11 címbitjét vezetve a CLRDS órajelet a B10 flipflop Q invertáló kimenetén kapjuk (lásd a 30 kizáró-VAGY kaput, amelynek egyik bemenete a B10 flipflop Q invertáló kimenetével, másik bemenete pedig a földdel van összekötve). Ezt a jelet használjuk a FIFO1 memória RD' olvasási jelet vevő bemenetén vezérlőjelként. A FIFO1 memória kimenetéről a DRDS adatjelek egy D típusú B0 flipflop D bemenetére kerülnek, amelynek Q kimenete (A összeköttetési pont) egy B1 flipflop D bemenetével van összekapcsolva. A B1 flipflop Q kimenete ugyanilyen módon van sorba kapcsolva egy B2 flipfloppal (B összeköttetési pont), amely B2 flipflop Q kimenetén egy θ fázisú jelet ad a PROM memória A14 címbitnek megfelelő bemenetére (a legnagyobb helyi értékű címbemenetre).

Az A és B összeköttetési pontokon lévő jeleket egy 10 kizáró-VAGY kapu bemenetére adjuk, amelynek kimenete (C összeköttetési pont) egy B3 flipflop D bemenetével van összekötve, a B3 flipflop kimenete (E összeköttetési pont) egy B4 flipflop D bemenetével van sorba kapcsolva, amelynek Q kimenete (F összeköttetési pont) az A13 címbitnek megfelelő címbemenettel van összekötve (az A14 címbitnél eggyel közvetlenül kisebb helyi értékű bit). A B3 flipflop nem invertáló Q adatkimenete (E összeköttetési pont) a PROM memória A12 címbitnek megfelelő címbemenetével van összekötve (az A13 címbittől eggyel kisebb helyi értékű bit). Az A, B, C, E és F összeköttetési pontoknál lévő jelek és a Q fázisú jel idődiagramját a 10b. ábrán szemléljük. A θ fázisú jel lehetővé teszi, hogy pontosan megkülönböztessük egymástól a 4. ábránál említett NRZ-M adatkódban továbbított és az E és F összeköttetési pontoknál (a PROM memória A12 és A13 címbitjénél) lévő jelek fázisát, és ez lehetővé teszi, hogy a négy lehetséges görbe alak közül válasszunk, amelyek megfelelnek a DRDS adatjelekből helyreállított analóg RDS jelnek. A PROM memória D0...D7 adatbitek megjelenítő kimenetein tehát a DRDS adatjelekből rekonstruált görbének megfelelő mintákat kapjuk a jelek idődiagramjának megfelelően, amely görbét példaként a 10b. ábra alján szemléljük. A rendszer szinkronizálásához elegendő, ha egészen egyszerűen a DSP digitális jelfeldolgozó egység úgy vezérli a számlálót, hogy az A0...A11 címbiteknek megfelelő bemenetekre egy meghatározott adatot, például egy nullát adjon, amikor az SYN blokkszinkronjel egy szinkronizálás kezdő időpontját jelzi. Az A11 címbit detektálása (SY szinkron

jel) és a CLRDS órajelet azt követő előállítására inicializálódik, ha a FIFO1 memória kiolvasására van szükség, és így az RDS jelet fázis-képtelenség nélkül, az időben tökéletesen szinkronizálja.

5 Belátható, hogy egy viszonylag bonyolult esettel szemléltettük egy DRDS adatjel szinkronizálását, amely-nél a cím dekódolására van szükség, hogy a PROM memória különböző lapjait vagy különböző alblokkjait megcímezzük. Ugyanezt az elvet lehet alkalmazni ilyen dekódolás nélkül, pilotfrekvenciás jelek és segéd-vivő-
10 frekvenciás jelek előállításához, amelyekhez elegendő egy olyan ciklikus számlálót kialakítani, amelyet a fentiekben ismertettünk, és amelyet közvetlenül a DSP digitális jelfeldolgozó egység vezérel. Ezt a ciklikus számlálót kinullázzuk (vagy pedig egy adott számkombináció-ra állítjuk be), ha az SYN blokkszinkronjel jelzi ezen jelek számára egy szinkronizálás pillanatát. Egy másik változatban a ciklikus számlálót úgy lehet kialakítani, hogy
20 azt alapállapotban egy változtatható számkombinációra lehet beállítani, ami lehetővé teszi más frekvenciák előállítását. Ebben az esetben az SYN blokkszinkronjelet egy olyan címjel követi, amely azt jelzi, hogy a ciklikus számlálót melyik számra kell alaphelyzetben visszaállítani.

25 Egy 19 kHz-es pilotfrekvenciájú és 38 és 57 kHz-es segéd-vivőfrekvenciájú (szabványos RDS jel) FM szinkronhálózat esetében a DSP digitális jelfeldolgozó egység ciklikusan címez több PROM memóriát (vagy egy nagyobb tárolókapacitású PROM memóriát), amelyeket az SYN blokkszinkronjellel szinkronizál oly módon, hogy az összes jelet (pilotjel, segédvivők és esetleg az RDS jel) egy nulla jellel és ugyanazzal a fázissal inicializáljuk a szinkronizálás időpontjában.

A 11. ábra szerint a SYNDET szinkronjeldetektor-
35 áramkör egy nyolc kimenetű léptetőregisztert foglal magában, amely kimenetek közül a hét első és a nyolcadik az invertálókimenet egy 20 NEM-ÉS kapu nyolc bemenetével van összekötve. A FIFO1 memória és a DEC dekóder közötti funkcionális összeköttetés megegyezik az előző esettel, ezzel szemben viszont a DRDS adatjeleket, amelyeket a PROM memória címzéséhez dekódolunk (lásd 10a. ábrát), egy MEM memóriából kapjuk, amely az MC2 mikrovezérlő aktív RAM memóriája lehet, és a DRDS adatjeleket annyiszor olvassuk ki, ahányszor a DRDS adatjeleket (104 darab bitet) módosítjuk, és ezeket az MC2 mikrovezérlő által vezérelt ciklikus számlálóval olvassuk ki.

Vegyünk most egy kis sebességű, $r=2$ kbit/s-os SHDLIC beillesztendő jelet, amely 512 ms hosszúságú
50 $n=1024$ bites blokkokat tartalmaz, ami megfelel a DRDS adatjel 608 darab bitje hosszának. Ha az első blokknál SYN blokkszinkronjel például egy ciklikus számláló nulla értékének felel meg, a következő blokk számára ettől az értéktől eltérőt kell alkalmazni, mivel a
55 608 nem osztható 104-gyel (ami megfelel a MEM memóriában tárolt DRDS adatjel 104 bitjének). Ha a 608-at elosztjuk 104-gyel, a maradék 88. Így a következő blokknál a SYN blokkszinkronjel a ciklikus számláló 88-as értékének felel meg, ami azután a következő blokknál 72 lesz, és így tovább. Emiatt a SYN blokkszinkronjel-

hez egy ADR címjelet adunk hozzá, hogy egy olyan marker kapjunk, amely lehetővé teszi az MC2 mikrovezérlő ciklikus számlálója vezérlését. Mivel az ADR címjel az SYN blokkszinkronjel után érkezik, azt egy blokknak megfelelő idővel késleltetjük. Az MC2 mikrovezérlő az SYN blokkszinkronjel vétele után a DT demultiplexelt adatjelekből dekódolja az ADR címjelet, amely közvetlenül vagy közvetetten megadja azt a számot, amelyet be kell írni a ciklikus számlálóba a következő blokk elejénél. Meg kívánjuk jegyezni többek között, hogy az SYN blokkszinkronjelnek és az azzal társított ADR címjelnek nem kell ott lenniük minden egyes blokk elején. Elegendő, ha időnként jelennek meg, mivel a szerepük az, hogy ezek segítségével ellenőrizzük a szinkronizálás helyes működését. A marker jelenléte ezenkívül lehetővé teszi az olyan blokkokkal való működtetést, amelyeknek hosszúsága blokkonként változó lehet.

Különösen előnyös, ha a markerhez egy fázisinformáció is kapcsolódik, amely például lehetővé teszi egy olyan jel, mint például a DRDS adatjel paritásának közvetlen ellenőrzését. A 12. ábrán egy ismétlődő-elrendezést szemléltetünk, amely egy AES/UER szabvány szerinti jelekkel működő REC vevőáramkört és egy REM ismétlődőt tartalmaz, amellyel az AES/UER szabvány szerinti jeleket lehet ismételtetni, és ezenkívül tartalmaz egy NS beillesztendő-áramkört, amelyet 32 kHz-es CLR órajelekkel vezérelünk, amellyel DRDS adatjeleket lehet beillesztetni.

A találmány szerint egy szinkronhálózat esetében az szükséges, hogy a szinkronizálójelek a hálózat bemeneténél lévő multiplex jelben legyenek jelen. Az esetleges DRDS adatjelek beillesztését az RD adóhálózat bemeneténél lehet megvalósítani, vagy pedig egy bemenet után következő részben, az RD adóhálózat egy REM ismétlődőjében, mint amelyet például a 12. ábrán szemléltetünk. Ez utóbbi esetben megjegyezzük, hogy nincs szükség DIV frekvenciaosztóra (lásd a 8a. ábrát), mivel az SYN blokkszinkronjel ekkor benne van az AES/UER szabvány szerinti multiplex jelben.

SZABADALMI IGÉNYPONTOK

1. Eljárás multiplex jel legalább egy analóg összetevőjének átvitelére és/vagy szinkronizálására, ahol az analóg összetevőt digitális információ (INF) képezi, és az analóg összetevő legalább egy digitális adatot (D) tartalmaz, *azzal jellemezve*, hogy az adáskor egy olyan beillesztendő jelet (SHDLC) iktatunk be, amely bináris adatjelet (DRDS) tartalmaz, a beillesztendő jel (SHDLC) olyan összetevőket tartalmaz, amelyek közül legalább kettő az analóg összetevőt képező digitális információt (INF) és a bináris adatjelet (DRDS) fázisba hozó blokk-szinkronjelet (SYN) tartalmaz.

2. Az 1. igénypont szerinti eljárás, *azzal jellemezve*, hogy a vétel során a blokk-szinkronjellel (SYN) egyrészt legalább egy analóg összetevőt képező digitális információt (INF), másrészt a beillesztendő jel (SHDLC) bináris adatjeleit (DRDS) szinkronizáljuk.

3. Az 1. vagy 2. igénypont szerinti eljárás, *azzal jellemezve*, hogy digitális adatként (D) egy frekvenciamodulált adás digitalizált hangjeleit alkalmazzuk, és a beillesztendő jel (SHDLC) bináris adatjelet (DRDS) egy multiplex FM jelből képezzük.

4. A 3. igénypont szerinti eljárás, *azzal jellemezve*, hogy a beillesztendő jel (SHDLC) bináris adatjelet (DRDS) szabványos RDS jelekből képezzük.

5. Az 1–4. igénypontok bármelyike szerinti eljárás, *azzal jellemezve*, hogy a beillesztendő jel (SHDLC) bináris adatjelet (DRDS) NRZ–M adatkód formájában továbbítjuk, és az előkódolást úgy hajtjuk végre, hogy az NRZ kódjel fázisát megváltoztatjuk, valahányszor az átvendő bináris adatjelek (DRDS) értéke 1-gyel egyenlő, és ezzel a vétel során megszüntetjük a fázis-kétértelműséget.

6. Az 1–5. igénypontok bármelyike szerinti eljárás, *azzal jellemezve*, hogy a beillesztendő jel (SHDLC) hossza az analóg összetevők, így a digitális információk (INF) hosszának többszöröse.

7. Az 1–6. igénypontok bármelyike szerinti eljárás, *azzal jellemezve*, hogy legalább az egyik analóg összetevő a kisugározott jel egy jellemző frekvenciájú jele, előnyösen az órajele (H), és a vételnél a szinkronizálás során az egyik lépésben ezt az órajelet (H) egy, a blokk-szinkronjellel (SYN) szinkronizált jelgenerátorral (WG) állítjuk elő.

8. A 7. igénypont szerinti eljárás, *azzal jellemezve*, hogy a jelgenerátor (WG) digitális, és egy, jelalakokat tároló programozható memóriából (PROM) ciklikusan olvasó első eszközt, előnyösen digitális jelfeldolgozó egységet (DSP) tartalmaz, és a jelgenerátort (WG) oly módon szinkronizáljuk, hogy a digitális jelfeldolgozó egységet (DSP) meghatározott állapotba állítjuk be.

9. Az 1–8. igénypontok bármelyike szerinti eljárás, *azzal jellemezve*, hogy legalább két digitális adatjelet (DRDS) dekódolunk, és azokkal egy második jelalakot tároló memória (PROM) szektorait címezzük, és minden egyes szektort a címmel egy második ciklikus olvasóeszközzel letapogatunk.

10. Az 1–9. igénypontok bármelyike szerinti eljárás, *azzal jellemezve*, hogy a beillesztendő jel (SHDLC) összetevőiből egy olyan blokkot képezzük, amely a blokk-szinkronjellel (SYN) kezdődik.

11. Az 1–10. igénypontok bármelyike szerinti eljárás, *azzal jellemezve*, hogy a beillesztendő jel (SHDLC) blokkjai adatsomagokat (P1, P2, ...) tartalmaznak, amelyeket egy soros léptetőmemóriába (FIFO) írunk be úgy, hogy az (N+p)-edik adatsomag (P2) (ahol p egy 1-gyel egyenlő vagy annál nagyobb egész szám) szinkronjelét állítjuk elő, amellyel egy ciklikus számláló által meghatározott szám előállítását vezéreljük, és ezzel a számmal a soros léptetőmemóriában (FIFO) tartalmazott N-edik adatsomag (P1) olvasásjelét (RD') állítjuk elő.

12. Az 1–9. igénypontok bármelyike szerinti eljárás, *azzal jellemezve*, hogy a beillesztendő jel (SHDLC) összetevői raszterek (HLDLC).

13. Az 1–12. igénypontok bármelyike szerinti eljárás, *azzal jellemezve*, hogy a beillesztendő jel (SHDLC) bináris adatjeleit (DRDS) olyan adatsoma-

gok (PN-RDS) formájában illesztjük be, amelyek a beillesztendő jel (SHDLC) bináris adatjelei (DRDS) blokkjainak névleges bitszámától eltérő számú bitet tartalmaznak, és a vételhez egy soros léptetőmemóriát (FIFO) alkalmazunk, amelyben a vett adatcsomagokat (P1, P2, ...) egymás mellett rendezzük el oly módon, hogy rekonstruáljuk a blokkok folytonosságát.

14. A 13. igénypont szerinti eljárás, *azzal jellemezve*, hogy a 104 bites bináris adatjel (DRDS) blokkokhoz olyan adatcsomagokat (PN-RDS) képezünk, amelyek hossza $n \times 16$ ms (ahol n egész szám), azaz $n \times 19$ bites adatcsomagokat (P1, P2, ...).

15. Az 1-14. igénypontok bármelyike szerinti eljárás, *azzal jellemezve*, hogy a beillesztendő jel (SHDLC) bináris adatjeleit (DRDS) adatcsomagok (PN-RDS) formájában szervezzük, és a blokkszinkronjellel (SYN) társított címjellel (ADR) látjuk el, amely címjel (ADR) a beillesztendő jel (SHDLC) bináris adatjele (DRDS) egy adatcsomagját (P1, P2, ...) tárolómemória (MEM) egy elemének olvasási címmarkerét képezi.

16. A 15. igénypont szerinti eljárás, *azzal jellemezve*, hogy a beillesztendő jel (SHDLC) adatcsomagjának (PN-RDS) hossza a beillesztendő jel (SHDLC) bináris

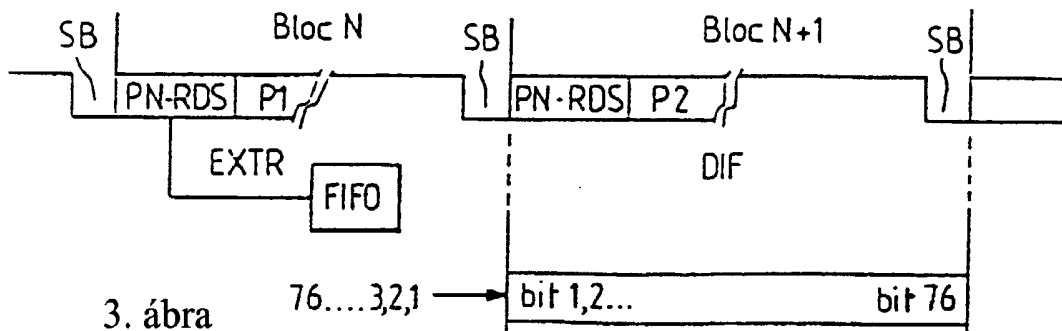
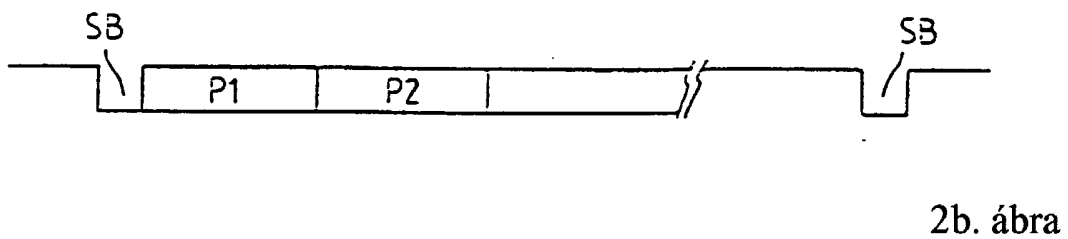
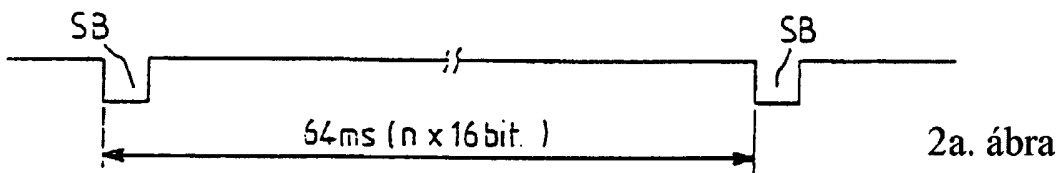
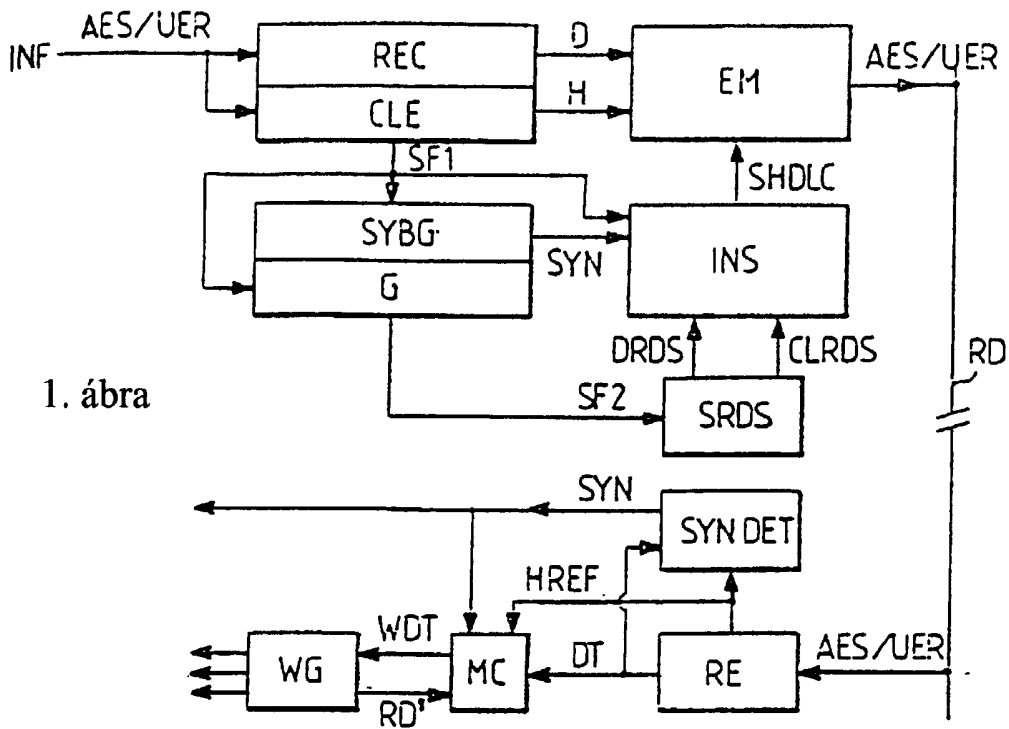
adatjelei (DRDS) hosszának egész számú többszörösétől eltérő, és a címjelet (ADR) úgy állítjuk elő, hogy azzal a hosszak egész számú többszörösétől eltérő értékeit kezeljük.

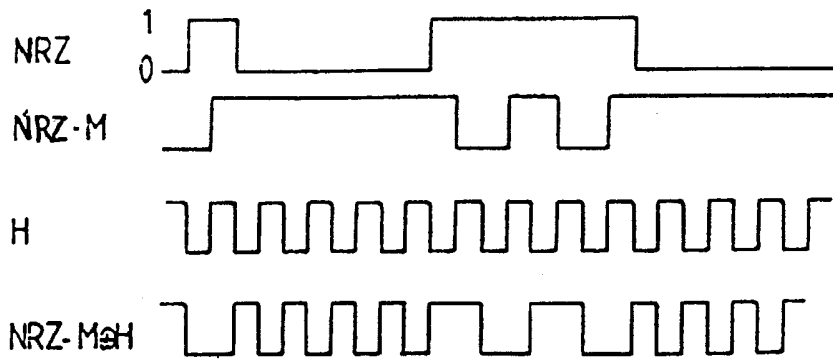
5 17. A 16. igénypont szerinti eljárás, *azzal jellemezve*, hogy a beillesztendő jel (SHDLC) adatcsomagjainak (PN-RDS) hossza csomagonként változtatható.

10 18. A 16. vagy 17. igénypont szerinti eljárás, *azzal jellemezve*, hogy a beillesztendő jel (SHDLC) sebessége akkora, hogy lehetővé teszi a beillesztendő jel (SHDLC) adatcsomagjainak (PN-RDS) továbbítását.

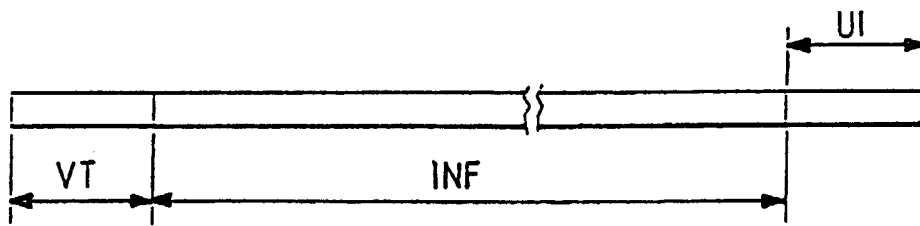
15 19. Az 1-18. igénypontok bármelyike szerinti eljárás, *azzal jellemezve*, hogy olyan szinkronhálózatban alkalmazzuk, amelynek adókimenete van, és több ismétlődőt REM foglal magában, ahol a beillesztendő jelet (SHDLC) a szinkronhálózat kimenetén állítjuk elő oly módon, hogy legalább egy analóg összetevőt valamennyi ismétlődőben (REM) ugyanolyan módon szinkronizálunk.

20 20. A 19. igénypont szerinti eljárás, *azzal jellemezve*, hogy a beillesztendő jel (SHDLC) digitális információit (INF) a szinkronhálózat adókimenete előtt illesztjük be.

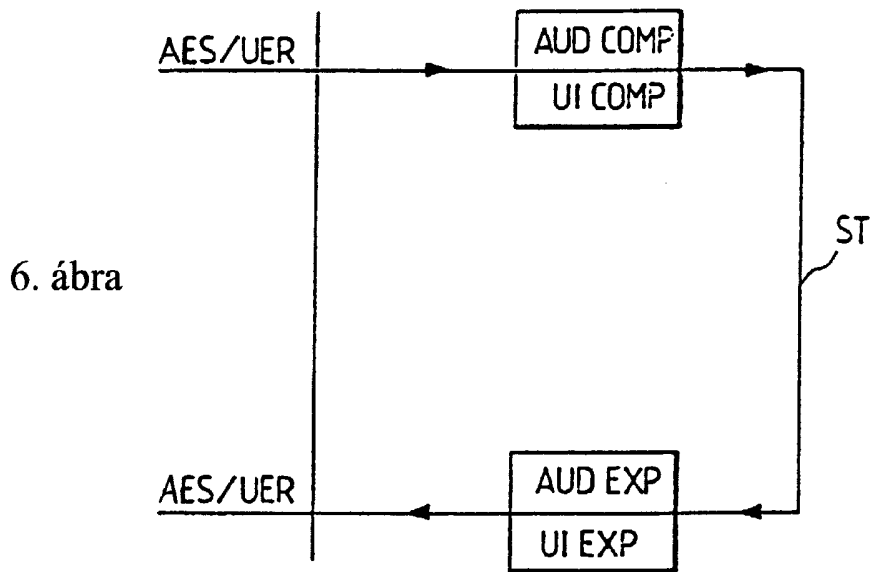




4. ábra

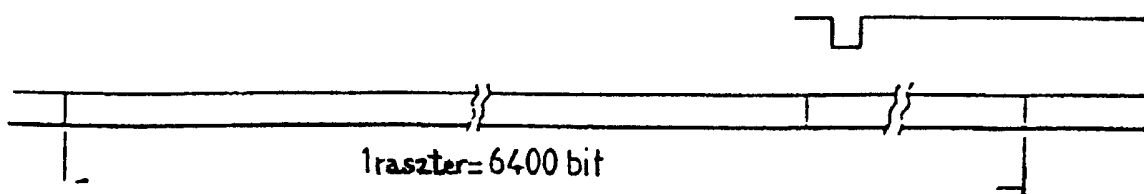


5. ábra

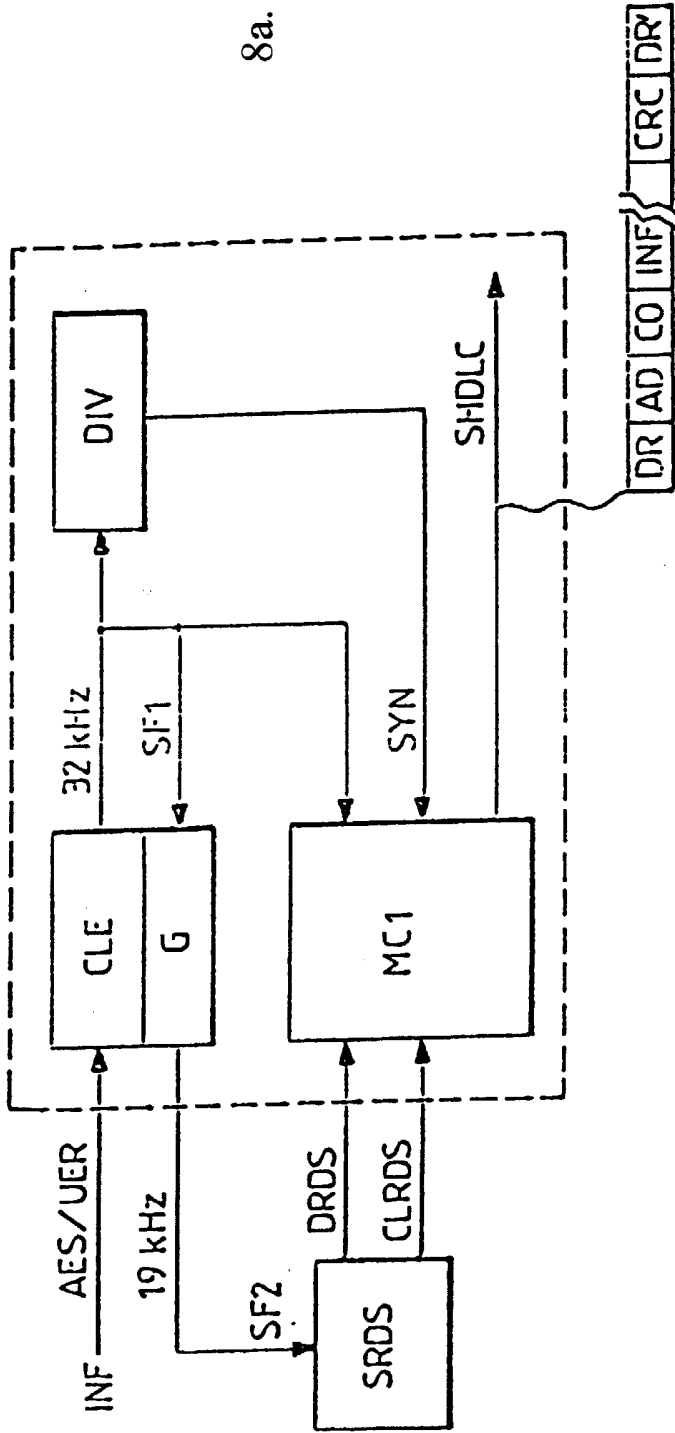


6. ábra

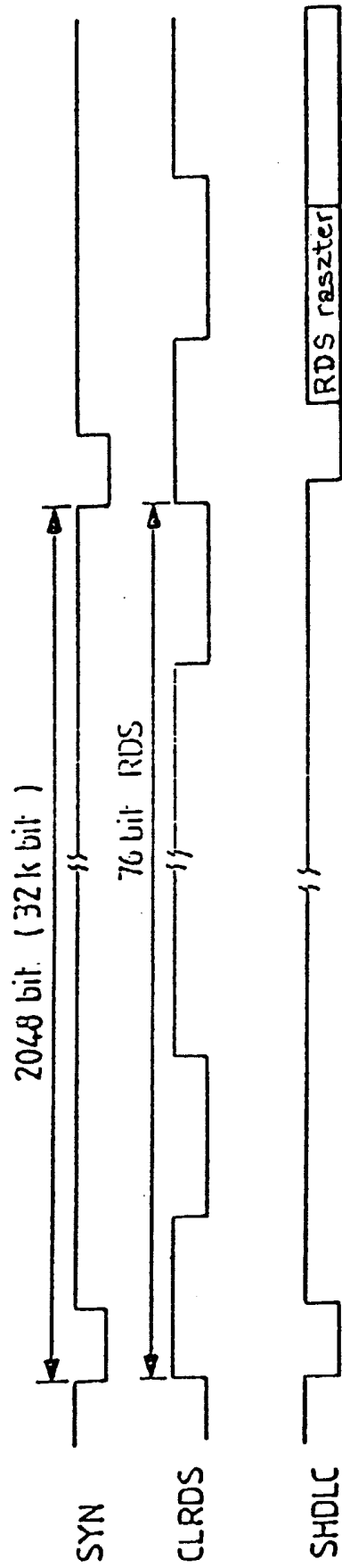
7. ábra

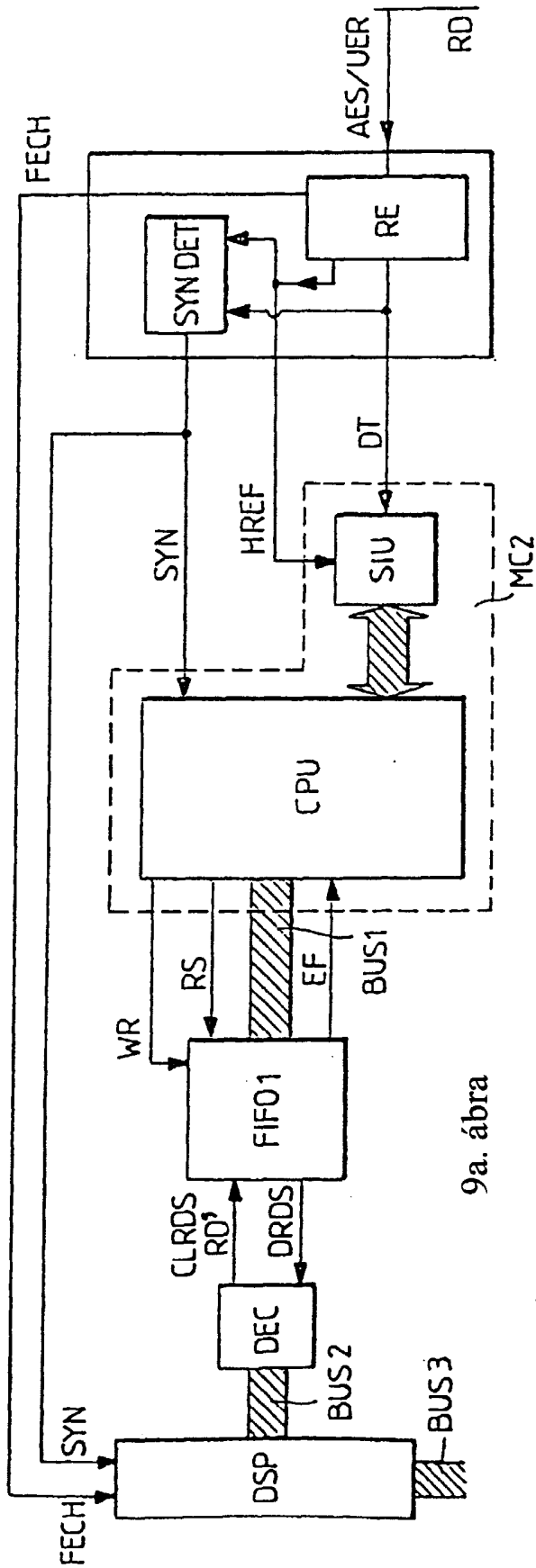


8a. ábra

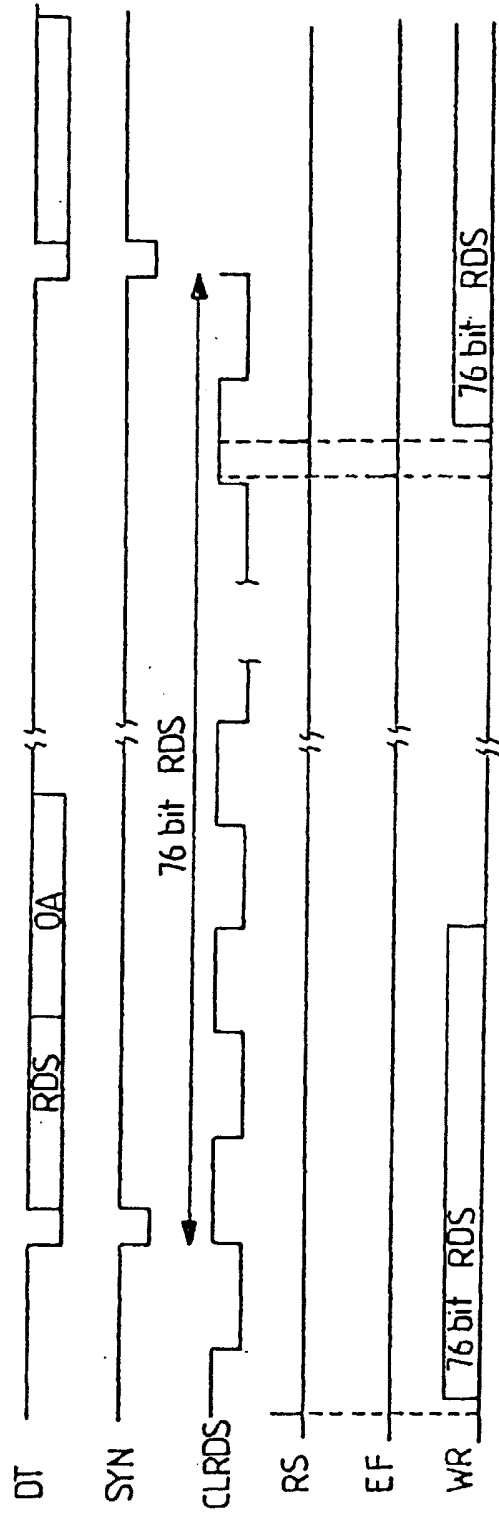


8b. ábra



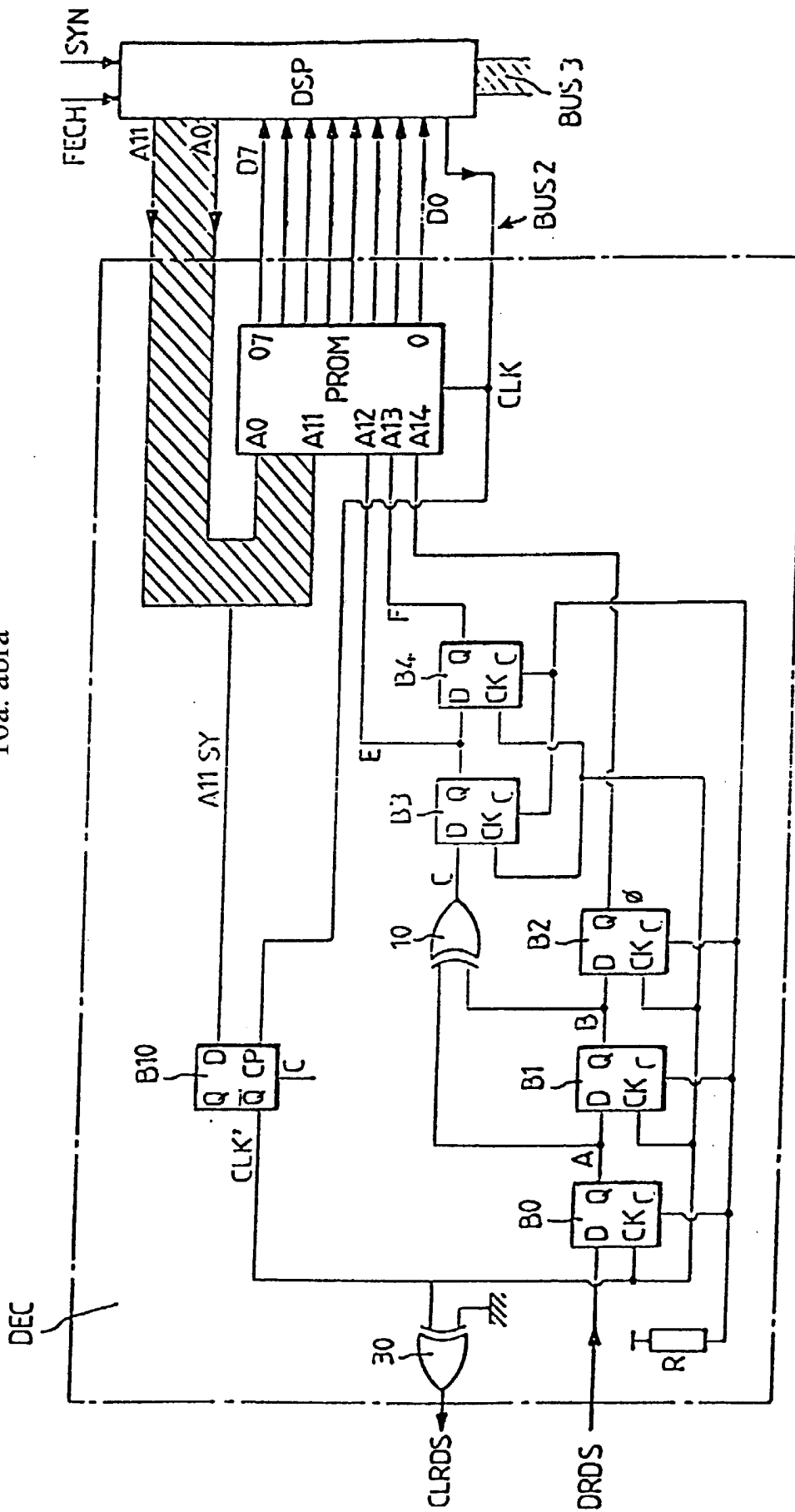


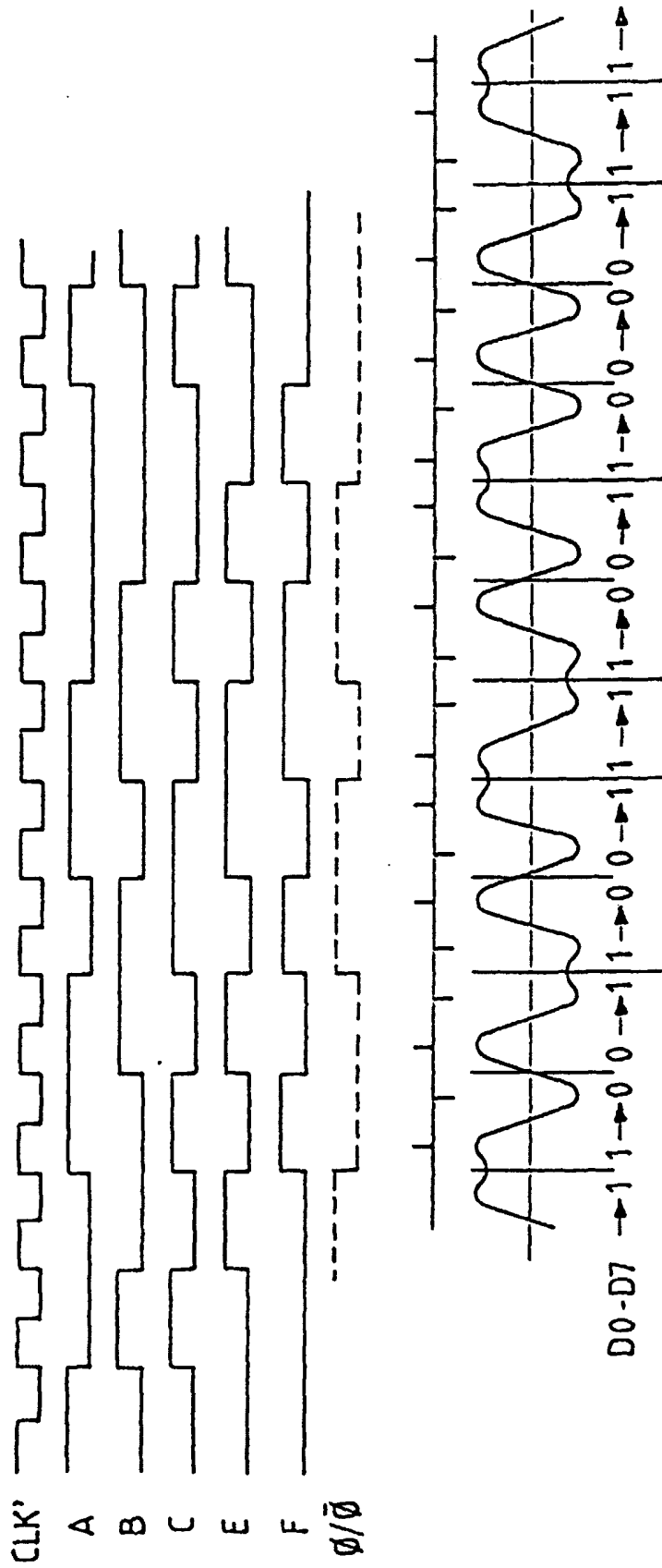
9a. ábra



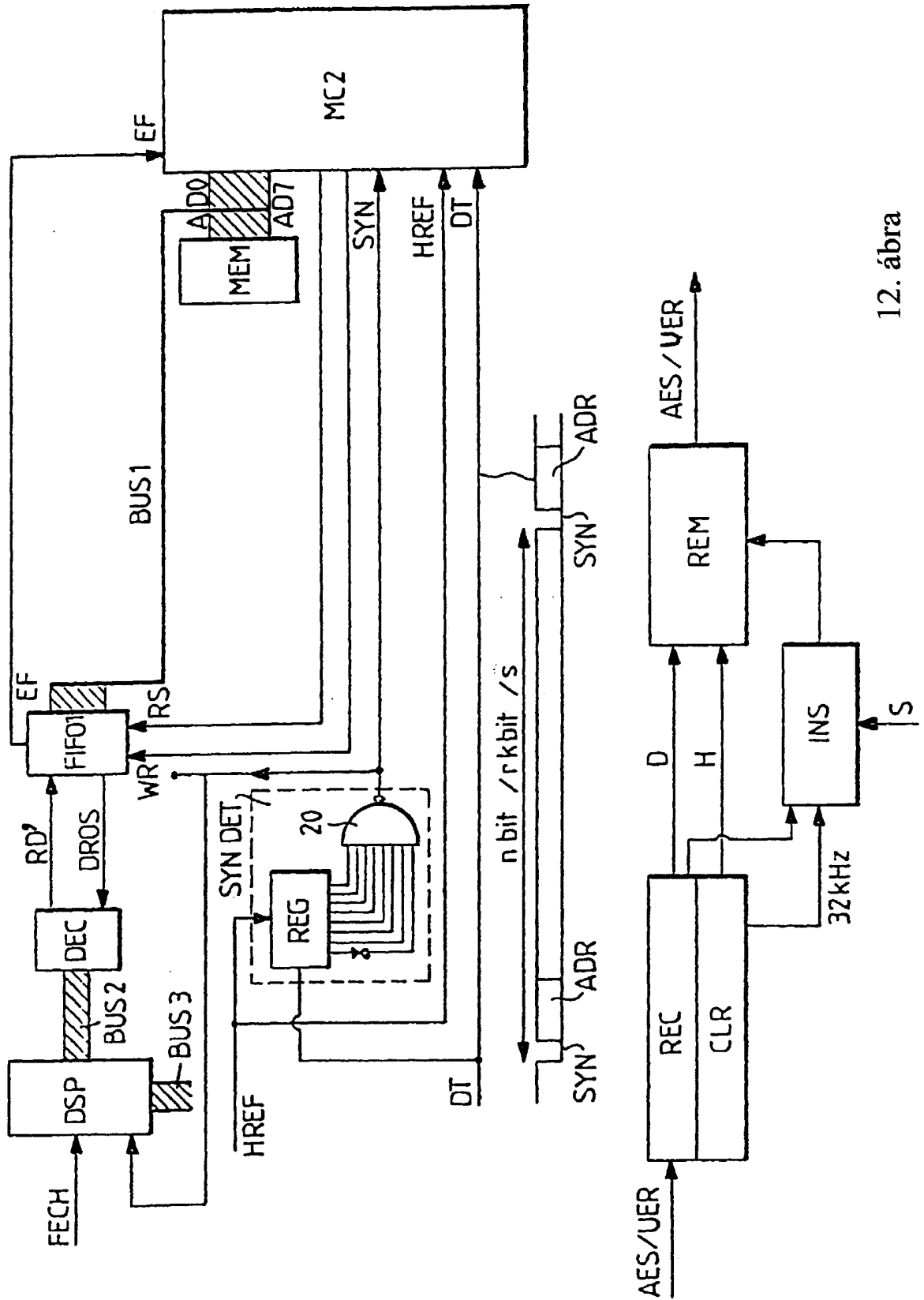
9b. ábra

10a. ábra





10b. ábra



12. ábra