

申請日期	88.12.28
案 號	88122703
類 別	G66F 13/16, 11/64

A4
C4

463094

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	用以將製造測試介面連結至包含內集積電路之整體串列匯流排之方法及裝置
	英 文	METHOD AND APPARATUS FOR CONNECTING MANUFACTURING TEST INTERFACE TO A GLOBAL SERIAL BUS INCLUDING AN I ² C BUS
二、發明 人	姓 名	1.蓋 理查 古利爾 2.詹姆士 史考特 哈福藍 3.莎朗 狄諾斯 文森 4.保羅 里歐那德 威爾根
	國 籍	1.-4.均美國
三、申請人	住、居所	1.美國明里蘇達州羅徹斯特市泰瑞斯路N. E. 1711號 2.美國明里蘇達州羅徹斯特市14街N. W. 620號 3.美國明里蘇達州羅徹斯特市布里斯多路N. E. 801號 4.美國明里蘇達州卡森市第五街N. W. 1202號
	姓 名 (名稱)	美商萬國商業機器公司
三、申請人	國 籍	美國
	住、居所 (事務所)	美國紐約州阿蒙市新果園路
三、申請人	代 表 人 姓 名	傑拉德 羅森賽

4 6 3 0 9 4

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

美國 1999年02月18日 09/251,032 ☒有 ☐無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

發明領域

概略而言本發明係於資料處理領域，特別係關於連結一製造測試介面至一通用串聯匯流排例如積體電路間(I²C)匯流排之方法及裝置。

相關技術之說明

I²C匯流排為產業標準串聯雙向2線匯流排典型用於藉一或多個主及從互連多數積體電路。I²C匯流排包括二匯流排線，一串列資料線(SDA)，及一串列時脈線(SCA)。I²C匯流排支援積體電路(IC)製造過程，例如負通道金屬氧化物半導體(NMOS)，互補金屬氧化物半導體(CMOS)，及雙極性半導體。串列資料(SDA)及串列時脈(SLC)資訊由二線載於多個連結於I²C匯流排之裝置間。

需要有方法及有效機構來連結製造測試介面例如聯合測試行動組群(JTAG)介面IEEE 1149.1規格至一包括積體電路間(I²C)匯流排之通用串聯匯流排。需要使用通用串聯匯流排如I²C匯流排來查詢VPD資訊，提供暫存器存取，以及執行於多個互接至串聯匯流排包括記憶體及IO子系統之裝置的測試。

發明概述

本發明之主目的係提供連結製造測試介面至一通用串聯匯流排包括一積體電路間(I²C)匯流排之方法及裝置。其它目的係提供實質上不具有負面效果且可克服多種先前技術配置缺點的此種方法及裝置。

簡言之，提供連結一製造測試介面至一通用串聯匯流排

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

如一積體電路間(I²C)匯流排之方法及裝置。輸入/輸出緩衝器邏輯緩衝將移轉至通用串聯匯流排及由其中移轉出的資料。一連結至輸入/輸出緩衝器邏輯之從屬介面邏輯接收並發送資料給輸入/輸出緩衝器邏輯。一耦合至輸入/輸出緩衝器邏輯，以及耦合至從屬介面邏輯的從屬控制器調整與輸入/輸出緩衝器邏輯資料交換的步調。

根據本發明之特點，錯誤偵測邏輯係耦合於輸入/輸出緩衝器與通用串聯匯流排間用以偵測錯誤。

圖示之簡單說明

本發明連同前述其它目的及優點由後文附圖舉例說明之本發明之較佳具體例之詳細說明將最為明瞭，附圖中：

圖1為根據較佳具體例之製造測試介面與通用積體電路間(I²C)匯流排互連裝置之方塊代表圖；

圖2為方塊代表圖舉例說明根據較佳具體例製造圖1測試介面及通用積體電路間(I²C)匯流排互連裝置之I²C從屬狀態機器之從屬資料及控制暫存器；

圖3為方塊代表圖舉例說明根據較佳具體例製造圖1測試介面及通用積體電路間(I²C)匯流排互連裝置之I²C從屬狀態機器之從屬IO緩衝器邏輯；

圖4為方塊代表圖舉例說明根據較佳具體例製造圖1測試介面及通用積體電路間(I²C)匯流排互連裝置之I²C從屬狀態機器之從屬測試存取埠(TAP)介面；

圖5為方塊代表圖舉例說明根據較佳具體例製造圖1測試介面及通用積體電路間(I²C)匯流排互連裝置之I²C從屬狀

五、發明說明(3)

態機器之從屬控制器；

圖6為方塊代表圖舉例說明I²C從屬態機器IO緩衝器邏輯與根據較佳具體例圖1之製造測試介面及通用積體電路間(I²C)匯流排互連裝置之實體介面間之資料調步；

圖7為方塊代表圖舉例說明I²C從屬態機器IO緩衝器邏輯與根據較佳具體例圖1之製造測試介面及通用積體電路間(I²C)匯流排互連裝置之I²C從屬態機器之從屬測試存取埠(TAP)介面間之資料調步；

圖8為方塊代表圖舉例說明根據較佳具體例製造圖1測試介面及通用積體電路間(I²C)匯流排互連裝置之I²C從屬狀態機器之從屬錯誤處理邏輯；

圖9為方塊代表圖舉例說明根據較佳具體例製造圖1測試介面及通用積體電路間(I²C)匯流排互連裝置之I²C從屬狀態機器之多重狀態；

圖10A及10B分別舉例說明根據較佳具體例之圖1製造測試介面及通用積體電路間(I²C)匯流排互連裝置之I²C從屬狀態機器之基本單元寫入控制流及基本單元讀取控制流；

圖10C及10D分別舉例說明根據較佳具體例之圖1製造測試介面及通用積體電路間(I²C)匯流排互連裝置之I²C從屬狀態機器之暫存器寫入控制流及暫存器讀取控制流；

圖10E及10F分別舉例說明根據較佳具體例之圖1製造測試介面及通用積體電路間(I²C)匯流排互連裝置之I²C從屬狀態機器之控制寫入控制流及控制讀取控制流；以及

圖11為方塊代表圖舉例說明根據較佳具體例圖1之製造

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

測試介面及通用積體電路間(I²C)匯流排互連裝置之測試存取埠(TAP)及邊界掃描架構存取。

較佳具體例之詳細說明

現在參照附圖，圖1舉例說明根據本發明之製造測試介面及通用積體電路間(I²C)匯流排互連裝置，一般標示為參考符號100。製造測試介面及I²C匯流排互連裝置100包括一從屬I²C狀態機器，及傳譯器102透過I²C實體介面104連結至I²C匯流排106。製造測試介面及I²C匯流排互連裝置100可由單一積體電路晶片界定。I²C狀態機器及傳譯器102透過內部JTAG匯流排110連結多工器(MUX)108。多工器108連結至外部JTAG匯流排112。控制輸入113外加至多工器108，而介於內JTAG匯流排110與外JTAG匯流排112間選擇。測試存取埠及邊界掃描架構，存取器114或其它JTAG實施例係連結於多工器108與時脈控制功能、內建自行測試(BIST)功能及其它功能118間，高達2²³架構暫存器120，以及JTAG可掃描暫存器或測試資料暫存器(TDRs)122。

根據較佳具體例特點，製造測試介面及I²C匯流排互連裝置100以獨特方式橋接I²C匯流排106與JTAG測試存取埠(TAP)存取器114間的間隙，許可互連裝置支援原本I²C暫存器移轉協定及完整JTAG功能。製造測試介面及I²C匯流排互連裝置100，遵照業界標準I²C匯流排協定，但非限制JTAG功能。製造測試介面及I²C匯流排互連裝置100可減少互連布線，導入晶片層面之可定址性，以及定義直接記憶

五、發明說明(5)

體映射輸入/輸出(MMIO)讀及寫暫存器可定址性。

根據較佳具體例之特點，製造測試介面及I²C匯流排互連裝置100可使用製造測試硬體用於電路內資料路徑、測試及實驗室/現場除錯功能。製造測試介面及I²C匯流排互連裝置100導入一種新的掃描控制器指令，亦即即刻讀掃描通訊，可減少I²C匯流排106之暫存器讀取回應延遲。製造測試介面及I²C匯流排互連裝置100可簡化及減少系統層面製造測試的連結。系統層面製造測試使用單一I²C連結106用於測試介面，簡化執行集積及老化測試所需測試電路耦合程序及軟體。

I²C狀態機器及傳譯器102將跨越I²C匯流排106發送的資料轉成原本JTAG指令。I²C狀態機器及傳譯器102可用作TAP控制器與存取器114介面，俾便執行互接於I²C匯流排106之一晶片內部的讀取、寫入及掃描暫存器。I²C狀態機器及傳譯器102可初始化邏輯內建自行測試(LBIST)或陣列內建自行測試(ABIST)、掃描JTAG TDR 122、控制晶片時脈、以及任何其它可透過JTAG匯流排112初始化而藉存取器114執行的特點。製造測試介面及I²C匯流排互連裝置100使用一個7位元從屬定址模，許可直接存取27從屬位址。協定暗示被定址的從屬位址藉由串列定址循序位元組，始於特定從屬位址定義的記憶體而響應讀/寫。製造測試介面及I²C匯流排互連裝置100擴充直接定址至於8位元組排齊暫存器之2²³操作。此外，可利用由存取器114支援的暫存器讀/寫以外的作業。

五、發明說明(6)

串聯I²C匯流排106係由串列資料(SDA)及串列時脈(SCL)二線組成，當匯流排為寂靜時二線止於1。任何主匯流排可初始化以一開始位元(SDA 1→0，同時SCL='1')初始化訊息移轉。I²C匯流排協定於訊息封包操作，各訊息封包寬一位元組，各自接著為一確認位元(0=良好確認)。當訊息開始時，從屬邏輯於認可位元時序期間驅動SDA，主邏輯於其它時間驅動SCL及SDA。從屬邏輯經常性擁有時脈。從屬邏輯於讀取時擁有SDA，但認可位元除外。當於SCL時脈時(0→1→0)各SDA資料/認可位元須保持於穩定於1或0；因此SDA於SCL上升緣之前設定，且於下降緣之後維持，而當SCL為低時過渡。

訊息封包位元為被傳送的第一最有意義位元(位元1)。開始位元組位元1:7定址一特殊從晶片。開始位元組位元8為讀/寫位元。寫係以主元件送出位元組及從元件確認位元組進行。讀取始於主元件寫入開始位元組，但於從元件確認開始位元組後，資料流反向。現在從元件送出訊息封包，主元件確認。從元件繼續送出至主元件確認等於1(Ack=1)為止。全部發送皆止於一中止位元(SCL=1，而SDA 0→1)。於中止位元後，匯流排再度變寂靜。

IEEE 1149.1定義5線介面呼叫測試存取埠用以與邊界掃描架構通訊。存取器114為聯合測試行動組群(JTAG)介面IEEE 1149.1規格之特殊實施例。JTAG測試存取埠(TAP)5線包括JTAG測試時脈輸入(TCK)，JTAG測試資料輸入(TDI)，JTAG測試資料輸出(TDO)，JTAG測試模選擇輸入

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

(TMS)，及JTAG測試邏輯復置輸入(TRST)。測試時脈輸入(TCK)之上升緣造成TMS及TDI由存取器114抽樣。

於TCK上升緣期間，JTAG測試模選擇輸入(TMS)值造成存取器114之TAP控制器之狀態過渡。測試資料輸入(TDI)為存取器114的串列資料輸入。測試資料輸出(TDO)為存取器114之串列資料輸出。JTAG測試邏輯復置輸入(TRST)引發測試邏輯之非同步復置(TAP→測試邏輯復置)用以回復存取器114。移位IR為指令介於存取器114內部的TDI與TDO間串列移位的狀態。雖然TMS維持0，各TCK時脈造成另一位元由TDI移位至指令暫存器，及IR態由TDO移出。指令暫存器內容決定被定址的特定TDR，或被進行的非暫存器作業。移位DR為多個資料暫存器(TDR)之一串列連結於TDI及TDO間之狀態。雖然TMS維持0，但各個TCK時脈造成另一位元由TDI移位入暫存器，以及(老舊)資料由TDO移出。

圖2舉例說明根據較佳具體例之I²C狀態機器及傳譯器102之主要從屬資料及控制暫存器，一般標示為200。I²C從屬邏輯200包括資料之輸入/輸出緩衝器暫存器(IOBUF) 201，位址及暫存器讀/寫(R/W)緩衝，以及關聯的輸入/輸出位元址計數暫存器(IOCNT) 202。I²C從屬邏輯200包括錯誤偵測203耦合於實體介面104與從屬JTAG介面204間。I²C從屬邏輯200包括一從屬控制器206耦合至實體介面104、輸入/輸出位元計數暫存器(IOCNT) 202，及從屬JTAG介面204。從屬JTAG介面204包括一串列移位暫存器(SSR)

五、發明說明(8)

208，以及關聯串列移位暫存器(SSR) 208之位址計數暫存器(BCR) 210。從屬JTAG介面204包括一測試模選擇(TMS)選擇暫存器(TSR) 212，及TMS終端選擇暫存器(TTSR) 241，一時脈產生器(CG) 216提供測試脈輸入(TCK)，及一多工器218提供JTAG測試模選擇輸入(TMS)。

實體介面104處理I²C協定及時序，提供1-位元組寬資料介面連同關聯的訊息交換信號。SDA表示由I²C定義的雙向串列資料信號。SCL係指由I²C定義的串列時脈信號。實體介面104之作業通常係根據習知I²C標準實施。

IO緩衝器(IOBUF) 201緩衝由I²C開始位元組定址作為從屬晶片之該晶片移轉的循序位元組。IOBUF 201之資料係並列移轉，每次1位元組移轉至或來自實體介面104。完整開始位元組維持於IOBUF 201，但僅讀/寫位元組進一步由I²C狀態機器102使用。於寫入操作期間，資料流由I²C位元組106至內部JTAG匯流排110之TDI或TMS。於讀取操作期間，資料流係由內部JTAG匯流排110之TDO至I²C匯流排106。串列移位暫存器(SSR) 208可並列接收或供給多達8位元組至IOBUF 201。然後，此種資料遵照IEEE 1149.1協定移位至及來自內部JTAG匯流排110。

實體介面104監視I²C匯流排106及接收輸入/輸出位元組。若位元組為開始位元組，則實體介面104比較7位元從屬位址至晶片位址。若位址不匹配，則開始位元組及其餘訊息被忽略。實體介面104主張一信號給從屬控制器206指示已經接收到一位元組。

五、發明說明(9)

從屬控制器 206 調整與 IOBUF 201 資料交換步調，遞減 IO 計數器 (IOCNT) 202 而保持資料於 IOBUF 201 適當排齊。當訊息尾端被接收或發送時，或當 IOBFU 上溢位或下溢位時，從屬控制器 206 於 SSR 208 與 IOBUF 201 間移轉資料，並觸發從屬 JTAG 介面 204 進行一或多次 JTAG 基本單元操作。如本說明書及申請專利範圍使用，基本單元操作定義表示一系列一或多個測試時脈輸入 (TCK) 脈衝可驅動測試模選擇 TMS、控制或 TDI/TDO 指令或資料/態至及來自內部從屬 JTAG 介面 204。

圖 3 舉例說明 IOBUF 201 及 IOCNT 202 之實施例從屬 IO 緩衝器邏輯。從屬 IO 緩衝器邏輯 201 及 IOCNT 202 包括 IO 計數暫存器 (IOCNTL2) 302，上/下計數器 304，比較器 (>"1011") 306，AND 閘 307，及 IO 緩衝器 (IOBUFL2) 308 及一對多工器 (MUX IOA, MUX IOB) 310, 312。IOCNT 202 等於 IO 計數暫存器 (IOCNTL2) 302 及上/下計數器 304。

當寂靜時，IO 計數暫存器 (IOCNTL2) 302 為並列負載以計數資料 (CNTDATA) b'1011'，針對 IO 緩衝器 201 之最無意義位元組。I²C 狀態機器 102 藉由主張 LOADCNT 外加至 IOCNTL2 302 而指示 CNTDATA 為有效。當位元組透過 I²C 匯流排 106 移轉時，計數遞減，循序指向其次最具意義位元組。I²C 實體介面 104 處理移轉位元 (第一最具意義位元)，IOBUF 201 呈現及接收位元組至及來自 I²C 實體介面 104 (第一最不具意義位元組)。

若開始位元組指示 I²C 匯流排 106 的讀取作業，則 I²C 狀態

五、發明說明 (10)

機器 102 藉由於準備將資料送返 I²C 匯流排 106 時主張 LOADCNT 為主動，及 CNTDATA=b'0111'，而跳過 IOCNT 前進至 IO 緩衝器 201 之資料部分。

於暫存器讀/寫作業期間，IONCT 暫存器 IONCTL2 302 再度被用作基本單元操作步驟計數器 304。於此模，外加至步驟計數器 304 之正數於每次執行暫存器讀/寫順序中的次一基本單元指令步驟時，由 I²C 狀態機器 102 主動化。唯有 IONCTL2 及 IOBUF 201 之資料部分改變時，IOBUF 位址及開始位元組才保留其數值。

12 位元組 IO 緩衝器暫存器 (IOBUFL2) 308 始於開始位元組由右至左每次載入一個位元。來自 I²C 實體介面 104 之資料到達信號 IS_BYTE_O，且由來自 I²C 狀態機器 102 的信號 COUNTBYTE 指示為有效。MUX IOA 310 反饋 IOBUF 資料至全部位元組，但由 IOCNT 指示的位元組除外，其係以 IS_BYTE_O 的資料替代。

讀取資訊呈現給信號 IS_BYTE_I 的實體介面 104。MUX IOB 312 選擇待於 IS_BYTE_I 驅動的第 IONCT 位元組。當 BUFLOAD 信號由 I²C 狀態機器 102 主動化時，來自 SSR 208 之資料並列載入 IOBUF 201 之資料部分。如此，發生於暫存器讀取基本單元順序結束時，或發生於單一步驟 JTAG 基本單元指令於 I²C 指令請求執行後。

資料、指令/位址、及讀/寫位元透過 IOBUFL2 (0:95) 信號呈現給 I²C 狀態機器 102 及 SSR 208。由 AND 閘 307 產生的 OVERRUN 信號指示 IOBUF 之滿/空情況。

五、發明說明 (11)

下表1提供多工器(MUX IOA, MUX IOB)310, 312之MUX定義, 其中x表示無需考慮。

表 1 : 多工器定義

MUX IOA 310 輸出	計數位元組 RW		IOcntL2	BufLoad
SSRL2 (0 : 63)& IOBUFL2 (64 : 95)	x	x	x	1
IOBUFL2 (0 : 95)	0	x	x	0
IS_BYTE_O (0 : 7)& IOBUFL2 (8 : 95)	1	0	0000	0
IOBUFL2 (0 : 7)& IS_BYTE_O (0 : 7)& IOBUFL2 (15 : 95)	1	0	0001	0
等	1	x	等	0
IOBUFL2 (0 : 87)& IS_BYTE_O (0 : 7)	1	x	1011	0
無需考慮(***) 超限運轉 錯誤, 接收到過多資料 (***)	1	x	>1011	0
MUX IOB 312 輸出				
IOBUFL2 (0 : 7)	x		x000	x
IOBUFL2 (8 : 15)	x		x001	x
等	x		等	x
IOBUFL2 (56 : 63)	x		x111	x

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

MUX IOB 312無需考慮有關IOcntL2的最有意義位元，從屬邏輯僅送返資料，而未曾送返位址資訊。

圖4舉例說明JTAG介面204實施例之從屬測試存取埠(TAP)介面邏輯。從屬TAP介面邏輯204包括TAP時脈狀態機器(TAPCMSL2) 402，複數多工器(MUX A，MUX B，MUX BMUX C，MUX D，MUX E)，404，406，408，410及412，複數暫存器(SSRL2(0：63)，TTSRL2，TSRL2，BCRL2(0：5))，414，416，418及420，向下計數器421，比較電路(="111111") 422，複數閘鎖413，424及426，及一對AND閘428及430。

當負載指令(LOADCMD)信號被主動化時，測試存取埠指令(TAPCMD)被視為有效而初始化內部JTAG匯流排110活動。如後述，TAPCMD信號資訊被載入指令暫存器，一時脈(ONECLK2)閘鎖426被設定為1，而於一或多TCK脈衝時解除。參考下表2、3及4之TAP時脈狀態機器(TAPCSM) 402定義，TAP基本單元指令介面及MUX D 410定義。當LOADCMD非為主動時，MUX B 406提供反饋，維持指令暫存器呈現數值。MUX A 404同樣維持SSR(資料)值。

TAP時脈狀態機器(TAPCSML2) 402保持閒置直到被ONECLKL2主動化為止。狀態機器402於返回閒置之前，循序前進通過狀態TCKF1、TCKR0、TCKR1。只要ONECLKL2=1，則機器402繼續迴圈通過此等狀態。TCK於TCK上升(TCKR0，TCKR1)態被驅動至1，以因數4有效劃分基本從屬時脈頻率，且粗略提供50%負載週期。BCR被

五、發明說明 (13)

遞減，SSR資料於TCKR1態向右移位一位元。JTAG要求TDO於TCK之上升緣被抽樣，係經由將來自TDO之TDOL2門鎖413載入TCKR0態達成。參考下表4之MUX E 412定義。

表 2：TAP時脈狀態機器(TAPCSML2) 402

狀態(編碼)	輸入	次一態	輸出
IDLE (00)	ONECLKL2 其它	TCKF1 IDLE	
TCKF1 (01)		TCKR0	若 BCRL2=111111 則 復置 ONECLKL2
TCKR0 (11)		TCKR1	TCK=1 由 TDO 載入 TDOL1
TCKR1 (10)		IDLE	TCK=1 BCRCount=非 (BCRL2="111111") SSRshift=1

狀態機器 402 之狀態係循環編碼以防狀態過渡期間之 TCK 干擾。除非狀態表中有另行規定，否則輸出為 0。

外加至 MUX A 404，MUX B 406，及 BCRL2 420 之 tap 指令 (TAPCMD) 信號為寬度 9 位元組。第一位元組為由 JTAG 掃描邏輯 204 執行的基本單元指令。TMS 選擇暫存器 (TSRL2：TAPCMD 位元 0) 418 決定 MUX C 408 是否將選擇來自 SSRL2 (0：63) 414 的 SSR 資料由 TMS 移位出，或選擇恆定值。零 0 指示 SSRL2 414 的資料為 TMS 控制資訊流。1 指

五、發明說明 (14)

示多工器C選擇狀態0值於第一N-1 TCK時脈脈衝之TMS被驅動；然後TTSRL2 416值於第N(終端)TCK脈衝期間於TMS被驅動。

終端TMS選擇暫存器(TTSRL2：TAPCMD位元1)416於第N(終端)TCK脈衝期間提供一值於TMS。當64位元寬SSR不足以完成掃描時，TTSRL2 416意圖用於長期掃描作業。TTSRL2=0將橋接基本單元操作，許可掃描繼續另一基本單元指令。TTSRL2=1經由將存取器114內側的JTAG TAP態移出移位DR或移位IR態而結束操作。測試邏輯復置(TRST)係經由於未用於基本單元指令的組合閘控TAPCMD位元0：1形成。此AND閘428之輸出由閘鎖424閘鎖而不干擾測試邏輯復置TRST信號。位元計數暫存器420 (BCRL2：TAPCMD位元2：7)定義待發送的TCK脈衝編號，以及TMS或TDI的資訊順序。b'111110'之BCR值指示待發送的64 TCK脈衝(整個SSR暫存器414)將向右移位離開TDI或TMS，TDO移位返回左側之SSR。BCR=b'111111'為終端計數，指示將解除一個TCK脈衝。

TAPCMD之第一位元組定義摘述於下表3。

五、發明說明 (15)

表 3 : TAP 基本單元指令介面

位元	信號	說明
0	TSRL2 418	TMS 選擇暫存器 0 : $TMS \leq (SSR(63), \text{向右移位}) * (BCRL2 + 2)$ 1 : $TMS \leq 0$, 而 $BCRL2 \neq 111111$ TTSRL2 當 $BCRL2 = 111111$
1	TSRL2 416	當 $TSRL2 = 1$ 於 $BCRL2$ 計數之最末位元期間 TMS 終端選擇暫存器值於 TMS 被驅動
	TRST	$TRST(TSRL2 = 0)$ 及 $(TTSRL2 = 1)$ 此乃獲得 TRST 功能而未使用更多位元之道
2 : 7	BCRL2 420 (6 位元)	位元計數暫存器 載入待移位位元編號減 2 : $b'111110' = 64$ TCK 脈衝(SSR 移位 63 次) $b'111101' = 63$ TCK 脈衝(SSR 移位 62 次) 等 $b'111111' = 1$ TCK 脈衝(SSR 不移位) 註 : 無 0 脈衝編碼
8 : 71	SSRL2 (64 位元)	單純掃描暫存器 資料移位出 TDI(若 $TSRL2 = 1$ 也移位出 TMS) $TDO \Rightarrow (0) SSRL2(63) \Rightarrow TDI/TMS$ TDO 被捕捉於 TCK 上升緣, 於 TCK 下降緣 TDI/TMS 開始(SSR 移位)

其餘 TAPCDM 信號位元表示於準備移位出 TDI 或 TMS 時待載

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (16)

入 SSR 208 之資料。

當 BCR 達到 b'111111' 時指令完成。ONECLKL2 閘鎖 426 返回 0，TAPCMD 狀態機器 402 靜止閒置。內部 JTAG 匯流排 110 為被動。AND 閘 430 之 CMDDONE 信號輸出被反饋至 I²C 從屬狀態機器 102 作為可初始化新的基本單元指令的指標器。

下表 4 對多工器 (MUX A，MUX B，MUX C，MUX D，MUX E)，404，406，408，410 及 412 之多工器定義中，x 表示無需顧慮及表示 / =。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (17)

表 4 : 多工器定義

MUX A (0 : 63) 404 輸出	載入指令	SSR 移位	TSRL 2	BCRL2	TAPcmdSM
SSRL2 (0 : 63)	0	0	x	x	x
TDO & SSRL2 (0 : 62)	0	1	x	x	x
TAPCMD (8 : 71)	1	x	x	x	x
MUX B (0 : 1) 406 輸出					
TSRL2 & TTSRL2	0	x	x	x	x
TAPCMD (0 : 1)	1	x	x	x	x
MUX C 408 輸出					
SSRL2 (63)	x	x	0	x	x
0	x	x	1	/= 111111	x
TTSRL2	x	x	1	=111111 1	x
MUX D 410 輸出					
1	1	x	x	X	x
ONECLKL2	0	x	x	x	/=TCKF1
ONECLKL2	0	x	x	/=111111	TCKF1
0	0	x	x	=111111 1	TCKF1
MUX E 412 輸出					
TDO	x	x	x	x	TCKR0
TDOL2	x	x	x	x	/=TCKR0

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (18)

圖5舉例說明從屬控制器206之實施例之從屬控制器邏輯。從屬控制器邏輯206包括I²C從屬狀態機器邏輯(I2CSSML2(0:3))502，比較器(=)504，複數多工器，TAP CMD路由用之MUX SMA 506，資料路由用之MUX SMB 508，控制用之MUX SMD 510。從屬控制器邏輯206包括暫存器讀/寫(REGRW)匯流排同步邏輯512。REGRW匯流排同步邏輯512包括一對AND閘514，516，SC閒置門鎖(SCIDLEL2)520，NOT閘522及多工器MUX SMB 524。從屬控制器邏輯206進行多種基本功能如後。I²C從屬狀態機器邏輯(I2CSSML(0:3))502調整實體介面106與IO緩衝器邏輯300間之資料交換步調，以及調整IO緩衝器邏輯300與JTAG掃描邏輯204間之資料交換步調。TAP CMD路由用之MUX SMA 506提供有序暫存器讀/寫操作之指令順序。REGRW匯流排同步邏輯512調整JTAG掃描邏輯204與存取器114間之資料交換步調。資料路由之MUX SMB 508減小對資料之I²C頻寬要求。

表5、6、7及8分別對從屬控制器206之MUX SMA 506，MUX SMB 524，MUX SMC 508及MUX SMD 510提供多工器定義。

IOBUF 201及SSR 208之資料並非經常逐一位元組移轉。若I²C使用基本單元指令順序來定址IOBUF/SSR暫存器寬度更短的TDR，或甚至IOBUF/SSR暫存器寬度的偶數倍數，則來自I²C匯流排106之資料於左方排齊於IOBUF 201，故當接收到全部有意義資料後，可偵測上溢位。IOBUF 201

五、發明說明 (19)

資料於載入 SSR 208 時，為右方排齊。被掃描出被鎖定目標 TDR 之資料係於 SSR 208 左方排齊，當移轉至 IOBUF 201 時保持左方排齊，故資料返回 I²C 之下溢位可於適當時間偵測得。

REGRW 匯流排同步邏輯 512 使用暫存器讀/寫匯流排同步化之 SC 閒置信號。於 CHKADR 狀態，S_C 閒置 L2 門鎖 520 設定為 1 (假定得自存取器 114 之 SCIDLE 信號為主動)。當暫存器 R/W 之作業初始化時，SCIDLE 走低，復置 SC 閒置 L2 520。當暫存器讀取作業完成時，SCIDLE 但非 SC 閒置 L2 指示暫存器讀取資料於存取器 114 內部可供利用。表中暫存器讀取順序於完成第三步驟後暫停，而使用本邏輯與暫存器讀取匯流排同步化。

圖 6 顯示調整 IOBUF 201 及實體介面 104 間之資料移轉所需信號。信號定義經由參照狀態機器說明可最為明瞭。

圖 7 說明 IO 緩衝器 201 至 JTAG 掃描邏輯 204 之資料調步。圖 7 顯示用於調整 IOBUF 201 與 JTAG 掃描邏輯 204 間之資料移轉步調的信號。信號定義由參照狀態機器說明將最為明瞭。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (20)

表 5：多工器定義

MUX SMA 506 輸出	CmdMux 選擇	備註
IOBUFL2 (80 : 87) & TapDataBits (0 : 63)	0000	tap 指令
x08 00000000 000000DF'	0001 0010	暫存器讀取基本單元 Tap 指令順序： 1.TAP=住宅，移位 ir 2.IR=暫存器
x'DE 00000000 14' & IOBUFL2 (64 : 87) x'00 00000000 00000001'	0011 0100 0101	Rdimmed，SSR=狀態，TAP=exitlir 3.TAP=運轉測試閒置 (此處對暫存器 RWDONE 暫停)
x'01 00000000 00000001'	0110	4.TAP=移位 dr 5.SSR=scscan (0 :
x'FE00000000 00000000'	0111	63)，TAP=exitldr 6.TMS=更新 DR，閒置
x'00 00000000 00000001'		7.無操作(TMS=0， TCK=2 時脈)，閒置
x'00 00000000 00000000'		
無需顧慮	1000	未實施

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (21)

表 5 (續)

		暫存器寫入基本單元 Tap 指令順序：
x'08 00000000	1001	1.TAP=住宅，移位 ir
000000DF'	1010	2.IR=掃描，SSR=狀態，TAP=exitlir
x'DE 00000000 OF		
000040'	1011	3.TAP=移位 dr
x'02 00000000	1100	4.scscan (0 :
00000003		63)=SSR，
x'FE' & IOBUFL2 (0 :	1101	TAP=exitlir
63)	1110	5.TAP=住宅，移位 ir
		6.IR=regusterwtm
x'08 00000000	1111	SSR=狀態，
000000DF'		TAP=exitlir
x'DE 00000000 18' &		7.TAP=運轉測試閒置
IOBUFL2 (64 : 87)		(觸發寫入)
x'00 00000000		
00000001'		

表 6：多工器定義

MUX SMB 輸出	I2SCSSML2	備註
1	=ChkAdr	
Sc 閒置及 SC 閒置 L2	其它	

五、發明說明 (22)

表 7：多工器定義

MUX SCM 輸出	IOBUFL2	備註
若有效位元組="0000"，則 Tap 資料位元 = "0000000000000000"X & IOBUFL2 (0 : 7) 若有效位元組="0001"，則 Tap 資料位元 = "0000000000000000"X & IOBUFL2 (0 : 15) 等 有效位元組輸出： b"0000" 若 $1 \leq (BCR+2) \leq 8$ b"0001" 若 $9 \leq (BCR+2) \leq 15$ 等 b"0111" 若 $57 \leq (BCR+2) \leq 64$	基本單元位址	Tap 資料位元輸出：64 位元欄位形成如下：IOBUFL2 (由 IOBUFL2 (82 : 87) 決定) 之有效資料位元組係由右側排齊，且於左方以常數 "00"X 加襯墊而形成 64 位元欄位 (8 位元組) 有效位元組輸出：由 "000" 至 "111" 值隨基本單元指令 (亦即得自 IOBUFL2 (82 : 87)) 的移轉大小決定，用作 IOBUFL2 有效資料之 LS 位元組的指標器
Tap 資料位元：IOBUFL2 (0 至 63) 有效位元組："111"	其它	若非基本單元指令，則未使用 Tap 資料位元。用於非基本單元指令，LS 位元組經常為 "111" (使用全部 8 位元組 IOBUF 資料)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (23)

表 8

MUX SMD 輸出	I2CSSML2	IOCNTL2	IOBUFL2	備 註
b“0001”	ChkAdr	x	x	IOCNTL2 用於此點作 為向上計數 器來計數暫 存器讀/寫 順序各步 驟。
有效位元組	ChkStop WrtAck	x b”0111”	基本單元位 址 基本單元位 址	將 IOCNTL2 載入LS位 元組之於 IOBUFL2 為有效位置
b“1011”	其它			指向 IOBUFL2之 最右位元組 而開始填補 12C位址位 元組

現在參照圖8顯示錯誤偵測203實施例之錯誤處理邏輯。
錯誤處理邏輯203包括週期性冗於查核(CRC)邏輯802用於

五、發明說明 (24)

CRC查核移轉至及來自I²C匯流排106的資料。錯誤處理邏輯203包括ACK TYPE MUX 804接收來自比較器808之輸入：CRC_良好，注意，IOCNTL2，讀_或_寫，及基本單元指令。

I²C狀態機器102及錯誤處理邏輯203接收得自JTAG TAP控制器存取器114的注意輸入。此種來自存取器114的注意輸入可因暫存器讀/寫匯流排錯誤被主動化或來自多種其它錯誤情況被主動化。讀_或_寫為得自由實體介面104緩衝的I²C狀態機器之輸入。IOBUFL2為得自IO緩衝器邏輯201至比較器808的輸入。外加至比較器808的TapCmdAdr為一常數配置作為內部常數或透過晶片IO接腳。IOCNTL2為由IO緩衝器邏輯201至MUX 804的輸入。CRC_良好為得自CRC邏輯802指示CRC位元組被正確移轉的信號。Is_從屬_確認_類型為由錯誤處理邏輯800之多工器804至實體介面104的輸出。

I²C從屬元件處理帶有確認脈衝的錯誤。I²C要求確認於Ack或第9時脈週期資料的每個位元組，也確認從屬位址的第9位元。當從屬元件遭遇錯誤時，當嘗試從事讀取順序時，無法再確認其位址及資料。藉此方式軟體可決定是否有錯誤情況，且使用I²C匯流排106決定何者造成錯誤，因此可由錯誤情況回復。

有若干情況可能造成從屬元件未於讀或寫順序上確認。例如若CRC查核已經致能，則從屬元件不會確認第13位元組以防軟體改寫資料。此13位元組包括從屬位址，3位元

五、發明說明 (25)

組暫存讀取位址，8資料位元組及一CRC位元組。寫入將僅出現於CRC被正確計算及傳送時。未經CRC查核，若軟體寫入超過8位元組資料，則資料將被改寫。當於存取器114內側提引出注意信號，且注意尚未被封阻於內側時，狀態機器當嘗試進行暫存器讀取直接順序時，不會引發No-Ack。若正在進行寫入順序且被發送的3位元組位址並非基本單元位址時，從屬元件不會確認資料位元組被跨I²C匯流排106發送。一旦CRC查核已經致能，且於I²C匯流排發送的CRC不正確，則從屬元件於下次嘗試讀取時將不確認。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (26)

表 9：錯誤處理邏輯確認型多工器 804 定義

是_從屬_ 確認_型	注意，讀_或_寫，基本單元指令去能_注意	備註
0	基本單元指令=1 注意=x 讀_或_寫=x	當內部 IOBUFL2 (64 至 79) 指向 TapCmdAdr 時經常為陽性確認
0	基本單元指令=0 讀_或_寫=0 及 IOCNTL2 係針對位元組 11、10、9 或去能_注意=1	當寫入位址位元組或注意被去能時為陽性確認
注意	基本單元指令=0 讀_或_寫=1 或 讀_或_寫=0 及 IOCNTL2 係針對位元組 ≤8	當讀或寫資料位元組帶有非基本單元位址於 IOBUFL2 時基於注意輸入作陰性/陽性確認

現在參照圖 9、10A、10B、10C、10D、10E 及 10F，圖 9 顯示狀態機器 102 之循序狀態。圖 10A 及 10B 分別舉例說明 I²C 從屬狀態機器 102 之基本單元寫入控制流及基本單元讀取控制流。圖 10C 及 10D 分別舉例說明 I²C 從屬狀態機器 102 之暫存器寫入控制流及暫存器讀取控制流。圖 10E 及 10F 分別舉例說明 I²C 從屬狀態機器 102 之控制器寫入控制流及控制器讀取控制流。

於 I²C 從屬狀態機器 102 之 IDLE 態 902 並無 I²C 活性。IOCNTL2 被載入 b'1011'，於準備接收開始位元組時，指向

五、發明說明 (27)

IOBUFL2之LS位元組。複數態為I²C寫入態包括AMATCH態904，WBYTE態906，CHKOVRFLW態908，及WRTACK態910。於寫入I²C態，當I²C主元件將位元組寫至從屬元件時，第一位元組經常為定址從屬元件的開始位元組。開始位元組第8位元為讀/寫位元。其次，三個位元組被解譯為暫存器位址、基本單元TAP指令、或從屬控制指令。其餘位元組為資料。

於AMATCH態904(位址匹配)，實體介面104已經辨識一開始位元且組裝訊息的(次一)位元組。當重複開始或開始位元組位址不匹配時，AMATCH態904返回IDLE態902，將從屬元件送返IDLE。若訊息結束於首四位元組(開始+位址位元組)被接收前，則從屬元件返回IDLE。若CRC被致能及偵測得CRC錯誤，則AMATCH態904返回IDLE態902。當8或8以上位元由實體介面104接收時，AMATCH態904移動至WBYTE態906。實體介面104之特殊實施例指出於開始位元期間於IsStartDetected之前為Is8times，要求Is8times被閂鎖(Is8timesL2)不會遺失。當於接收到一或多個資料位元組後，當中止位元已經由實體介面104偵測時，AMATCH態904移動至CHKADR態912。

於WBYTE態906(寫入位元組)，來自實體介面的是_位元組_0被寫至IOBUFL2(第IOcntL2位元組)，然後IOcntL2遞減。若有I²C寫入作業，則WBYTE態906移動至CHKOVRFLW態908。資料流繼續由主元件/初始化器流至從屬元件。當此乃I²C讀取作業時，WBYTE態906移動至

五、發明說明 (28)

CHKADR態912。開始位元組之後資料流逆轉。主元件現在接收得自從屬元件資料。

於CHKOVERFLW態908(檢查IO緩衝器的上(下)溢位)，並無動作。當此乃寫入作業，且IOCntL2尚未由b'0000'繞回b'1111'時，CHKOVERFLW態908移動至WRTACK態910，於IOBUFL2有更多位元組的空間。於暫存器讀取時或基本單元指令已經填補IOBUFL2，且CHKOVERFLW態908已經由RBYTE態932進入I²C讀取態時，CHKOVERFLW態908移動至WAITREAD態910。一或多個位元組已經被讀取，但IOBUFL2尚未下溢位。移動至CHKADR：IOBUFL2為滿/空，觸發暫存器寫/讀或基本單元操作。

WRTACK態910(確認剛寫至從屬元件的I²C位元組)，若於首四訊息位元組(開始+3位址位元組)則提供良好確認動作。若暫存器讀取位址且來自存取器114注意為主動、則WRTACK態910提供故障確認。IsDoRead(IOBUF讀取I²C主元件寫入的位元組)被主動化至實體介面104，指示位元組已經準備供IOBUF使用。NeedAckL2被復置。若此乃第四位元組(剛寫至IOBUF的最末位址位元組；現在IOcntL2=7)及位址指示基本單元指令，注意有效位元組，由基本單元之BCR欄位解碼而跳過IOcntL2之資料緩衝器前方。例如：BCR=b'000000'，僅二位元被傳輸至存取器114，因此僅需一資料位元組。IOcntL2被前進至b'0000'，故於資料之第一位元組之後即刻出現上溢位。否則I²C必須浪費時間傳輸另外7個不具意義的資料位元組。

五、發明說明 (29)

WRTACK態910以NeedAckL2移動至AMATCH態904。於確認被發送/接收後，實體介面104主動化IsAckSent一週期。若從屬狀態機器為等候，則NeedAckL2記憶直到確認被送出為止。

於CHKADR態912(查核位址)，IOBUFL2位址欄位經查驗來決定是否為暫存器讀/寫、基本單元、或控制指令，此處使用I²C從屬指令格式。基本單元信號對基本單元及控制作業二者皆為主動。若此乃暫存器讀/寫作業中ScidleL2被設定。REGRW匯流排同步邏輯512將監視暫存器讀/寫(架構化暫存器r/w)匯流排來避免JTAG指令步驟過度運轉暫存器讀/寫作業。IOcntL2暫存器於暫存器讀/寫作業之例被設定為b'0001'。此種情況下，IOCNT將通過基本單元TAP指令之界定順序，俾便完成暫存器讀/寫作業。

若注意為主動或CRC被致能及錯誤比較，則CHKADR態912移動至IDLE態902，暫存器的讀取將故障。當IOBUFL2位址不匹配基本單元位基本位址時，CHKADR態912移動至暫存器讀/寫指令態之一亦即REGRWGO態918。當IOBUFL2位址匹配基本單元r/w指令位址時，CHKADR態912移動至基本單元指令態之一，亦即LDTAPCMD態914。當IOBUFL2位址匹配控制器指令位址之一時，CHKADR態912移動至CHKSTOP態924。此等指令可無需任何JTAG匯流排活性完成。

基本單元指令態包括LDTAPCMD態914及WAITTAPDONE態916。IOBUFL2位址位元組匹配保留的位址直接通訊至晶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (30)

片上 JTAG 介面。TMS 或 TDI/TDO 活性之一將發生但非二者。任何數目位元組將根據基本單元 TAP 指令載於 IOBUFL2 位元組 10 而被移轉達 SSRL2 暫存器寬度。

於 LDTAPCMD 態 914 (載入 TAP 指令)，TAP 指令由 IOBUFL2 (位元組 10) 被載入 JTAG 介面 204。載入指令及有效位元組信號共同工作，而將有意義位元組排齊資料載入 SSRL2 之最右側位元組。如此，暗示資料須由資料欄位內部右側排齊的 I²C 發送。例如：若 BCR-b'000111'，9 位元將被發送至存取器 114，得自 I²C 實體介面 104 之資料之 LS 位元組須含 8 有意義位元，得自 I²C 實體介面 104 之次一位元組含有一個有意義位元，其須被送至該位元組內部之最右側位元。

於 WAITTAPDONE 態 916，(等候 TAP 完成)並無動作。JTAG 介面忙於執行基本單元 TAP 指令。當硬體完成時，以得自 JTAG 介面 204 之 CmdDone 信號，WAITTAPDONE 態 916 移動至 CHKSTOP 態 224。

於 CHKSTOP 態 924，(查核 I²C 中止情況)，暫存器讀/寫作業經常移轉 8 位元組，但基本單元指令可歸結僅有部分資料於 SSRL2 為有效。IOcntL2 302 被載以有效位元組，其指示有多少左方排齊的位元組含有有效資料。例如：BCR 210 始於 b'000111' (9 位元移轉)。SSRL2 414 最初保有右側排齊的 9 位元，故僅位元組 6、7 為有效。於基本單元指令完成後，TDO 資料被左側排齊捕捉於 SSRL2 414，故僅位元組 0、1 為有效。

五、發明說明 (31)

當已經偵測I²C中止位元時，CHKSTOP態924移動至IDLE態902而不再需要進一步動作。除非暫存器讀/寫作業被延遲且有一段長時間逾時，否則此乃不可能的路徑。當SSR 208有讀取資料需被送返I²C實體介面104時，CHKSTOP態924移動至LOADRESULTS態926。當I²C實體介面104請求的寫入完成時，以及I²C實體介面104預期從屬元件確認(ACK)最晚近移轉位元組時，CHKSTOP態924移動至WRTACK態910。

I²C讀取態包括LOADRESULTS態926，READACK態928，WAITREAE態930，及RBYTE態932。

於I²C讀取態，I²C實體介面104由從屬元件讀取位元組。暫存器讀取、基本單元、或控制器讀取接著為LOADRESULTS及READACK態926及928於每次IO緩衝器201缺乏資料時被執行。主元件擁有由從屬元件返回全部時序。主元件可讀取一或多位元組，當Ack=1時結束I²C移轉。由WAITREAD、RBYTE及CHKOVRFLW態930、932及908形成的迴路對每個被移轉的位元組執行一次。

於LOADRESULTS態926(由SSR載入資料至IOBUF)，若剛執行的JTAG作業為基本單元作業，則資料仍然於SSRL2 414且須拷貝入IOBUFL2 308。否則已經於下述暫存器讀/寫作業的步驟6進行，而SSR變成無用。

於READACK態928(等候確認剛由從屬元件讀取的I²C位元組)，實體介面104注意讀取時序，包括等候確認位元。也參照圖6，於實體介面104接收確認後，實體介面104指

五、發明說明 (32)

示需要藉由主動化IAckReady(其設定NeedAckL2門鎖)需要另一得自IOBUF 201的位元組。IsWrtReady被主動化返回實體介面104，而指示次一位元組已經準備由IOBUF 201寫至是位元組_I上。同時，NeedAckL2被復置。

若實體介面104忙碌於發送另一資料位元組返回主元件，或若Ack=1，READACK態928移動至WAITREAD態930，等候中止位元，此乃於結束讀取時I²C協定唯一許可的可能情況。

於WAITREAD態930(等候I²C由從屬元件讀取一位元組)並無動作。實體介面104忙碌於發送另一資料位元組返回主元件，或若Ack=1則等候中止位元。

當主元件讀取的第一資料位元組被確認為1時，WAITREAD態930移動至IDLE態902，然後一旦由實體介面104偵測得中止位元，則跳出至閒置。否則NeedAckL2指示當實體介面104完成時，發送另一位元組至主元件及接收Ack=1，此時提供跳出至IDLE態902。IDLE態902將主動化IsWrtReady而許可實體介面104開始搜尋中止位元，復置NeedAckL2並消耗中止位元。當實體介面104接收到Ack=0時，WAITREAD態930移動至RBYTE態932，指示需要另一資料位元組。

於RBYTE態932(設定讀取另一資料位元組)，IOcntL2 302被遞減，指向IOBUFL2 308的次一資料位元組。

暫存器讀/寫(REGRW)指令態包括REGRWGO態918，WAITCMDDONE態920及CMDSTEP態922。IOBUFL2位址位

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (33)

元組不匹配任何保留用於基本單元或控制器指令的位址。位址直接被解譯為暫存器讀/寫位址。TMS及TDI/TDO活性將出現於界定步驟順序，俾便完成暫存器讀/寫作業。將移轉恰64位元，亦即SSRL2暫存器414的寬度。

於REGRWGO態918(開始暫存器指令順序(次一)步驟)，暫存器順序的(次一)步驟被置於TapCmd匯流排上，及LoadCmd被主動化而啟動JTAG介面204。若IOcntL2=步驟6，則暫存器讀取的資料係於SSRL2 414，且於清除步驟使存取器114 TAP控制器返回運轉測試閒置前，必須被儲存於IOBUFL2 308，否則最末指令步驟將摧毀SSR資料。此係藉主動化緩衝器負載達成。

於WAITCMDDONE態920(等候TAP及/或暫存器讀取完成)並無任何動作。JTAG掃描邏輯忙於執行基本單元TAP指令，或暫存器讀取作業已經被初始化但尚未完成。

當來自TAG掃描邏輯的指令完成信號指示最晚近的指令步驟已經完成時，WAITCMDDONE態920移動至CMDSTEP態922，於來自存取器的SCIDLE信號已經進入被動接著返回主動後，暫存器讀/寫完成信號為主動。於暫存器讀取步驟3期間恰於暫存器讀取作業發生後，唯有暫存器讀寫完成信號為有意義。

於CMDSTEP態922(前進至次一指令步驟)，IOcntL2遞增，IOcntL2用於指令多工器選擇來通過暫存器讀/寫指令各步驟作指示。

CMDSTEP態922移動至SCOMGO：暫存器讀及寫指令順

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (34)

序長度恰7步驟。若步驟7尚未完成，則提供迴圈返回初始化次一步驟。當第7步驟剛完成時，CMDSTEP態922移動至CHKSTOP態924。

圖11舉例說明測試存取埠(TAP)及邊際掃描架構，亦即製造測試介面及通用(I²C)匯流排互連裝置100之存取器114的主要功能。存取器提供JTAG掃描功能1102及掃描通訊功能1104。JTAG掃描功能1102許可I²C從屬態機器102掃描晶片環通過測試存取埠(TAP)介面(IEEE 1149.1)示於線TAP/SP。也提供注意輸出及啟動復置(POR)輸出，示於線TAP/SP。注意輸出係供提醒I²C從屬狀態機器102要求觀察或介入/回復的情況。

掃描通訊功能1104提供晶片功能邏輯與掃描功能間的平行資料路徑。當晶片時脈運轉而系統操作時，執行存取作業；掃描通訊功能1104利用此而許可與操作晶片或系統通訊。

時脈樹1114接收得自存取器114的TCK SCAN CLOCKS輸入。時脈樹1114也輸出晶片時脈。半客戶LBIST/SCAN介面1116選擇性用於將晶片掃描環組織成為功能組，例如準位敏感掃描設計(LSSD)環，及BIST通道。介面1116耦合於存取器114之JTAG掃描1102與功能晶片邏輯1118間。

較佳具體例之新指令，亦即掃描通訊讀取-即刻增加至存取器1114 JTAG掃描控制器之設計，可輔助新穎I²C-至-JTAG介面功能設計。

於設計新指令亦即掃描通訊讀取-即刻前，讀取一晶片

五、發明說明 (35)

暫存器要求二步驟：步驟1：執行存取器掃描控制器指令「掃描通訊」(十六進制碼'17')來擷取目標晶片暫存器內容，及內容載入存取器掃描通訊資料暫存器1104。步驟2：執行存取器掃描控制器指令「掃描出」(十六進制碼'12')而讀取出存取器掃描通訊資料暫存器1104內容。此二步驟式處理設計用於配合現有軟硬體。

利用新穎掃描通訊讀取-即刻指令，步驟1及2組合為單一步驟：執行存取器掃描-控制器指令「掃描通訊讀取-即刻」(十六進制碼'14')而擷取目標晶片暫存器1120之內容，且將該內容載入存取器掃描通訊資料暫存器1104，然後即刻讀出暫存器掃描通訊資料暫存器1104的內容。

若I²C-至-JTAG介面功能被迫使用原先二步驟式處理，則需嘗試於一時脈週期(其擁有的I²C時脈週期之一)執行二步驟。因I²C時脈週期可能相對於另一系統時脈改變，故無法保證二步驟可成功地完成。經由減少處理至一步驟，現在可保證作業將於一時脈週期完成。

互連裝置100及I²C狀態機器102的操作由下述實例更為明瞭。

64位元暫存器讀/寫作業始於開始位元組位址(I²C從屬基本位址)，選擇性接著為至多3位元組之暫存器讀/寫位址(LS位元組，首先為高排序位元)。一實施例定義暫存器讀/寫位址為排齊的8位元組。寫入須始於暫存器讀/寫位址全部3位元組；讀取可使用先前寫入的位址或修改於重新開始/讀位元組之前位址的一、二或全部3個位元組

五、發明說明 (36)

(除非CRC查核被致能)。I²C從屬元件實施24位元暫存器讀/寫位址(由23至0, 0=LSB)。存取器/JTAG定義LSB為同位位元。其餘23位元(23至1)表示位元組排齊位址。暫存器讀/寫移轉經常寬8位元組, 但各晶片通常架構具有不等寬度的暫存器, 而不一定需要於8位元組邊界排齊。I²C暫存器讀/寫資料欄位內部資料特定排齊係與晶片實施例有關。若於此點接收到中止位元, 則僅寫入位址部分被改變而無其它活性被初始化。

用於寫入作業, 接著為寫入作業資料, 始於第4位元組(LS位元組, 首先為高排序位元)。於一或多資料位元組之後的中止或上溢位情況啟動暫存器讀/寫作業, 暫存器讀/寫位址不會自行遞增。當多於8位元組資料被讀/寫時, 發生上溢位/下溢位。至於此種設計的取代之道, 暫存器讀/寫位址可自動遞增至讀/寫循序暫存器讀/寫位址用以讀/寫超過8位元組。寫入超過8位元組資料將導致於該暫存器讀/寫位址的資料被改寫。寫入少於8位元組資料將導致暫存器讀/寫位址以滿8位元寫入, 最有意義的資料位元組將以來自先前操作留在暫存器讀/寫資料IO緩衝器之資料寫入。利用CRC查核致能, 於一次寫入期間從屬元件不會確認第9(CRC)位元組以防改寫良好的資料移轉。

用於讀取作業, 於具有讀/寫位元='1'之I²C介面發出重新啟動(停止接著啟動)。如此, 觸發於I²C硬體內部開始讀取暫存器。然後資料流逆轉, 從屬元件對各次確認(首先為LS位元組)返回一資料位元組。暫存器讀/寫位址不會

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (37)

自動遞增。若讀取大於8位元組，則資料將以LS位元組開始重複。

非暫存器TAP指令格式由保留暫存器讀/寫位址(23:12)=x'524'(此位址為可重新定位)變數。有8個操作模，由Tap指令位元10:8值選擇。位元11保留供未來使用。於基本單元TAP指令(TapCmd Addr(11:8)="0000")格式，暫存器讀/寫位址之LS位元組被解譯為TAP指令造成位元組被移出至TMS或TDI及捕捉TDO的TAP埠。如此可使I²C介面104執行任何由JTAG邏輯支援的動作。中止或上溢位條件開始BCR，以其目前值用於寫入作業及上溢位條件。以讀/寫位址位元設定為1中止或啟動，可開始BCR以目前值用於讀取作業。寫或讀大於「BCR_值模8」(若差額非0，則為+1)位元組資料使BCR重新載入而繼續資料流(亦即於掃描環之寫/讀循序位元組)。以CRC查核致能，除非CRC位元組被正確傳輸，否則全部讀/寫基本單元及暫存器讀/寫皆受抑制。

Tap指令例：64位元+位元環暫存器

讀/寫出：(CRC去能)

以下說明由內部掃描環中執行基本單元64位元掃描出接著為1位元掃描所需I²C指令順序：

1. 載入基本單元指令：指示從屬元件首先調整Tap狀態機器至測試邏輯復置，然後移位IR而掃描一指令。

I²C寫入起點w/R/W位元=0，長度=5位元組，中止

位元組1：08x : 10 TCK脈衝(位址/指令位元組後

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (38)

資料為 TMS 順序)

- 位元組 2 : 40x : 基本單元指令位址之 LSB
 位元組 3 : 52x : 基本單元指令位址之 MSB
 位元組 4 : DFx : 數值之 TMS 順序(由最右側 LSB 至 MSB 排序)
 位元組 5 : 00x : 繼續數值之 TMS 順序(Tap SM 至移位 IR)

2. 載入基本單元指令及指示資料：指示從屬元件將下列掃描入 Tap 控制器指令暫存器：OF 80 00 41。此由內部環掃描出，然後取 Tap S/M 至跳出 1-IR。

I²C 寫入起點 w/R/W 位元=0，長度=7 位元組，中止

- 位元組 1 : DEx : 32 TCK 脈衝
 位元組 2 : 40x : 基本單元指令位址之 LSB
 位元組 3 : 52x : 基本單元指令位址之 MSB
 位元組 4 : 41x : 指令之 LSB
 位元組 5 : 00x : 指令之次一位元組
 位元組 6 : 80x : 指令之次一位元組
 位元組 7 : 0Fx : 指令之 MSB(由內部掃描環掃描出)

3. 載入基本單元指令：指示從屬元件循序 Tap 狀態機器至移位-DR(得自跳出 1-IR)。

I²C 寫入起點 w/R/W 位元=0，長度=4 位元組，中止

五、發明說明 (39)

- 位元組 1 : 02x : 4 TCK 脈衝
- 位元組 2 : 40x : 基本單元指令位址之 LSB
- 位元組 3 : 52x : 基本單元指令位址之 MSB
- 位元組 4 : 03x : 數值之 TMS 順序(由最右 LSB 取至 MSB , 取 Tap S/M 至移位-DR)

4. 載入基本單元指令 : 指示從屬元件初始化 64 TCK 脈衝 , 全部之 TMS=0 且保有 Tap S/M 於移位 -DR。

I²C 寫入起點指令 : 指示從屬元件初始化 64 TCK 脈衝 , 全部之 TMS=0 及維持 Tap S/M 於移位 -DR

- 位元組 1 : BE_x : 64 TCK 脈衝
- 位元組 2 : 40x : 基本單元指令位址之 LSB
- 位元組 3 : 52x : 基本單元指令位址之 MSB

5. 對掃描出指令獲得返回資料 --- TMS 為 0 , 留下 Tap S/M 於移位 -DR。

I²C 讀取重新啓動 w/R/W 位元 = 1 , 長度 = 8 位元組 , 中止

- 位元組 1 : FE_x : 資料之 LSB
- 位元組 2 : 0F_x : 資料之次一位元組
- 位元組 3 : DC_x : 資料之次一位元組
- 位元組 4 : BA_x : 資料之次一位元組
- 位元組 5 : EF_x : 資料之次一位元組
- 位元組 6 : BE_x : 資料之次一位元組
- 位元組 7 : AD_x : 資料之次一位元組
- 位元組 8 : DE_x : 資料之 MSB 位元組

五、發明說明 (40)

6. 載入次一基本單元指令：指示從屬元件初始化 1 TCK 脈衝帶有 TMS=1，而於 1 位元掃描後啟動 Tap S/M 至跳出 1-DR。

I²C 寫入起點 w/R/W 位元=0，長度=3 位元組，中止

位元組 1：FFx : 1 TCK 脈衝

位元組 2：40x : 基本單元指令位址之 LSB

位元組 3：52x : 基本單元指令位址之 MSB

7. 對掃描出指令 (1 位元) 獲得返回資料 --- 啟動 Tap S/M 至跳出 1=DR

I²C 讀取重新 w/R/W 位元=1，長度=1 位元組，中止

位元組 1：FEx : 資料之 LSB (僅有最右位元為有效)

8. 載入次一基本單元指令：指示從屬元件將 Tap 狀態機器調整至測試邏輯復置狀態

I²C 寫入起點 w/R/W 位元=0，長度=4 位元組，中止

位元組 1：03x : 5 TCK 脈衝

位元組 2：40x : 基本單元指令位址之 LSB

位元組 3：52x : 基本單元指令位址之 MSB

位元組 4：1Fx : 由最右位元至最左之 TMS 值順序 (僅 5 位元用於將 Tap 狀態機器返回復置)

Tap 指令實例：2.5 位元組暫存器寫入：

後文說明以 2.5 位元組 (20 位元) 資料掃描入內部掃描環所需 I²C 指令順序 (註：所得資料掃描為 A EF BA 十六進

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (41)

制)。

1. 載入基本單元指令：指示從屬元件首先調整 Tap 狀態機器至測試邏輯復置，然後移位 IR 而掃描一指令。

I²C 寫入起點 w/R/W 位元=0，長度=5 位元組，中止

位元組 1：08x : 10 TCK 脈衝(位址/指令位元組後資料為 TMS 順序)

位元組 2：40x : 基本單元指令位址之 LSB

位元組 3：52x : 基本單元指令位址之 MSB

位元組 4：Dfx : 數值之 TMS 順序(由最右側 LSB 至 MSB 排序)

位元組 5：00x : 繼續數值之 TMS 順序(Tap SM 至移位 IR)

2. 載入基本單元指令及指示資料：指示從屬元件將下列掃描入 Tap 控制器指令暫存器：OF 80 00 41。此由內部環掃描出，然後取 Tap S/M 至跳出 1-IR。

I²C 寫入起點 w/R/W 位元=0，長度=7 位元組，中止

位元組 1：Dex : 32 TCK 脈衝

位元組 2：40x : 基本單元指令位址之 LSB

位元組 3：52x : 基本單元指令位址之 MSB

位元組 4：41x : 指令之 LSB

位元組 5：00x : 指令之次一位元組

位元組 6：80x : 指令之次一位元組

位元組 7：0Fx : 指令之 MSB(由內部掃描環掃描出)

五、發明說明 (42)

3. 載入基本單元指令：指示從屬元件循序 Tap 狀態機器至移位-DR(得自跳出 1-IR)。

I²C 寫入起點 w/R/W 位元=0，長度=4 位元組，中止

位元組 1 : 02x	: 4 TCK 脈衝
位元組 2 : 40x	: 基本單元指令位址之 LSB
位元組 3 : 52x	: 基本單元指令位址之 MSB
位元組 4 : 03x	: 數值之 TMS 順序(由最右 LSB 取至 MSB，取 Tap S/M 至移位-DR)

4. 載入基本單元指令：指示從屬元件初始化 2-位元組掃描入由 2 串列 8 TCK 脈衝組成，全部之 TMS=0 及留下 S/M 於移位-DR

I²C 寫入起點 w/R/W 位元=0，長度=5 位元組，中止

位元組 1 : 06x	: TCK 脈衝(全部之 TMS=0 註：由於有 2 位元組資料，需要 16 TCK 脈衝，故內部從屬邏輯將啟動 2 次分開 8 位元掃描)
-------------	--

位元組 2 : 40x	: 基本單元指令位址之 LSB
位元組 3 : 52x	: 基本單元指令位址之 MSB
位元組 4 : BAx	: 資料之第一位元組(LSB)
位元組 5 : EFx	: 資料之次一位元組

5. 載入基本單元指令：經由掃描入最末 4 位元完成 2.5 位元組掃描。將為 4 TCK 脈衝對全部帶有 TMS=0，最末 TCK 除

五、發明說明 (43)

外。帶有 TMS=1 之最末 TCK 將啓動 TAP S/M 至跳出 1-DR。

I²C 寫入起點 w/R/W 位元=0，長度=4 位元組，中止

位元組 1 : C2x : 4 TCK 脈衝(全部之 TMS=0，但最末 TCK 除外)

位元組 2 : 40x : 基本單元指令位址之 LSB

位元組 3 : 52x : 基本單元指令位址之 MSB

位元組 4 : BAx : 掃描入資料之最有意義的 4 位元(最右側位元)

6. 載入次一基本單元指令：指示從屬元件將 Tap 狀態機器調整至測試邏輯復置狀態

I²C 寫入起點 w/R/W 位元=0，長度=4 位元組，中止

位元組 1 : 03x : 5 TCK 脈衝

位元組 2 : 40x : 基本單元指令位址之 LSB

位元組 3 : 52x : 基本單元指令位址之 MSB

位元組 4 : 1Fx : 由最右位元至最左之 TMS 值順序(僅 5 位元用於將 Tap 狀態機器返回復置)

零 TAP 指令(TapCmd Addr (11 : 8)="0001")

TCK/TMS/TDI 之 JTAG 活性受抑制。此模意圖例如用於 Tap 指令順序掃描新指令入 IR 後即刻回讀 IR 狀態資訊。

I²C 寫至 SSR 資料(IO 緩衝器)無影響。I²C 讀取 SSR 資料將送返最晚近掃描出的 JTAG/TDO 資料。

Tap 指令例：於掃描入一指令後，即刻讀取 IR 狀態。

1. 載入基本單元指令：指示從屬元件首先調整 Tap 狀態機

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (44)

器至測試邏輯復置，然後移位IR而掃描一指令。

I²C 寫入起點 w/R/W 位元=0，長度=5 位元組，中止

- | | |
|-------------|----------------------------------|
| 位元組 1 : 08x | : 10 TCK 脈衝(位址/指令位元組後資料為 TMS 順序) |
| 位元組 2 : 40x | : 基本單元指令位址之 LSB |
| 位元組 3 : 52x | : 基本單元指令位址之 MSB |
| 位元組 4 : Dfx | : 數值之 TMS 順序(由最右側 LSB 至 MSB 排序) |
| 位元組 5 : 00x | : 繼續數值之 TMS 順序(Tap SM 至移位 IR) |

2. 載入基本單元指令及指示資料：指示從屬元件將下列掃描入 Tap 控制器指令暫存器：OF 80 00 41。此由內部環掃描出，然後取 Tap S/M 至跳出 1-IR。

I²C 寫入起點 w/R/W 位元=0，長度=7 位元組，中止

- | | |
|-------------|----------------------|
| 位元組 1 : Dex | : 32 TCK 脈衝 |
| 位元組 2 : 40x | : 基本單元指令位址之 LSB |
| 位元組 3 : 52x | : 基本單元指令位址之 MSB |
| 位元組 4 : 41x | : 指令之 LSB |
| 位元組 5 : 00x | : 指令之次一位元組 |
| 位元組 6 : 80x | : 指令之次一位元組 |
| 位元組 7 : 0Fx | : 指令之 MSB(由內部掃描環掃描出) |

3. 載入基本單元指令：指示從屬元件讀取出最末被掃描出

五、發明說明 (45)

掃描控制器者(由於指令暫存器掃描為最末作業，故此將為IR態)

I²C 寫入起點 w/R/W 位元=0，長度=3 位元組，中止

- | | |
|-----------|----------------|
| 位元組 1：--x | ：此位元組為不管此指令 |
| 位元組 2：41x | ：基本單元指令位址之 LSB |
| 位元組 3：52x | ：基本單元指令位址之 MSB |

4. 獲得基本單元讀取指令之返回資料---被掃描出之返回資料(如下以虛線表示)

I²C 讀取重新開始 w/R/W 位元=1，長度=4 位元組，中止

- | | |
|-----------|-------------|
| 位元組 1：--x | ：IR 態之 LSB |
| 位元組 2：--x | ：IR 態之次一位元組 |
| 位元組 3：--x | ：IR 態之次一位元組 |
| 位元組 4：--x | ：IR 態之 MSB |

5. 載入次一基本單元指令：指示從屬元件將Tap狀態機器調整至測試邏輯復置狀態

I²C 寫入起點 w/R/W 位元=0，長度=4 位元組，中止

- | | |
|-----------|--|
| 位元組 1：03x | ：5 TCK 脈衝 |
| 位元組 2：40x | ：基本單元指令位址之 LSB |
| 位元組 3：52x | ：基本單元指令位址之 MSB |
| 位元組 4：1Fx | ：由最右位元至最左之 TMS 值順序(僅 5 位元用於將 Tap 狀態機器返回復置) |

發表 I²C 中止順序

五、發明說明 (47)

T a p 指令例：遮蔽內部注意

1. I^2C 寫入起點 w/R/W 位元=0，長度=4 位元組，中止
2. 位元組 1：--x
位元組 2：43x
位元組 3：52x
：基本單元指令位址之 LSB
：基本單元指令位址之 MSB
3. 發表 I^2C 中止順序
基本單元指令實例：致能內部 CRC 查核。此位元組順序
啟動 CRC 查核。

1. I^2C 寫入起點 w/R/W 位元=0，長度=3 位元組，中止
2. 位元組 1：--x
位元組 2：45x
位元組 3：52x
：基本單元指令位址之 LSB
：基本單元指令位址之 MSB

3. 發表 I^2C 中止順序
備註：CRC 查核現在被致能，直到位元組 2：45x 及位元組
3：52x 被送至從屬元件為止。

實例：使用 CRC 執行暫存器讀取

對本實例——CRC 實施例使用： $x^8+x^4+x^3+x^2+1$ 用於 8 位元
CRC 累加器。

寫入基本單元解碼而啟動 CRC 查核

1. I^2C 寫入起點 w/R/W 位元=0，長度=3 位元組，中止
2. 位元組 1：--x
位元組 2：45x
位元組 3：52x
：基本單元指令位址之 LSB
：基本單元指令位址之 MSB
3. 發表 I^2C 中止順序

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (48)

(現在致能 CRC_CHEKING)

於待讀取位址發送及從屬元件位址及3位元組住址(本例為59x)發送CRC位元組

1. I²C 寫入起點 w/R/W 位元=0，長度=4 位元組，中止
2. 位元組 1：03x ：暫存器讀/寫位址之 LSB
 位元組 2：00x ：暫存器讀/寫位址之中間位元組
 位元組 3：80x ：暫存器讀/寫位址之 MSB
 位元組 4：59x ：8 次 0 移位入其中後之 CRC 位元組
3. 發表 I²C 中止順序

(暫存器讀/寫位址800003儲存於從屬元件)

讀取儘可能期望的多個位元組至完成為止，CRC位元組僅於被送返I²C匯流排的資料上計算。

1. I²C 寫入起點 w/R/W 位元=1，長度=8 位元組，本實例讀取中止
 位元組 1-8(可變長度)
2. 發表 I²C 中止順序

為了獲得於末次讀取作業計算之CRC位元組，必須發送基本單元解碼'5247'x與'11'x作為CRC位元組(若'03'x被發送於指令之無需顧慮部分)

1. I²C 寫入起點 w/R/W 位元=0，長度=4 位元組，中止
2. 位元組 1：--x ：無需顧慮 CRC 讀取(03x 用於本案例)
 位元組 2：47x ：讀取 CRC 解碼位址
 位元組 3：52x ：基本單元位址之 MSB
 位元組 4：11x ：8 次 0 移位入其中後之 CRC 位元組
3. 發表 I²C 中止順序

五、發明說明 (49)

(暫存器讀/寫位址80003儲存於從屬元件)

於送出基本單元解碼用於CRC讀取後，可進行讀取順序而對被進行讀取的暫存器獲得CRC。由於僅有一位元組為有效，故須僅讀取一位元組或忽略其它位元組。主元件須不確認('1'b)此位元組，因而不會進行此操作而不致於造成匯流排錯誤。

1. I²C 寫入起點 w/R/W 位元=1，長度=1 位元組，對本例中止讀取位元組 1 號(僅有一位元組為有效)
2. 發表 I²C 中止順序

注意CRC位元組須透過先前技術位元組為0而送出暫存器。

此位元組順序結束CRC查核。

1. I²C 寫入起點 w/R/W 位元=0，長度=3 位元組，中止
2. 位元組 1 : --x : TCK 脈衝
位元組 2 : 46x : 基本單元指令位址之 LSB
位元組 3 : 52x : 基本單元指令位址之 MSB
3. 發表 I²C 中止順序

現在對次一程式規劃器去能CRC查核。

雖然已經參照附圖顯示之本發明之具體例細節說明本發明，但此等細節絕非圍限如申請專利範圍界定之本發明之範圍。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：用以將製造測試介面連結至包含內集積電路之整體串列匯流排之方法及裝置)

提供連結一製造測試介面至一通用串聯匯流排(global serial bus)例如積體電路間(I²C)匯流排(inter integrated circuit bus)之方法及裝置。輸入/輸出緩衝器邏輯緩衝將移轉至通用串聯匯流排及由其中移轉出的資料。一連結至輸入/輸出緩衝器邏輯的從屬介面邏輯接收及發送資料至輸入/輸出緩衝器邏輯。從屬控制器耦合至輸入/輸出緩衝器邏輯，從屬介面邏輯對輸入/輸出緩衝器邏輯作資料交換。錯誤偵測邏輯係耦合於輸入/輸出緩衝器與通用串聯匯流排間用以偵測錯誤情況。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱：METHOD AND APPARATUS FOR CONNECTING MANUFACTURING TEST INTERFACE TO A GLOBAL SERIAL BUS INCLUDING AN I²C BUS)

Methods and apparatus are provided for connecting a manufacturing test interface to a global serial bus, such as an inter integrated circuit (I²C) bus. Input/output buffer logic buffers data to be transferred to and from the global serial bus. A slave interface logic connected to the input/output buffer logic receives and sends data to the input/output buffer logic. A slave controller coupled to the input/output buffer logic and the slave interface logic paces data exchange to the input/output buffer logic. Error detection logic is coupled between the input/output buffer and the global serial bus for detecting error conditions.

訂

線

六、申請專利範圍

1. 一種連結一製造測試介面至一通用串聯匯流排之裝置，包含：

輸入/輸出緩衝器邏輯，該輸入/輸出緩衝器邏輯緩衝待移轉至及來自通用串聯匯流排之資料；

一連結至該輸入/輸出緩衝器邏輯之從屬介面邏輯，該從屬介面邏輯接收及發送資料給該輸入/輸出緩衝器邏輯；以及

一耦合至該輸入/輸出緩衝器邏輯及該從屬介面邏輯之從屬控制器，該從屬控制器可調整與輸入/輸出緩衝器邏輯作資料交換的步調。

2. 如申請專利範圍第1項之連結一製造測試介面至一通用串聯匯流排之裝置，進一步包括錯誤處理邏輯耦合於輸入/輸出緩衝器與通用串聯匯流排間，該錯誤處理邏輯處理錯誤情況。
3. 如申請專利範圍第2項之連結一製造測試介面至一通用串聯匯流排之裝置，其中該錯誤處理邏輯包括週期性冗於查核(CRC)計算邏輯。
4. 如申請專利範圍第1項之連結一製造測試介面至一通用串聯匯流排之裝置，其中該通用串聯匯流排包括一積體電路間(I²C)匯流排。
5. 如申請專利範圍第1項之連結一製造測試介面至一通用串聯匯流排之裝置，其中該製造測試介面包括一聯合測試行動組群(JTAG)介面，及其中該從屬介面邏輯處理接收自且傳遞至JTAG介面之JTAG-格式指令。

六、申請專利範圍

6. 如申請專利範圍第5項之連結一製造測試介面至一通用串聯匯流排之裝置，進一步包括錯誤處理邏輯耦合於輸入/輸出緩衝器與通用串聯匯流排間，該錯誤處理邏輯處理錯誤情況，其中JTAG介面提供注意信號給錯誤處理邏輯，該注意信號指示錯誤。
7. 如申請專利範圍第6項之連結一製造測試介面至一通用串聯匯流排之裝置，其中該錯誤處理邏輯包括一週期性冗於查核(CRC)計算邏輯；該CRC計算邏輯被致能用以執行CRC計算。
8. 如申請專利範圍第6項之連結一製造測試介面至一通用串聯匯流排之裝置，其中該從屬介面邏輯被配置成響應注意信號致能及去能錯誤查核。
9. 如申請專利範圍第5項之連結一製造測試介面至一通用串聯匯流排之裝置，其中該從屬控制器調整從屬介面邏輯與JTAG介面間之資料交換步調。
10. 如申請專利範圍第5項之連結一製造測試介面至一通用串聯匯流排之裝置，其中該從屬控制器對從屬介面邏輯與JTAG介面間之資料交換提供資料駕馭及路由。
11. 如申請專利範圍第5項之連結一製造測試介面至一通用串聯匯流排之裝置，其中該從屬控制器提供一有序指令順序給從屬介面邏輯用於暫存器讀取及寫入作業。
12. 如申請專利範圍第5項之連結一製造測試介面至一通用串聯匯流排之裝置，其中該從屬介面邏輯同時處理JTAG讀取及寫入作業，以及其中該從屬控制器提供一寫入作

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

業，接著為讀取JTAG指令暫存器(IR)狀態讀取作業之讀取作業。

13. 如申請專利範圍第5項之連結一製造測試介面至一通用串聯匯流排之裝置，其中該從屬控制器提供一開始位元組位址，接著為一暫存器讀/寫位址用於暫存器之讀及寫作業。
14. 如申請專利範圍第5項之連結一製造測試介面至一通用串聯匯流排之裝置，其中該從屬控制器提供一有序指令順序給從屬介面邏輯用於暫存器讀及寫作業之掃描通訊。
15. 如申請專利範圍第5項之連結一製造測試介面至一通用串聯匯流排之裝置，其中該通用串聯匯流排包括一積體電路間(I²C)匯流排及一實體介面耦合於I²C匯流排與輸入/輸出緩衝器邏輯間，其中該從屬控制器調整實體介面與輸入/輸出緩衝器邏輯間之資料交換步調。
16. 如申請專利範圍第15項之連結一製造測試介面至一通用串聯匯流排之裝置，其中該從屬控制器對實體介面與輸入/輸出緩衝器邏輯間之資料交換提供資料駕馭。
17. 如申請專利範圍第5項之連結一製造測試介面至一通用串聯匯流排之裝置，其中該從屬控制器提供指令給從屬介面邏輯用於暫存器讀取作業。
18. 如申請專利範圍第5項之連結一製造測試介面至一通用串聯匯流排之裝置，其中該從屬控制器提供指令給從屬介面邏輯用於暫存器寫入作業。

六、申請專利範圍

19. 如申請專利範圍第5項之連結一製造測試介面至一通用串聯匯流排之裝置，其中該從屬介面邏輯包括一測試時脈(TCK)產生邏輯。
20. 如申請專利範圍第5項之連結一製造測試介面至一通用串聯匯流排之裝置，其中該從屬介面邏輯由JTAG介面接收一載入指令信號。
21. 如申請專利範圍第20項之連結一製造測試介面至一通用串聯匯流排之裝置，其中該JTAG介面及該從屬介面邏輯係藉一內部JTAG匯流排連結，以及載入指令信號被主動化而初始化內部JTAG匯流排之主動性。
22. 如申請專利範圍第5項之連結一製造測試介面至一通用串聯匯流排之裝置，其中該通用串聯匯流排包括一積體電路間(I²C)匯流排，及其中一確認信號用於錯誤處理。
23. 如申請專利範圍第5項之連結一製造測試介面至一通用串聯匯流排之裝置，其中該從屬控制器提供一指令給從屬介面邏輯而執行一或多次基本單元操作。
24. 如申請專利範圍第5項之連結一製造測試介面至一通用串聯匯流排之裝置，其中該基本單元操作選擇控制、指令、資料及狀態交換中之至少一者給JTAG介面。
25. 如申請專利範圍第5項之連結一製造測試介面至一通用串聯匯流排之裝置，其中該JTAG介面包括一掃描通訊讀取-即刻邏輯。
26. 如申請專利範圍第5項之連結一製造測試介面至一通用串聯匯流排之裝置，其中該掃描通訊讀取-即刻邏輯執

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

行一步驟來擷取一目標暫存器內容並載入一掃描通訊資料暫存器，以及即刻讀取出該掃描通訊資料暫存器的內容。

27. 如申請專利範圍第1項之連結一製造測試介面至一通用串聯匯流排之裝置，其中該從屬控制器對資料交換至輸入/輸出緩衝器邏輯提供資料駕馭及路由。

28. 一種連結一製造測試介面至一通用串聯匯流排之方法，包含下列步驟：

設置一從屬狀態機器介於一實體介面與一內部匯流排間，該實體介面連結至該通用串聯匯流排，且該內部匯流排連結至該製造測試介面；

利用該從屬狀態機器執行下列步驟：

緩衝待移轉至及來自該通用串聯匯流排之資料；

調整該製造測試介面與該通用串聯匯流排間之資料交換步調。

29. 如申請專利範圍第28項之連結一製造測試介面至一通用串聯匯流排之方法，其中該從屬狀態機器進一步執行處理一錯誤情況之步驟。

30. 如申請專利範圍第28項之連結一製造測試介面至一通用串聯匯流排之方法，其中該從屬狀態機器進一步執行提供指令用於掃描通訊讀取作業之步驟。

31. 如申請專利範圍第28項之連結一製造測試介面至一通用串聯匯流排之方法，其中該從屬狀態機器進一步執行提供指令用於掃描通訊寫入作業之步驟。

六、申請專利範圍

32. 如申請專利範圍第28項之連結一製造測試介面至一通用串聯匯流排之方法，其中該從屬狀態機器進一步執行提供指令用於控制讀取作業之步驟。
33. 如申請專利範圍第28項之連結一製造測試介面至一通用串聯匯流排之方法，其中該從屬狀態機器進一步執行提供指令用於控制寫入作業之步驟。
34. 如申請專利範圍第28項之連結一製造測試介面至一通用串聯匯流排之方法，其中該從屬狀態機器進一步執行提供指令用於基本單元寫入作業之步驟。
35. 如申請專利範圍第28項之連結一製造測試介面至一通用串聯匯流排之方法，其中該從屬狀態機器進一步執行提供指令用於基本單元讀取作業之步驟。
36. 一種連結一製造測試介面至一通用串聯匯流排之積體電路裝置，該積體電路裝置包含：
- 輸入/輸出緩衝器邏輯，該輸入/輸出緩衝器邏輯緩衝待移轉至及來自通用串聯匯流排之資料；
- 一連結至該輸入/輸出緩衝器邏輯之從屬介面邏輯，該從屬介面邏輯接收及發送資料給該輸入/輸出緩衝器邏輯；以及
- 一耦合至該輸入/輸出緩衝器邏輯及該從屬介面邏輯之從屬控制器，該從屬控制器可調整與該輸入/輸出緩衝器邏輯作資料交換的步調。
37. 如申請專利範圍第36項之積體電路裝置，進一步包括錯誤處理邏輯耦合於輸入/輸出緩衝器邏輯與從屬介面邏輯間。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

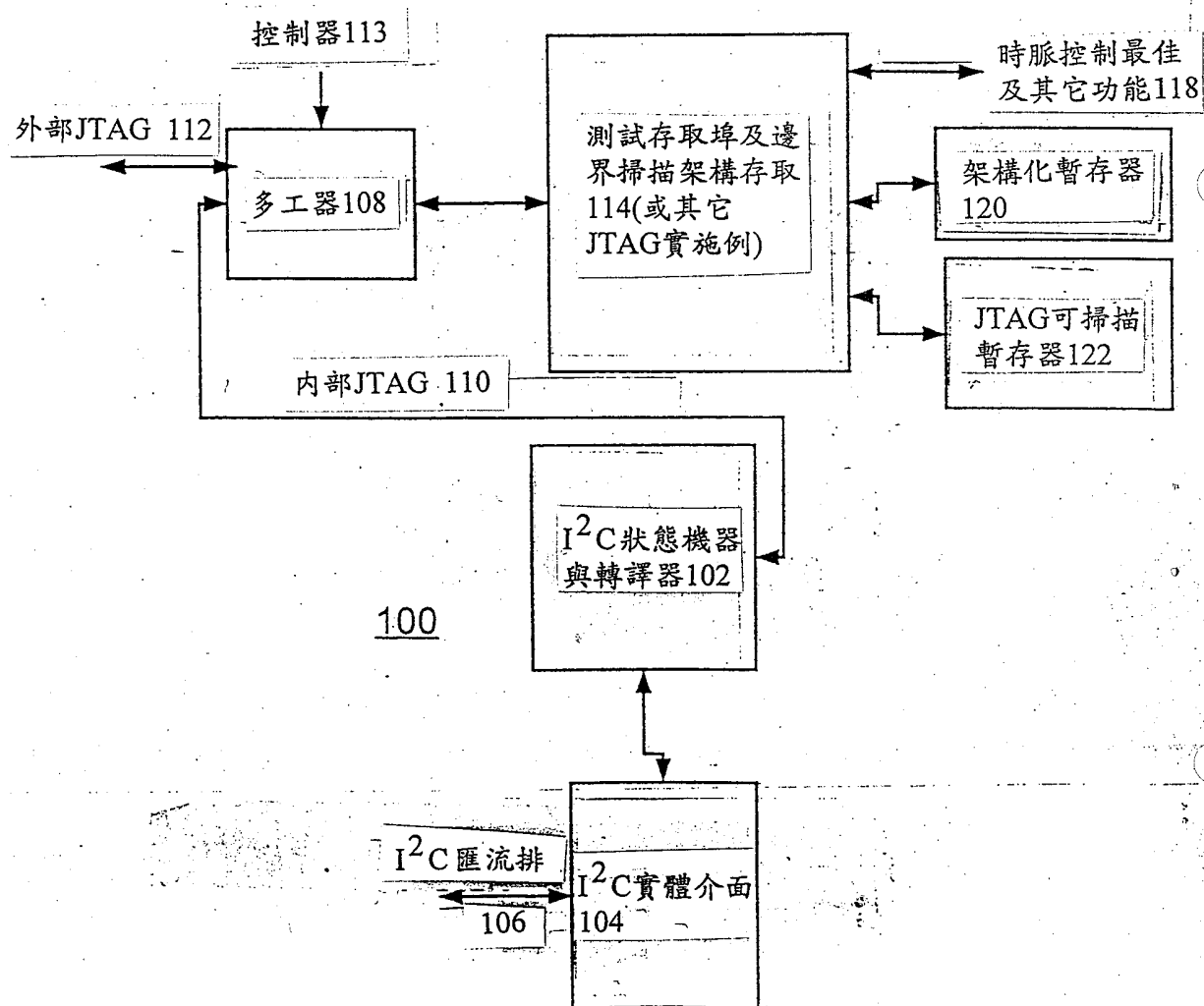


圖 1

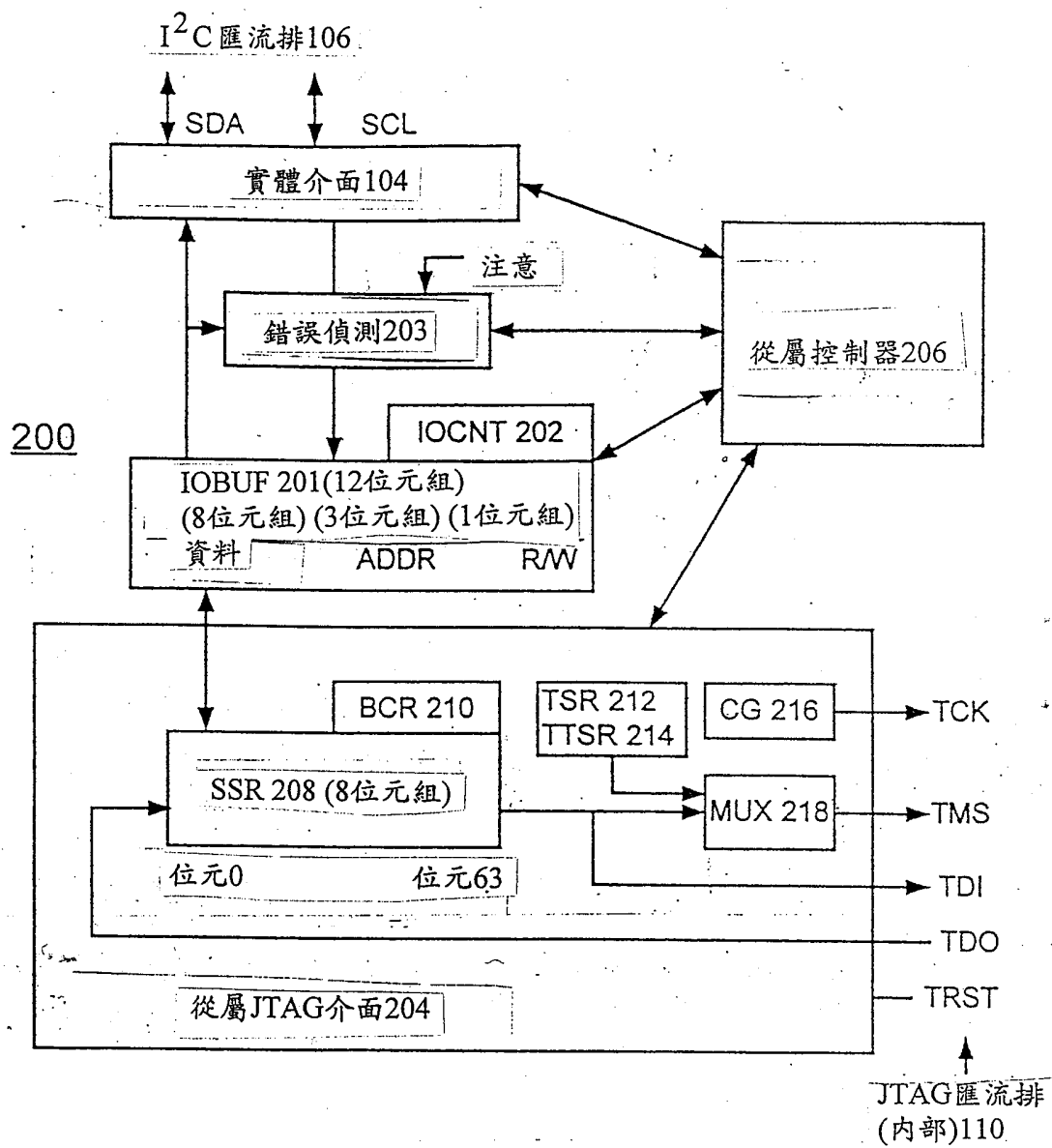


圖 2

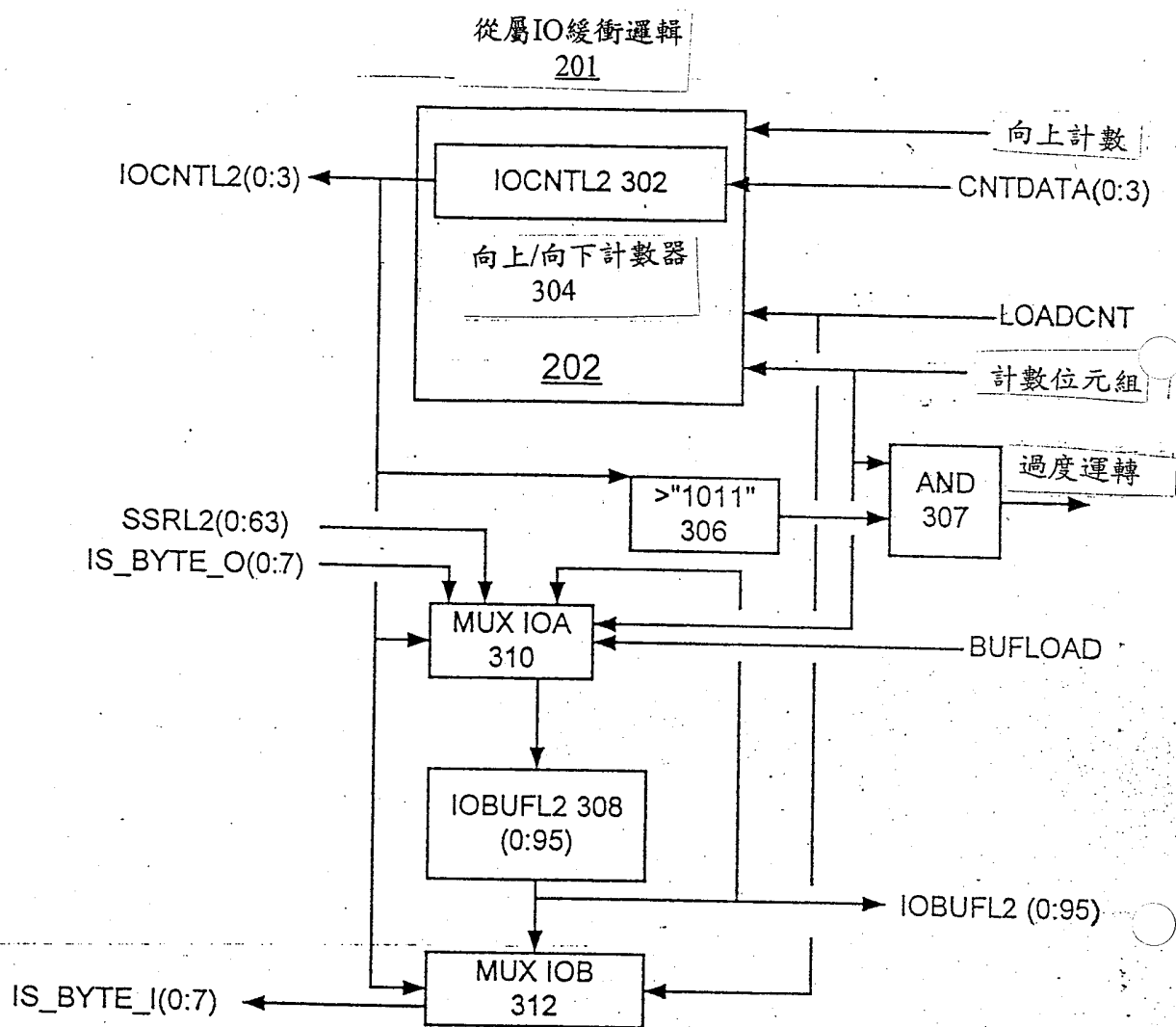


圖 3

從屬JTAG測試存
取埠介面邏輯204

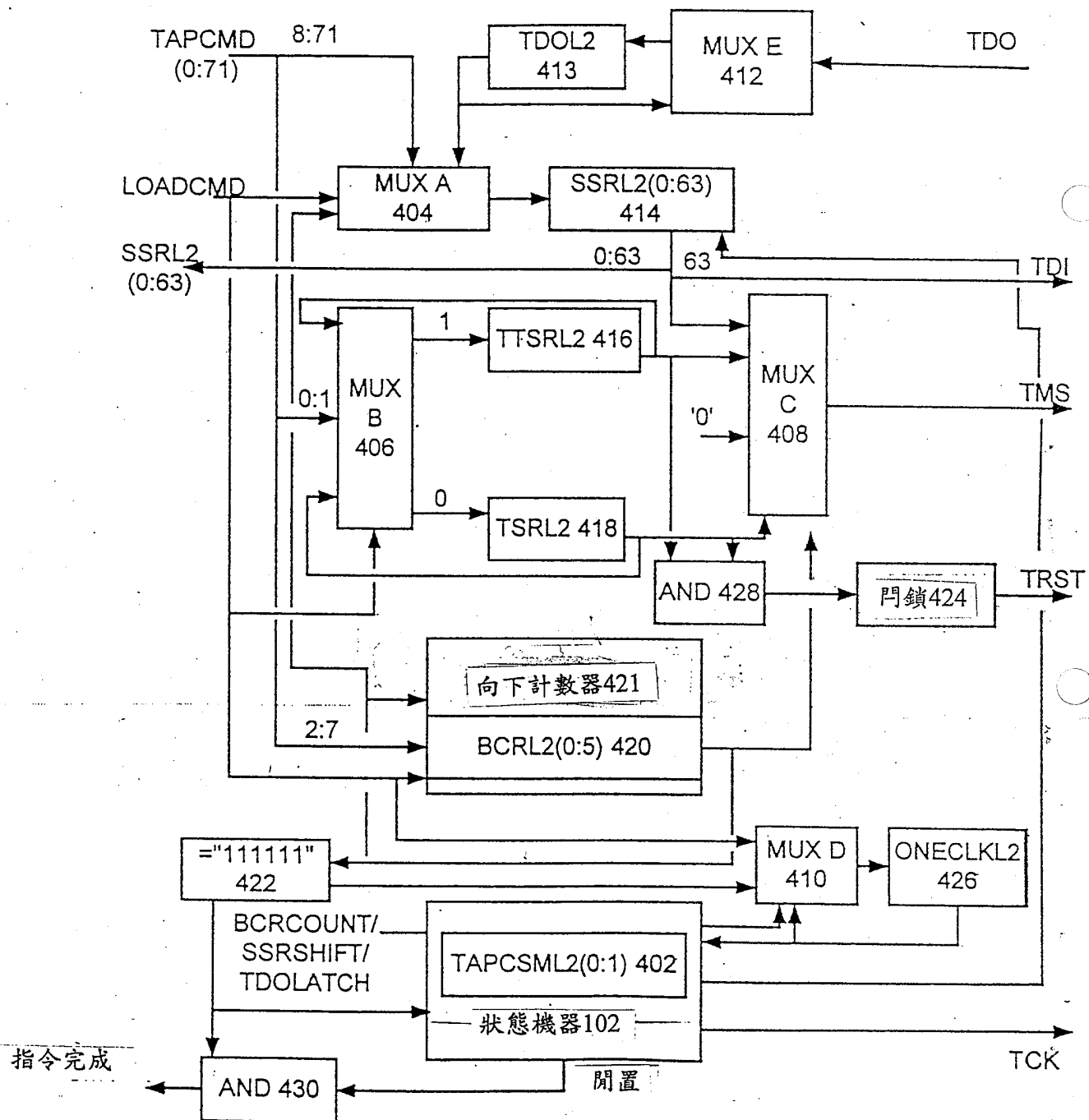


圖 4

從屬控制器邏輯206

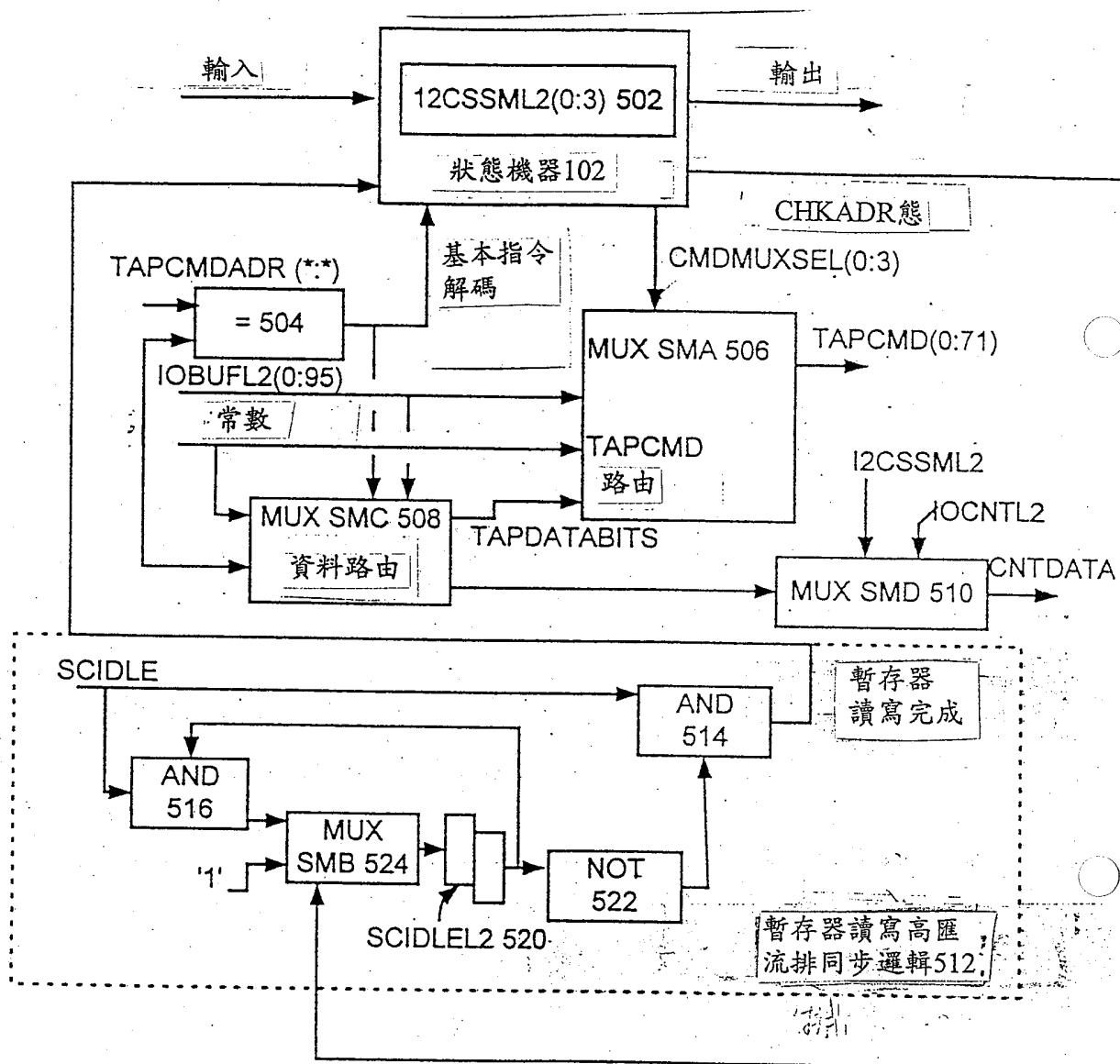


圖 5

輸入/輸出緩衝器201至實體介面104資料調步

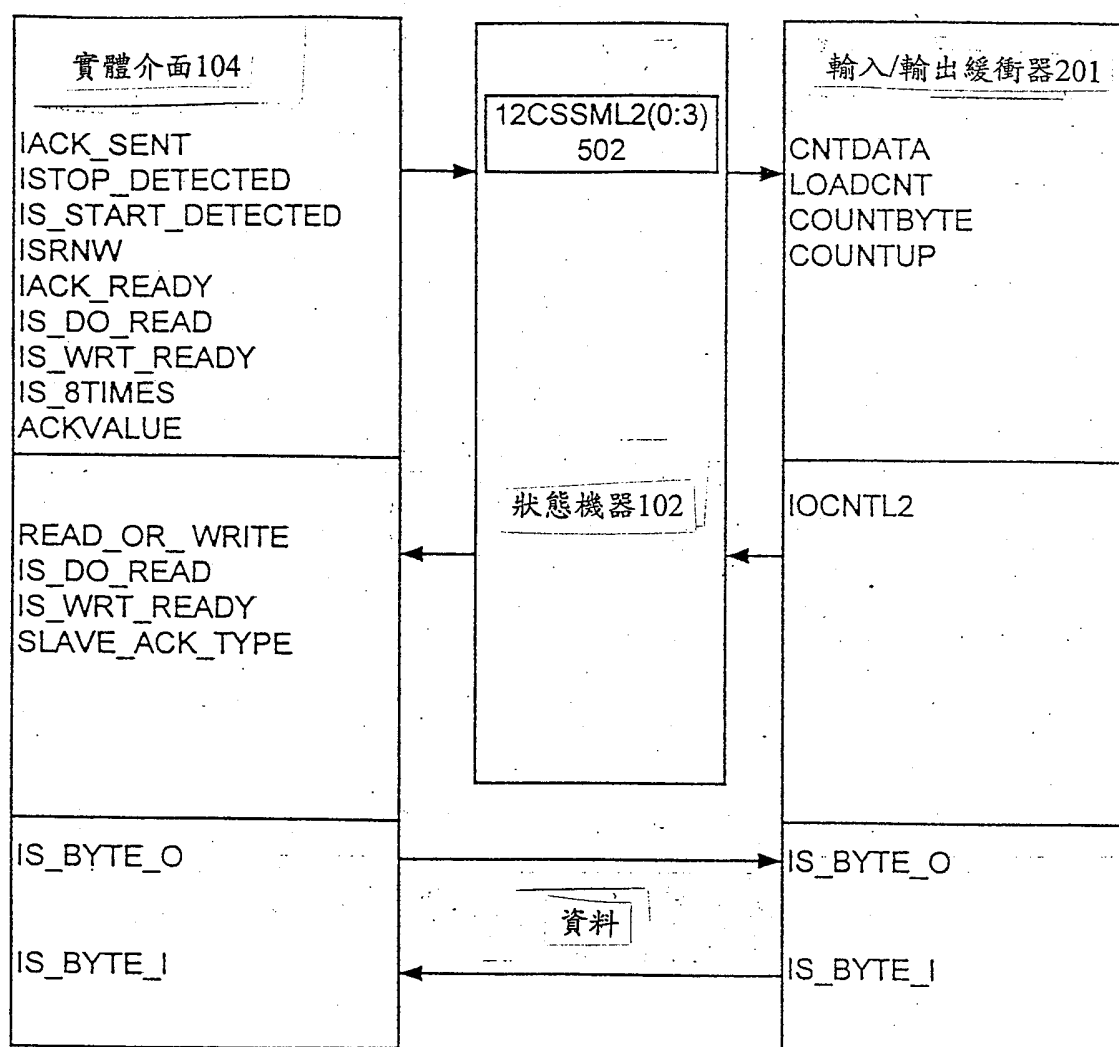


圖 6

輸入/輸出緩衝器201至JTAG介面204資料調步

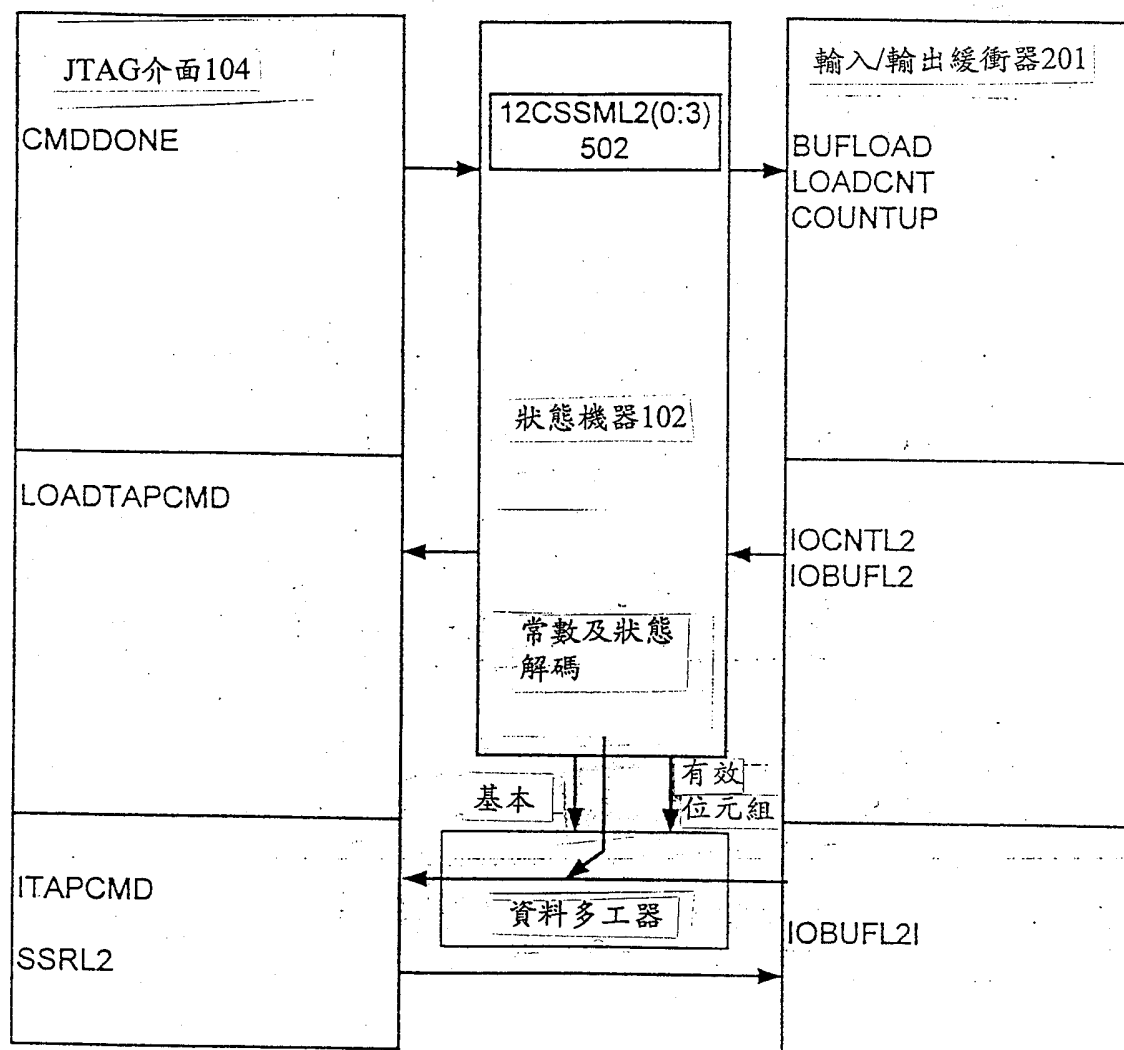


圖 7

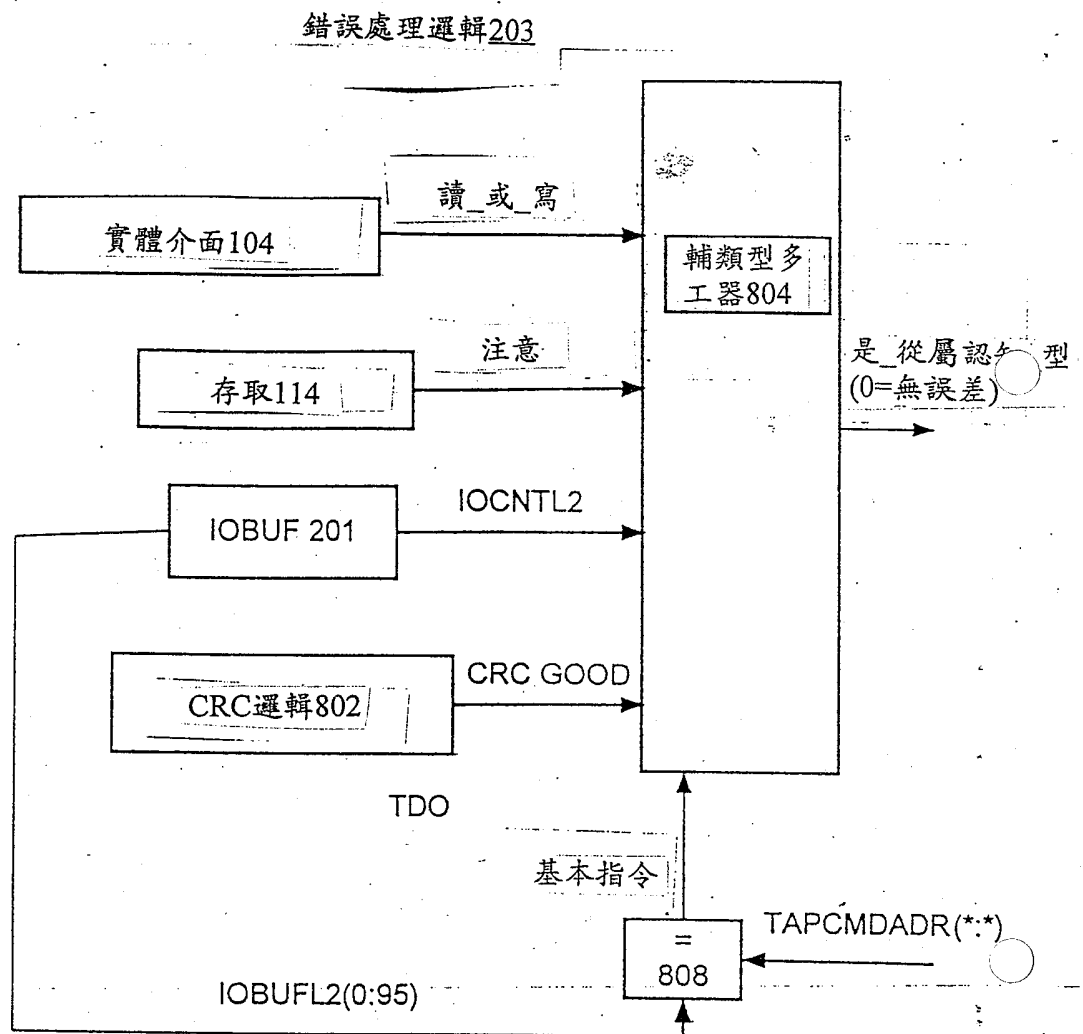


圖 8

圖 9

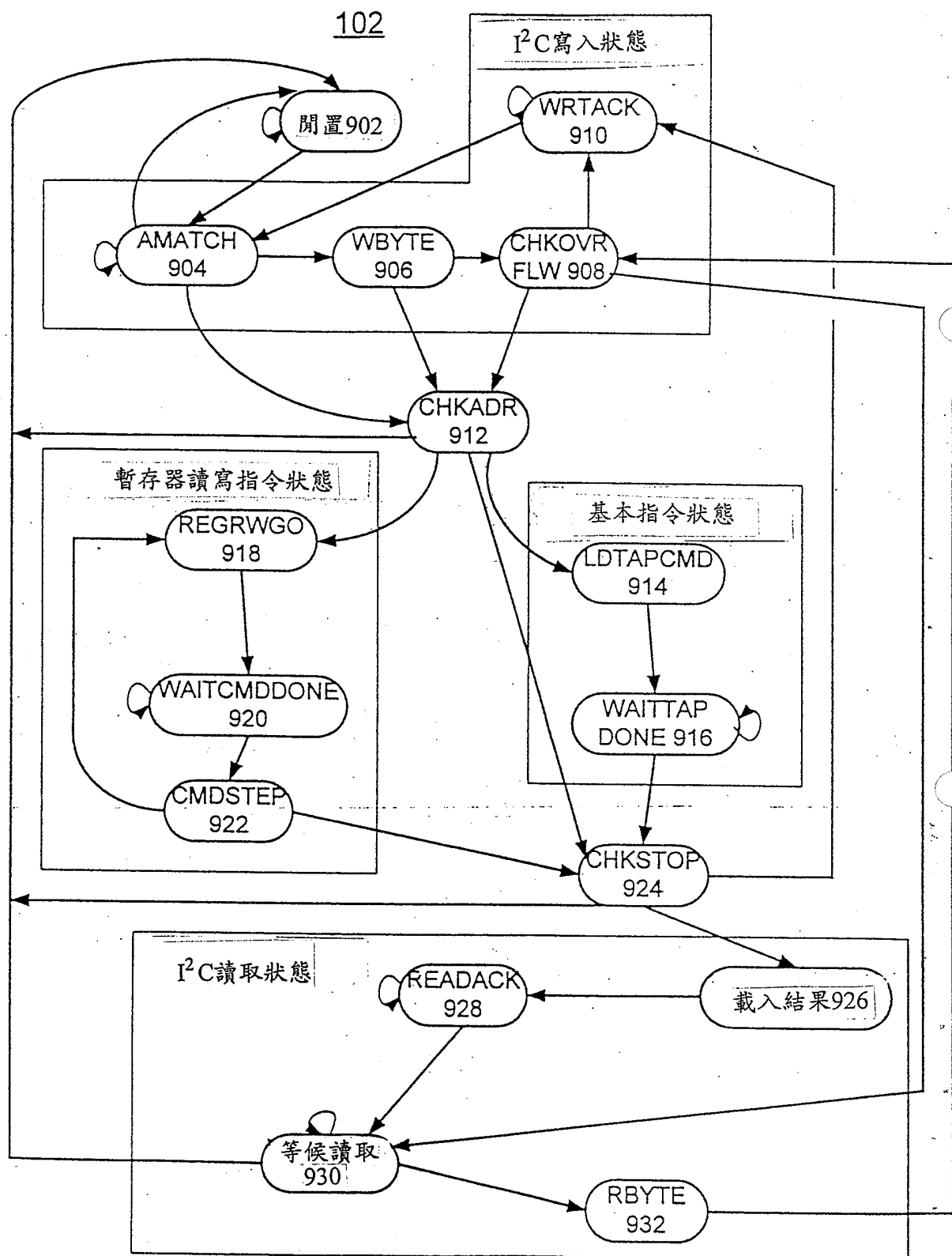


圖 10A

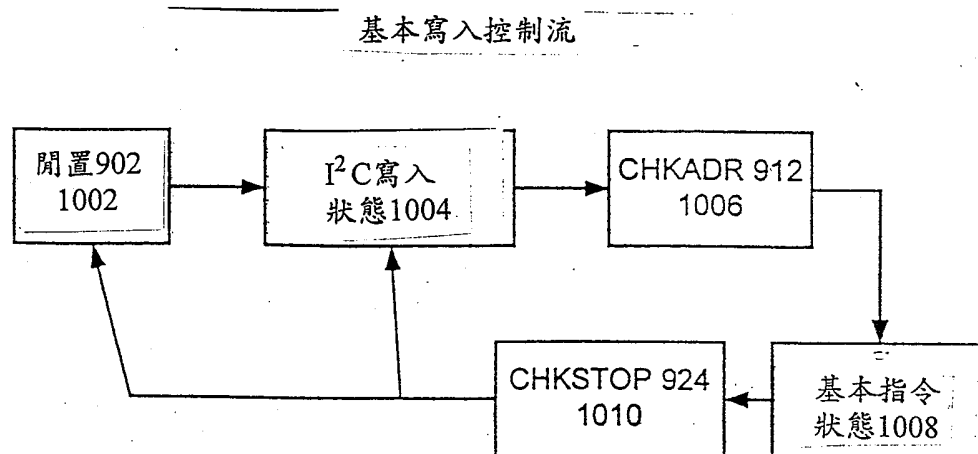


圖 10B

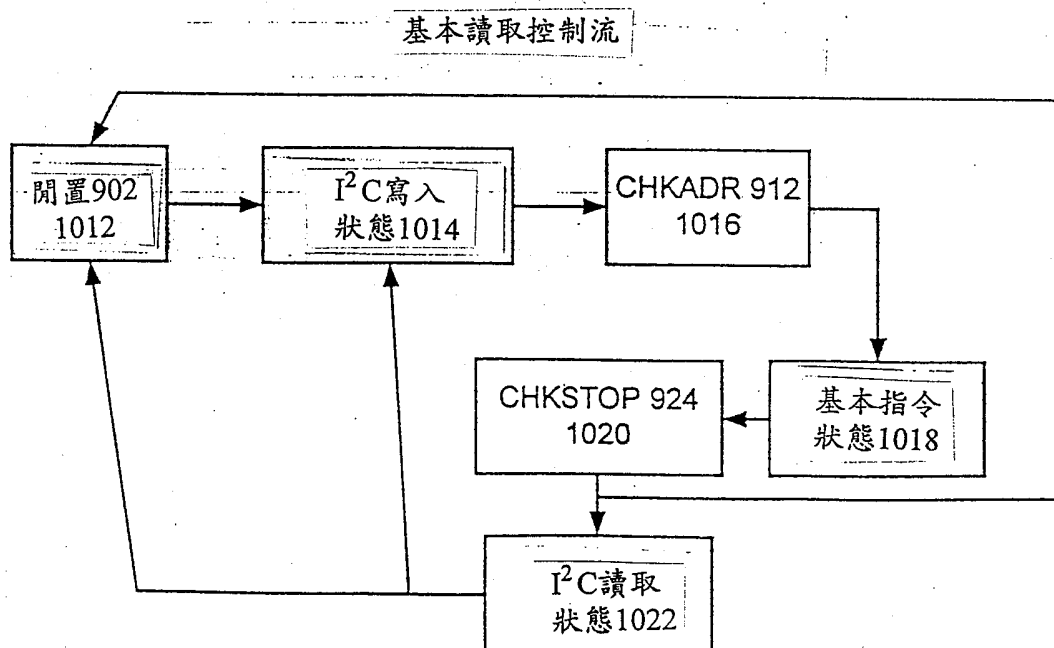


圖 10C

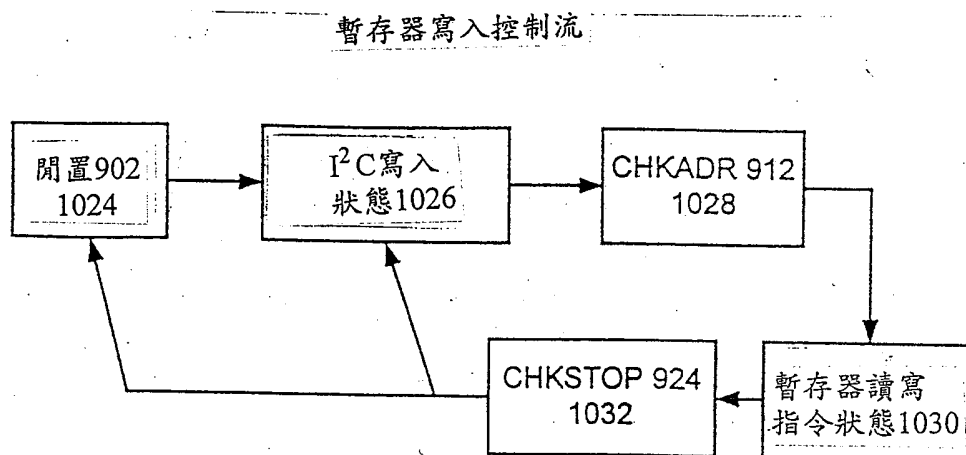


圖 10D

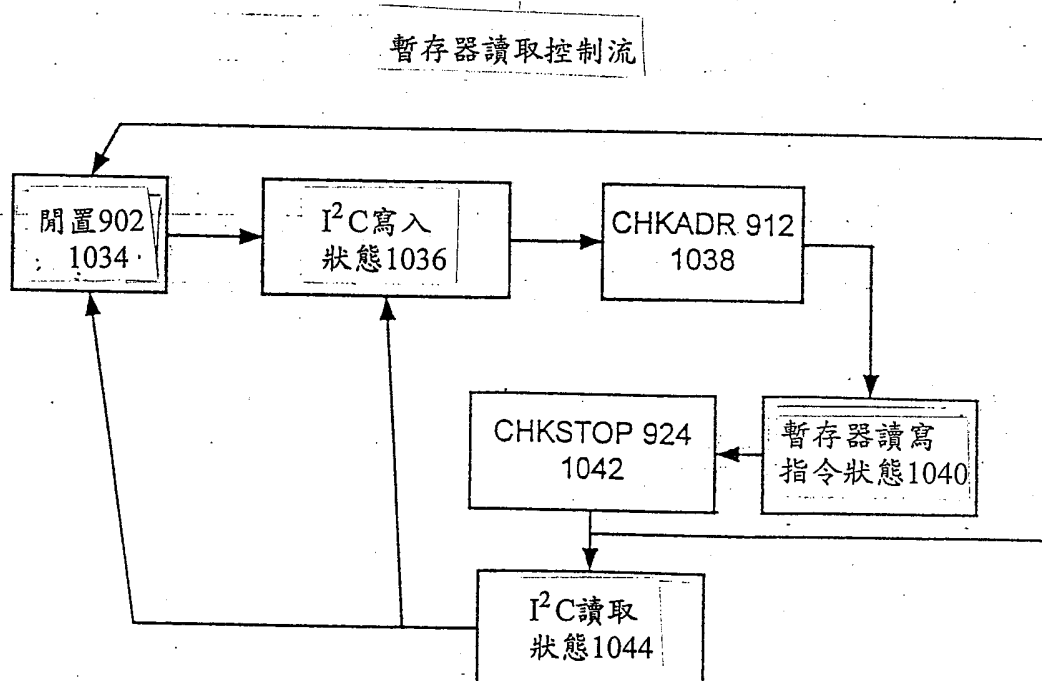


圖 10E

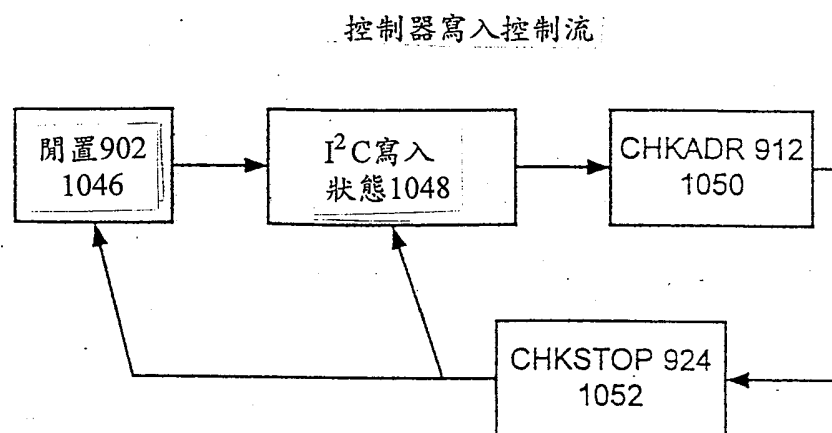
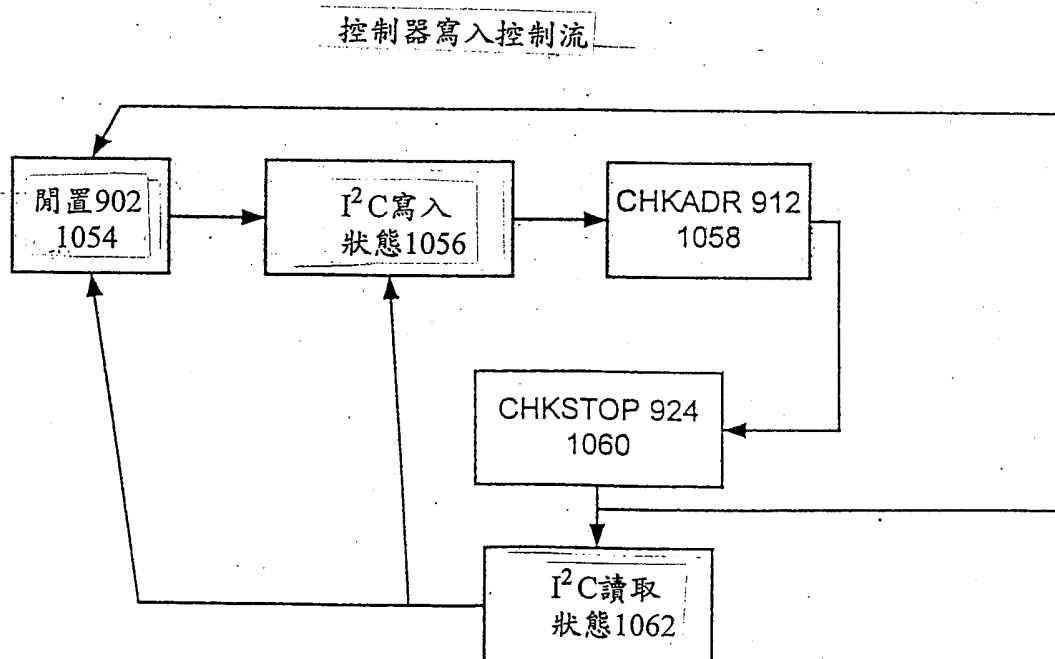


圖 10F



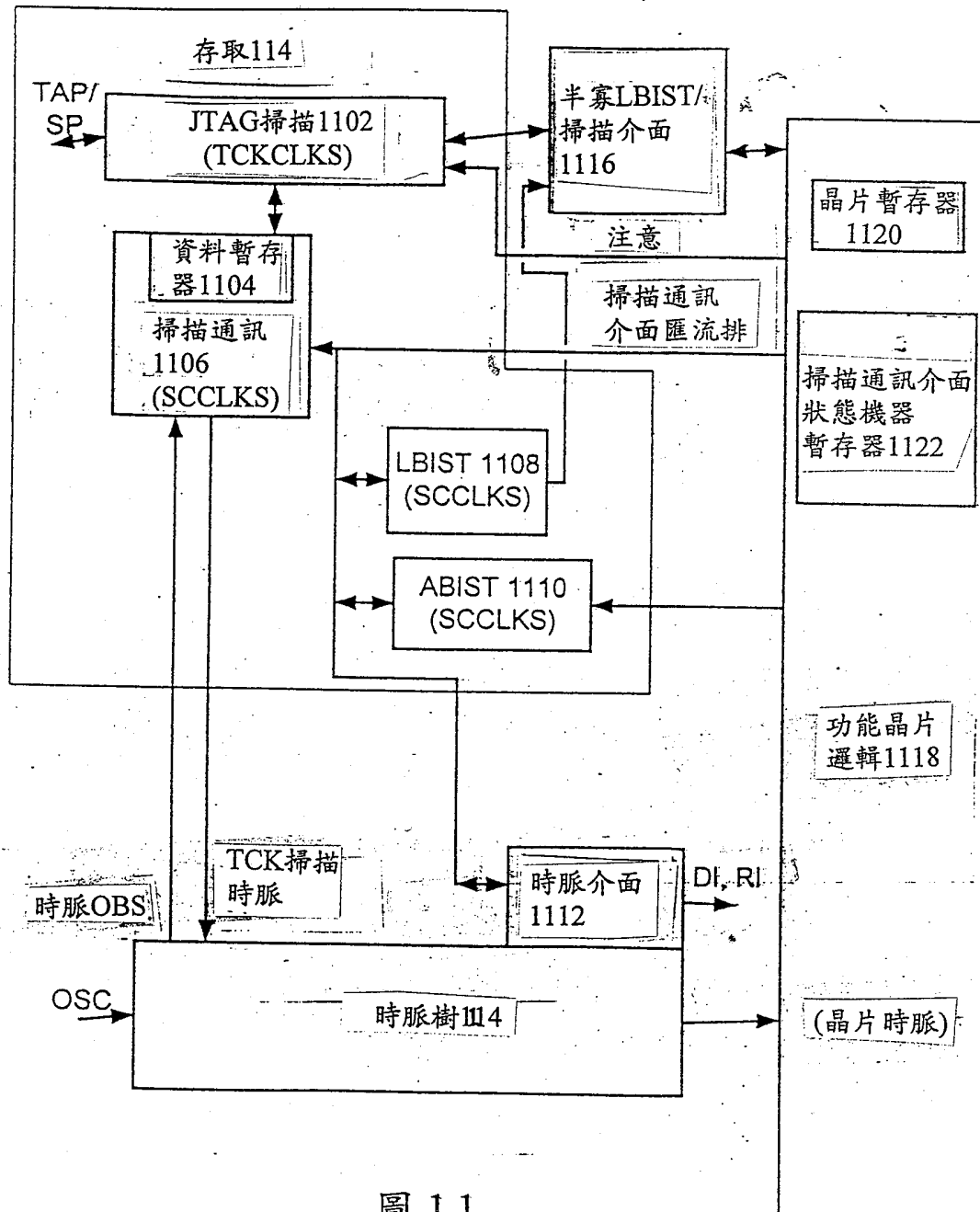
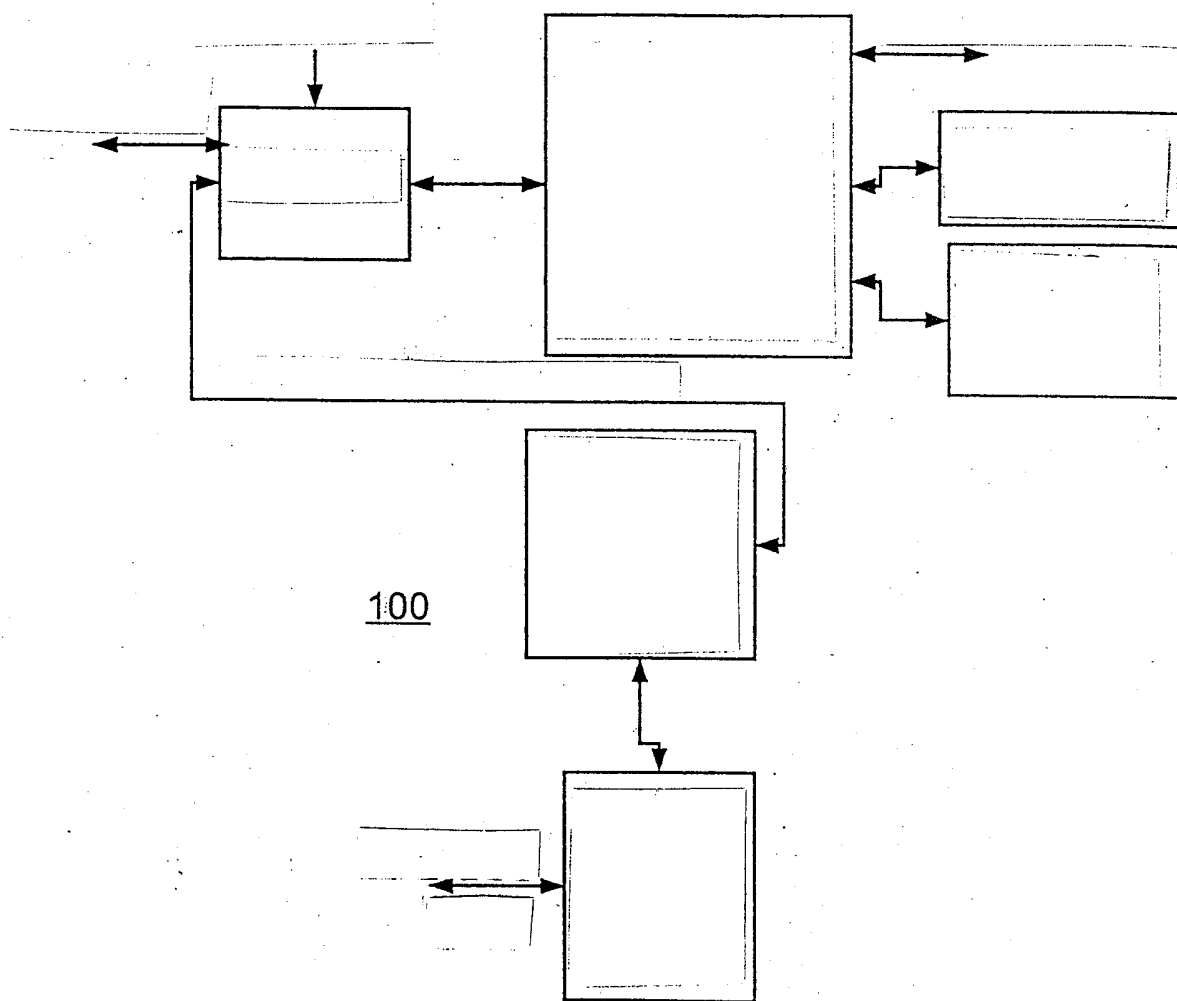


圖 11



100

圖 1

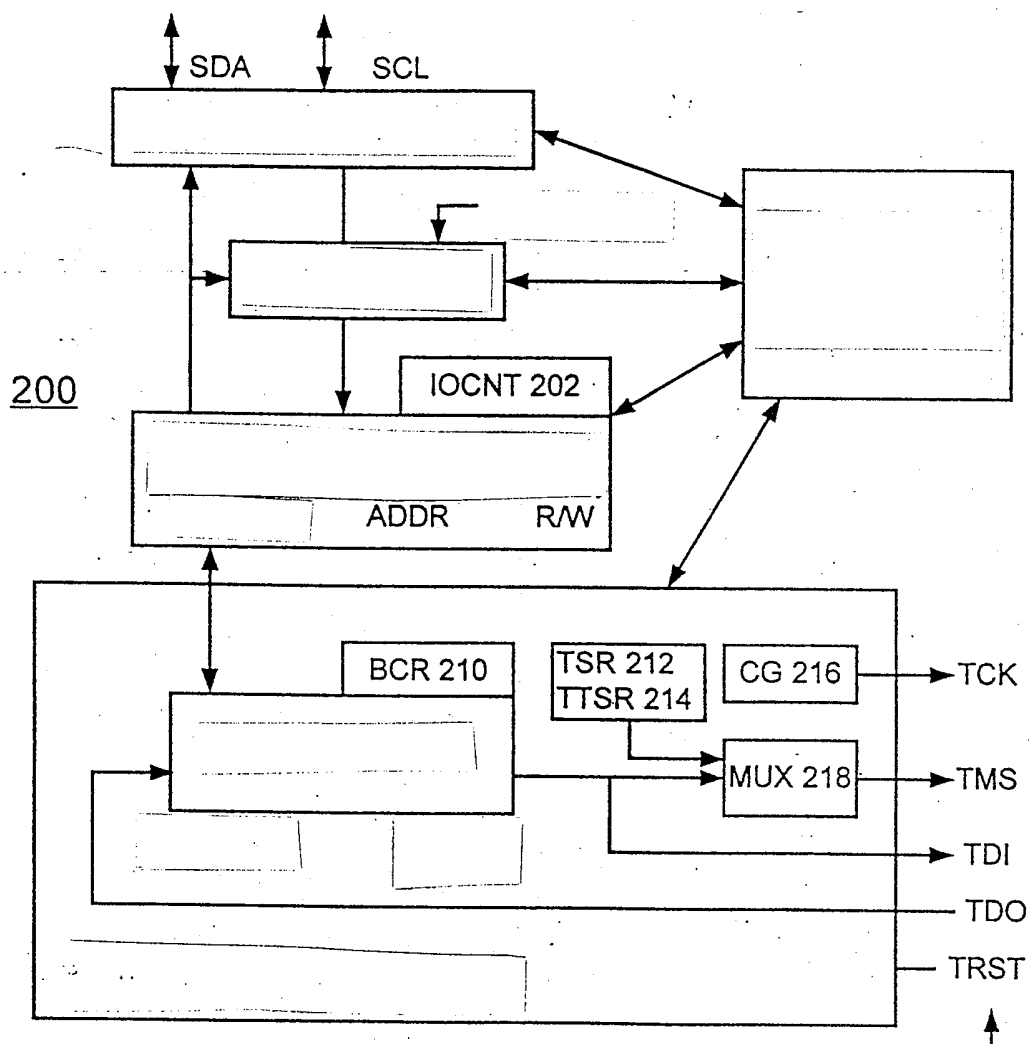


圖 2

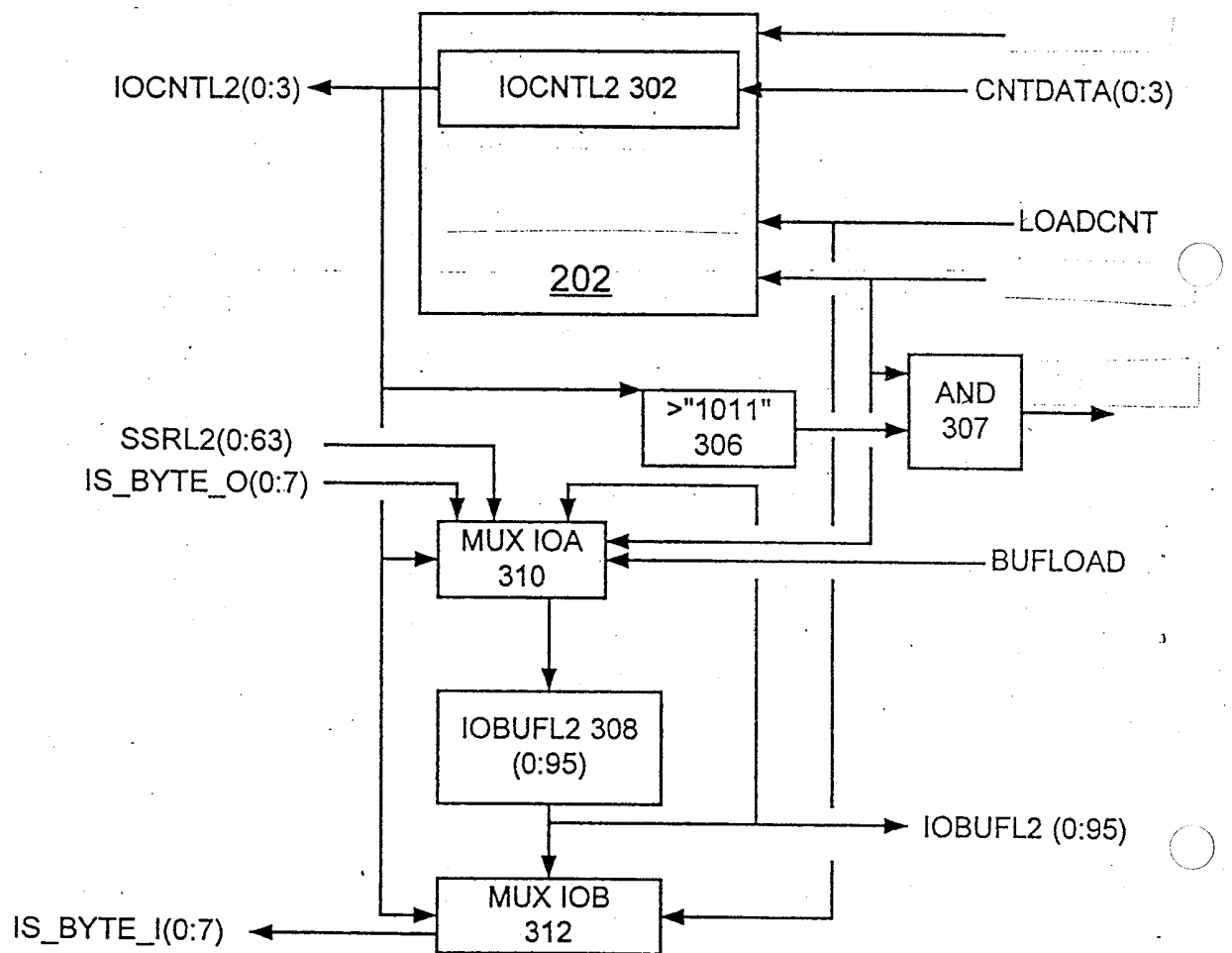


圖 3

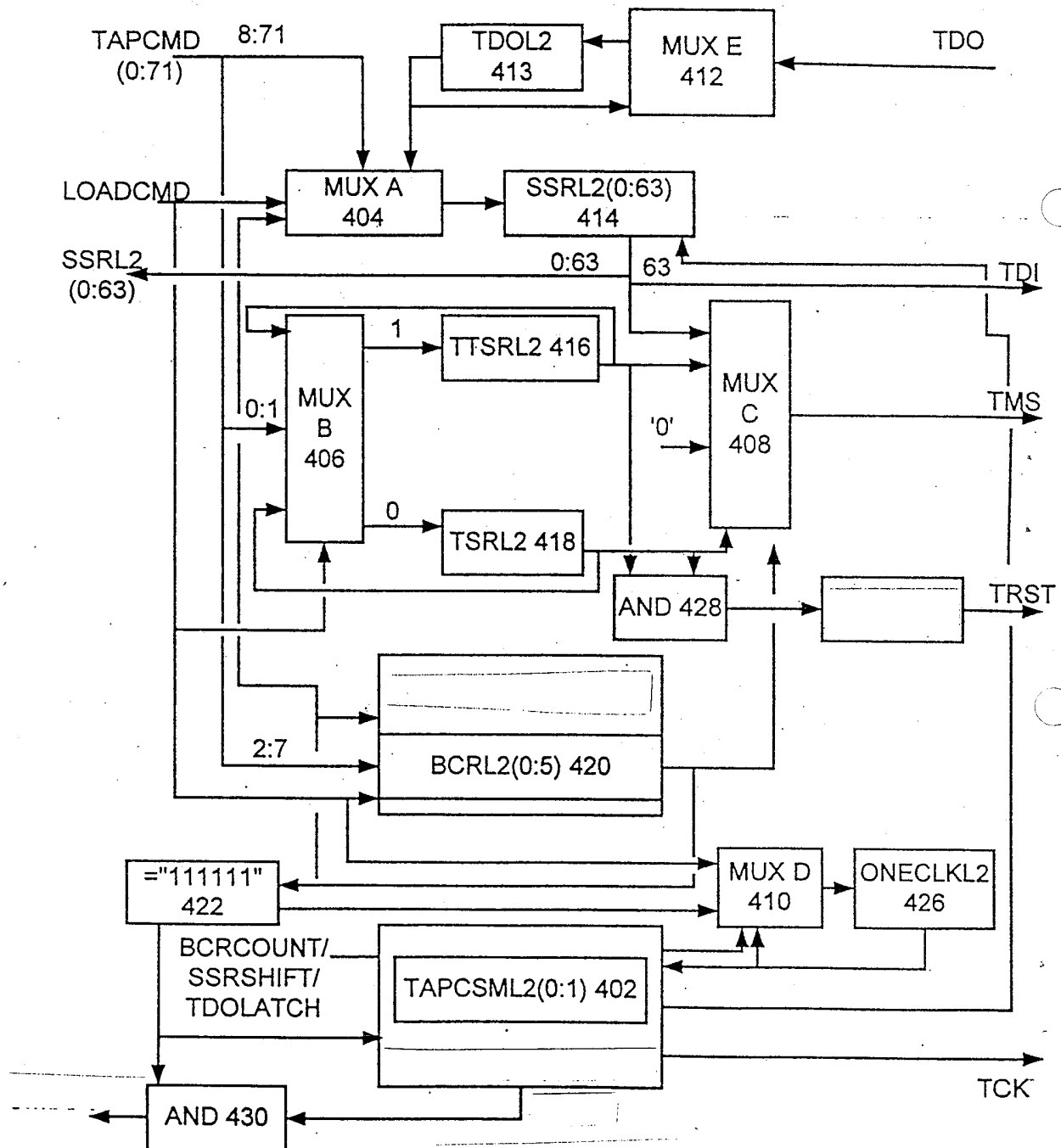


圖 4

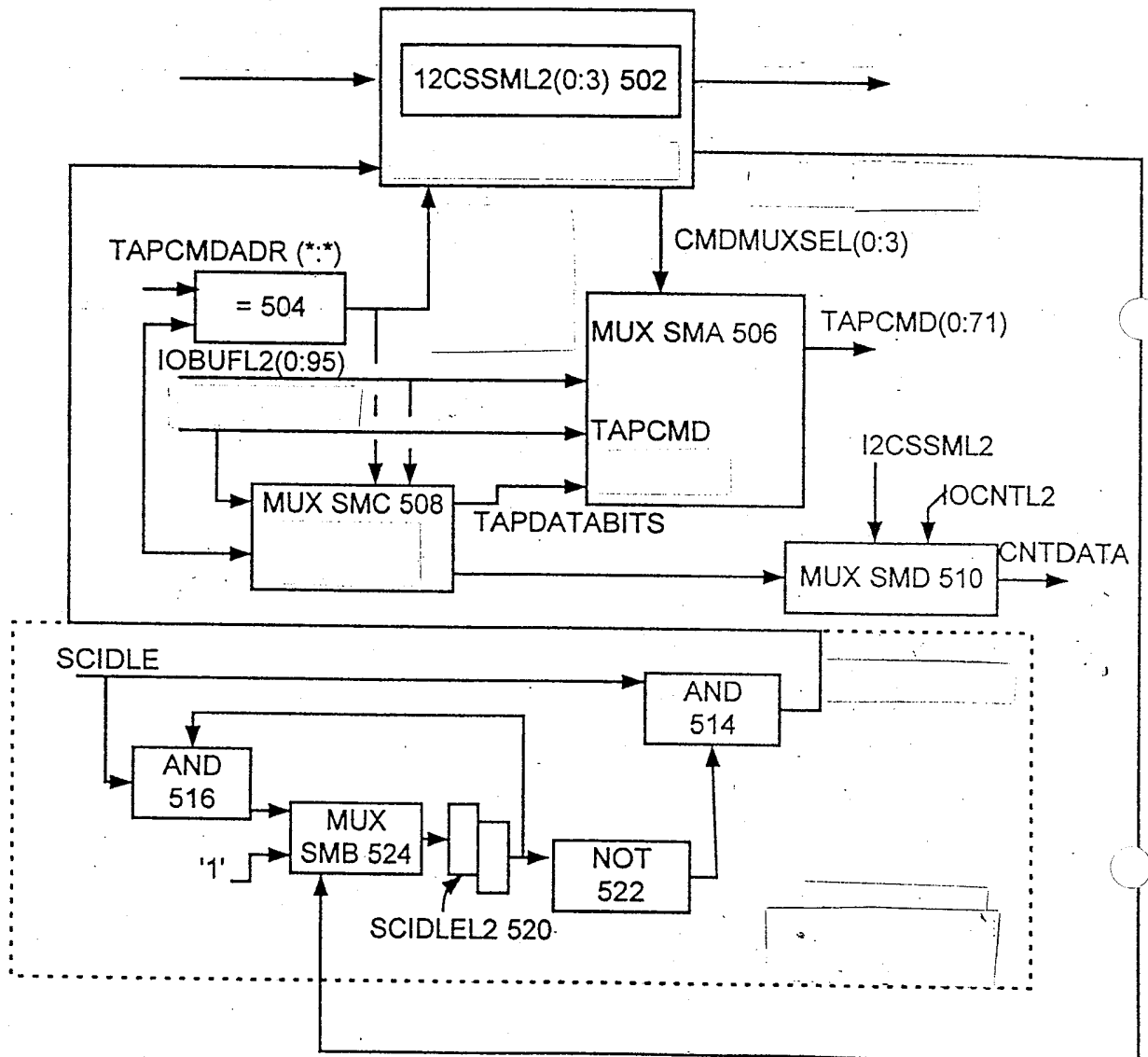


圖 5

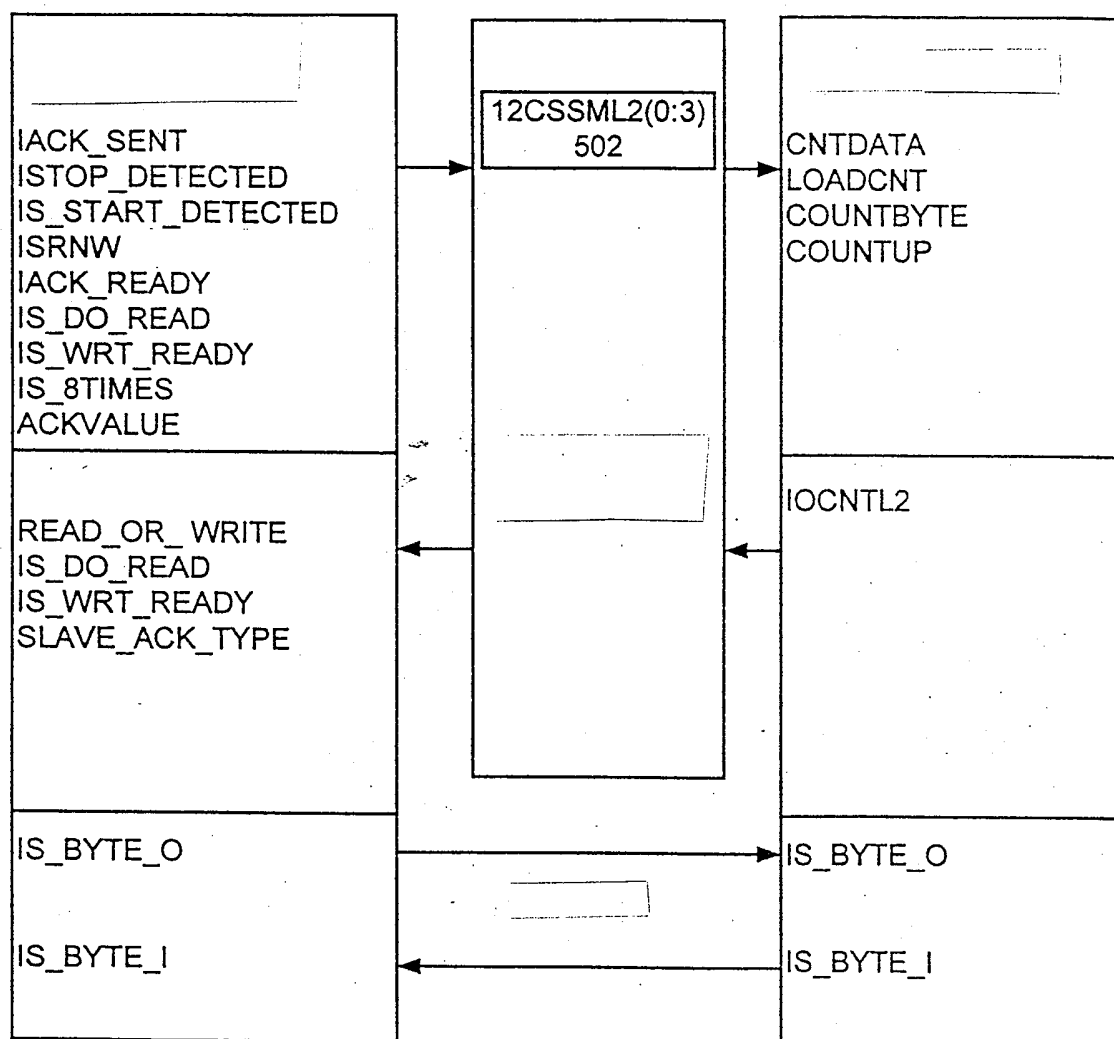


圖 6

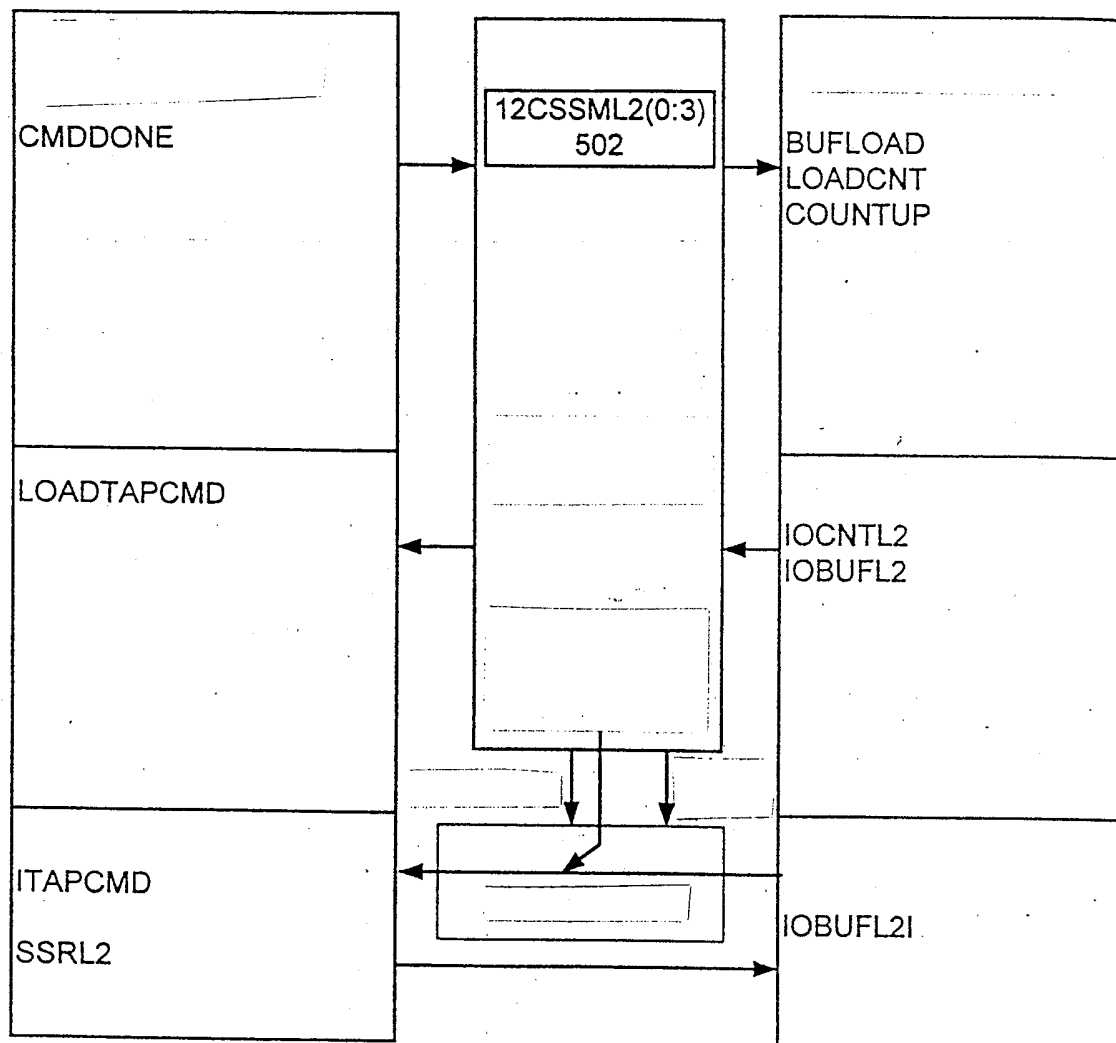


圖 7

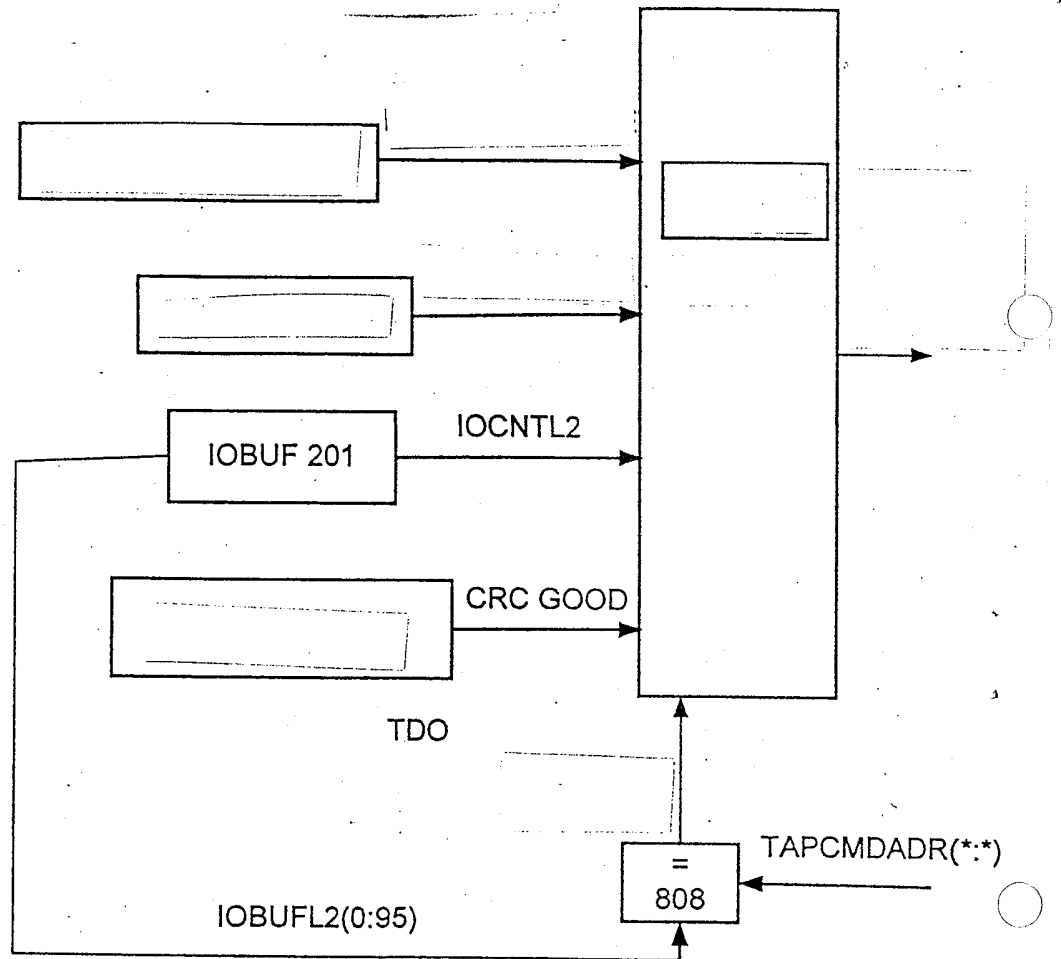


圖 8

圖 9

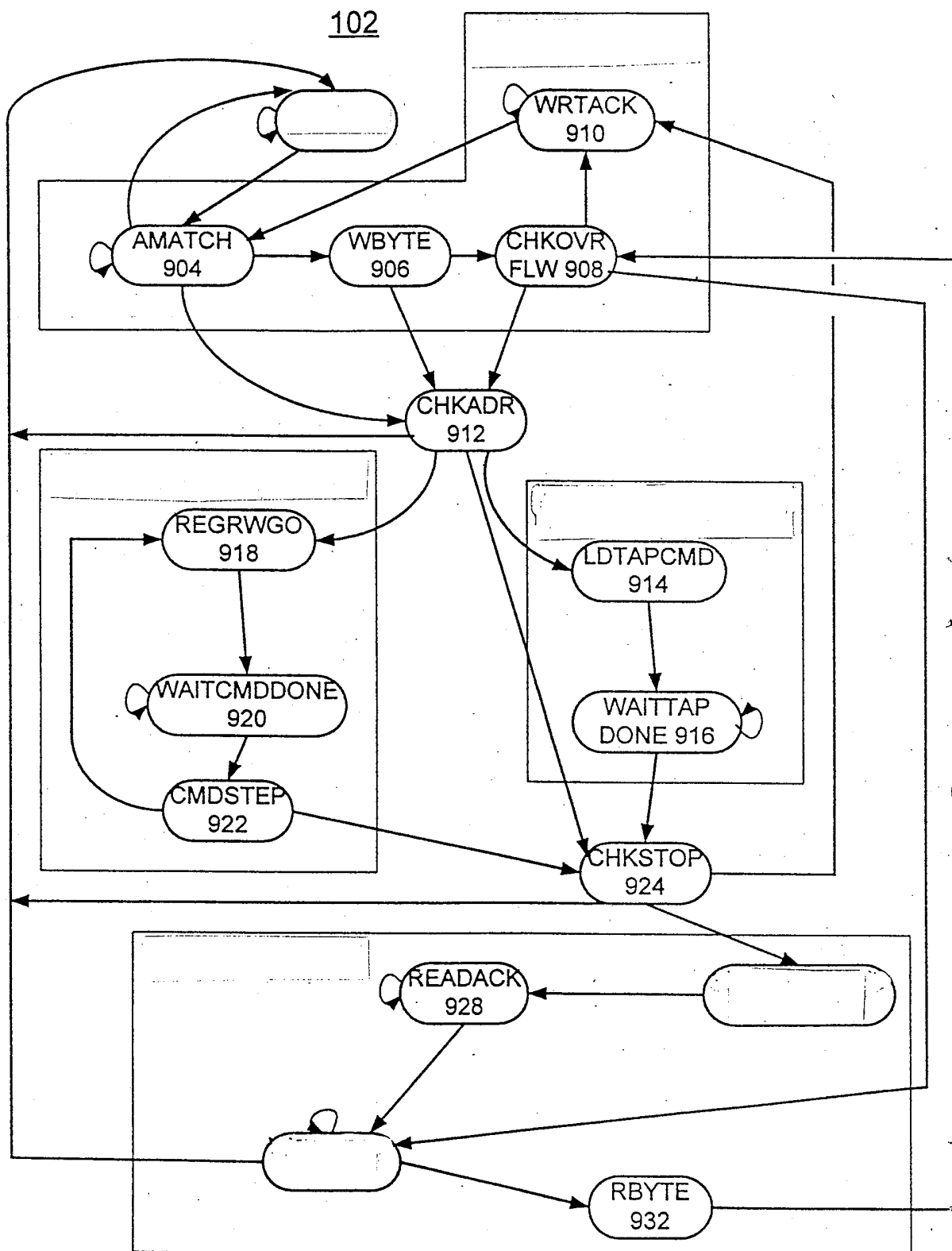


圖 10A

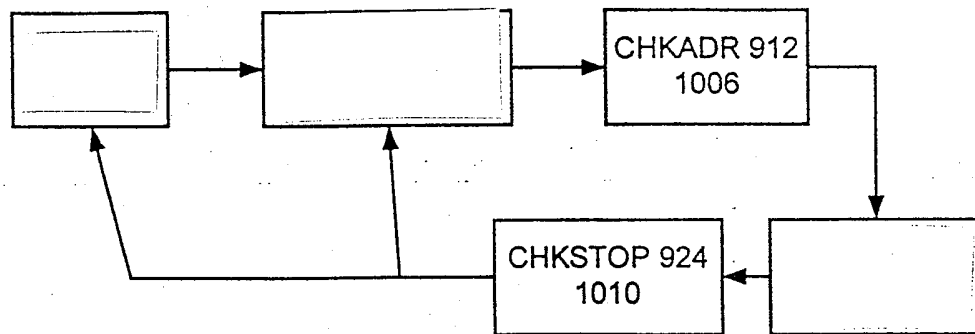


圖 10B

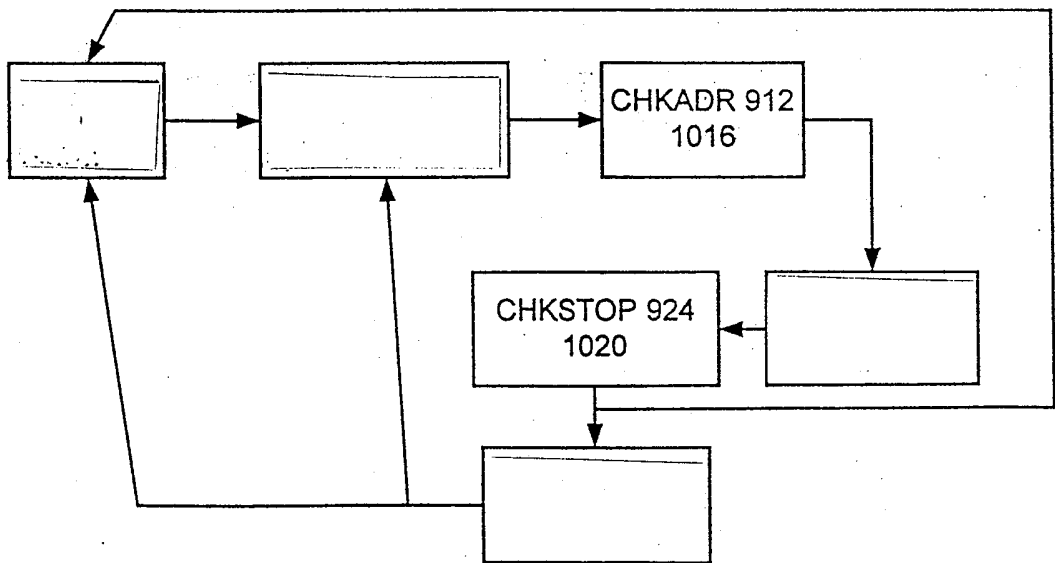


圖 10C

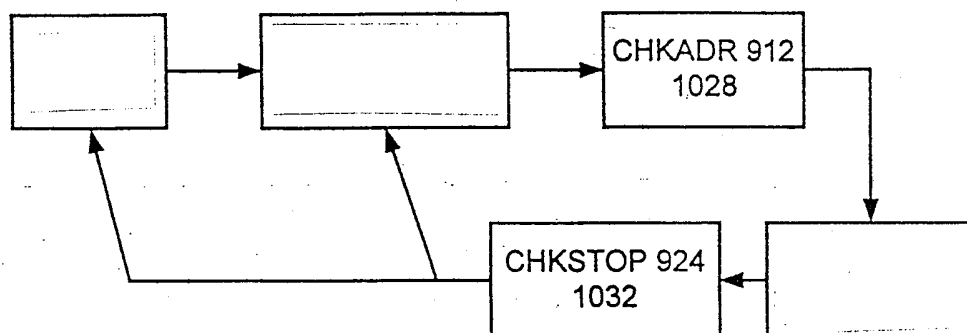


圖 10D

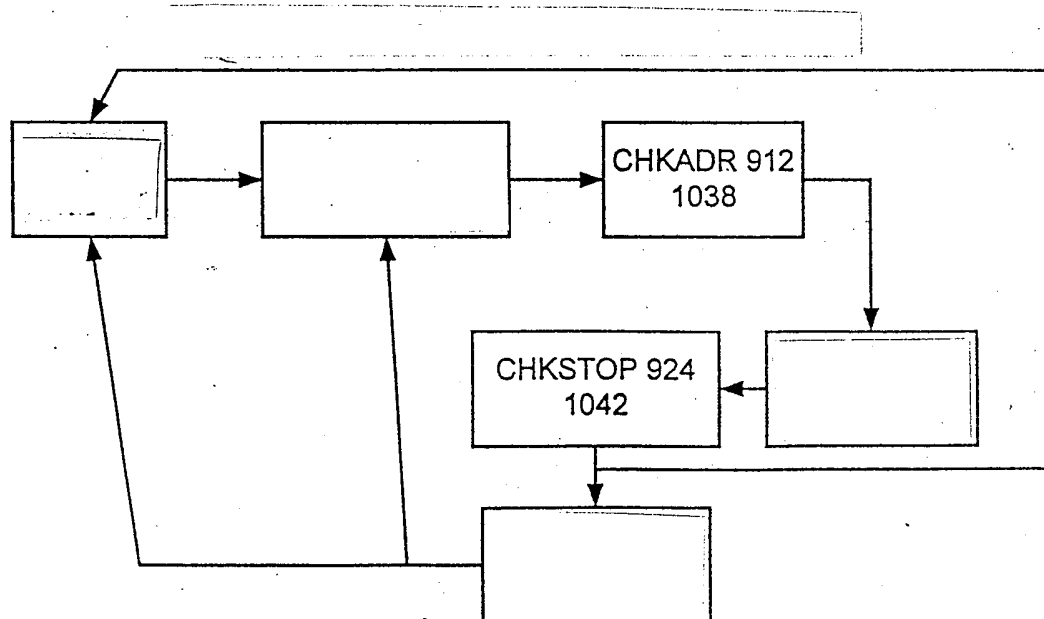


圖 10E

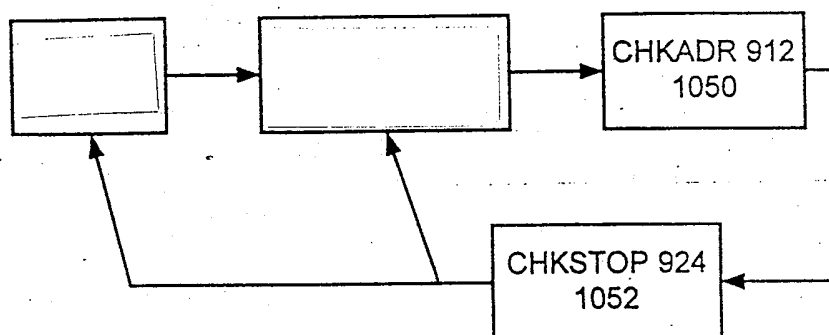
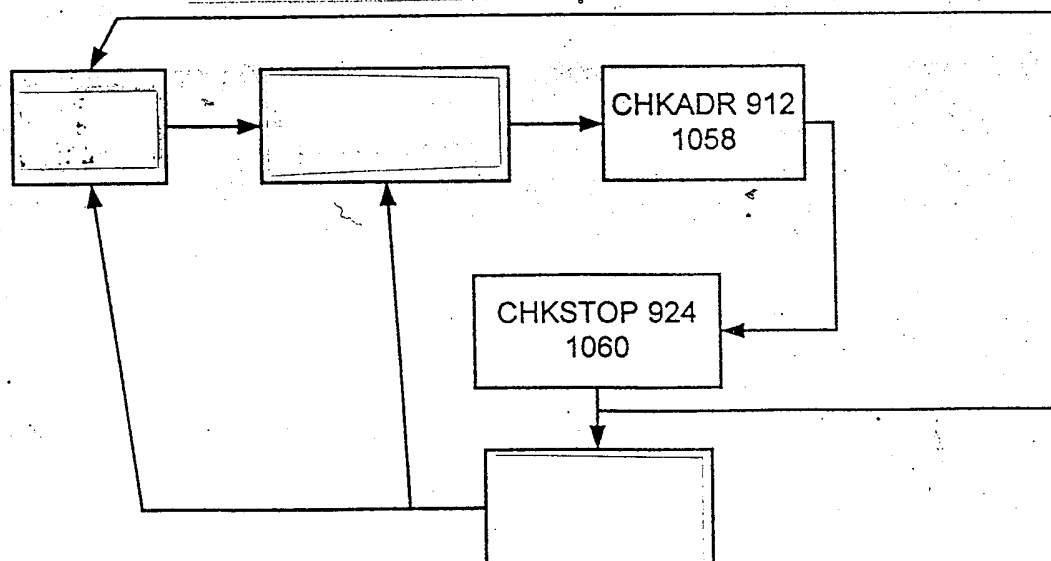


圖 10F



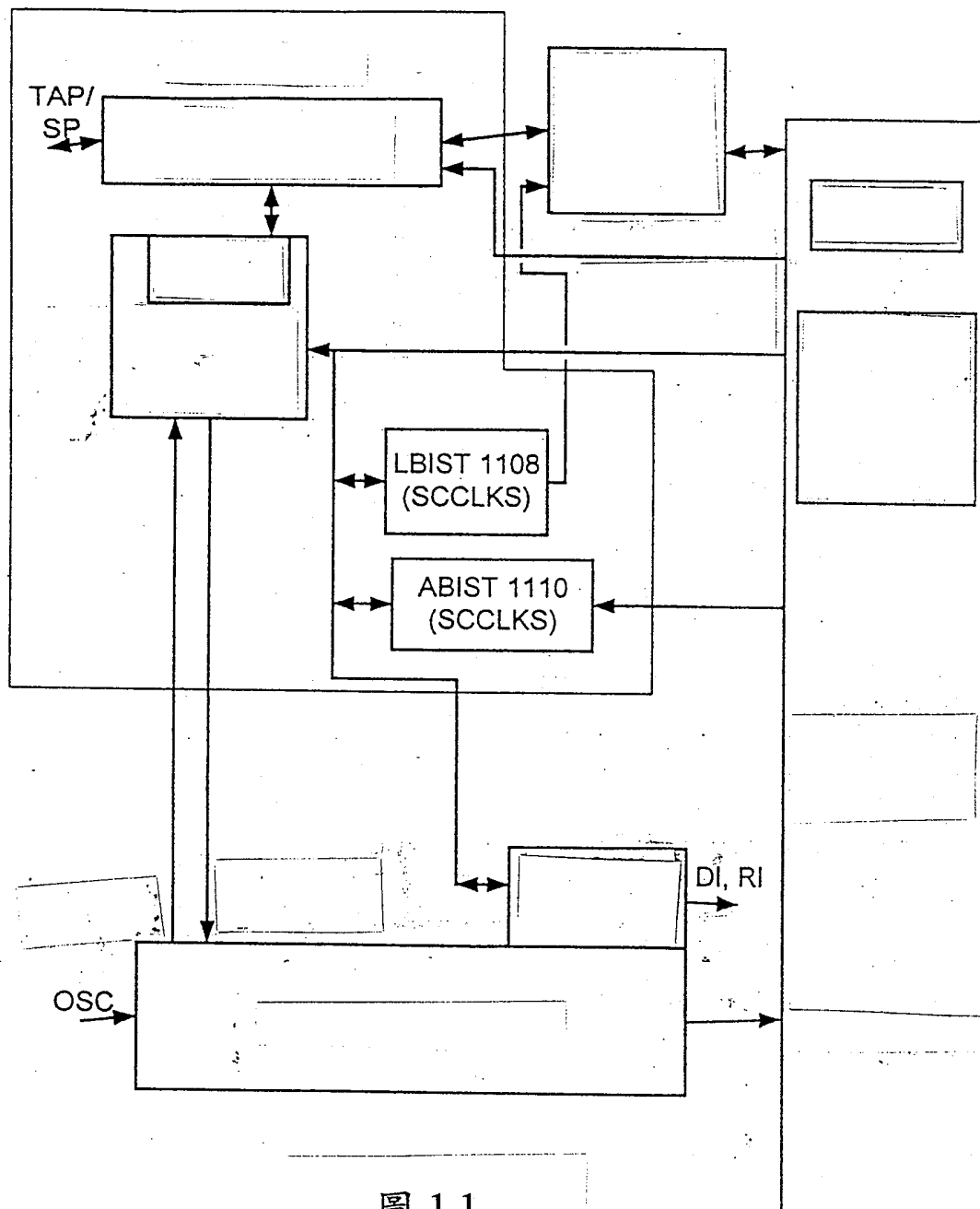


圖 11