

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 9 月 23 日 (23.09.2004)

PCT

(10) 国際公開番号
WO 2004/081997 A1

(51) 国際特許分類⁷: H01L 21/02, 25/18, 27/00
(21) 国際出願番号: PCT/JP2004/003332
(22) 国際出願日: 2004 年 3 月 12 日 (12.03.2004)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願2003-069296 2003 年 3 月 14 日 (14.03.2003) JP
(71) 出願人 (米国を除く全ての指定国について): 株式会社
ニコン (NIKON CORPORATION) [JP/JP]; 〒1008331

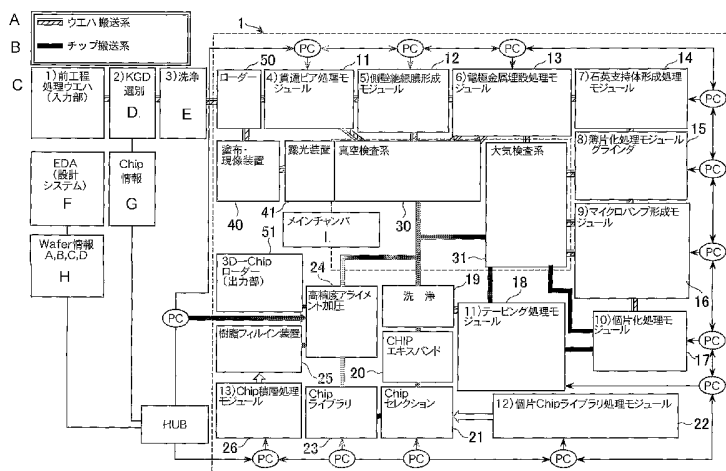
東京都千代田区丸の内三丁目 2 番 3 号 Tokyo (JP). 市
川 正 (ICHIKAWA, Masaru) [JP/JP]; 〒1008331 東京都
千代田区丸の内三丁目 2 番 3 号 株式会社ニコン知
的財産部内 Tokyo (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 岡本 和也
(OKAMOTO, Kazuya) [JP/JP]; 〒1008331 東京都千代
田区丸の内三丁目 2 番 3 号 株式会社ニコン知的財
産部内 Tokyo (JP).
(74) 代理人: 永井 冬紀 (NAGAI, Fuyuki); 〒1000011 東京
都千代田区内幸町二丁目 1 番 1 号 飯野ビル Tokyo
(JP).

/ 続葉有 /

(54) Title: SEMICONDUCTOR DEVICE PRODUCING DEVICE, AND SEMICONDUCTOR DEVICE PRODUCING METHOD

(54) 発明の名称: 半導体装置製造装置および半導体装置の製造方法



A...WAFER TRANSFER SYSTEM
B...Chip TRANSFER SYSTEM
C...PRE-STEP
PROCESSING WAFER
(INPUT SECTION)
D...KGD DISCRIMINATION
E...WASHING
F...EDA (DESIGN SYSTEM)
G...Chip INFORMATION
H...Wafer INFORMATION
I...MAIN CHAMBER
50...LOADER
11...THROUGH-VIA PROCESSING
MODULE
40...COATING-DEVELOPING DEVICE
41...EXPOSING DEVICE
30...VACUUM TEST SYSTEM
31...OPEN AIR TEST SYSTEM
51...3D-Chip LOADER (OUTPUT SECTION)

12...SIDE WALL INSULATION FILM FORMING MODULE
13...ELECTRODE METAL EMBEDMENT PROCESSING MODULE
14...QUARTZ SUPPORT BODY FORMATION PROCESSING
MODULE
15...THINNING-PURPOSE PROCESSING MODULE GRINDER
16...MICROBUMP FORMING MODULE
17...FRACTIONALIZATION PROCESSING MODULE
18...TAPING PROCESSING MODULE
19...WASHING
20...Chip EXPAND
21...Chip SELECTION
22...FRACTIONALIZATION Chip LIBRARY PROCESSING
MODULE
23...Chip LIBRARY
24...HIGH PRECISION ALIGNMENT PRESSURIZATION
25...RESIN FILL-IN DEVICE
26...Chip LAMINATION PROCESSING MODULE

(57) Abstract: A semiconductor device producing device (1) comprises a joining means (24), which executes the step of joining electrode portions together which are formed in a chip or chip assembly, for joining electrode portions formed in the chip or each chip included in the chip assembly, a transfer means disposed between the joining means (24) and executing means for executing each of the other steps and adapted to transfer the chip or chip assembly, and a control means (PC) for determining the steps for laminating the chip or chip assembly including a step using the joining means (24), according to the chip or chip assembly. And the control means (PC) obtains information about the chip or chip assembly and transmits the information corresponding to the determined step to the transfer means and to the executing means.

(57) 要約: 半導体装置製造装置 (1) は、チップ又はチップの集合体に形成された電極部分同士を接合する工程を実行するものであって、チップ又はチップの集合体の各チップの電極部分同士を接合

/ 続葉有 /



(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

する接合手段(24)と、接合手段(24)と他の各工程を実行する実行手段との間に設けられ、チップ又はチップの集合体を搬送する搬送手段と、チップ又はチップの集合体に応じて、接合手段(24)を使用した工程を含むチップ又はチップの集合体を積層するための工程を決定する制御手段(PC)とを有する。そして、制御手段(PC)は、チップ又はチップの集合体に関する情報を取得し、前記決定された工程に応じた情報を搬送手段及び実行手段に送信する。

明細書

半導体装置製造装置および半導体装置の製造方法

本出願は日本国特許出願 2003 年第 69296 号（2003 年 3 月 14 日出願）を基礎として、その内容は引用文としてここに組み込まれる。

技術分野

本発明は、複数のチップが積層された三次元実装半導体装置の製造装置に関するものであり、個々のチップの性状に応じ、柔軟に対応可能な製造装置に関する発明である。

背景技術

現在の半導体デバイスの基本である CMOS-FET（相補型 MOS 構造電界効果型トランジスタ）はリソグラフィを中心とした微細化により LSI の処理能力の高速・高性能を実現してきた。しかしながら、50 nm 以下のトランジスタゲート長を有する FET においては、LSI 内部での配線遅延が顕在化し、極力チップサイズを縮小することで抵抗と容量の積である RC 遅延を低減する必要性が生じている。一方では、携帯電話等が大きく普及し、LSI 自体の多機能・小型化も求められている。これらの事項を解決する手法として、2 次元の LSI チップを縦に積層する 3 次元実装 LSI が普及されつつあるが、この 3 次元積層によるチップ形成には幾つかの形態が考えられる。

第 1 の方式は、LSI チップを良品選別して薄型のパッケージに搭載し、このパッケージを複数積層する方式である。この方法は例えば、日本国特許公開平 10-233481 号（出願人：三星電子）などに開示されている。

第 2 の方式は、良品選別された複数のチップを縦に直接積層する方式である。この方法は、例えば日本国特許公開 2002-100728 号（出願人：シャープ）などに開示されている。

第 3 の方式は、ウエハ自体を積層し後にチップに分割する方式である。この方

法は、例えば日本国特許公開平 1 1 - 2 6 1 0 0 0 号（出願人：科学技術振興事業団）などに開示されている。

上記各方式には様々な長所・短所がある。第 1 の方式は良品選別されたチップを積層してゆくことで歩留まりの低下を抑制できるものの、パッケージコストによるコストアップに加え、チップとパッケージ間の付加的な接続配線が存在することにより L S I の処理能力の高速化に限界がある。第 3 の方式はウエハ毎の積層であるため、そのハンドリングには比較的優れるものの、チップ分割の前工程での歩留まりは 100 パーセントに至らず、三次元 L S I の歩留まりとなるとウエハの総数 N のべき乗に比例して劣化する。そのため、現在においては実際の L S I 製造工程への適用は難しい。

L S I 製造において最もありえる形態はチップを積層する第 2 の方式であり、これには 2 つの方法がある。第 1 がチップ積層後にチップ毎にパッドをワイヤ配線（ワイヤボンド）する方式である。この場合、安価なチップやメモリなどには大変有効であるものの、チップの最終配線がワイヤ配線となるため、遅延が生ずる。第 2 の方法はそれを改善したものであり、チップ上にあるバンプを用いて直接接続する方法である。

将来の装置コストや設計容量の膨大性を考慮した微細化の限界を凌駕する方式として、トランジスタの構造を工夫する方式、例えば歪 S i チャネル構造を採用したりする方式が提案され、さらに実現化されている。そのような方式においても、最終的な実装段階での信号遅延を考慮すると、ワイヤボンドを使用せず、バンプを用いて直接接続する方法が有望な方法と据えられる。

しかしながら、現在においては様々な個別の製造装置を個々の条件の範囲で適用するため、その最適条件抽出の再現性やチップ製造の再現性に欠ける。また、ウエハやチップのハンドリングも人的な介在が必要とされるため、スループットが低く、良品選別されたチップを用いているにもかかわらず最終積層時には低い歩留まりとなっていた。

発明の開示

本発明は、ウエハやチップに人的な介在を必要とせず、スループットが高い三

次元実装半導体装置を製造する装置を提案することを目的とする。

また、三次元実装半導体装置の製造においては、通常のLSIと比較して処理工程が増えてしまうので、通常のLSIをマザーボードに取り付ける方法と比較して高価になる傾向がある。そこで、本発明のもう一つの目的は、三次元実装半導体装置を低価格で製造できる方法を提供することにある。

前記目的を達成するために、本発明は、回路パターンが形成されたチップ又は前記チップの集合体に形成され、前記回路パターンと導通する前記チップの各々に形成された電極部分同士を接合する工程を少なくとも実行する半導体装置製造装置であって、前記チップ又は前記チップの集合体の各チップの電極部分同士を接合する接合手段と、前記接合手段と他の各工程を実行する実行手段との間に設けられ、前記チップ又は前記チップの集合体を搬送する搬送手段と、前記チップ又は前記チップの集合体に応じて、前記接合工程を使用した工程を含む前記チップ又は前記チップの集合体を積層するための工程を決定する制御手段とを有し、前記制御手段は、前記チップ又は前記チップの集合体に関する情報を取得し、前記決定された工程に応じた前記情報を前記搬送手段及び前記実行手段へと送信する。

前記実行手段が前記チップの集合体を切断する切断手段を少なくとも有し、前記制御手段が前記切断手段に切断情報を提供するようにしても良い。

前記チップ又は前記チップの集合体に関する情報を、前記チップの設計情報又は前記チップの検査情報としても良い。

また、前記設計情報又は前記検査情報を基に前記チップの選定を行う選定手段を備えるようにしても良い。

さらに、前記制御手段が、前記接合手段による接合を制御する制御手段を兼ねるようにしても良い。

また、本発明はウエハに形成されたチップを処理する半導体装置製造装置であって、少なくとも異なる複数の場所に配置され、前記ウエハ又は前記チップに施される処理を行う複数の実行部と、前記実行部間に配置され、前記ウエハ又は前記チップを搬送する搬送手段と、前記実行部の各々に設けられた制御手段と、前記制御手段間を共通プロトコルにより通信可能に接続するネットワークとを有す

るものである。

前記実行部は、共通の搬送手段が取り付け可能としても良い。

また、本発明は、回路パターンが形成されたチップ又は前記チップの集合体に形成され、前記回路パターンと導通する前記チップの各々に形成された電極部分同士を接合する工程を有する半導体装置の製造方法であって、前記チップ又は前記チップの集合体に関する情報を取得する工程と、前記チップ又は前記チップの集合体に関する情報に応じ、少なくとも前記チップの集合体を切断する切断工程と前記チップ同士又は前記チップの集合体を接合する接合工程とを含む製造工程を決定する工程決定工程と、前記工程決定工程で決定された製造工程に応じ、接合対象同士を加熱加圧することで前記電極部分同士を接合する接合工程と前記チップの集合体を切断する切断工程とを実行する実行工程と、からなる。

さらにまた、本発明は、回路パターンが形成されたチップを積層して得られる半導体装置の製造方法であって、積層される前記チップを同一ウエハにパターンニングする工程と、前記ウエハを前記チップ毎に分割し、前記チップに形成された回路パターン毎に前記分割されたチップを分別する工程と、前記回路パターン毎に分別された前記チップを、所定の順番で積層する積層工程とを有するものである。

なお、本発明では、「各チップの電極部分同士を接合する」との表現があるが、この意味はワイヤボンドのような別に配線を設けたものとは異なるという意味で、チップの電極間をバンプや導電性アンダーフィル、又は再配線層形成技術やインターポーザーを使用し、チップ間において狭い間隔で導通が得られる手段を使用した三次元実装半導体装置を排除したものではない。この技術範囲は以下に示す発明の実施の形態を参酌すれば容易に理解することができる。

図面の簡単な説明

図1は、本発明の実施の形態に係る製造方法の一つの代表工程を示すフローチャートであり、積層チップの製造プロセスを示したものである。

図2は、ウエハ上の同一露光エリア内における各種チップの配置を示す図である。

図 3 は、本発明の実施の形態に係る半導体装置製造装置の概略構成を示す図である。

図 4 は、本発明の実施の形態に係る積層チップの製造プロセスを示す図であり、ウエハ単位で積層した後に積層チップを製造する工程の一部を示すフローチャートである。

図 5 は、本発明の実施の形態に係る積層チップの製造プロセスを示す図であり、チップクラスタ単位で積層した後に積層チップを製造する工程の一部を示すフローチャートである。

発明を実施するための最良の形態

三次元実装半導体装置である積層チップの製造プロセスには幾つかの形態が存在する。本発明の実施の形態では、一つの例を取り上げ、そのプロセス工程の場合に必要な機器（製造装置、検査装置）について記述する。従って、プロセスの変更に伴い機器の種類や仕様は異なることはいうまでもなく、そのような場合でも本発明の意図はそのまま適用できるものである。

そこで、本発明の実施の形態では、三次元実装半導体装置として貫通電極が形成されたものを例示する。貫通電極は回路が形成されたウエハを上下に貫くように形成された電極であり、各チップ間をワイヤボンドで接合する場合よりも実質的な配線長が短く、信号遅延が改善される。したがって、この貫通電極方式がもっとも有望な方法と据えられる。

〔装置構成〕

図 1 は、本実施形態における三次元実装半導体装置（積層チップ）の製造手順を示すフローチャートである。また、図 3 は本実施の形態の半導体装置製造装置のレイアウトを示すブロック図である。本半導体装置製造装置 1 は、積層チップ製造における各処理を個別に行う複数の実行部を有している。

その実行部としては、貫通ビア処理モジュール 11、貫通ビア側壁絶縁膜形成モジュール 12、電極金属埋設処理モジュール 13、支持体形成処理モジュール 14、薄片化処理モジュール 15、マイクロポンプ形成モジュール 16、個片化処理モジュール 17、テーピング処理モジュール 18、洗浄モジュール 19、チ

ップエキスパンド処理モジュール 20、チップセレクションモジュール 21、個片チップライブラリ処理モジュール 22、チップライブラリモジュール 23、高精度アライメント加圧モジュール 24、樹脂フィルイン装置 25 及びチップ積層処理モジュール 26 が設けられている。また、実行部として、各モジュールや装置で処理された結果を検査する真空検査系モジュール 30、大気検査系モジュール 31 も設けられている。さらに、実行部として貫通電極を形成するためのレジスト塗布・現像装置 40 および露光装置 41 を備えている。この半導体装置製造装置 1 で製造された三次元実装半導体チップは、3D チップローダ 51 により半導体装置製造装置 1 から搬出される。

これらのモジュールおよび装置は一つの筐体に収納されておらず、図示していないが、半導体装置製造装置 1 には、ウエハ又はチップを搬送し各モジュール間および装置間を接続する搬送装置が設けられている。これらの搬送装置は、真空チャックやベルヌーイチャックを用いたロボットアームなどの既存の搬送装置を適宜選定して配置したものである。

各実行部はそれらの制御を司るプロセッサ（PC）を備えており、それぞれのプロセッサ（PC）及び図示されていない搬送装置のプロセッサは、共通のプロトコルを利用したネットワークに接続されている。そして、後述する KGD 選別工程（S2）で得られるチップの良否情報や、ウエハに形成された各チップの設計情報（後述する EDA 情報）や、該当チップがどこの工程の処理中なのか等の各チップ情報などが、ネットワークを介して各実行部のプロセッサ（PC）に提供される。

そのため、チップの設計情報に応じて製造工程を変えた場合には、各チップに対する三次元実装化のための処理を実行部が正確に行えるように、各実行部の制御を EDA による設計情報に基づいて行うことができる。なお、その製造工程は、本発明の実施の形態による半導体装置製造装置 1 では、実行部の一つである高精度アライメント加圧モジュール 24 に設けられたプロセッサ（PC）で決定される。

[製造工程の説明]

積層チップの製造手順を示す図 1 のフローチャートでは、S4～S14 までの

工程が図 3 に示した本実施の形態の半導体装置製造装置 1 において処理される。

(ステップ S 1)

まずは、図 1 のフローチャートに示すように本実施形態で使用される半導体装置製造装置 1 とは異なる装置によりウエハの前工程処理が行われ、前工程処理済みのウエハが入力される (S 1)。なお、本実施の形態での前工程とは、ウエハに通常の半導体装置の回路や素子を形成する方法と同じ製造工程を経て形成する工程で、前工程終了後は、1 枚のウエハに複数のチップの回路パターンが形成されている。

ところで、前工程では通常、投影露光装置によってウエハ上に回路パターンが形成される。この投影露光装置を使用するにあたって必要なマスクは、非常に高価である。三次元実装半導体装置では、異なる複数のチップが必要になるので、少ないマスクでこれら複数種類のチップを投影露光できるようにマスクを設計することが好ましい。なお、本実施の形態では 4 種類のチップを積層して、一つの半導体装置を製造することを想定して、以下に説明する。

図 2 はウエハの一部を示す概略構成図であり、ウエハには本実施の形態における三次元実装半導体装置に用いるパターンが形成されている。図 2 のハッチングの部分がチップに該当する部分であり、図示された範囲がウエハ上での露光フィールドに対応した領域である。ウエハ全面においては、図 2 に示すような配列で規則的にチップが形成されている。図 2 に示すようなチップ配列を有するウエハでは、例えば露光フィールドが 40 mm×25 mm のチップの場合、このフィールド内に A, B, C, D の 4 種類のチップが存在するように、マスクを設計する。

そして、前工程が終了し、本実施の形態である半導体装置製造装置 1 にウエハが供給されると、後述するように A, B, C, D の 4 種類の各チップ同士で自動的に高精度にアライメントおよび積層され、1 つの立体的な積層チップが完成することになる。したがって、一枚のマスクで三次元実装半導体装置 (積層チップ) が出来るので、一枚のウエハに同一種類のチップしか作らない方法に比べて、マスク枚数を抑えることができ、マスクに掛かるコストを削減することが可能となる。

各チップの回路パターンを設計する際には、EDA (Electronic Design Auto

mation)により、各チップを積層した場合を想定して設計が行われる。これにより各チップまたはIPブロック間の接続が最適化(自動配線の最適化)されるように設計される。そして、EDAにより設計された配線パターンの設計情報は、ウエハに形成されたチップと関連づけられて後述する本実施の形態における半導体装置製造装置1に供給される。

(ステップS2)

次に、図1に示すように、前工程を終え、最上層に配線パターンを形成する工程を終えたウエハはKGD(Known Good Die:パッケージ品と同等の品質保証をされたもの)毎に選別され、ウエハ上の各不良チップは自動的にチップ座標を用いてマーキングされる(S2)。このKGD等の選別工程は製造者側に一任され、KTD(Known Test Die:パッケージと同じプロービングテストまでを実施。但し、保証対象外)、PD(Probed Die:一部の検査のみを規定したもので、保証対象外)といった異なるレベルの選別基準を採用することも可能である。これらの各検査情報もチップ毎に後述するネットワークを介して半導体装置製造装置1の各モジュールや装置に情報提供される。

なお、このKGD選別工程(S2)は後述する半導体装置製造装置1に取り込んでも構わない。

(ステップS3)

次に、図1に示す初期洗浄工程(S3)によりウエハの洗浄が行われる。この洗浄工程では既存のウエハ洗浄装置が使用されるので、ここでの詳細な説明を省略する。洗浄が終了したウエハは、図3に示す半導体装置製造装置1に供給される。

(ステップS4)

初期洗浄工程(S3)を終了したウエハは、一旦ローダ50に収納される。ローダ50に収納されたウエハは、次に、貫通ビア処理工程に入る(S4)。貫通ビア処理工程では、最初にレジスト塗布・現像装置40によりレジストがウエハに塗布され、次にEDAから提供されるウエハ情報を基に、形成する貫通ビアパターンに対応したマスクが露光装置41により選定される。そして、選定されたマスクを用いて、貫通ビアパターンがウエハに投影露光される。その後、再びレ

レジスト塗布・現像装置 40 によりレジストの現像が施され、貫通ビア処理モジュール 11 にウエハが搬送される。これらの各装置、モジュール間には、ウエハを機械的に保持する日本国特許公開平 9-148394 号などに開示されている公知の搬送装置が配置されている。

貫通ビア処理モジュール 11 では、提供されたウエハに対し所定の深さのビアが形成される。その際、反応性イオンエッチングなどを用いて、所定の深さのビアを形成する。このとき、貫通ビア処理モジュール 11 を制御する PC は、反応性イオンエッチングの処理条件を処理されたウエハと対応づけてネットワーク上に送信することができる。なお、この情報を用いることにより、後に説明する検査工程でチップが不良と判定されたとき、不良の原因が突き止めやすくなる。

(ステップ S5)

次に、ビアが形成されたウエハを貫通ビア側壁絶縁膜形成モジュール 12 に移送して、側壁絶縁膜形成処理工程 (S5) が実行される。このとき、搬送装置として、ウエハを機械的に保持する搬送装置が使用される。側壁絶縁膜形成処理工程では、プラズマ CVD 成膜法などによりウエハのビア側壁に SiO₂ などの酸化膜が形成される。なお、この貫通ビア側壁絶縁膜形成モジュール 12 を制御する PC もネットワークに接続されており、処理されたウエハ毎の成膜条件がネットワーク上に送信可能となっている。ゆえに、チップが不良と判定されたとき、不良の原因を解明する手がかりが得られやすくなっている。

(ステップ S6)

続く電極金属埋設処理工程 (S6) では、ビアに酸化膜が形成されたウエハを電極金属埋設処理モジュール 13 に移送し、絶縁膜が形成されたビアに銅材料などを充填する。この電極金属埋設処理モジュール 13 では CVD 成膜法によりビア内壁にバリア層 (窒化チタンなど) とシード層 (銅) が形成され、ついで電鍍法などにより銅を成長させることによりビア内に銅材料が充填される。

ところで、貫通ビア処理モジュール 11、貫通ビア側壁絶縁膜形成モジュール 12、電極金属埋設処理モジュール 13 のそれぞれは、不図示の搬送装置により真空検査系モジュール 30 と接続されている。真空検査系モジュール 30 では、各工程で所定の深さおよび所定の形状でビアが形成されているか、ビア内に絶縁

膜や銅材料が欠陥無く形成されているかを検査する。この真空検査系モジュール 30 には X 線画像処理装置や赤外線画像処理装置などが設けられており、適宜ビア内の検査を行い、不良チップを検出する。そして、不良チップの情報は、他の各実行部のモジュールや装置のプロセッサ（PC）にネットワークを介して提供される。

（ステップ S7）

次に、貫通電極が形成されたウエハは、搬送装置により、支持体形成処理工程（S7）に移される。支持体形成処理工程ではウエハに UV 硬化型樹脂を塗布し、ウエハの回路パターンが形成された面（表面）に石英等の基板を貼り付け、UV キュアを行ってウエハを支持体である基板に接着する。そして、支持体が接着されたウエハは薄片化処理工程（S8）に移される。

（ステップ S8）

薄片化処理工程（S8）では、薄片化処理モジュール 15 にウエハを移送して、ウエハを厚さ 50 マイクロメートル程度以下まで薄片化する。また、ウエハを薄片化することで、貫通電極のもう一方の端面が露出されるので、ウエハの両面に貫通電極を露出させることができる。この薄片化処理モジュール 15 では、グラインダーによりウエハの裏面を研削し、更に CMP（Chemical Mechanical polishing）装置によりその面を平滑化、平坦化する。その平坦度は接合方法に合わせて設定されている。

（ステップ S9）

次に、薄片化されたウエハがウエハマイクロバンプ形成モジュール 16 に移送され、ウエハの裏面にマイクロバンプを形成するマイクロバンプ形成処理工程（S9）が実行される。マイクロバンプ形成処理工程では、貫通ビア形成時と同様にフォトリソグラフィ法によりマイクロバンプのパターンニングが行われ、周知の成膜法を用いて金などのバンプを形成する。

（ステップ S10）

裏面にマイクロバンプが形成されたウエハは、次に個片化処理工程（S10）に移される。この工程では、ダイシングソーを有した個片化処理モジュール 17 により、ウエハがチップ毎に切り分けられる。その際、非常に薄くなったウエハ

は支持体に張り付いた状態でダイシングされるので、薄片化されたチップに生じやすいチップングの問題を低減することができる。なお、このとき支持体が完全に切り離されないように、ダイシングを施す。

(ステップS 1 1)

ダイシングされて個片化されたチップは、支持体に固定された状態でテーピング処理モジュール 1 8 に移送され、テーピング処理工程 (S 1 1) が施される。テーピング処理工程では、個片化されたチップが支持体に固定された状態で、支持体が接着された面とは反対のチップの面に搬送用樹脂テープを接着する。なお、この樹脂テープは支持体に固定された全てのチップを同一テープで接着できる程度の面積を有し、同一支持体に固定されたチップは同一樹脂テープに固定されることになる。そして、テーピング処理モジュール 1 8 では樹脂テープに接着されたチップから支持体を剥離する。

ところで、電極金属埋設処理モジュール 1 3、支持体形成処理モジュール 1 4、薄片化処理モジュール 1 5、マイクロバンプ形成モジュール 1 6、個片化処理モジュール 1 7、テーピング処理モジュール 1 8 は、それぞれ真空チャックを有する搬送装置により大気検査系モジュール 3 1 に接続されている。大気検査系モジュール 3 1 には光学顕微鏡や画像計測装置などが設置されており、それらを用いて各モジュールで処理されたウエハやチップの状態を観察することにより、各工程で生じた欠陥の有無を調べる。また、マイクロバンプ形成モジュール 1 6 で形成されるマイクロバンプの段差なども大気検査系モジュール 3 1 で調べることができ、検査結果により得られたこれらの情報は他のモジュールや装置にネットワークを介して提供される。

(ステップS 1 2)

次に、樹脂テープに接着された各チップは、洗浄モジュール 1 9 に搬送され、洗浄された後、個片チップライブラリ処理工程 (S 1 2) に移される。個片チップライブラリ処理工程 (S 1 2) では、テープエクスパンドモジュール 2 0 により樹脂テープをチップの配列方向に沿って、引き延ばし、個々のチップをハンドリングしやすくする。そして、チップセレクションモジュール 2 1 で、ネットワークで得られた情報を基に今までの工程で不良や欠陥と判断された部位を有する

チップと、良品のチップとを選別し、良品チップのみピックアップするか、又は不良や欠陥と判断された部位を有するチップをピックアップする。このようにして、以降の工程に良品チップのみが処理されるようにする。

また、先に述べたように同一ウエハに異なるチップが形成されているので、良品チップの中で、チップの種類ごと（A，B，C，D 毎）にチップを分別している。このとき、欠陥や不良と判断された部位を有するチップを以降の工程から排除することで、各種類毎のチップの数が同数でなくなってしまうことがありうる。

このような場合、個片チップライブラリ処理モジュール 22 では、予め異なるウエハで製造しておいたチップの中から足りなくなったチップを供給し、チップ種類ごとに良品チップの数を合わせる。その後、KGD 選別工程（S2）により選別された良品チップと、図 1 に示した 4 種類のチップ A，B，C，D に関する 4 つのチップブロックデータの良品チップとがチップライブラリモジュール 23 に送られる。チップライブラリモジュール 23 には、例えば 4 チップブロック毎に格納するか、又は 4 種類のチップ A，B，C，D を順番に配列するかしておき、その配列順番とチップの種類とを対応づける。そして、ネットワークを通じて、後段の処理を行う実行部に配列情報とチップの種類情報とを提供する。

（ステップ S13）

次に、チップライブラリモジュール 23 で選別されたチップを、ベルヌーイチャックなどを有した搬送装置により高精度アライメント加圧モジュール 24 に搬送し、チップ積層処理工程（S13）を実行する。チップ積層処理工程では、チップの種類に応じて互いのバンプや電極が同一位置になるように、各チップを順次アライメントし積層する。

なお、この高精度アライメント加圧モジュール 24 としては、例えば既存のフリップチップボンダーのように、電極やマイクロバンプ形成部分の位置を画像により取得し、接合される電極やマイクロバンプ同士が同じ位置になるようにアライメントするものであって、露光装置に用いられるような高精度アライメント機構を付加したものが利用可能である。

バンプ接合の方法としては、加熱加圧や超音波による金属接合、あるいは、N

C P (Non Conductive Paste)、N C F (Non Conductive Film)、A C P (Anisotropic Conductive Paste)、A C F (Anisotropic Conductive Film)などの非金属接続がある。金属接合されたチップは樹脂フィルイン装置25に搬送され、樹脂フィルイン装置25によりチップ間に樹脂を充填して積層されたチップを樹脂封止する。

(ステップS14)

最後に、樹脂封止されたチップは三次元実装半導体装置(3D-Chip)ローダ51へ移送され、積層されたチップが本装置から出力される(S14)。

なお、樹脂フィルイン装置25は積層後にチップ間に樹脂を充填するものだけに限られず、NCPやACFによる非金属接続の場合にも使用される。この場合は、チップ同士の積層面に熱硬化エポキシ樹脂を塗布し、高精度アライメント加圧モジュール24で積層時に加熱加圧することにより、 bumps同士が接合される。

ところで、本実施の形態における半導体装置製造装置1は、このような各実行部同士を搬送装置で接続しているので、製造方法によらず搬送装置の制御を調整することだけで対応可能な装置である。例えば、接合方法が変わっても対応可能である。

また、本発明の実施の形態における半導体装置製造装置1では、各モジュールおよび装置を搬送装置で接続するとともにそれらの間をネットワークで接続しているので、ネットワーク上で配信された製造工程を搬送装置の制御部が受信することができる。そして、チップの種類や製造工程に応じて、搬送装置を制御することで、各チップに的確な処理を与えることが可能となる。

なお、前述とは異なり、異なるウエハにそれぞれ異なるチップを形成し、各々のウエハから使用可能なチップを選択しながら、使用可能な異なるチップを三次元実装して製造する方法を採用することも可能である。そして、更に人手を介さず安いコストで製造が可能となる。

たとえば、不良チップがウエハの決まった位置で発生する場合やウエハ一枚当たりの不良チップの発生確率が非常に低い場合は、一枚のウエハに同一チップを形成し、ウエハ毎に積層することが好ましい。このようにすることにより、タク

トタイムが短くなり、製造コストを低減することができる。

〔変形例 1〕

そこで、上述した半導体装置製造装置 1 において、EDA での設計情報をネットワーク上から取得してそれぞれのウエハに形成されるチップがどのようなものかを検知し、各ウエハを相互に積層した後にチップ毎に切断しても積層チップが製造可能と判断される場合には、図 1 の S1 から S6 までの工程が終了した時点で、それ以降の処理工程を図 4 に示す工程に切り替えるようにしても良い。その際は、各モジュール、装置及び搬送手段を以下の工程となるように制御する。

まず、ウエハを図 1 に示す S1 から S6 まで同じように処理し、埋め込み電極が形成されたら、図 4 に示す各工程を行う。

つぎに、図 1 の S9 に示すマイクロバンプ処理工程と同じ工程であるマイクロバンプ処理工程 (S41) を行う。そのため、マイクロバンプ形成モジュール 16 までウエハを搬送する。そして、先の説明のようにマイクロバンプを形成したら、ウエハを洗浄モジュール 19 に搬送して洗浄し、洗浄後に高精度アライメント加圧モジュール 24 でウエハ同士を加圧接合する (S42)。

その際、樹脂フィルイン装置 25 により、接合されたウエハ同士の間を樹脂で充填することが好ましい。もしくは、接合ウエハを形成する前に、樹脂フィルイン装置 25 に含まれる機能としてスプレコータなどにより樹脂を事前にコートしておく方法でもよい。

そして、2 枚のウエハを使って互いのマイクロバンプ同士を接合したら、真空検査系モジュール 30 に搬送してマイクロバンプ同士の接合を確認し、接合が確認できたならば接合されたウエハを薄片化処理モジュール 15 に搬送する。その後、接合されたウエハの少なくとも一方を薄片化処理モジュール 15 でもって薄片化し (S43)、一方のウエハの裏面から埋め込み電極が露出したら、マイクロバンプ形成モジュール 16 に搬送して露出した埋め込み電極にマイクロバンプを形成する (S41)。

また、それと同時に、新たなウエハを図 1 の S6 の工程まで処理する。そして、新たなウエハをマイクロバンプ形成モジュール 16 に搬送して、回路パターン形成面にマイクロバンプを形成する。

次に、裏面から埋め込み電極が露出したウエハの積層体と、新たなウエハ同士とをそれぞれ洗浄し、洗浄後に高精度アライメント加圧モジュール 24 でウエハを積層して加圧接合する (S 4 2)。その後、新たなウエハの裏面を薄片化する (S 4 3)。ただし、最後の積層時には、新たなウエハの裏面、または、最初に接合されたウエハであって埋め込み電極が露出していないウエハのどちらか一方を薄片化すればよい。そのときも、埋め込み電極が露出する程度に薄片化すれば良い。

そして、この工程を必要な積層数になるまで、繰り返し行う。その後、個片化処理工程 (S 4 4) を行う為に、個片化処理モジュール 17 にウエハの積層体を搬送し、個片化して積層チップを取得する。そして、最後に、3Dチップローダ 51 に搬送することで、三次元積層チップを出力することができる (S 4 5)。

特に、この製造方法では積層処理工程の回数と個片化処理工程の回数が少なくなるので、製造工数の低減が図れ、製造コスト低減を達成することができる。また、支持体を設けなくとも、必ず一方のウエハが厚い状態のままなので、支持体を設けずに薄片化処理工程を実施できる。

[変形例 2]

ところで、このような製造方法以外にも、図 1 に示す工程と図 4 に示す工程の中間の製造コストが得られる工程も採用可能となる。

例えば、ウエハ一枚当たりの良品率が悪い、又はウエハ一枚当たりの良品率は悪くないが不良チップが発生する個所がウエハ毎に変わることが多い場合は、図 5 に示す各工程を採用した製造方法で三次元実装半導体装置を製造するのが好ましい。

この製造方法では、図 1 に示すマイクロポンプ処理工程 (S 9) までは上述した製造方法と同様に行い、マイクロポンプ処理工程 (S 9) に続いて図 5 に示す一連の工程を実行する。すなわち、図 1 の個片化処理工程 (S 10) 以降の処理は行わずに図 5 のウエハ分割工程 (S 51) に進み、ウエハから数個のチップの集合体になるように、ウエハからチップクラスタに分割する。このウエハ分割工程 (S 51) では、ウエハから幾つかのチップが連なった状態 (以下、「チップクラスタ」と言う) になるように切り出すときに、チップクラスタの外郭形状は

、互いに積層するチップクラスタ同士で同じになるように切り出すことが好ましい。

また、チップクラスタをウエハから切り出すときには、互いに積層するチップクラスタ同士において、不良チップが同じ位置関係になるように切り出すことが好ましい。そのようにすると積層時に不良チップ同士が積層されるので、不良チップから成る積層チップのみを一括して廃棄することが可能となる。

このウエハ分割工程は、個片化処理モジュール 17 で行われる。また、ウエハからチップクラスタに分割する際、どのように分割するかは個片化処理モジュール 17 の制御を行う P C で行う。その際には、ネットワーク上から取得された K G D 情報や、真空検査系モジュール 30 や大気検査系モジュール 31 から取得された情報に基づいて、ウエハ毎に分割方法を決定する。

しかし、このような各処理モジュールや装置の集合体からなる製造装置では、実際設置される装置に、高精度アライメント加圧モジュール 24 が装備されない場合もあり得る。したがって、積層を行うことを前提とした場合、積層を行うことによって実施が確実となる工程に関する事項については、高精度アライメント加圧モジュール 24 を制御する P C で制御することが好ましい場合もある。このようにすることで、各処理モジュールや装置に使用されないプログラムを多く常駐させる必要が無くなるので、制御する P C のリソースを確保しやすいというメリットも有する。

次に、ウエハ分割工程（S 5 1）が終了したならば、得られたチップクラスタはテーピング処理工程（S 5 2）へと移送される。このテーピング処理工程（S 5 2）は、図 1 に示したテーピング処理工程（S 1 1）と同じで、分割されたウエハをそのままテーピングし、チップクラスタから支持体を取り外す。

テーピングされたチップクラスタはテープエクスパンドモジュール 20 により取り外されるが、その際、チップクラスタがテープから取り外しやすくなるようにテープを引き延ばす。テープが引き延ばされた状態でチップクラスタを取り外し、チップライブラリモジュール 23 にそれぞれのチップクラスタを収める（S 5 3）。このとき、各チップクラスタは、積層するチップクラスタ同士がわかるようにチップライブラリに集積される。

その後、高精度アライメント加圧モジュール 24 によりチップクラスタ同士を積層し、チップクラスタに形成された各マイクロバンプ同士が接合される。そして、樹脂フィルイン装置 25 によりチップクラスタの間に樹脂を導入し、チップクラスタ積層工程 (S 54) が終了する。

その後、再び個片化処理モジュール 17 に積層されたチップクラスタを搬送し、チップ毎に切り離す。このようにして切り離された積層チップは 3D-チップローダ 51 に搬送され、三次元実装されたチップが出力される。

図 5 に示す工程を採用した製造方法では、図 1 に示した製造方法よりも、チップを積層する積層工程の回数が少なくなる。また、不良チップ同士を積層させることにより、不良積層チップの除去が容易になる。その結果、良品チップと不良チップとが積層されてしまうのを避けることができ、不良チップと一緒に良品チップまでが除去されてしまう確率が低くなる。

ところで、先の述べたように、ウエハに形成されたチップの状態や不良チップの存在位置分布により、最適な製造方法が変わる。特に、三次元実装半導体装置 (積層チップ) を製造する際にはこのような問題が生じる。しかし、上述した半導体装置製造装置 1 では、各処理モジュールや装置がネットワークと搬送手段とで互いに接続され、ネットワークを介して各処理モジュール、装置、搬送手段が決定された製造工程に応じて制御可能となっている。その結果、ウエハに形成されたチップの状態や不良チップの存在位置状況に応じて、的確な製造方法を採用できるというメリットを有している。

なお、製造方法の決定は、上述したように高精度アライメント加圧モジュール 24 を制御するプロセッサ (PC) で行われることが好ましい。高精度アライメント加圧モジュール 24 は、チップやウエハを含めたチップ集合体を積層する装置であり、他の用途に使用される可能性は無い。一方、他のモジュールや装置は他の用途に使用される可能性がある。そのため、チップ又はウエハやチップクラスタなどのチップの集合体の積層に必要な工程の選択を高精度アライメント加圧モジュール 24 のプロセッサ (PC) で行わせることで、高精度アライメント加圧モジュール 24 のプロセッサ (PC) を有効に活用することができる。

さらに、上記の半導体装置製造装置 1 は以下のような特徴も有している。例え

ば、図示されているもの以外の各処理モジュールも含めて、各処理モジュールは、メインチャンバーと称する中央管理ユニットに繋がっており、このメインチャンバーには真空検査系と大気検査系との2つの検査ユニットが存在する。真空検査系には、SEM（走査型電子顕微鏡）、光学顕微鏡、X線・IR画像計測装置が装備されており、大気検査系には光学顕微鏡、画像計測装置が装備されている。そして、これらの検査ユニットを使い分けることにより、各処理工程の状況を必要に応じて確認することができる。

このように、検査系を中央に配置することで、各工程の各処理後にチップやウエハの検査を随時行うことができる。そのような検査を行い検査情報を他の工程で利用することにより、各工程で生じた欠陥や不良に応じて、チップ積層前に不良チップを排除することが可能となる。その結果、不良チップが不用意に積層されて、積層された他の良品チップとともに半導体装置（積層チップ）全体が不良となってしまう事態を防止することができる。なお、この検査系に採用される検査装置としては、バンプの形状を検査する三次元形状測定装置、非破壊で貫通電極を検査できるX線又は赤外線検査装置、又はその表面状態を検査するための光学顕微鏡や電子顕微鏡などが挙げられる。

また、電極間のアライメント精度は $<0.5\text{ }\mu\text{m}$ （ 3σ ）を得ており、配線微細化に伴いチップ間の積層方法に常温接合も適用可能となる。この場合、高精度アライメント加圧モジュール24に対して、表面活性化のための装置を新たに付加する必要がある。

更に、電極を再配線するための再配線層を本実施の形態の半導体装置製造装置1に組み込むことで、各チップ間が直接接合されるようにしても良いし、反対にインターポーザーを介して各チップの電極が導通できるようにしてもよい。各処理モジュールや装置は、全て個別のプロセッサ（PC）を備えた分散処理システムとなっている。勿論、全てのモジュールを1つのホストコンピュータで一元管理する「中央制御システム」も有効であるが、ここではユーザの様々な要求に柔軟に対応できるシステムとして分散処理型を採用している。この場合、各モジュールや装置、ユニット間の情報交換は、プロトコルの共通化通信を行うことで対応できる。

また、このように共通のプロトコルで通信可能となっているので、それぞれのモジュールや装置、ユニットが互いに認識し合い、選択できる工程に自由度を持たせることが可能となった。

更に、共通の搬送装置が取り付け可能となっており、各モジュールや装置、ユニット間の増設やレイアウト変更が容易に可能となっている。したがって、採用する工程に応じて、各モジュールや装置、ユニットの増設が簡単にできる。

また、上述したメインチャンバーに設置された真空検査系や大気検査系の各検査機器も、同じネットワーク上に接続されており、ここで得られた検査結果をEDA設計データにフィードバックすることで、製造時に欠陥が出にくい回路レイアウトを設計できるという効果も期待できる。

更に分散処理システムとなっているので、各工程の中でタクトタイムが最も長い工程においては、そのモジュールを複数並列に接続することができる。その結果、スループットを向上させることができる。

さらに、処理工程においては、逐次ウエハが送られ、モジュール毎に処理が進められ、人手を介すことなく、高いスループットで最適な条件で処理が進められる。

なお、本装置はウエハレベルでの積層にもユニット搬送系等を交換することで容易に対応でき、また、上述の工程ではチップを選別するために、チップライブラリを利用したが、エキスパンドされたウエハリングから直接ダイボンダへ搭載することが可能であることはいうまでもない。

なお、本発明は個々のプロセスの最適化に関するものでなく、各工程製造装置を集約し、また時により検査工程を投入することで、高スループット、高歩留まりを実現するものである。

以上、説明したように本発明の実施の形態によれば、各モジュールや装置、ユニット毎に最適なウエハ処理が進行し、また良品チップはKGD選別工程により選別され、EDA設計データから積層チップが自動で認識され、適宜最適な製造方法を選択することから、極めて高い効率で3次元LSIを自動生成することができる。

また、各実行部のプロセッサ（PC）同士が共通のプロトコルで通信可能とな

っており、選択可能な工程に自由度を持たせることが可能となる。更に、共通の搬送装置が取り付け可能となっているので、各モジュールや装置、ユニット間の増設やレイアウト変更が容易に可能となっている。したがって、採用する工程に応じて、各モジュールや装置、ユニットの増設が簡単にできる。

また、本発明の実施の形態による製造方法によれば、使用マスクの枚数を増やすことなく低価格な三次元実装半導体装置を提供することができる。

産業上の利用の可能性

本発明の半導体製造装置は、半導体チップの三次元実装に使用することができる。また、本発明の半導体装置の製造方法は、半導体チップの実装を行う為に用いることができる。

請求の範囲

1. 回路パターンが形成されたチップ又は前記チップの集合体に形成され、前記回路パターンと導通する前記チップの各々に形成された電極部分同士を接合する工程を少なくとも実行する半導体装置製造装置であって、

前記チップ又は前記チップの集合体の各チップの電極部分同士を接合する接合手段と、

前記接合手段と他の各工程を実行する実行手段との間に設けられ、前記チップ又は前記チップの集合体を搬送する搬送手段と、

前記チップ又は前記チップの集合体に応じて、前記接合手段を使用した工程を含む前記チップ又は前記チップの集合体を積層するための工程を決定する制御手段とを有し、

前記制御手段は、前記チップ又は前記チップの集合体に関する情報を取得し、前記決定された工程に応じた前記情報を前記搬送手段及び前記実行手段へと送信する。

2. 請求項 1 に記載の半導体装置製造装置であって、

前記実行手段は、前記チップの集合体を切断する切断手段を少なくとも有し、前記制御手段は、前記切断手段に切断情報を提供する。

3. 請求項 1 に記載の半導体装置製造装置であって、

前記チップ又は前記チップの集合体に関する情報は、前記チップの設計情報又は前記チップの検査情報である。

4. 請求項 3 に記載の半導体装置製造装置であって、

前記設計情報又は前記検査情報を基に前記チップの選定を行う選定手段を備える。

5. 請求項 1 乃至 4 にいずれか一項に記載の半導体装置製造装置であって、

前記制御手段は、前記接合手段による接合を制御する制御手段を兼ねる。

6. ウエハに形成されたチップを処理する半導体装置製造装置であって、
少なくとも異なる複数の場所に配置され、前記ウエハ又は前記チップに施される処理を行う複数の実行部と、
前記実行部間に配置され、前記ウエハ又は前記チップを搬送する搬送手段と、
前記実行部の各々に設けられた制御手段と、
前記制御手段間を共通プロトコルにより通信可能に接続するネットワークとを有する。

7. 請求項 6 に記載の半導体装置製造装置であって、
前記実行部は、共通の搬送手段が取り付け可能である。

8. 回路パターンが形成されたチップ又は前記チップの集合体に形成され、前記回路パターンと導通する前記チップの各々に形成された電極部分同士を接合する工程を有する半導体装置の製造方法であって、
前記チップ又は前記チップの集合体に関する情報を取得する工程と、
前記チップ又は前記チップの集合体に関する情報に応じ、少なくとも前記チップの集合体を切断する切断工程と前記チップ同士又は前記チップの集合体を接合する接合工程とを含む製造工程を決定する工程決定工程と、
前記工程決定工程で決定された製造工程に応じ、接合対象同士を加熱加圧することで前記電極部分同士を接合する接合工程と前記チップの集合体を切断する切断工程とを実行する実行工程と、からなる。

9. 回路パターンが形成されたチップを積層して得られる半導体装置の製造方法であって、
積層される前記チップを同一ウエハにパターンニングする工程と、
前記ウエハを前記チップ毎に分割し、前記チップに形成された回路パターン毎に前記分割されたチップを分別する工程と、

前記回路パターン毎に分別された前記チップを、所定の順番で積層する積層工程とを有する。

FIG.1

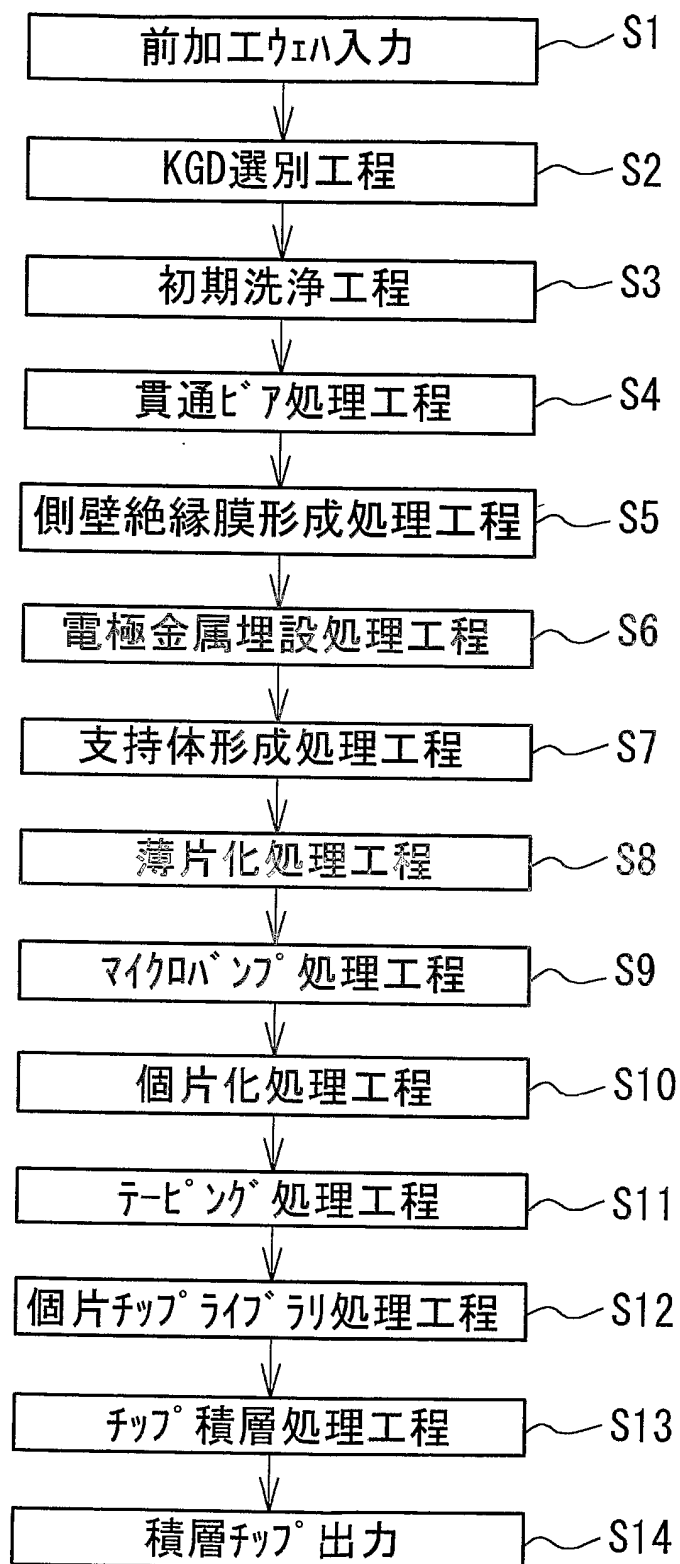
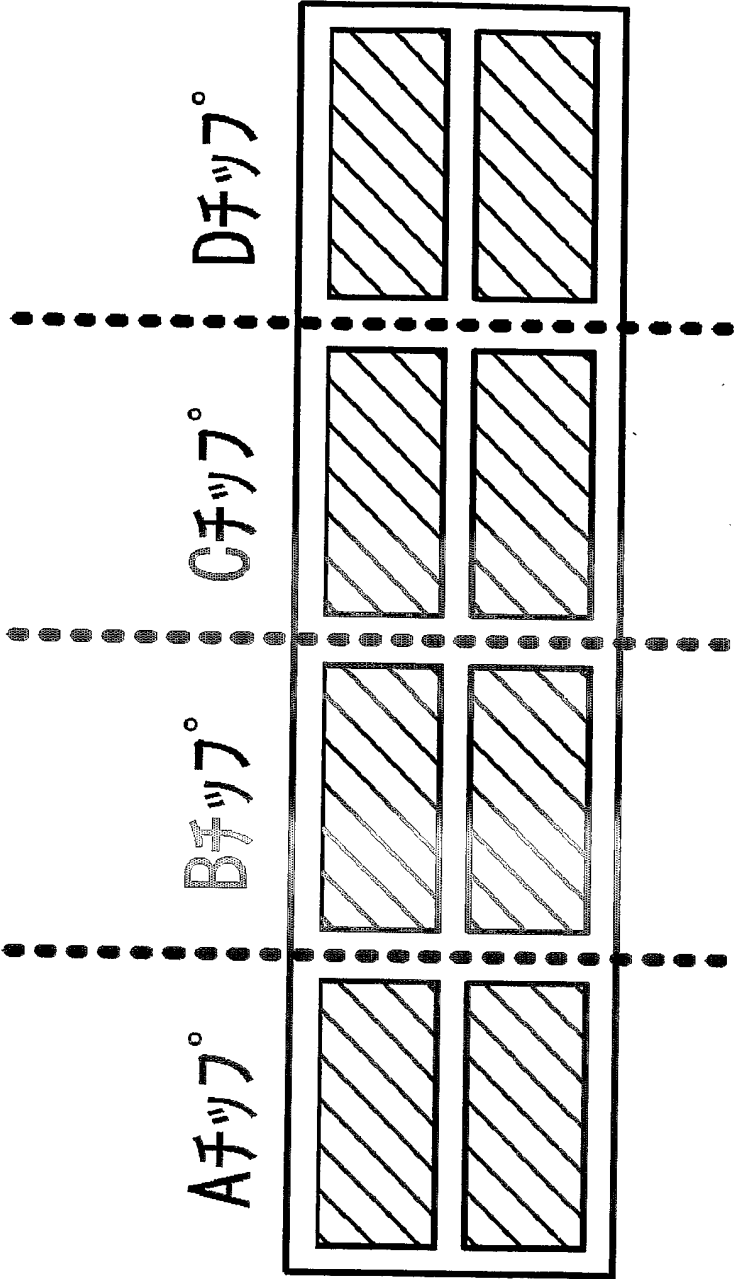
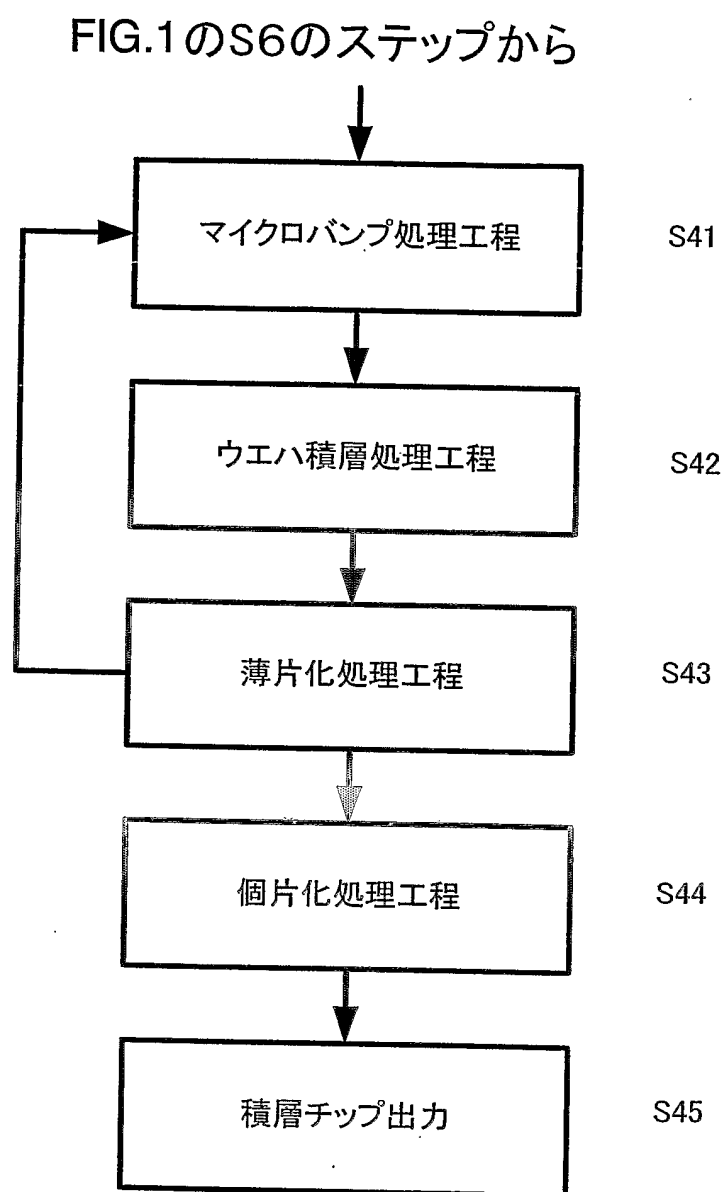


FIG.2



4/5

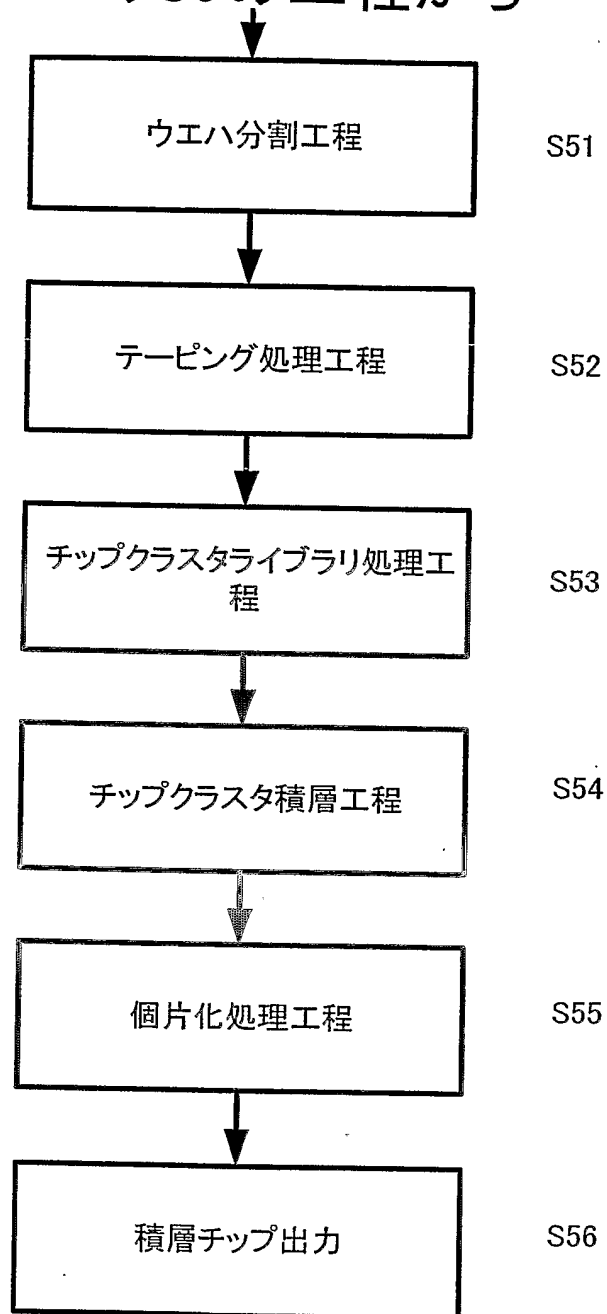
FIG. 4



5/5

FIG. 5

FIG.1 のS9の工程から



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/003332

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L21/02, H01L25/18, H01L27/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L21/02, H01L25/18, H01L27/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2004

Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 6-140459 A (Olympus Optical Co., Ltd.), 20 May, 1994 (20.05.94), Full text; Figs. 1 to 3 (Family: none)	1, 3, 5 2, 4, 8, 9
Y A	JP 2001-210783 A (Seiko Epson Corp.), 03 August, 2001 (03.08.01), Full text; Figs. 1 to 4 (Family: none)	1, 3, 5 2, 4, 8, 9
X	JP 10-256109 A (Canon Inc.), 25 September, 1998 (25.09.98), Full text; Figs. 1 to 8 (Family: none)	6, 7

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24 May, 2004 (24.05.04)Date of mailing of the international search report
08 June, 2004 (08.06.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/003332

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 11-265841 A (Nikon Corp.), 28 September, 1999 (28.09.99), Full text; Figs. 1 to 8 (Family: none)	6, 7
A	JP 2000-228489 A (Rohm Co., Ltd.), 15 August, 2000 (15.08.00), Full text; Figs. 1 to 2 & US 2002/0190369 A1 & US 6476499 B1	1-9

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁷ H01L21/02, H01L25/18, H01L27/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁷ H01L21/02, H01L25/18, H01L27/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国実用新案登録公報	1996-2004年
日本国登録実用新案公報	1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	J P 6-140459 A (オリンパス光学工業株式会社) 1994.05.20, 全文, 第1-3図 (ファミリーなし)	1, 3, 5 2, 4, 8, 9
Y A	J P 2001-210783 A (セイコーエプソン株式会社) 2001.08.03, 全文, 第1-4図 (ファミリーなし)	1, 3, 5 2, 4, 8, 9
X	J P 10-256109 A (キャノン株式会社) 1998.09.25, 全文, 第1-8図 (ファミリーなし)	6, 7

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

24.05.2004

国際調査報告の発送日

08.6.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

大嶋 洋一

4 L

9170

電話番号 03-3581-1101 内線 6764

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 11-265841 A (株式会社ニコン) 1999. 09. 28, 全文, 第1-8図 (ファミリーなし)	6, 7
A	J P 2000-228489 A (ローム株式会社) 2000. 08. 15, 全文, 第1-2図 & US 2002/0190369 A1 & US 6476499 B1	1-9