

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 2 月 5 日(05.02.2015)



(10) 国際公開番号
WO 2015/015899 A1

- (51) 国際特許分類:
H03K 17/08 (2006.01) *H03K 17/687* (2006.01)
H03K 17/10 (2006.01)
- (21) 国際出願番号: PCT/JP2014/065048
- (22) 国際出願日: 2014 年 6 月 6 日(06.06.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-160837 2013 年 8 月 1 日(01.08.2013) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: 池谷 直泰(IKETANI, Naoyasu). 仲嶋 明生(NAKAJIMA, Akio). 印南 航介(INNAMI, Kohsuke).
- (74) 代理人: 特許業務法人HARAKENZO WORLD PATENT & TRADEMARK; 〒5300041 大阪府大阪市北区天神橋 2 丁目北 2 番 6 号 大和南森町ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: COMPOUND SEMICONDUCTOR DEVICE AND METHOD FOR CONTROLLING SAME

(54) 発明の名称: 複合型半導体装置およびその制御方法

図 1

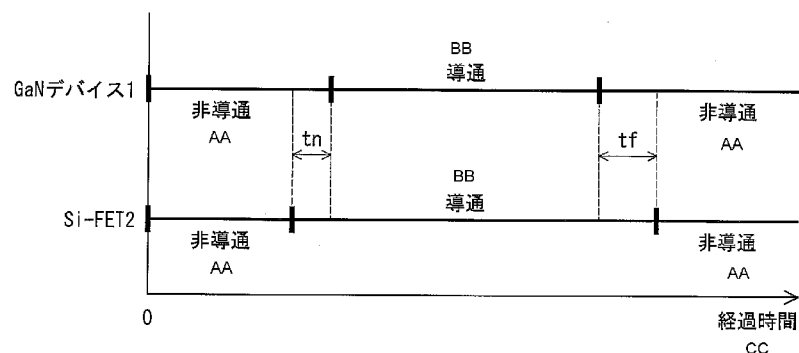


FIG. 1:
1 GaN device
AA Non-connected
BB Connected
CC Elapsed time

(57) Abstract: Provided are a compound semiconductor device and a method for controlling same, whereby space reduction is possible. By an Si-FET (2) being connected first, and a GaN device (1) being connected after the connection of the Si-FET (2), a compound semiconductor device (10) is connected.

(57) 要約: 省スペース化を可能とする複合型半導体装置およびその制御方法を提供する。Si-FET (2) が先に導通し、GaNデバイス(1)はSi-FET (2)の導通後に導通することによって、複合型半導体装置(10)が導通する。

WO 2015/015899 A1

明 細 書

発明の名称： 複合型半導体装置およびその制御方法

技術分野

[0001] 本発明は、第1電界効果トランジスタと第2電界効果トランジスタとを直列接続した複合型半導体装置およびその制御方法に関する。特に、本発明は、GaN（窒化ガリウム）デバイスとSi-FETとがカスコード接続されてなる複合型半導体装置およびその制御方法に関する。

背景技術

[0002] 現在の半導体装置には、主にSi（シリコン）系のノーマリーオフ型の電界効果トランジスタ（いわゆる、Si-FET）が使用されている。ノーマリーオフ型の電界効果トランジスタは、ゲートソース間に正電圧を印加した場合に導通し、ゲートソース間に正電圧が印加されていない場合に非導通となるトランジスタである。

[0003] その一方で、Si-FETは、物理的な性能に関し、限界が近づきつつある。このため、Si-FETに代わって、GaN系の電界効果トランジスタ（GaNデバイス、GaN-FETとも言う）を用いた半導体装置の実用化を目指した研究開発が行われている。

[0004] GaNデバイスは、耐電圧、低損失、高速スイッチング、高温動作等の特長があり、さらに高パワー化が可能である。一方で、GaNデバイスは、通常はノーマリーオン型のFETであり、ノーマリーオフ型として用いることが困難である。ノーマリーオン型の電界効果トランジスタは、負の閾値電圧を有し、ゲートソース間電圧が閾値電圧よりも低い場合に非導通になり、ゲートソース間電圧が閾値電圧よりも高い場合に導通する。

[0005] 半導体装置においてノーマリーオン型の電界効果トランジスタを使用すると、従来のゲート駆動回路を使用できない等、様々な問題が発生する。また、ノーマリーオフ型のGaNデバイスは、閾値電圧が非常に低いため誤動作の可能性が高く、実用化が難しい。

[0006] そこで、ノーマリーオン型の第1電界効果トランジスタと、ノーマリーオフ型の第2電界効果トランジスタとを直列接続して、ノーマリーオフ型の複合型半導体装置を構成することが提案されている。

[0007] 特許文献1には、GaNデバイスとパワーMOSFET（Metal-Oxide Semiconductor Field Effect Transistor：金属酸化膜半導体電界効果トランジスタ）とがカスコード接続されてなる複合型半導体装置が開示されている。なお、特許文献1には、GaNデバイスおよびパワーMOSFETが同時に制御信号を受けるのが好ましい旨記載されている。

[0008] 特許文献2には、2つのスイッチ（トランジスタ）を直列接続（カスコード接続）し、これらのスイッチを個別に制御する構成が開示されている。

先行技術文献

特許文献

[0009] 特許文献1：米国特許第8017978号明細書（2011年9月13日特許）

特許文献2：日本国公開特許公報「特開2012-159454号公報（2012年8月23日公開）」

発明の概要

発明が解決しようとする課題

[0010] 特許文献1に開示されている複合型半導体装置において、GaNデバイスおよびパワーMOSFETを同時にオンオフすると、パワーMOSFETを先にオフした場合に、パワーMOSFETに高電圧が印加されることになる。パワーMOSFETが先にオフする要因として、複合型半導体装置をオフする制御用信号によってGaNデバイスがオフするスピードと、同信号によってパワーMOSFETがオフするスピードとが異なっていることが挙げられる。複合型半導体装置が導通する瞬間に、パワーMOSFETに印加される電圧が十分に降下せず、高電圧がパワーMOSFETに印加されることになると、パワーMOSFETが高耐圧であることが求められる。

- [0011] このため、特許文献１に開示されている複合型半導体装置では、高耐圧のパワーＭＯＳＦＥＴを用いる必要がある。実際、特許文献１に開示されているパワーＭＯＳＦＥＴの耐圧は、２００Ｖと高くなっている。
- [0012] ここで、ＧａＮデバイスは通常、横型構造である。この場合、信頼性の観点から、基板の裏面にて最も電位が低くなるように設計する（ソース電位を構成する）ことが望ましい。
- [0013] 一方、パワーＭＯＳＦＥＴは、横型構造と縦型構造とに大別される。
- [0014] 横型構造かつ高耐圧のパワーＭＯＳＦＥＴは面積が大きく、該パワーＭＯＳＦＥＴを用いると、複合型半導体装置の大型化を招くという問題が発生する。
- [0015] また、縦型構造のパワーＭＯＳＦＥＴは、通常、基板の裏面がドレイン電極である。ＧａＮデバイスとパワーＭＯＳＦＥＴとを同一のリードフレーム（基板）上に配置した場合、リードフレームの裏面にて、ＧａＮデバイスの電位（ソース電位）と、パワーＭＯＳＦＥＴの電位（ドレイン電位）とが相反する。すなわち、ＧａＮデバイスの裏面に、パワーＭＯＳＦＥＴのドレイン電位に相当する電位が印加されていることになる。このため、縦型構造のパワーＭＯＳＦＥＴを用いた場合、複合型半導体装置の信頼性が劣化するという問題が発生する。
- [0016] なお、特許文献２に開示されている技術は、カスコード接続の関係にある２つのトランジスタが、ＧａＮデバイスおよびＳｉ－ＦＥＴ（パワーＭＯＳＦＥＴ）である必要自体が無く、そもそも本発明との関連が薄い。
- [0017] 本発明は、上記の問題に鑑みて為されたものであり、その目的は、省スペース化を可能とする複合型半導体装置およびその制御方法を提供することにある。

課題を解決するための手段

- [0018] 本発明の一態様に係る複合型半導体装置は、上記の問題を解決するために、第１電界効果トランジスタと第２電界効果トランジスタとが直列接続された複合型半導体装置において、上記第１電界効果トランジスタと上記第２電

界効果トランジスタとが独立して制御され、上記第2電界効果トランジスタが先に導通し、上記第1電界効果トランジスタは上記第2電界効果トランジスタの導通後に導通することによって、上記複合型半導体装置が導通することを特徴としている。

[0019] 本発明の一態様に係る複合型半導体装置の制御方法は、上記の問題を解決するために、第1電界効果トランジスタと第2電界効果トランジスタとが直列接続された複合型半導体装置の制御方法において、上記第1電界効果トランジスタと上記第2電界効果トランジスタとを独立して制御し、上記第2電界効果トランジスタを先に導通させ、上記第1電界効果トランジスタは上記第2電界効果トランジスタの導通後に導通させることによって、上記複合型半導体装置を導通させることを特徴としている。

発明の効果

[0020] 本発明の一態様によれば、省スペース化が可能であるという効果を奏する。

図面の簡単な説明

[0021] [図1]本発明の一実施の形態に係る複合型半導体装置の導通および非導通のタイミングを示すタイミングチャートである。

[図2]本発明の一実施の形態に係る複合型半導体装置の具体的な構成を示す回路図である。

[図3]本発明の一実施の形態に係る複合型半導体装置の概略構成を示す回路図である。

[図4]本発明の別の実施の形態に係る、GaNデバイスのゲートに印加される制御信号の波形と、Si-FETのゲートに印加される制御信号の波形とを比較するタイミングチャートである。

[図5]複合型半導体装置の具体的な構成を示す平面図である。

[図6]複合型半導体装置の具体的な構成を示す側面図である。

[図7]複合型半導体装置の具体的な構成の変形例を示す平面図である。

発明を実施するための形態

[0022] 〔実施の形態１〕

図３は、本実施の形態に係る複合型半導体装置の概略構成を示す回路図である。

[0023] 複合型半導体装置１０は、ＧａＮデバイス（第１電界効果トランジスタ）１、およびＳｉ－ＦＥＴ（第２電界効果トランジスタ）２を備えている。Ｓｉ－ＦＥＴ２には、Ｓｉ－ＦＥＴ２に寄生しているボディダイオード２ｄが内蔵されている。

[0024] ＧａＮデバイス１のドレインは、電源３の高レベル側に接続されている。ＧａＮデバイス１のソースは、Ｓｉ－ＦＥＴ２のドレインに接続されている。Ｓｉ－ＦＥＴ２のソースは、電源３の低レベル側に接続されている。つまり、複合型半導体装置１０は、ＧａＮデバイス１とＳｉ－ＦＥＴ２とがカスコード接続（直列接続）されてなるものである。

[0025] ＧａＮデバイス１は、ＧａＮ、ＡｌＧａＮ、およびＩｎＧａＮ等に代表されるⅢ族窒化物半導体（化合物半導体）を含んでいる。これにより、ノーマリーオン型の電界効果トランジスタであるＧａＮデバイス１を実現することができる。また、高耐圧、高速動作、高耐熱性、および低オン抵抗であるＧａＮデバイス１を実現することができる。また、Ｓｉ－ＦＥＴ２は、ノーマリーオフ型である。

[0026] なお、ＧａＮデバイス１の動作閾値電圧（図４中、 $GaN-V_{th}$ ）は、Ｓｉ－ＦＥＴ２の動作閾値電圧（図４中、 $Si-FET-V_{th}$ ）より低くてもよく、負電位であってもよい。

[0027] また、ＧａＮデバイス１の耐圧は、Ｓｉ－ＦＥＴ２の耐圧より高いのが好ましく、例えば６００Ｖである。Ｓｉ－ＦＥＴ２の耐圧については後に詳述する。

[0028] 図２は、本実施の形態に係る複合型半導体装置の具体的な構成を示す回路図である。

[0029] ＧａＮデバイス１のゲートと、Ｓｉ－ＦＥＴ２のゲートとは、互いに独立して制御される。すなわち、複合型半導体装置１０では、ＧａＮデバイス１

のゲートと、 Si-FET 2 のゲートとに、互いに異なる制御信号を印加することが可能である。これにより、複合型半導体装置10では、 GaNデバイス1 のオンオフのタイミングと、 Si-FET 2 のオンオフのタイミングとを独立して制御することが可能であり、これらを互いに異なったタイミングにすることが可能である。

[0030] また、図2に示す、 GaNデバイス1 のゲートにある抵抗4は、 GaNデバイス1 のゲートに電流を供給するためのゲート抵抗である。また、図2に示す、 Si-FET 2 のゲートにある抵抗5は、 Si-FET 2 のゲートに電流を供給するためのゲート抵抗である。

[0031] 図2に示すとおり、 GaNデバイス1 および Si-FET 2 の諸特性を下記のように定義する。

[0032] すなわち、 GaNデバイス1 のゲート抵抗の値（抵抗4の抵抗値）を R_{G1} とする。また、 Si-FET 2 のゲート抵抗の値（抵抗5の抵抗値）を R_{G2} とする。また、 GaNデバイス1 のゲートドレイン間容量の値を Q_{GD1} とする。また、 Si-FET 2 のゲートドレイン間容量の値を Q_{GD2} とする。また、 GaNデバイス1 のゲート容量の値を Q_{G1} とする。また、 Si-FET 2 のゲート容量の値を Q_{G2} とする。

[0033] ここで、複合型半導体装置10がオンする時は、 Si-FET 2 が先に導通し、 GaNデバイス1 は Si-FET 2 の導通後に導通することによって、複合型半導体装置10が導通する。すなわち、複合型半導体装置10が導通状態になるとき、先に Si-FET 2 が導通し、その後 GaNデバイス1 が導通するように、 GaNデバイス1 のゲートおよび Si-FET 2 のゲートに制御信号を印加する。

[0034] 上記の構成によれば、 GaNデバイス1 が先に導通することがないので、 Si-FET 2 に高電圧が印加される恐れを低減することが可能となる。よって、より耐圧の低い Si-FET 2 を用いることが可能となる。従って、 Si-FET 2 の面積を狭小化し、複合型半導体装置10の小型化（すなわち、省スペース化）が可能となる。

[0035] すなわち、横型構造のSi-FET2において、Si-FET2の耐圧は、ドレインゲート間の距離が大きい程高くなり、ドレインソース間の距離が大きい程高くなる。Si-FET2の耐圧を低くすることは、これらの距離を小さくすることと同義である。これらの距離を小さくすることにより、Si-FET2の（典型的には、Si-FET2を搭載するチップの）面積の狭小化が可能となる。

[0036] 一方、複合型半導体装置10がオフする時は、GaNデバイス1が先に非導通となり、Si-FET2はGaNデバイス1の非導通後に非導通となることによって、複合型半導体装置10が非導通となる。すなわち、複合型半導体装置10が非導通状態になるとき、先にGaNデバイス1が非導通となり、その後Si-FET2が非導通となるように、GaNデバイス1のゲートおよびSi-FET2のゲートに制御信号を印加する。

[0037] 上記の構成によれば、GaNデバイス1が後に非導通となることがないので、Si-FET2に高電圧が印加される恐れを低減することが可能となる。よって、上述したメカニズムにより、複合型半導体装置10の小型化（すなわち、省スペース化）が可能となる。

[0038] 図1に、本実施の形態に係る複合型半導体装置の導通および非導通のタイミングを示している。

[0039] なお、Si-FET2が導通するタイミングを、GaNデバイス1が導通するタイミングに対してどの程度早くするか（図1の t_n をどの程度の時間に設定するか）は、GaNデバイス1およびSi-FET2の特性に依存して、好ましい時間に変化する。但し、GaNデバイス1が導通するタイミングは、Si-FET2が導通し、Si-FET2に印加される電圧がSi-FET2の耐圧以下になった後である。従って、例えば耐圧30VのSi-FET2を使用する場合、Si-FET2に印加される電圧が30Vより小さくなってから、GaNデバイス1が導通するように制御すればよい。

[0040] 〔実施の形態2〕

図4は、本実施の形態に係る、GaNデバイスのゲートに印加される制御

信号の波形と、S i - F E T のゲートに印加される制御信号の波形とを比較するタイミングチャートである。

[0041] ここでは、S i - F E T 2 が導通するタイミングを、G a N デバイス 1 が導通するタイミングより早くする具体的な手法について説明する。またここでは、G a N デバイス 1 が非導通となるタイミングを、S i - F E T 2 が非導通となるタイミングより早くする具体的な手法について説明する。

[0042] G a N デバイス 1 のゲートに印加される制御信号を遅延させる。このとき例えば、G a N デバイス 1 のゲートに印加される制御信号の立ち上がり開始のタイミングを、S i - F E T 2 のゲートに印加される制御信号が S i - F E T 2 の動作閾値電圧 S i - F E T - V t h を超えるタイミングとする。この遅延時間を、図 4 では遅延時間 A としている。G a N デバイス 1 のゲートに印加される制御信号を遅延させる手法としては、周知のディレイ信号を用いることができる。

[0043] またこのとき、G a N デバイス 1 のゲートに印加される制御信号の立ち上がりに要する時間を、S i - F E T 2 のゲートに印加される制御信号の立ち上がりに要する時間より短くする。またこのとき、G a N デバイス 1 のゲートに印加される制御信号の立ち下がりには要する時間を、S i - F E T 2 のゲートに印加される制御信号の立ち下がりには要する時間より短くする。

[0044] これを実現するために、下記数式 (1) または数式 (2) を満足するように、G a N デバイス 1 のゲート抵抗および S i - F E T 2 のゲート抵抗を決定するのが好ましい。

$$[0045] \quad R G 1 * Q G D 1 < R G 2 * Q G D 2 \quad \dots$$

(1)

$$R G 1 * Q G 1 < R G 2 * Q G 2 \quad \dots$$

(2)

これにより、S i - F E T 2 が導通するタイミングを、G a N デバイス 1 が導通するタイミングより早くすること、ならびに、G a N デバイス 1 が非導通となるタイミングを、S i - F E T 2 が非導通となるタイミングより早

くすることができる。

[0046] また、GaNデバイス1の内蔵ゲート抵抗を R_{G3} 、GaNデバイス1のゲート駆動電圧を V_{G1} 、GaNデバイス1における閾値電圧までのゲート容量を Q_{GVTH1} とする。また、Si-FET2の内蔵ゲート抵抗を R_{G4} 、Si-FET2のゲート駆動電圧を V_{G2} 、Si-FET2における閾値電圧までのゲート容量を Q_{GVTH2} とする。この場合、下記数式(3)を満足するように、GaNデバイス1のゲート抵抗およびSi-FET2のゲート抵抗を決定するのがより好ましい。

$$[0047] \quad (R_{G1} + R_{G3}) * Q_{GVTH1} / V_{G1} < (R_{G2} + R_{G4}) * Q_{GVTH2} / V_{G2} \quad \dots (3)$$

これにより、GaNデバイス1が先に導通することがないので、Si-FET2に高電圧が印加されることは無い。

[0048] また、GaNデバイス1は、オフ時にボディダイオード2dを利用して、逆方向に導通することも可能である。すなわち、Si-FET2をオフ状態に、GaNデバイス1をオン状態に制御することにより、GaNデバイス1をダイオードとしても機能させることができる。この際、例えばGaNデバイス1の閾値電圧が負電位であっても、制御電圧を0Vとすることにより、GaNデバイス1をオン状態とすることができる。従って、GaNデバイス1のオンオフを負電圧から0Vの範囲で制御することが可能になる。この結果、GaNデバイス1がダイオードとしての機能を有する場合であっても、正電圧側の電位を必要としないため、電源システムの簡素化を図ることができる。

[0049] [実施の形態3]

本実施の形態に係る複合型半導体装置は、縦型構造のSi-FET2を用いるものであって、それ以外は上述した各実施の形態と同一である。Si-FET2は、第1の主面と第2の主面とを有している。第1の主面には、ゲート電位を有するゲート電極とドレイン電位を有するドレイン電極とが形成されている。第2の主面には、ソース電位を有するソース電極が形成されて

いる。

[0050] GaNデバイス1は、上述したとおり横型構造であり、ゲート電極、ソース電極、およびドレイン電極が、いずれも第1の主面に形成されている。そして、GaNデバイス1における第2の主面には、電極が形成されていない。

[0051] 図5～図7を参照して、本実施の形態に係る複合型半導体装置である、複合型半導体装置100の具体的な構成を説明する。図5および図6は、複合型半導体装置100の平面図および側面図である。なお、図6では、図5の一部が省略されている。

[0052] 図5に示すように、複合型半導体装置100は、ノーマリーオン型の電界効果トランジスタ101（以下、単にトランジスタ101と呼ぶ）、ノーマリーオフ型の電界効果トランジスタ102（以下、単にトランジスタ102と呼ぶ）、第1の端子103（ドレイン端子）、第2の端子104（ゲート端子）、第3の端子105（ソース端子）、ダイパッド106、および封止部材107を備えている。トランジスタ101は、例えばGaNデバイス1からなり、トランジスタ102よりも高い耐圧を有している。トランジスタ102は、例えばSi-FET2である。ダイパッド106は、導電性を有する材料から形成されていけばよく、その他の条件には限定されない。また、封止部材107は、例えば樹脂によって形成されている。

[0053] 図5および図6に示すように、複合型半導体装置100では、トランジスタ101とトランジスタ102とがカスコード接続されている。トランジスタ101およびトランジスタ102は、ダイパッド106上に配置されている。また、トランジスタ101およびトランジスタ102は、封止部材107によって封止されている。ダイパッド106の下面の一部は、複合型半導体装置100のソース端子を兼ねている。以下では、トランジスタ101の上面および下面を、それぞれ、第1の主面S1および第2の主面S4と呼ぶ。トランジスタ102の上面および下面を、それぞれ、第1の主面S2および第2の主面S5と呼ぶ。ダイパッド106の上面および下面を、それぞれ

、第1の主面S3および第2の主面S6と呼ぶ。

[0054] 図5および図6に示すように、トランジスタ101の第1の主面S1上に、ゲート電極110、ドレイン電極111、およびソース電極112が配置されている。トランジスタ102の第1の主面S2上に、ゲート電極120およびドレイン電極121が配置されている。また、トランジスタ102の第2の主面S5上に、図示していないがソース電極122が配置されている。ソース電極122は、トランジスタ102の裏面全体がソース電極122となっても、該裏面の一部がソース電極122となっても、本発明の趣旨には反しない。

[0055] トランジスタ101の第1の主面S1上に配置されたソース電極112と、トランジスタ102の第1の主面S2上に配置されたドレイン電極121とは、導電体113によって電氣的に接続されている。トランジスタ101の第1の主面S1上に配置されたドレイン電極111と、第1の端子103とは、導電体114によって電氣的に接続されている。

[0056] トランジスタ102の第1の主面S2上に配置されたゲート電極120と、第2の端子104とは、導電部材116によって電氣的に接続されている。トランジスタ101の第1の主面S1上に配置されたゲート電極110と、トランジスタ102の第1の主面S2上に配置されたソース電極123とは、導電部材115によって電氣的に接続されている。また、ゲート電極110は、ダイパッド106の第1の主面S3に電氣的に接続されている構成であってもよい（図7参照）。また、トランジスタ102の第2の主面S5上に配置されたソース電極122と、ダイパッド106の第1の主面S3とが、電氣的に接続されている。

[0057] 図6に示すように、複合型半導体装置100では、ダイパッド106の第1の主面S3と、トランジスタ102の第2の主面S5とが対向して接している。また、ダイパッド106の第1の主面S3と、トランジスタ101の第2の主面S4とが対向して接している。

[0058] トランジスタ101の第2の主面S4は、ダイパッド106の第1の主面

S 3 上に、熱伝導性のダイボンド材を用いてダイボンドされている。ダイボンド材が熱伝導性を有していることにより、トランジスタ 1 0 1 で発生した熱を、ダイパッド 1 0 6 へ放熱することができる。なお、トランジスタ 1 0 1 とダイパッド 1 0 6 とが電氣的に接続される必要がないので、ダイボンド材は、導電性を有していなくともよい。トランジスタ 1 0 2 の第 2 の主面 S 5 は、ダイパッド 1 0 6 の第 1 の主面 S 3 上に、はんだ等によってダイボンドされている。はんだは、トランジスタ 1 0 2 をダイパッド 1 0 6 にダイボンドする機能と共に、トランジスタ 1 0 2 とダイパッド 1 0 6 とを電氣的に接続する機能を有する。なお、はんだの代わりに、ダイボンド性能の高い導電性ペーストを用いてもよい。

[0059] 本実施の形態に係る複合型半導体装置によれば、同一のリードフレームに G a N デバイス 1 (トランジスタ 1 0 1) と S i - F E T 2 (トランジスタ 1 0 2) とが配置される。そして、この G a N デバイス 1 の第 2 の主面 S 4 は、カスコードのソース電位 (S i - F E T 2 のソース電位) と同電位になる。従って、G a N デバイス 1 にドレイン電位のような高電圧が印加されることが無いため、十分な信頼性の複合型半導体装置を得ることができる。

[0060] [まとめ]

本発明の態様 1 に係る複合型半導体装置は、第 1 電界効果トランジスタ (G a N デバイス 1) と第 2 電界効果トランジスタ (S i - F E T 2) とが直列接続された複合型半導体装置において、上記第 1 電界効果トランジスタと上記第 2 電界効果トランジスタとが独立して制御され、上記第 2 電界効果トランジスタが先に導通し、上記第 1 電界効果トランジスタは上記第 2 電界効果トランジスタの導通後に導通することによって、上記複合型半導体装置が導通する。

[0061] 本発明の態様 8 に係る複合型半導体装置の制御方法は、第 1 電界効果トランジスタと第 2 電界効果トランジスタとが直列接続された複合型半導体装置の制御方法において、上記第 1 電界効果トランジスタと上記第 2 電界効果トランジスタとを独立して制御し、上記第 2 電界効果トランジスタを先に導通

させ、上記第1電界効果トランジスタは上記第2電界効果トランジスタの導通後に導通させることによって、上記複合型半導体装置を導通させる。

[0062] 上記の構成によれば、第1電界効果トランジスタが先に導通することがないので、第2電界効果トランジスタに高電圧が印加される恐れを低減することが可能となる。よって、より耐圧の低い第2電界効果トランジスタを用いることが可能となる。従って、第2電界効果トランジスタの面積を狭小化し、複合型半導体装置の小型化（すなわち、省スペース化）が可能となる。

[0063] 本発明の態様2に係る複合型半導体装置は、上記態様1において、上記第1電界効果トランジスタはノーマリーオン型であり、上記第2電界効果トランジスタはノーマリーオフ型である。

[0064] 本発明の態様3に係る複合型半導体装置は、上記態様1または2において、上記第1電界効果トランジスタが先に非導通となり、上記第2電界効果トランジスタは上記第1電界効果トランジスタの非導通後に非導通となることによって、上記複合型半導体装置が非導通となる。

[0065] 本発明の態様9に係る複合型半導体装置の制御方法は、上記態様8において、上記第1電界効果トランジスタを先に非導通とさせ、上記第2電界効果トランジスタは上記第1電界効果トランジスタの非導通後に非導通とさせることによって、上記複合型半導体装置を非導通とさせる。

[0066] 上記の構成によれば、第1電界効果トランジスタが後に非導通となることがないので、第2電界効果トランジスタに高電圧が印加される恐れを低減することが可能となる。よって、上述したメカニズムにより、複合型半導体装置の小型化（すなわち、省スペース化）が可能となる。

[0067] 本発明の態様4に係る複合型半導体装置は、上記態様1から3のいずれかにおいて、上記第1電界効果トランジスタの動作閾値電圧が、上記第2電界効果トランジスタの動作閾値電圧より低い。

[0068] 本発明の態様5に係る複合型半導体装置は、上記態様4において、上記第1電界効果トランジスタの動作閾値電圧が、負電圧である。

[0069] 本発明の態様6に係る複合型半導体装置は、上記態様2において、上記第

2 電界効果トランジスタは、ゲート電極およびドレイン電極が形成されている第 1 の主面と、ソース電極が形成されている第 2 の主面とを有している。

[0070] 上記の構成によれば、複合型半導体装置の信頼性の向上が可能となる。

[0071] 本発明の態様 7 に係る複合型半導体装置は、上記態様 1 から 6 のいずれかにおいて、上記第 1 電界効果トランジスタの耐圧が、上記第 2 電界効果トランジスタの耐圧より高い。

[0072] 本発明の態様 10 に係る複合型半導体装置の制御方法は、上記態様 8 または 9 において、上記第 1 電界効果トランジスタのゲートに電流を供給するためのゲート抵抗の値を R_{G1} 、上記第 2 電界効果トランジスタのゲートに電流を供給するためのゲート抵抗の値を R_{G2} 、上記第 1 電界効果トランジスタのゲートドレイン間容量の値を Q_{GD1} 、上記第 2 電界効果トランジスタのゲートドレイン間容量の値を Q_{GD2} とした場合、下記数式 (1)

$$R_{G1} * Q_{GD1} < R_{G2} * Q_{GD2} \quad \dots$$

(1)

を満足するように、上記第 1 電界効果トランジスタのゲート抵抗および上記第 2 電界効果トランジスタのゲート抵抗を決定する。

[0073] 本発明の態様 11 に係る複合型半導体装置の制御方法は、上記態様 8 または 9 において、上記第 1 電界効果トランジスタのゲートに電流を供給するためのゲート抵抗の値を R_{G1} 、上記第 2 電界効果トランジスタのゲートに電流を供給するためのゲート抵抗の値を R_{G2} 、上記第 1 電界効果トランジスタのゲート容量の値を Q_{G1} 、上記第 2 電界効果トランジスタのゲート容量の値を Q_{G2} とした場合、下記数式 (2)

$$R_{G1} * Q_{G1} < R_{G2} * Q_{G2} \quad \dots$$

(2)

を満足するように、上記第 1 電界効果トランジスタのゲート抵抗および上記第 2 電界効果トランジスタのゲート抵抗を決定する。

[0074] 本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術

的手段を適宜組み合わせ得られる実施形態についても本発明の技術的範囲に含まれる。さらに、各実施形態にそれぞれ開示された技術的手段を組み合わせることにより、新しい技術的特徴を形成することができる。

産業上の利用可能性

[0075] 本発明は、ノーマリーオン型の第1電界効果トランジスタと、ノーマリーオフ型の第2電界効果トランジスタとがカスコード接続されてなる複合型半導体装置およびその制御方法に利用することができる。特に、本発明は、GaNデバイスとSi-FETとがカスコード接続されてなる複合型半導体装置およびその制御方法に利用することができる。

符号の説明

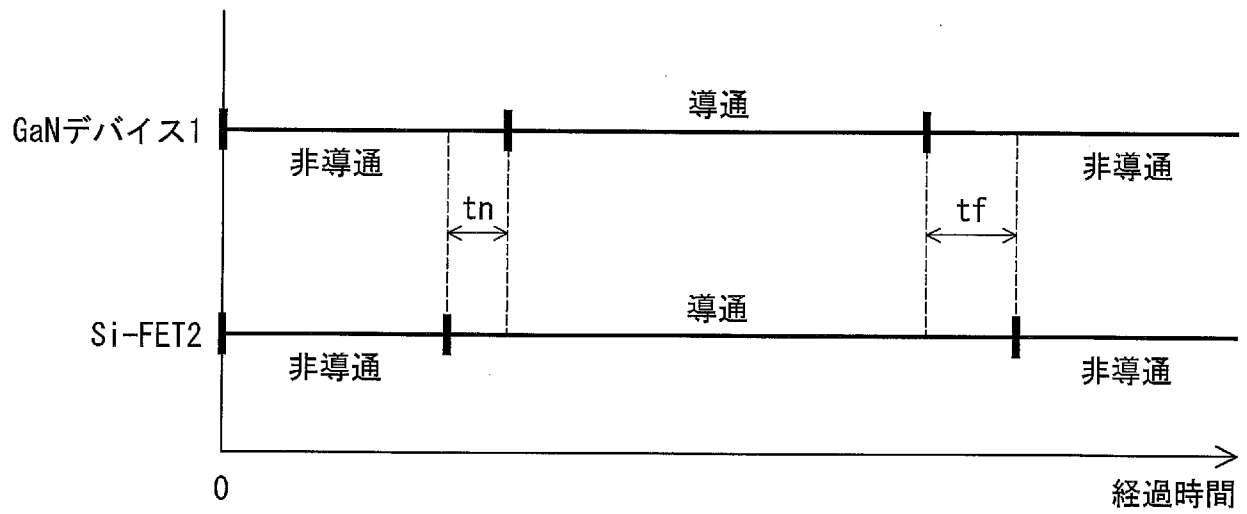
- [0076]
- 1 GaNデバイス（第1電界効果トランジスタ）
 - 2 Si-FET（第2電界効果トランジスタ）
 - 10 複合型半導体装置

請求の範囲

- [請求項1] 第1電界効果トランジスタと第2電界効果トランジスタとが直列接続された複合型半導体装置において、
- 上記第1電界効果トランジスタと上記第2電界効果トランジスタとが独立して制御され、
- 上記第2電界効果トランジスタが先に導通し、上記第1電界効果トランジスタは上記第2電界効果トランジスタの導通後に導通することによって、上記複合型半導体装置が導通することを特徴とする複合型半導体装置。
- [請求項2] 上記第1電界効果トランジスタはノーマリーオン型であり、上記第2電界効果トランジスタはノーマリーオフ型であることを特徴とする請求項1に記載の複合型半導体装置。
- [請求項3] 上記第1電界効果トランジスタが先に非導通となり、上記第2電界効果トランジスタは上記第1電界効果トランジスタの非導通後に非導通となることによって、上記複合型半導体装置が非導通となることを特徴とする請求項1または2に記載の複合型半導体装置。
- [請求項4] 上記第1電界効果トランジスタの耐圧が、上記第2電界効果トランジスタの耐圧より高いことを特徴とする請求項1から3のいずれか1項に記載の複合型半導体装置。
- [請求項5] 第1電界効果トランジスタと第2電界効果トランジスタとが直列接続された複合型半導体装置の制御方法において、
- 上記第1電界効果トランジスタと上記第2電界効果トランジスタとを独立して制御し、
- 上記第2電界効果トランジスタを先に導通させ、上記第1電界効果トランジスタは上記第2電界効果トランジスタの導通後に導通させることによって、上記複合型半導体装置を導通させることを特徴とする複合型半導体装置の制御方法。

[図1]

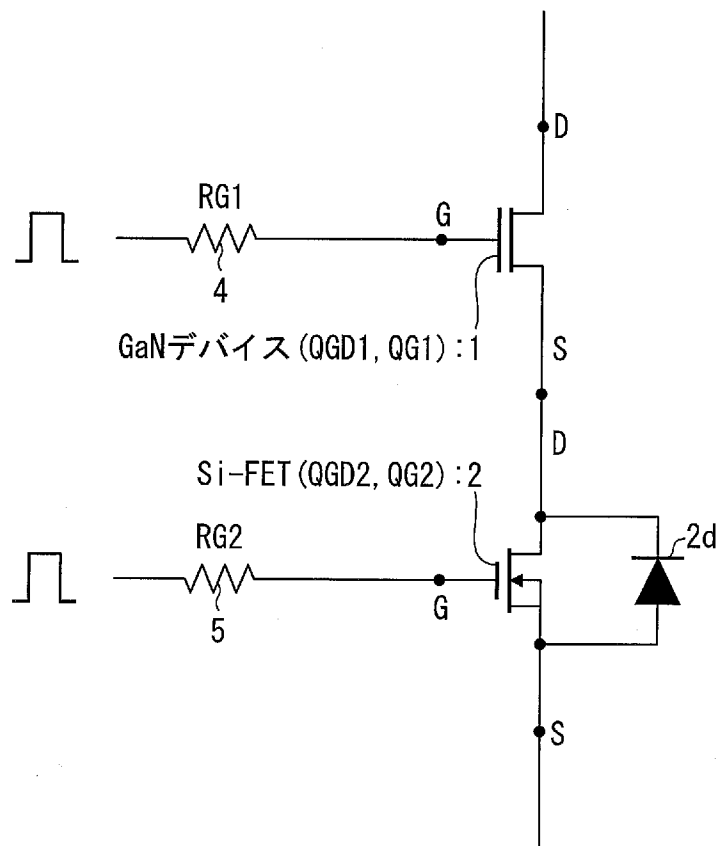
図 1



[図2]

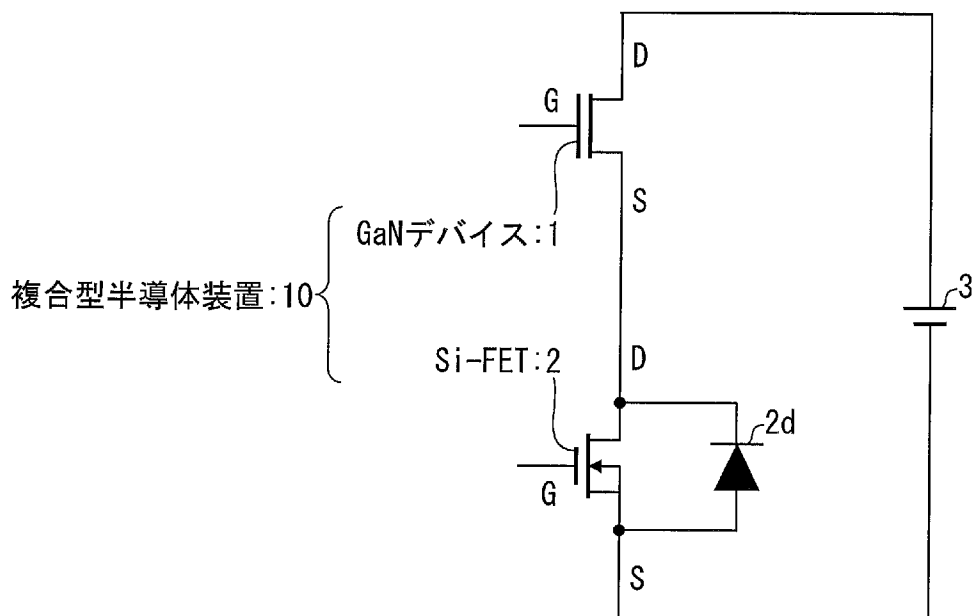
図 2

10: 複合型半導体装置



[図3]

図 3

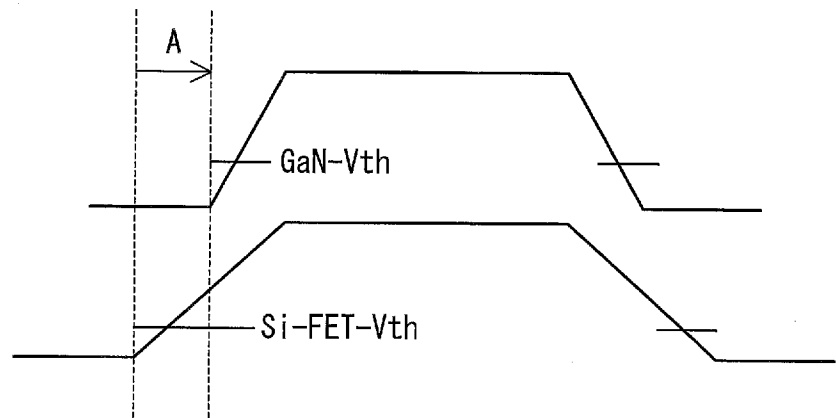


[図4]

図 4

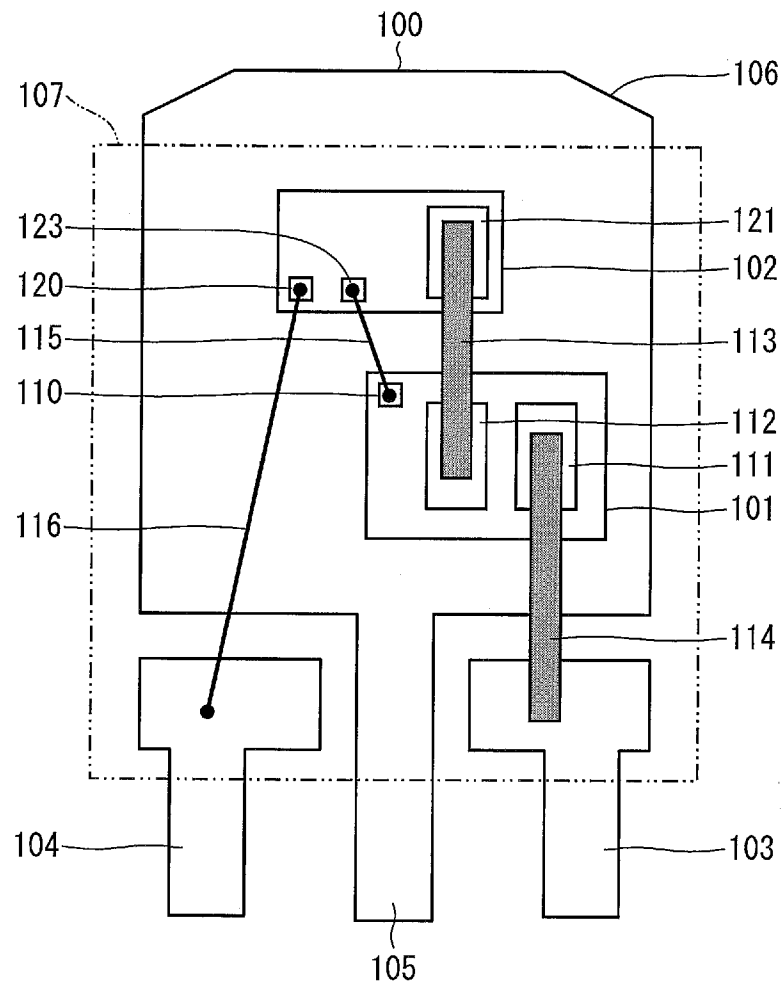
GaNデバイス1のゲートに
印加される制御信号

Si-FET2のゲートに
印加される制御信号



[図5]

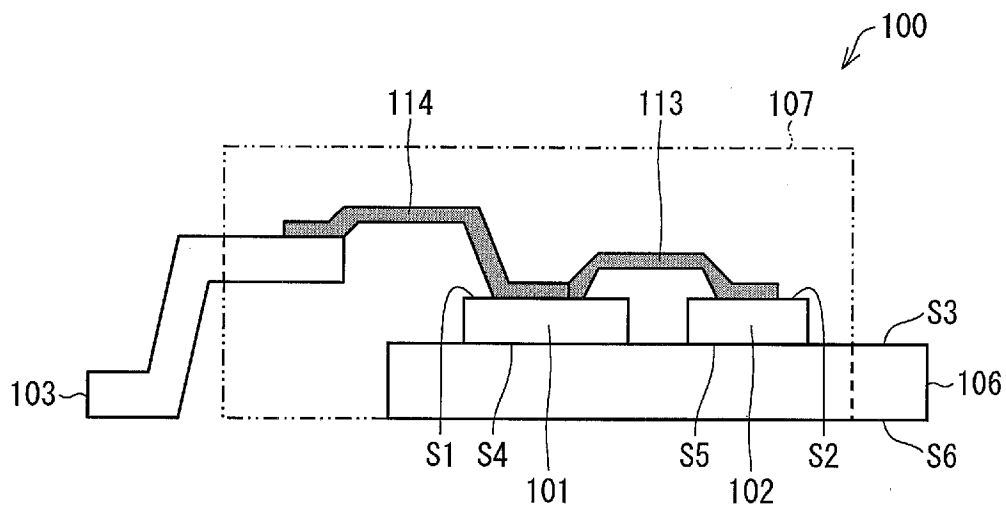
図 5



- 100: 複合型半導体装置
 101: ノーマリーオン型の電界効果トランジスタ
 102: ノーマリーオフ型の電界効果トランジスタ
 103: 第1の端子(ドレイン端子)
 104: 第2の端子(ゲート端子)
 105: 第3の端子(ソース端子)
 106: ダイパッド
 107: 封止部材
 110, 120: ゲート電極
 111, 121: ドレイン電極
 112, 123: ソース電極
 113, 114: 導電体
 115, 116: 導電部材

[図6]

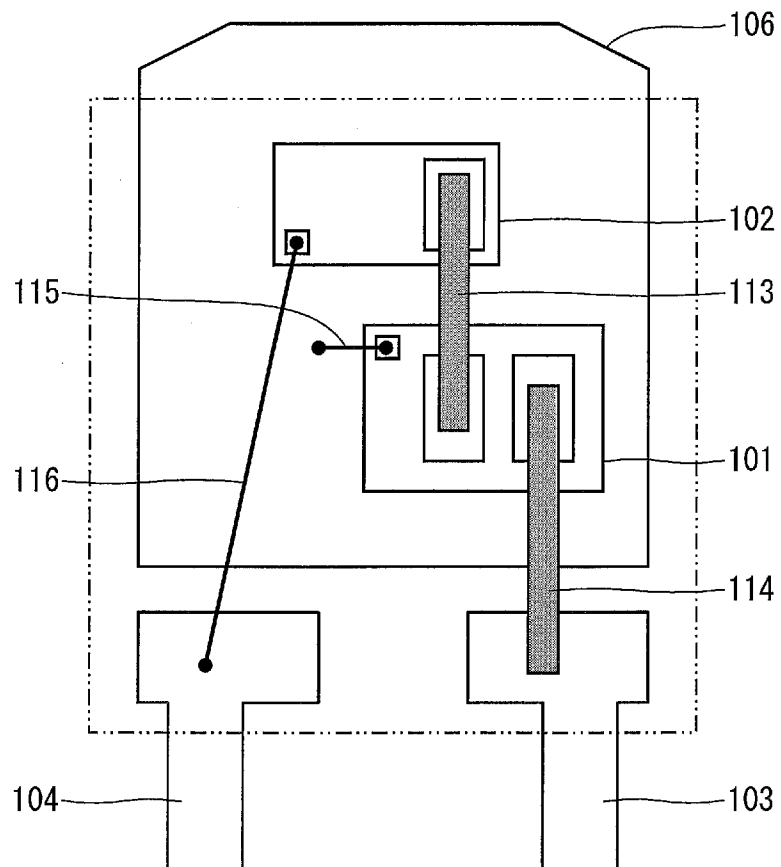
図 6



- 100: 複合型半導体装置
101: ノーマリーオン型の電界効果トランジスタ
102: ノーマリーオフ型の電界効果トランジスタ
103: 第1の端子(ドレイン端子)
106: ダイパッド
107: 封止部材
113, 114: 導電体
S1, S2, S3: 第1の主面
S4, S5, S6: 第2の主面

[図7]

図 7



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/065048

A. CLASSIFICATION OF SUBJECT MATTER

H03K17/08(2006.01)i, H03K17/10(2006.01)i, H03K17/687(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K17/00-17/70

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, X	JP 2014-3110 A (Renesas Electronics Corp.), 09 January 2014 (09.01.2014), paragraphs [0032] to [0033]; fig. 1 to 2 (Family: none)	1-5
A	US 2009/0251197 A1 (Peter Friedrichs), 08 October 2009 (08.10.2009), abstract; fig. 2 & DE 102009016627 A1	1-5
A	US 8017978 B2 (Alexander Lidow et al.), 13 September 2011 (13.09.2011), claim 1; fig. 1 & US 2007/0210333 A1 & US 2012/0043553 A1	1-5

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 July, 2014 (14.07.14)

Date of mailing of the international search report
12 August, 2014 (12.08.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03K17/08(2006.01)i, H03K17/10(2006.01)i, H03K17/687(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03K17/00-17/70

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
P, X	JP 2014-3110 A（ルネサスエレクトロニクス株式会社）2014.01.09, 【0032】－【0033】，図1－2（ファミリーなし）	1－5
A	US 2009/0251197 A1（Peter Friedrichs）2009.10.08, ABSTRACT, Figure 2 & DE 102009016627 A1	1－5
A	US 8017978 B2（Alexander Lidow et al.）2011.09.13, Claim 1, Figure 1 & US 2007/0210333 A1 & US 2012/0043553 A1	1－5

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 4 . 0 7 . 2 0 1 4

国際調査報告の発送日

1 2 . 0 8 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

栗栖 正和

5 X

3 9 8 7

電話番号 03-3581-1101 内線 3596