

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3835403号
(P3835403)

(45) 発行日 平成18年10月18日(2006.10.18)

(24) 登録日 平成18年8月4日(2006.8.4)

(51) Int.C1.

F 1

G02F	1/1368	(2006.01)	G02F	1/1368
G02F	1/1343	(2006.01)	G02F	1/1343
G09F	9/30	(2006.01)	G09F	9/30 330Z

請求項の数 8 (全 29 頁)

(21) 出願番号	特願2002-342490 (P2002-342490)
(22) 出願日	平成14年11月26日 (2002.11.26)
(65) 公開番号	特開2004-177589 (P2004-177589A)
(43) 公開日	平成16年6月24日 (2004.6.24)
審査請求日	平成16年3月11日 (2004.3.11)

(73) 特許権者	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(74) 代理人	100095728 弁理士 上柳 雅善
(74) 代理人	100107076 弁理士 藤岡 英吉
(74) 代理人	100107261 弁理士 須澤 修
(72) 発明者	宮崎 敏英 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(72) 発明者	小山田 晋 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】電気光学装置及び電子機器

(57) 【特許請求の範囲】

【請求項1】

基板上に、データ線と、該データ線と交差する走査線と、前記データ線及び前記走査線の交差領域に対応するように配置された画素電極及び薄膜トランジスタとを備えた電気光学装置であって、

前記基板上に、

前記薄膜トランジスタ及び前記画素電極に電気的に接続された蓄積容量と、

前記画素電極及び前記蓄積容量それぞれの下層に配置された中継電極とが、

備えられてなり、

前記蓄積容量は、前記薄膜トランジスタの上方に配置され、段差ある表面上に形成されており、10

前記蓄積容量を構成する一対の電極のうちの下側の電極と前記画素電極とは、前記中継電極を介して電気的に接続されていることを特徴とする電気光学装置。

【請求項2】

前記蓄積容量は、前記データ線及び前記走査線と平面的に重なるように配置されることを特徴とする請求項1に記載の電気光学装置。

【請求項3】

前記蓄積容量の下側の電極と前記中継電極とは、層間絶縁膜に形成されたコンタクトホールを介して電気的に接続されており、前記コンタクトホールは、前記走査線と平面的に重なる位置に形成されていることを特徴とする請求項1又は2に記載の電気光学装置。20

【請求項 4】

前記下側の電極が前記画素電極及び前記薄膜トランジスタに電気的に接続された画素電位側容量電極であって、

前記蓄積容量は、前記画素電位側容量電極と、該画素電位側容量電極に対向配置され固定電位とされた固定電位側容量電極と、前記画素電位側容量電極及び前記固定電位側容量電極間に挟持された誘電体膜とからなり、

前記誘電体膜は、高誘電率材料からなる層を含む積層体を構成していることを特徴とする請求項 1 乃至 3 のいずれか一項に記載の電気光学装置。

【請求項 5】

前記画素電位側容量電極は、ポリシリコン膜からなる層を含み、前記固定電位側容量電極は、W S i 層又はアルミニウム層を含むことを特徴とする請求項 4 に記載の電気光学装置。 10

【請求項 6】

前記中継電極は、前記走査線に含まれる前記薄膜トランジスタのゲート電極と同一膜として形成されていることを特徴とする請求項 1 乃至 5 のいずれか一項に記載の電気光学装置。

【請求項 7】

前記固定電位側容量電極は、前記画素電位側容量電極を覆うように形成されていることを特徴とする請求項 4 に記載の電気光学装置。

【請求項 8】

請求項 1 乃至 7 のいずれか一項に記載の電気光学装置を用いたことを特徴とする電子機器。 20

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、基板上に各種の配線・回路素子等が積層して構築される配線構造及びその製造方法の技術分野に属する。また、本発明は、このような配線構造を具備してなる電気光学装置の技術分野にも属する。

【0002】**【背景技術】**

この種の配線構造は、例えばスイッチング素子としての薄膜トランジスタ (TFT ; Thin Film Transistor)、或いは薄膜ダイオード、コンデンサ・抵抗等の各種の回路素子と、これらの間を連絡する配線等からなる。そして、近年においては、これら各種の要素は、基板上に立体的に、或いは積層構造をなすように構築されることがしばしば行われる。例えば、TFT の上にコンデンサを配置し、このコンデンサの上に前記 TFT に電気的に接続される配線を配置する、などというようである。このようにすることで、配線構造の高密度化が達成され、該配線構造、ないしこれを含む電子機器等の小型化・狭小化・軽薄化等を実現することができる。

【0003】

より具体的には、上述のような配線構造は、例えば、一対の基板間に液晶等の電気光学物質を挟持してなり、これらを貫くように光を透過させることで、画像の表示が可能とされた液晶装置等の電気光学装置に適用される。なお、ここで「画像の表示」とは、例えば、画素毎に、電気光学物質の状態を変化させることで、光の透過率を変化させ、画素毎に階調の異なる光が視認可能とすることにより実現される。 40

【0004】

このような電気光学装置は、前記一対の基板の一方の上に、マトリクス状に配列された画素電極、該画素電極間を縫うように設けられた走査線及びデータ線、加えて、画素スイッチング用素子として TFT 等を備えることによって、アクティブマトリクス駆動可能なものが提供されている（例えば、特許文献 1 参照。）。この電気光学装置では、上述した各種構成が一方の基板上に作り込まれることになるが、これらを平面的に展開するとなると 50

、大面積を要することとなり、画素開口率（すなわち、基板全面の領域に対する光が透過すべき領域の割合）を低下せしめるおそれがある。そこで、前述のような配線構造の立体的な構築を利用すれば、そのような不具合を被るおそれを顕著に低減することができる。すなわち例えば、基板上に、まず TFT 及び該 TFT のゲート電極膜としての機能を有する走査線を形成し、その上にデータ線、更にその上に画素電極等というようである。このようにすれば、装置の小型化が達成されることに加え、各種要素の配置を適当に設定することにより、画素開口率の向上等をも図ることができる。

【0005】

【特許文献1】

特開2002-122889

10

【0006】

【発明が解決しようとする課題】

しかしながら、このような電気光学装置において、基板上に、前述のような各種要素を、立体的に最適に配置することでもって、最適な積層構造を構成することは一般に容易なことではない。

【0007】

例えば、前記の積層構造においては、上述の走査線、データ線、TFT 及び画素電極以外のほか、画素電極の電位保持特性向上させる目的もって、後二者に電気的に接続される蓄積容量が備えられることがある。このような蓄積容量は、通常、可及的に大きな容量値をもつべきとされる。しかしながら、このような蓄積容量を積層構造の一部として基板上に備えることは容易でない。まず、該蓄積容量を単純に平面的な広がりを有するものとして形成するのでは、画素開口率を狭めることになり、明るい画像を表示するという電気光学装置の本来的な目的を達成し得ないことになる。といって、あまりにも小面積の蓄積容量では十分な電荷蓄積特性を享受しえず、また、それがコンデンサとして機能し得なくなるのでは意味がない。

20

【0008】

他方で、電気光学装置の小型化・高精細化という一般的要請に対応するため、蓄積容量の小型化・狭小化が求められてもいる。換言すれば、該蓄積容量を構成する一対の電極及びこれらにより挟持される誘電体膜の小面積化、薄膜化が求められているのである。そして、このような小面積化、薄膜化が求められているのに対応しつつ、前述の三者のうち画素電位側容量電極については、画素電極及び TFT それぞれとの間ににおいて電気的接続を図らなければならない。しかし、この要請に応えつつ、前述のように蓄積容量の容量値の増大化、あるいは電気光学装置の小型化・高精細化等を達成し、且つ、最適な積層構造を構成することは非常に困難である。

30

【0009】

このような問題点は、具体的には例えば、次のように顕在化していた。すなわち、基板上に下から順に、薄膜トランジスタ、蓄積容量（下側電極、誘電体膜及び上側電極）及び画素電極を形成する場合において、前述の下側電極と TFT 及び画素電極との電気的接続を図るという事例である。この場合、TFT と下側電極との電気的接続を図ることは比較的容易である。しかしながら、当該電極と画素電極との電気的接続を図ることは容易ではない。というのも、下側電極の上側には、誘電体膜及び上側電極が存在するからである。したがって、両者間の接続を実現するためには、下側電極の上方の面を顕出させるべく、誘電体膜及び固定電位側容量電極について適当なパターニング処理を実施する必要がある。しかし、蓄積容量を構成するこれら各種要素は、上述のように薄膜化されていることが一般的に考えられるから、前記のパターニング処理を実施すると、下側電極における、いわゆる「突き抜け」を生じさせる可能性が非常に大きかったのである。すなわち、本来であれば、上側電極のみをエッチングすべきところを、誘電体膜、更にはその下側に位置する下側電極をも同時にエッチングしてしまう可能性が多分にあったのである。このような事象が生じてしまうと、下側電極と画素電極との電気的接続を実現できなくなるおそれがあり、該蓄積容量が、もはやコンデンサとして機能しえなくなるおそれもあった。

40

50

【0010】

ちなみに、前記事象は、蓄積容量が、段差ある表面上に形成される場合において、より深刻になる。というのも、該段差上に位置する誘電体膜及び上側電極の厚さと、該段差上に位置しないそれらの厚さとの間で不一致が生じるからである。この場合、一般に、前者の厚さは、後者の厚さよりも大きくなる。したがって、段差上に位置する上側電極を完全に除去しようとすると（この時点では、段差上に位置しない上側電極は完全に除去されている。）、段差上に位置しない下側電極をもエッチングしてしまう可能性が非常に高まるのである（詳細は、後述する図3及び図4の説明参照。）。

【0011】

本発明は、上記問題点に鑑みてなされたものであり、積層体の一部を構成する下側導電層及びこれに電気的に接続されるべき導電層間の電気的接続を好適に実現し得る配線構造及びその製造方法を提供することを課題とする。また、本発明は、このような配線構造を備えてなる電気光学装置を提供することをも課題とする。

10

【0012】**【課題を解決するための手段】**

本発明の参考例に係る配線構造は、上記課題を解決するため、基板上に、下側導電層、該下側導電層上に形成された絶縁層、該絶縁層上に形成された上側導電層からなる積層体と、前記下側導電層と電気的に接続されるべき導電層と、前記下側導電層及び前記導電層それぞれの下層に配置された中継層とが、積層構造の一部をなして備えられており、前記下側導電層及び前記導電層は前記中継層を介して電気的に接続されている。

20

【0013】

本発明の参考例に係る配線構造によれば、積層体の一部を構成する下部導電層とこれに電気的に接続されるべき導電層とが、これらそれぞれの下層に位置する中継層を介して電気的に接続されている。すなわち、下部導電層と中継層との配置関係は、前者がより上層、後者がより下層となり、且つ、導電層と中継電極との配置関係もまた、前者がより上層、後者がより下層となる。要するに、これら三者間では、中継層は最下層に位置することになる。そして、下部導電層及び導電層間の電気的接続は、前記の中継層を介して行われることにより、当該構造において、下側導電層と導電層それぞれの下側に電気的接続点をもたせ、その上側には電気的接続点をもたせないことが可能となる。

【0014】

ここで下側導電層が、その上側に電気的接続点をもたないということは、該下側導電層と、該下側導電層と電気的に接続されるべき導電層との電気的接続を図るために、積層体の上方より臨んで、当該下側電極の表面が見えるが如き処理ないし加工を行う必要がないことを意味する。ここでもし、下側導電層の表面が見えるが如き処理等を行うとすると、その上層に位置する上側導電層を所定形状を有するようにパターニングする必要がでてくる。すなわち、上側導電層の面積が下側導電層の面積よりも小さくなるように、換言すれば、上側導電層の縁から下側導電層の縁がいわばはみ出すように、上側導電層をパターニングする必要が生じる。しかしながら、このようなパターニングには一般に困難が伴うことになる。というのも、上側導電層のみをエッチングするつもりであっても、その下層に位置する絶縁層及び下側導電層をもエッチングしてしまう可能性（即ち、いわゆる「突き抜け」の可能性）が必ず伴うからである。このような突き抜け等が生じてしまうと、下側導電層における電気的接続点がなくなる等の不具合が生じることになる。

30

【0015】

しかるに、本発明の参考例においては、上述のように下側導電層における電気的接続点はその下側に存在するから、該下側導電層の表面を顕出させるために、上側導電層に対する前記のような困難なパターニング処理等を実施する必要がないのである。

【0016】

以上により、本発明の参考例によれば、下側導電層と導電層との電気的接続を良好に実現することができると共に、積層体に無用な欠陥（例えば、上述したような下側導電層における突き抜け等）を生じさせるおそれが極めて低減されることにより、より良好な動作

40

50

が可能な配線構造を提供することができる。

【0017】

また、本発明の参考例に係る配線構造によれば、積層体について、全体として何らかのパターニングを行う必要がある場合においては、上側導電層、絶縁層及び下側導電層を一挙にパターニングすることが可能となる。

【0018】

本発明の参考例に係る配線構造の一態様では、前記積層体は、段差ある表面上に形成されている。

【0019】

この態様によれば、積層体が段差ある表面上に形成されていることから、該積層体を断面視すると、これを構成する下側導電層、絶縁層及び上側導電層は屈曲した部分を有する形になる。例えば、当該積層体は、第1水平面上に位置する部分、前記第1水平面よりも高い第2水平面上に位置する部分、第1水平面及び第2水平面を接続する線分の上に位置する部分を有するなどということになる。

10

【0020】

この場合、例えば、前記線分に垂直な方向における当該積層体の厚さ及び前記第1水平面上に垂直な方向における厚さがいずれも“ t ”であるとし、該線分が該第1水平面からみて角度 [rad] (ただし、 $0 < \theta < \pi/2$)だけ傾いているという場合を仮定すると、線分の上における、第1水平面上に垂直な方向でもって計測した積層体の厚さ t_2 は、 $t_2 = t / \cos \theta$ ということになる。一方で、第1水平面上に垂直な方向における当該積層体の厚さ t_1 は、 $t_1 = t$ である。

20

【0021】

このように、第1水平面上及び第2水平面上の部分における当該積層体の厚さ t_1 と、前記線分の部分における当該積層体の厚さ t_2 との間には、一般に $t_2 > t_1$ という関係が生じ得る。なお、いま述べたことは、「積層体」の厚さに関してであるが、同じようなことが、該積層体を構成する「上側導電層」、「絶縁層」及び「下側導電層」のすべてについて当てはまるることは言うまでもない。

【0022】

そして、このような段差上に存在する積層体について、前述したような上側導電層のみのエッチングを行うとすると、該エッチングの実施には上述にも増して更に困難が伴うことになる。なぜなら、絶縁層及び下側導電層上の上側導電層のすべてを綺麗にエッチングしようとすると、まず、第1及び第2水平面上の上側導電層が除去され、その後に、前記線分上の上側導電層が除去されるということになるが、該線分上の上側導電層が除去されている過程においては、第1及び第2水平面の下の層の除去、即ち絶縁層、或いは下側導電層の除去をも同時に進行させてしまう可能性があるからである。こうなると、下側導電層において突き抜け等が発生する可能性はより高まることになる。

30

【0023】

しかるに、本発明の参考例においては、既に述べたように、下側導電層の下面側に中継層との電気的接続点をもち、且つこれにより導電層との電気的接続が図られていることにより、上述のような困難なエッチングを行う必要がないのである。換言すると、本発明の参考例の作用効果は、本態様にかかる「段差」が生じている状況下でより顕著に享受し得るということができる。

40

【0024】

なお、本態様にいう「段差」は、例えば基板上に形成された配線或いは回路素子等の何らかの要素の上に、層間絶縁膜等を形成する場合において、当該層間絶縁膜の表面に現れ得る。この段差は、前記要素の高さに起因して生じるものである。ちなみに、この説明から明らかのように、基板上且つ前記積層体下に何らかの要素を構築すれば、本態様にいう「段差」が生じる可能性は高く、また、該構築に係る構造物が複雑になればなる程、該「段差」の生じる可能性は非常に高まると共に、その様相も複雑なものになっていくということができる。

50

【0025】

また、上述したような上側導電層のみをエッティングするとした場合における不具合の程度は、前記の段差の高さ、或いは前記第1水平面及び前記線分の角度の大きさ等によって異なり得る。一般に、前記高さがより大きく、また前記角度がより大きくなれば、前記不具合の程度はより大きくなるということができる。

【0026】

しかしながら、本発明の参考例は、以上のような事実とは基本的に無縁である。すなわち、本発明の参考例の作用効果は、既述したように、このような状況下においてこそ、より顕著に發揮され得るということができる。

【0027】

本発明の参考例に係る配線構造の他の態様では、前記上側導電層は、相異なる材料を含む複数の層からなる。

【0028】

この態様によれば、上側導電層が相異なる材料を含む複数の層からなるから、一般に、当該複数の層の一つについてエッティングレートが異なるということが生じ得る。したがって、前述したような上側導電層のみのエッティングを行うとなると、該エッティングの実施には上述にも増して更に困難が伴うことになる。とりわけ、上側導電層の上層に、よりエッティングし難い材料からなる層、その下層に、よりエッティングし易い材料からなる層が配されている場合は困難性が増大する。

【0029】

しかるに、本発明の参考例においては、既に述べたような理由から、このような事情とは無縁であり、翻って、本発明の参考例の作用効果は、このような状況においてこそ、顕著に發揮しうるということができる。

【0030】

なお、本態様にかかる上側導電層の具体例としては、例えば、上層にアルミニウムからなる層、下層にポリシリコンからなる層を有するもの、或いは上層から順にタンゲステンシリサイドからなる層及びチタンからなる層が交互に繰り返されて、最後にポリシリコンからなる層を有するもの等が考えられる。いずれにせよ、各層のエッティングレートが異なるから、上側導電層のみのエッティングを行う場合における不具合は顕著になり得る。

【0031】

この態様では、前記上側導電層が、上層にタンゲステンシリサイドからなる層、下層にポリシリコンからなる層を含むような構成とするとよい。

【0032】

このような構成によれば、上層にタンゲステンシリサイド(WSi)からなる層、下層にポリシリコンからなる層という構造を有するため、前者に対するエッティングは、後者を侵食させるから、上側導電層のみをエッティングするという場合における前述の不具合はより深刻になる。したがって、本発明の参考例の作用効果はより顕著になる。

【0033】

本発明の参考例に係る配線構造の他の態様では、前記積層体は、コンデンサを構成している。

【0034】

この態様によれば、積層体がコンデンサを構成していることから、次のような作用効果を得ることができる。すなわち、既述のように、積層体を構成する上側導電層のみをエッティングしなければならないとすると、絶縁膜、或いは下側導電層等における「突き抜け」等が発生し得るから、それに対する対策を施しておかなければならぬ。この際、有効な対策方法としては、前記絶縁膜、或いは前記下側導電層を比較的厚めに形成しておくことを挙げることができる。このようにすれば、該絶縁膜、或いは該下側導電層をいわゆるエッチストップとして利用することができるから、前記「突き抜け」等の発生する前に、上側導電層のみがエッティングされた時点で、該エッティング処理を終了することができる。

【0035】

10

20

30

40

50

しかしながら、このような対策では、第一に、配線構造の小型化・狭小化等の要請に応えることができないという問題点がある。また第二に、積層体が、本態様のように「コンデンサ」を構成する場合には、絶縁層が厚いと、その容量値を稼ぐことができないという難点を抱えることになる。

【0036】

しかるに、本発明の参考例においては、上述のように積層体を構成している上側導電層のみをエッチングするという工程を経ることなく、上側導電層及び導電層の電気的接続を図ることができる。つまり、このことは前述のような対策、即ち絶縁層等を厚くする等の対策を探る必要がないことを意味し、逆にいえば、該絶縁膜は可能な限り薄くしてよいことを意味する。そうすると、本態様のように、前記積層体がコンデンサを構成しているならば、該コンデンサの容量値を大きく稼ぐことが可能であることになる。10

【0037】

この態様では、前記絶縁層は、高誘電率材料からなる層を含むように構成するとよい。

【0038】

このような構成によれば、前記コンデンサの容量値をより増大させることができるとよい。

【0039】

また、より具体的には、絶縁層が、高誘電率材料の一例たる窒化シリコン（SiN）等を含む場合においては、該絶縁層が酸化シリコンのみを含む場合に比べて、前述した上側導電層のみのエッチングを行うとした場合における不具合をより顕著に受け得ることになる（つまり、窒化シリコンはよりエッチングされやすいという性質を有する。）。20

【0040】

しかるに、本発明の参考例においては、既に述べたような理由から、このような事情とは無縁であり、翻って、本発明の参考例の作用効果は、このような状況においてこそ、顕著に發揮しうるということができる。

【0041】

なお、本発明の参考例にいう「高誘電率材料」としては、前述の窒化シリコンの他、TaO_x（酸化タンタル）、BST（チタン酸ストロンチウムバリウム）、PZT（チタン酸ジルコン酸塩）、TiO₂（酸化チタン）、ZrO₂（酸化ジルコニア）、HfO₂（酸化ハフニウム）及びSiON（酸窒化シリコン）のうち少なくとも一つを含んでなる絶縁材料等を挙げることができる。特に、TaO_x、BST、PZT、TiO₂、ZrO₂及びHfO₂といった高誘電率材料を使用すれば、限られた基板上領域で容量値を増大できる。あるいは、SiO₂（酸化シリコン）、SiON（酸窒化シリコン）及びSiNといったシリコンを含む材料を使用すれば、層間絶縁膜等におけるストレス発生を低減できる。30

【0042】

あるいは、前記絶縁層は、相異なる材料を含む複数の層からなるとともに、そのうちの一の層は他の層に比べて高誘電率材料からなる層を含むように構成するとよい。

【0043】

このような構成によっても、前記コンデンサの容量値をより増大させることができるとよい。

【0044】

また、このような構成では例えば、絶縁層が窒化シリコン層及び酸化シリコン層などといった二層構造をとることになるから、前者の窒化シリコンにより容量値を稼ぎ、後者の酸化シリコンにより耐圧性を確保するなど、該コンデンサの高機能化を果たすことができる。40

【0045】

本発明の参考例に係る配線構造の他の態様では、前記下側導電層と前記中継層との間に及び前記導電層と前記中継層との間に形成された第1の層間絶縁膜と、前記導電層及び前記中継層間に形成された第2の層間絶縁膜と、前記下側導電層及び前記中継層を電気的に接続する第1コンタクトホールと、前記導電層及び前記中継層を電気的に接続する第2コンタクトホールとを更に備えている。50

【 0 0 4 6 】

この態様によれば、第1の層間絶縁膜及び第2の層間絶縁膜が備えられているとともに、前者のみを貫く第1コンタクトホールによって下側導電層及び中継層間の電気的接続を、前者及び後者双方を貫く第2コンタクトホールによって導電層及び中継層間の電気的接続を、それぞれ実現することができる。このように、下側導電層及び導電層を別々の層に形成する態様によれば、当該配線構造の更なる高密度化を達成することができ、当該配線構造の小型化・狭小化等をよりよく実現することができる。

【 0 0 4 7 】

なお、本発明の参考例にいう第1の層間絶縁膜及び第2の層間絶縁膜は、それぞれ、複数の層間絶縁膜である場合を含む。例えば、中継層と下側導電層との間に、何らかの他の要素が存在し、該要素の上下それぞれに層間絶縁膜が形成されている場合があつてよい(この場合、第1の層間絶縁膜は二層の層間絶縁膜を有することになる。)。

10

【 0 0 4 8 】

本発明の参考例に係る配線構造の製造方法は、基板上に、中継層を形成する工程と、前記中継層の上に第1の層間絶縁膜を形成する工程と、前記第1層間絶縁膜に前記中継層に通ずる第1コンタクトホールを形成する工程と、前記第1の層間絶縁膜の上且つ前記第1コンタクトホールを埋めるように下側導電層を形成する工程と、前記下側導電層の上に前記絶縁層及び前記上側導電層を順に形成する工程と、前記上側導電層の上に第2の層間絶縁膜を形成する工程と、前記第2の層間絶縁膜及び前記台1の層間絶縁膜に前記中継層に通ずる第2コンタクトホールを形成する工程と、前記第2の層間絶縁膜の上且つ前記第2コンタクトホールを埋めるように導電層を形成する工程とを含む。

20

【 0 0 4 9 】

本発明の参考例に係る配線構造の製造方法によれば、上述した本発明の配線構造を好適に製造することができる。

【 0 0 5 0 】

なお、本発明の参考例にいう第1の層間絶縁膜及び第2の層間絶縁膜は、それぞれ、複数の層間絶縁膜である場合を含む。例えば、中継層と下側導電層との間に、何らかの他の要素が存在し、該要素の上下それぞれに層間絶縁膜が形成されている場合があつてよい(この場合、第1の層間絶縁膜は二層の層間絶縁膜を有することになる。)。

30

【 0 0 5 1 】

本発明の参考例に係る配線構造の製造方法の一態様では、前記下側導電層、前記絶縁層及び前記上側導電層は、段差ある表面上に形成される。

【 0 0 5 2 】

この態様によれば、下側導電層、絶縁層及び上側導電層からなる積層体は、段差ある表面上に形成されることにより、それぞれ、断面視して屈曲した部分を有する形になる。すると、この場合、上側導電層のみをエッチングするとした場合、それに伴う既述の不具合が生じる。しかしながら、本態様においては、下側導電層は、この時点で既に、第1コンタクトホールを介して中継層と電気的に接続されており、この後、該中継層は第2コンタクトホールを介して導電層と電気的に接続されることで、下側導電層及び導電層間の電気的接続を実現することができるから、上側導電層のみをエッチングする必要がない。

40

【 0 0 5 3 】

以上のように、本態様によれば、本発明の参考例の作用効果はより顕著に発揮されるということができる。

【 0 0 5 4 】

本発明の電気光学装置は、上記課題を解決するために、基板上に、データ線と、該データ線と交差する走査線と、前記データ線及び前記走査線の交差領域に対応するように配置された画素電極及び薄膜トランジスタとを備えた電気光学装置であつて、前記基板上に、前記薄膜トランジスタ及び前記画素電極に電気的に接続された蓄積容量と、前記画素電極及び前記蓄積容量それぞれの下層に配置された中継電極とが、備えられてなり、前記蓄積容量は、前記薄膜トランジスタの上方に配置され、段差ある表面上に形成されており、前

50

記蓄積容量を構成する一対の電極のうちの下側の電極と前記画素電極とは、前記中継電極を介して電気的に接続されている。

また前記蓄積容量は、前記データ線及び前記走査線と平面的に重なるように配置される。

また前記蓄積容量の下側の電極と前記中継電極とは、層間絶縁膜に形成されたコンタクトホールを介して電気的に接続されており、前記コンタクトホールは、前記走査線と平面的に重なる位置に形成されている。

【0055】

本発明の電気光学装置は、前述の本発明の配線構造の、より具体的且つ実際的な適用例に該当するものとなっている。すなわち、本発明に係る電気光学装置における「中継電極」は、上述の本発明の参考例に係る配線構造における「中継層」に、同じく「一方の電極」は「下側導電層」に、同じく「画素電極」は「導電層」に、それぞれ該当する。なお、本発明にいう「蓄積容量」は上述の「積層体」に該当する。10

【0056】

したがって、本発明の電気光学装置によれば、前記の本発明の配線構造によって奏された作用効果と略同様な作用効果を得ることができる。

【0057】

すなわち、本発明によれば、蓄積容量及び画素電極を電気的に接続するために、蓄積容量を構成する他方の電極のみのエッチングという困難な工程を経る必要がなく、該蓄積容量及び該画素電極間の電気的接続は中継電極を介して行われることで、これを良好に実現することができる。20

【0058】

また、本発明においては、上述の他方の電極のみのエッチングという工程を経る必要がないことから、無用な欠陥（例えば、前記一方の電極における突き抜け等）なき蓄積容量を形成することができる。

【0059】

さらに、本発明によれば、蓄積容量の全体について、何らかのパターニングを行う必要がある場合においては、固定電位側容量電極、誘電体膜及び画素電位側容量電極を一挙にパターニングすることが可能となる。

【0061】

また、前述の本発明の参考例に係る配線構造における積層体が、段差ある表面上に形成されている場合と同様な作用効果を享受することができる。すなわち、要約していえば、蓄積容量のうち画素電位側容量電極のみをエッチングする場合であって、これが段差ある表面上に形成されている場合には、該エッチングが非常に困難となるところ、本発明は、このような事実とは基本的に無縁である。逆にいうと、このような場合、従来の方法では細心の注意を払った上で前記のエッチングを行って、画素電位側容量電極と画素電極との電気的接続を実現しなければならなかったところ、本発明ではそのような必要がなく、却って、このような状況下においてこそ、本発明の作用効果はより顕著に発揮され得るということができる。30

【0062】

本発明の電気光学装置の他の態様では、前記下側の電極が前記画素電極及び前記薄膜トランジスタに電気的に接続された画素電位側容量電極であって、前記蓄積容量は、前記画素電位側容量電極と、該画素電位側容量電極に対向配置され固定電位とされた固定電位側容量電極と、前記画素電位側容量電極及び前記固定電位側容量電極間に挟持された誘電体膜とからなり、前記誘電体膜は、高誘電率材料からなる層を含む積層体を構成している。

また前記画素電位側容量電極は、ポリシリコン膜からなる層を含み、前記固定電位側容量電極は、WSi層又はアルミニウム層を含む。

【0063】

この態様によれば、蓄積容量は、高誘電率材料を含むことから、その容量値を増大させることができる。また、より具体的には、誘電体膜が、高誘電率材料の一例たる窒化シリコ40

ン(SiN)等を含む場合においては、該誘電体膜が酸化シリコンのみを含む場合に比べて、前述した上側導電層のみのエッティングを行うとした場合における不具合をより顕著に受け得ることになる(つまり、窒化シリコンはよりエッティングされやすいという性質を有する。)。なお、本発明にいう「高誘電率材料」は、前述したのと同様な意義を有する。

【0064】

本発明の電気光学装置の他の態様では、前記中継電極は、前記走査線に含まれる前記薄膜トランジスタのゲート電極と同一膜として形成されている。

【0065】

この態様によれば、中継電極は、走査線に含まれる薄膜トランジスタのゲート電極と同一膜として形成されていることから、例えば、該中継電極を特別な工程を経て製造するなどという場合に比べて、製造工程の簡略化、あるいは製造コストの低廉化等を図ることができる。10

【0066】

また、このような態様によれば、画素電位側容量電極、中継電極及び画素電極間の配置関係をより自然に決定することができ、基板上の積層構造の具体的な態様の決定をより好適になしえ、あるいはまた、各種要素のレイアウトの自由度を高めることができる。

【0067】

なお、このような作用効果は、次のような場合において、より効果的に享受しえる。すなわち、薄膜トランジスタが、積層構造の最下層、あるいは下層よりに配置されているという場合である。これによれば、中継電極が、蓄積容量及び画素電極よりも下層に位置するという態様をより自然に実現することができるからである。20

【0068】

また、このように、走査線がゲート電極を含む場合においては更に、該ゲート電極としての機能を十分に発揮しえるように、該走査線中、少なくとも該ゲート電極部分については、例えば導電性のポリシリコン膜からなるように構成するとよい。このような場合においては、ゲート電極と中継電極が同一膜として形成される本態様では、該中継電極もまた導電性のポリシリコン膜等からなることになる。

【0069】

さらに、本態様の記載から逆に明らかとなるように、本発明の「中継電極」は、必ずしもゲート電極と同一膜として形成される必要はない。この場合には、上述のように、中継電極及びゲート電極が同一の材料から構成されるということはないから、該中継電極の材料は、導電性を有する限り、基本的に自由に選択してよい。30

【0070】

本発明の電気光学装置の他の態様では、前記固定電位側容量電極は、前記画素電位側容量電極を覆うように形成されている。

【0071】

この態様によれば、画素電位側容量電極が固定電位側容量電極を覆うように形成されていることから、より広い電極面積で誘電体膜を挟持することが可能となり、より大きな容量値を有する蓄積容量が構成されることになる。具体的には例えば、本態様では、前記の三要素の側面をもコンデンサとして利用することが可能となり、これによる容量値の増大化を見込むことができる。また、このような観点から、例えば、画素電位側容量電極を厚く形成する等としておけば、前記側面の面積は大きくなり、効率よく容量値を稼ぐことができる。40

また本発明の電子機器は、上記の電気光学装置を用いたことを特徴とする。

【0072】

本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにされる。

【0073】

【発明の実施の形態】

以下では、本発明の実施の形態について図を参照しつつ説明する。以下の説明では、まず、本実施形態に係る配線構造の一例を説明し、その後に、該配線構造により得られる作用50

効果を、その製造方法との関連において説明することとする。

【0074】

まず、本実施形態に係る配線構造について、図1を参照しながら説明する。ここに図1は、本実施形態に係る配線構造の一例を示す断面図である。図1において、この配線構造は、下層側から順に、配線401、中継層301、本発明にいう積層体の一例たるコンデンサ20C及び導電層101から構成されている。また、導電層101及びコンデンサ20C間には第3層間絶縁膜3が、コンデンサ20C及び中継層301間には第2層間絶縁膜2が、中継層301及び配線401間には第1層間絶縁膜1がそれぞれ形成されており、これら各要素間で短絡が生じないようになっている。なお、これら第1～第3層間絶縁膜1～3は、例えば酸化シリコン膜等からなる。

10

【0075】

この配線構造では、まず、基板S上に配線401が形成されている。この配線401は、図1中他の要素と連絡がないように描かれているが、該配線401は、図示されない何らかの要素と接続され、配線としての機能を発揮するものである。図1においては特に、この配線401が形成されることにより、該配線401より上層に位置する構成において段差STPが生じることが示されている。このような段差STPは、第1～第3層間絶縁膜1～3を介して最上層まで伝達されている。

【0076】

配線401上には、第1層間絶縁膜1を介して中継層301が形成されており、該中継層301上には第2層間絶縁膜2を介してコンデンサ20Cが形成されている。そして、これら中継層301及びコンデンサ20Cは、コンタクトホール851を介して電気的に接続されている。より具体的には、コンデンサ20Cは、上側電極201、絶縁層202及び下側電極203からなり、中継層301と電気的に接続されているのは、これらのうち下側電極203となっている。また、本実施形態においては殊に、上側電極201は、図中上層にWSi膜からなる層（以下、「WSi層」という。）、その下層にポリシリコン膜からなる層（以下、「ポリシリコン層」という。）を有する積層構造をもっている（図1及び図2においては不図示。後述する図3及び図4参照）。

20

【0077】

コンデンサ20C上には、第3層間絶縁膜3を介して導電層101が形成されている。そして、この導電層101は、第2及び第3層間絶縁膜2及び3を貫通して開孔されたコンタクトホール852を介して中継層301と電気的に接続されている。

30

【0078】

このような配線構造において、下側電極203及び導電層101は相互に電気的に接続されている必要がある。その必要性の根拠は、種々のものが考えられるが、例えば、後述する電気光学装置の実施形態で述べるように、導電層101が液晶分子に電界を印加するための画素電極（図6又は図9において符号9a）であり、コンデンサ20Cが該画素電極の電位保持特性を向上させる蓄積容量（図6又は図9において符号70）であり、下側電極203が画素電位側容量電極たる下部電極（図6又は図9において符号71）である場合においては、この他更に、該下部電極にTFTのドレインが接続されることで、TFT、下部電極及び画素電極という信号の流れを実現するために、後二者の電気的接続が必要となる、などという場合が考えられる。

40

【0079】

そして、このような本実施形態に係る各種要素の配置関係のうち、中継層301並びにコンデンサ20Cを構成する下側電極203及び導電層101に着目すると、中継層301が、下側電極203及び導電層101それぞれの下層に配置されているということができる。つまり、これら三者間のうちでは中継層301が、最下層に位置するということになる。

【0080】

これにより、下側電極203における中継層301との電気的接続点は、該下側電極203の下面側に位置することになり、導電層101における中継層301との電気的接続点

50

もまた、該導電層 101 の下面側に位置するということになる。

【0081】

以上のような構成となる配線構造によれば、次のような作用効果が得られる。この点については、図1のような構造を探らない配線構造との対比を行うとより明瞭になる。以下では、これを、図2を参照しながら説明することとする。ここに図2は、図1との対比を行うための構造を示す同視点の断面図である。なお、説明の便宜上、図1及び図2間では、実質的に同一の要素を指示する場合には、同一の符号を用いて説明を行うこととする。

【0082】

まず、図1においては、既に述べたように、下側電極203と中継層301とは、両者間に形成された第1層間絶縁膜1に開孔されたコンタクトホール851を介して電気的に接続されている。したがって、下側電極203における、中継層301に対する電気的接続点は、該下側電極203の「下側」に位置するといふことがいえる。

10

【0083】

これに対して、図2においては、中継層301が存在しない。したがって、下側電極203と導電層101との電気的接続は、該下側電極203の上側に電気的接続点をもつコンタクトホール851'を介して実現されている。より詳しくは、コンタクトホール851'は、第3層間絶縁膜3と、上側電極201及び絶縁層202とに開孔されており、導電層101は、該コンタクトホール851'を埋めるようにして形成されている。

【0084】

すなわち、このような構造では、下側電極203及び導電層101間の電気的接続を実現するためには、図2において明らかのように、下側電極203の「上側」を利用しなければならないのである。また、これに伴い、この場合においては、コンデンサ20Cを構成する上側電極201「のみ」、或いは絶縁層202「のみ」に対するエッティング工程を実施しなければならない(図中破線参照)。なぜなら、下側電極203の上側との電気的接続を図るべく、該下側電極203の表面が上方から臨めるが如き状態を現出しなければならないからである。

20

【0085】

しかしながら、このようなエッティング工程には非常に困難なものとなる。以下、この点について、図3及び図4を参照しながら説明することとする。ここに図3及び図4は、図2の配線構造において、上側電極201のみをエッティングする工程を説明するための工程図である。

30

【0086】

まず、図3の工程(1)において、コンデンサ20Cの構成要素のうち、WSi層201a及びポリシリコン層201b並びにその下層に位置する酸化シリコン膜等からなる絶縁層202のみが図示されている。また、このコンデンサ20Cは、段差STP上に形成されているため、前記のWSi層201a、ポリシリコン層201b及び絶縁層202のいずれも、断面視して屈曲した形状を有している。そしてまた、該コンデンサ20Cが、段差STP上に形成されているがゆえに、図3の工程(1)中、WSi層201aについて示されているように、水平面上に形成されたWSi層201aの厚さT1と、段差STP上に形成されたWSi層201aの厚さT2とが相違している(即ち、T2 > T1)ことが示されている。

40

【0087】

さて、このような段差STP上のコンデンサ20Cについて、絶縁層202を残存させつつ(即ち、該絶縁層202をいわゆるエッチストップに用いつつ)、WSi層201a及びポリシリコン層201bのみをエッティングしようとする場合においては、まず、図3の工程(2)に示すように、WSi層201aのみをエッティングする工程を実施する。これにより、WSi層201aは、絶縁層202上から消滅させられることになる(図中破線参照)。しかしながら、この図3の工程(2)においては、残存部201aEが形成されることになる。これは、図3の工程(1)を参照して説明したように、水平面上のWSi層201aの厚さT1と段差STP上のそれの厚さT2とが異なることによる。つまり、

50

厚さ($T_2 - T_1$)分だけ、エッティングされずにWSi層201aが残存してしまうのである。

【0088】

したがって、WSi層201aのエッティングは、図3の工程(3)に示すように、この残存部201aEを取り除くに至るまで続行する。ただし、この場合、WSi層201aの下層に位置するポリシリコン層201bのエッティングも同時に行われてしまうことになる。結局、残存部201aEを取り除くことを目的とするWSi層201aのオーバエッティングを実施することによって、図3の工程(3)の段階では、水平面上のポリシリコン層201bの厚さは、当初に成膜されていた厚さよりも小さい厚さ T_3 になる。

【0089】

なお、このような場合におけるWSi層201aのエッティングの際には、該WSi層201aにおけるエッティングレートよりも、ポリシリコン層201bにおけるエッティングレートの方が大きいという問題点も同時に存在する。すなわち、図3の工程(3)においては、辛うじて、厚さ T_3 を残してポリシリコン層201bが未だ存在しているが、悪い場合には、図3の工程(3)の段階において該ポリシリコン層201bが完全に消失してしまう場合も考えられることになる(図3の工程(3)中、太い破線参照)。また、WSi層201aに対するエッティングは、絶縁層202に対するエッティングをも進行させ得るから、ポリシリコン層201bが完全に消失してしまった後には、本来あるべきでない絶縁層202の侵食、更にはその消失などという事態も発生しかねない。更にいえば、絶縁層202を越えて、その更に下層に位置する層(即ち、下側電極203)の侵食をも生じさせかねない。

【0090】

ちなみに、前述のような事象は、段差STPが比較的極めて大きい場合に特に深刻になる。なぜなら、段差STPが大きければ、残存部201aEも大きくなると考えられ、したがって、これを取り除こうとするWSi層201aに対するエッティングは比較的長期にわたって行われることになるからである。このように、積層体に対するエッティングには非常な困難が伴うことになる。

【0091】

さて、図3の工程(3)に続いて、図4の工程(4)の段階では、ポリシリコン層201bに対するエッティングを行う。これによると、前述した厚さ T_3 を有する水平面上のポリシリコン層201bがまずエッティングされることになる。しかしながら、このポリシリコン層201bについても、段差STP上に存在する該ポリシリコン層201bについては、その厚さが前記 T_3 よりも大きい厚さ T_4 の部分が存在する。したがって、図4の工程(4)におけるエッティングでは、前述のWSi層201aと同様に、残存部201bEが生じることになる。したがって、このポリシリコン層201bについても、残存部201bEを取り除くべく、オーバエッティングをする必要がある。

【0092】

そうすると、最終的には、図4の工程(5)に示すように、ポリシリコン層201bは、絶縁層202上から完全に姿を消すことになるが、これと同時に、図4中最下層に位置する絶縁層202については、本来エッティングされるべきでない厚さ T_5 の分だけエッティングが進行してしまうことになる。これは本来望まれるべき事象ではない。そして、この厚さ T_5 が、仮に、絶縁層202として当初に成膜されていた厚さ(以下、図には示されないが、厚さ T_s とする。)よりも大きい場合には、絶縁層202を残存させたいにもかかわらず、これを消滅させてしまうことになってしまう。更に、厚さ T_5 が、厚さ T_s に比べて極めて大きい場合、換言すると、段差STPが比較的極めて大きい場合には、絶縁層202を越えて、その更に下層に位置する層(即ち、下側電極203)の侵食をも生じさせかねない。

【0093】

以上のように、従来においては、段差STP上におけるコンデンサ20Cのエッティングは、非常に困難であったのである。

【0094】

しかるに、本実施形態においては、上の図3及び図4の各工程を経る必要がない。なぜなら、図1において、下側電極203と導電層101とを電気的に接続するにあたり、これらを直接的に接続するコンタクトホール851'（図2参照）を用いることがないからであり、該下側電極203及び該導電層101は、これらそれぞれの下層に位置する中継層301を介して接続されることになるからである。下側電極203が、このように図中下面側に電気的接続点をもつ場合には、図3及び図4の各工程は不必要である。

【0095】

以上により、本実施形態によれば、下側電極203と導電層101との電気的接続を良好に実現することができると共に、コンデンサ20Cに無用な欠陥（例えば、上述したような下側電極203における突き抜け等）を生じさせるおそれが極めて低減されることにより、より良好な動作が可能な配線構造を提供することができる。10

【0096】

また、本実施形態においては特に、本発明にいう「積層体」がコンデンサ20Cを構成している形態となっていることから、その大容量化を達成することができる。というのも、本実施形態においては、上述のように図3及び図4の各工程を経て、下側電極203及び導電層101の電気的接続を図る必要がないから、絶縁層202、或いは下側電極203における突き抜け等を心配するあまり、それら厚さを比較的大きめにとっておくという必要がないからである。つまり、絶縁層202の厚さは可能な限り薄くすることができ、したがって、コンデンサ20Cの大容量化を達成することができる。20

【0097】

さらに、この点に関連して、本実施形態において、上述の絶縁層202における突き抜け等を心配する必要がないということは、該絶縁層202を構成する材料の選択にあたって、特別な制約がかけられることがないということを意味する。例えば、絶縁層202を構成する材料として、酸化シリコン膜に比べ、より高誘電率である窒化シリコン膜を選択すれば、コンデンサ20Cの容量増大化にとっては好適である。しかしながら、両者間のエッチング選択比の観点から、よりエッチングされやすい窒化シリコンを選択すると、該絶縁層202における突き抜け等の可能性を増大させる側面がある。したがって、従来においては、酸化シリコンを選択するなどということが行われていた。30

【0098】

しかるに、本実施形態においては、そのような心配をする必要がないのである。本実施形態においては、このような点からも、コンデンサ20Cの容量増大化は促進されることになる。

【0099】

更にいえば、絶縁層202には、相異なる材料を含む複数の層からなるとともに、そのうちの一の層は他の層に比べて高誘電率材料からなる層を含むような構造、すなわち積層構造をもたせることができる。

【0100】

なお、上記実施形態においては、段差STP上にコンデンサ20Cが形成される態様について述べたが、本発明は、このような形態に限定されるものではない。例えば、段差S TPが仮に存在しなくとも、上側電極201のみをエッチングする工程が必要となる場合には、既述の不利益を被るおそれがあり得る。したがって、コンデンサ20C、或いはより一般的に本発明にいう「積層体」が、段差上に形成されていなくとも、本発明の作用効果はそれ相応に享受することができる。40

【0101】

また、この段差S TPに関連してなお言えば、上記実施形態における段差S TPは、配線401の高さに起因して形成されていたが、一般に、各種の電子機器を構成する配線構造には、図1に示した段差S TPに比べて、より高さが大きく、より急峻で、更にはその様相が複雑なもの（例えば、ある段差が、その下層に位置する複数の要素の高さを反映している等）である場合があり得る。しかるに、本発明は、このような事実とは基本的に無縁50

である。なぜなら、中継層 301 を設けさえすれば、当該段差とは無関係に、下側導電層及び導電層の電気的接続を良好に実現することができるからである。逆にいうと、当該段差が高くなればなる程、急峻になればなる程、或いは複雑さが増せば増す程、本発明のもつ価値は、より高まるということができる。

【0102】

(配線構造の製造方法)

以下では、上記実施形態の配線構造の製造方法について図 5 のフローチャート及び図 1 を参照しつつ説明する。

【0103】

まず、図 5 のステップ S10 にあるように、基板 S 上に配線 401 を形成した後、該配線 401 上に第 1 層間絶縁膜 1 を形成する。これにより、第 1 層間絶縁膜 1 の表面上には、配線 401 の高さに起因する段差 STP が生じることになる。

【0104】

次に、図 5 のステップ S11 にあるように、第 1 層間絶縁膜 1 上に中継層 301 を形成する。

【0105】

次に、図 5 のステップ S12 にあるように、中継層 301 の上に第 2 層間絶縁膜 2 を形成する。続いて、この第 2 層間絶縁膜 2 に、中継層 301 へ通ずるようにコンタクトホール 851 を形成する。

【0106】

次に、図 5 のステップ S13 にあるように、第 2 層間絶縁膜 2 上に且つコンタクトホール 851 を埋めるように下側電極 203 を形成した後、該下側電極 203 上に絶縁層 202 及び上側電極 201 を形成して、コンデンサ 20C を構成する。この工程により、下側電極 203 と中継層 301 との電気的接続が実現されることになる。

【0107】

次に、図 5 のステップ S14 にあるように、コンデンサ 20C の上に、第 3 層間絶縁膜 3 を形成する。続いて、この第 3 層間絶縁膜 3 、更にはその下層に位置する第 2 層間絶縁膜 2 に、中継層 301 へ通ずるようにコンタクトホール 852 を形成する。

【0108】

次に、図 5 のステップ S15 にあるように、この第 3 層間絶縁膜 3 上に且つコンタクトホール 852 を埋めるように導電層 101 を形成する。この工程により、導電層 101 と中継層 301 との電気的接続が実現されることになり、もって導電層 101 及び下側電極 203 間の電気的接続が実現されることになる。

【0109】

このように、本実施形態に係る配線構造を製造するにあたっては、図 3 及び図 4 で説明したような上側電極 201 のみのエッティングという困難な工程を経ることなく、下側電極 203 及び導電層 101 の電気的接続が好適に実現される。

【0110】

なお、上述の配線 401 、中継層 301 、コンデンサ 20C を構成する三要素、導電層 101 はそれぞれ、スパッタリング法、或いは CVD (Chemical Vapor Deposition) 法により基板 S の全面に適当な導電性材料からなる前駆膜を形成した後、該前駆膜に対してフォトリソグラフィ及びエッティング等によって適当な平面形状を有するようにパターニングするとよい。また、本発明においては、これら各要素間に他の要素が混在される場合（例えば、中継層 301 及び下側電極 203 間に配線等の他の要素が存在する場合）を含む。要は、電気の流れという観点からみて、下側電極 203 (又は導電層 101) からその下層の中継層 301 へ、そして、この中継層 301 からその上層の導電層 101 (又は下側電極 203) へという流れがあれば、それは本発明の範囲内にある。

【0111】

(電気光学装置の実施形態)

以下では、本発明の実施の形態について図を参照しつつ説明する。以下の実施形態は、本

10

20

30

40

50

発明の電気光学装置を液晶装置に適用したものである。

【0112】

(画素部における構成)

まず、本発明の実施形態における電気光学装置の画素部における構成について、図6から図9を参照して説明する。ここに図6は、電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路である。図7は、データ線、走査線、画素電極等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。なお、図8は、図7のうち要部、具体的には、データ線、シールド層及び画素電極間の配置関係を示すために、主にこれらのみを抜き出した平面図である。図9は、図7のA-A'断面図である。なお、図9においては、各層・各部材を図面上で認識可能な程度の大きさとするため、該各層・各部材ごとに縮尺を異ならしめてある。10

【0113】

図6において、本実施形態における電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素には、それぞれ、画素電極9aと当該画素電極9aをスイッチング制御するためのTFT30とが形成されており、画像信号が供給されるデータ線6aが当該TFT30のソースに電気的に接続されている。データ線6aに書き込む画像信号S1、S2、...、Snは、この順に線順次に供給しても構わないし、相隣接する複数のデータ線6a同士に対して、グループ毎に供給するようにしてもよい。

【0114】

また、TFT30のゲートにゲート電極が電気的に接続されており、所定のタイミングで、走査線11a及びゲート電極にパルス的に走査信号G1、G2、...、Gmを、この順に線順次で印加するように構成されている。画素電極9aは、TFT30のドレインに電気的に接続されており、スイッチング素子であるTFT30を一定期間だけそのスイッチを閉じることにより、データ線6aから供給される画像信号S1、S2、...、Snを所定のタイミングで書き込む。20

【0115】

画素電極9aを介して電気光学物質の一例としての液晶に書き込まれた所定レベルの画像信号S1、S2、...、Snは、対向基板に形成された対向電極との間で一定期間保持される。液晶は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能とする。ノーマリー・ホワイトモードであれば、各画素の単位で印加された電圧に応じて入射光に対する透過率が減少し、ノーマリーブラックモードであれば、各画素の単位で印加された電圧に応じて入射光に対する透過率が増加され、全体として電気光学装置からは画像信号に応じたコントラストをもつ光が出射する。30

【0116】

ここで保持された画像信号がリークするのを防ぐために、画素電極9aと対向電極との間に形成される液晶容量と並列に蓄積容量70を付加する。この蓄積容量70は、走査線11aに並んで設けられ、固定電位側容量電極を含むとともに定電位に固定された容量電極300を含んでいる。

【0117】

以下では、上記データ線6a、走査線11a及びゲート電極、TFT30等による、上述のような回路動作が実現される電気光学装置の、実際の構成について、図7から図9を参照して説明する。40

【0118】

まず、図7において、画素電極9aは、アクティブマトリクス基板であるTFTアレイ基板10上に、マトリクス状に複数設けられており(点線部により輪郭が示されている)、画素電極9aの縦横の境界に各々沿ってデータ線6a及び走査線11aが設けられている。データ線6aは、後述するようにアルミニウム膜等を含む積層構造からなり、走査線11aは、例えば導電性のポリシリコン膜等からなる。また、走査線11aは、半導体層1aのうち図中右上がりの斜線領域で示したチャネル領域1a'に対向するゲート電極3aに電気的に接続されており、該ゲート電極3aは該走査線11aに含まれる形となってい50

る。すなわち、ゲート電極 3 a とデータ線 6 a との交差する箇所にはそれぞれ、チャネル領域 1 a' に走査線 11 a に含まれるゲート電極 3 a が対向配置された画素スイッチング用の TFT30 が設けられている。換言すれば、TFT30（ゲート電極を除く。）は、ゲート電極 3 a と走査線 11 a との間に存在するような形態となっている。

【0119】

次に、電気光学装置は、図 7 の A - A' 線断面図たる図 9 に示すように、例えば、石英基板、ガラス基板、シリコン基板からなる TFT アレイ基板 10 と、これに対向配置される、例えばガラス基板や石英基板からなる対向基板 20 とを備えている。

【0120】

TFT アレイ基板 10 の側には、図 9 に示すように、前記の画素電極 9 a が設けられており、その上側には、ラビング処理等の所定の配向処理が施された配向膜 16 が設けられている。画素電極 9 a は、例えばITO 膜等の透明導電性膜からなる。他方、対向基板 20 の側には、その全面に渡って対向電極 21 が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜 22 が設けられている。このうち対向電極 21 は、上述の画素電極 9 a と同様に、例えばITO 膜等の透明導電性膜からなり、前記の配向膜 16 及び 22 は、例えば、ポリイミド膜等の透明な有機膜からなる。

【0121】

このように対向配置された TFT アレイ基板 10 及び対向基板 20 間には、後述のシール材（図 10 及び図 11 参照）により囲まれた空間に液晶等の電気光学物質が封入され、液晶層 50 が形成される。液晶層 50 は、画素電極 9 a からの電界が印加されていない状態で配向膜 16 及び 22 により所定の配向状態をとる。液晶層 50 は、例えば一種又は数種類のネマティック液晶を混合した電気光学物質からなる。シール材は、TFT 基板 10 及び対向基板 20 をそれらの周辺で貼り合わせるための、例えば光硬化性樹脂や熱硬化性樹脂からなる接着剤であり、両基板間の距離を所定値とするためのグラスファイバー或いはガラスピーツ等のスペーサが混入されている。

【0122】

一方、TFT アレイ基板 10 上には、前記の画素電極 9 a 及び配向膜 16 の他、これらを含む各種の構成が積層構造をなして備えられている。この積層構造は、図 9 に示すように、下から順に、走査線 11 a を含む第 1 層、ゲート電極 3 a を含む TFT30 等を含む第 2 層、蓄積容量 70 を含む第 3 層、データ線 6 a 等を含む第 4 層、シールド層 400 等を含む第 5 層、前記の画素電極 9 a 及び配向膜 16 等を含む第 6 層（最上層）からなる。また、第 1 層及び第 2 層間には下地絶縁膜 12 が、第 2 層及び第 3 層間には第 1 層間絶縁膜 41 が、第 3 層及び第 4 層間には第 2 層間絶縁膜 42 が、第 4 層及び第 5 層間には第 3 層間絶縁膜 43 が、第 5 層及び第 6 層間には第 4 層間絶縁膜 44 が、それぞれ設けられており、前述の各要素間が短絡することを防止している。また、これら各種の絶縁膜 12、41、42、43 及び 44 には、例えば、TFT30 の半導体層 1 a 中の高濃度ソース領域 1 d とデータ線 6 a とを電気的に接続するコンタクトホール等もまた設けられている。以下では、これらの各要素について、下から順に説明を行う。

【0123】

まず、第 1 層には、例えば、Ti（チタン）、Cr（クロム）、W（タンゲステン）、Ta（タンタル）、Mo（モリブデン）等の高融点金属のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド、ポリシリサイド、これらを積層したもの、或いは導電性ポリシリコン等からなる走査線 11 a が設けられている。この走査線 11 a は、平面的にみて、図 7 の X 方向に沿うように、ストライプ状にパターニングされている。より詳しく見ると、ストライプ状の走査線 11 a は、図 7 の X 方向に沿うように延びる本線部と、データ線 6 a 或いはシールド層 400 が延在する図 7 の Y 方向に延びる突出部とを備えている。なお、隣接する走査線 11 a から延びる突出部は相互に接続されることなく、したがって、該走査線 11 a は 1 本 1 本分断された形となっている。

【0124】

これにより、走査線 11 a は、同一行に存在する TFT30 の ON・OFF を一斉に制御

10

20

30

40

50

する機能を有することになる。また、該走査線 11a は、画素電極 9a が形成されない領域を略埋めるように形成されていることから、TFT30 に下側から入射しようとする光を遮る機能をも有している。これにより、TFT30 の半導体層 1a における光リーク電流の発生を抑制的にし、フリッカ等のない高品質な画像表示が可能となる。

【0125】

次に、第2層として、ゲート電極 3a を含む TFT30 が設けられている。TFT30 は、図9に示すように、LDD (Lightly Doped Drain) 構造を有しており、その構成要素としては、上述したゲート電極 3a、例えばポリシリコン膜からなりゲート電極 3a からの電界によりチャネルが形成される半導体層 1a のチャネル領域 1a'、ゲート電極 3a と半導体層 1a とを絶縁するゲート絶縁膜を含む絶縁膜 2、半導体層 1a における低濃度ソース領域 1b 及び低濃度ドレイン領域 1c 並びに高濃度ソース領域 1d 及び高濃度ドレイン領域 1e を備えている。

【0126】

そして、本実施形態においては特に、この第2層には、上述のゲート電極 3a と同一膜として中継電極 719 が形成されている。この中継電極 719 は、平面的に見て、図7に示すように、各画素電極 9a の一辺の略中央に位置するように、島状に形成されている。中継電極 719 とゲート電極 3a とは同一膜として形成されているから、後者が例えば導電性ポリシリコン膜等からなる場合においては、前者もまた、導電性ポリシリコン膜等からなる。

【0127】

なお、上述の TFT30 は、好ましくは図9に示したように LDD 構造をもつが、低濃度ソース領域 1b 及び低濃度ドレイン領域 1c に不純物の打ち込みを行わないオフセット構造をもってよいし、ゲート電極 3a をマスクとして高濃度で不純物を打ち込み、自己整合的に高濃度ソース領域及び高濃度ドレイン領域を形成するセルファーライン型の TFT であってもよい。また、本実施形態では、画素スイッチング用 TFT30 のゲート電極を、高濃度ソース領域 1d 及び高濃度ドレイン領域 1e 間に 1 個のみ配置したシングルゲート構造としたが、これらの間に 2 個以上のゲート電極を配置してもよい。このようにデュアルゲート、あるいはトリプルゲート以上で TFT を構成すれば、チャネルとソース及びドレイン領域との接合部のリーク電流を防止でき、オフ時の電流を低減することができる。さらに、TFT30 を構成する半導体層 1a は非単結晶層でも単結晶層でも構わない。単結晶層の形成には、貼り合わせ法等の公知の方法を用いることができる。半導体層 1a を単結晶層とすることで、特に周辺回路の高性能化を図ることができる。

【0128】

以上説明した走査線 11a の上、かつ、TFT30 の下には、例えばシリコン酸化膜等からなる下地絶縁膜 12 が設けられている。下地絶縁膜 12 は、走査線 11a から TFT30 を層間絶縁する機能のほか、TFT アレイ基板 10 の全面に形成されることにより、TFT アレイ基板 10 の表面研磨時における荒れや、洗浄後に残る汚れ等で画素スイッチング用の TFT30 の特性変化を防止する機能を有する。

【0129】

この下地絶縁膜 12 には、平面的にみて半導体層 1a の両脇に、後述するデータ線 6a に沿って延びる半導体層 1a のチャネル長と同じ幅の溝（コンタクトホール）12cv が掘られており、この溝 12cv に対応して、その上方に積層されるゲート電極 3a は下側に凹状に形成された部分を含んでいる。また、この溝 12cv 全体を埋めるようにして、ゲート電極 3a が形成されることにより、該ゲート電極 3a には、これと一体的に形成された側壁部 3b が延設されるようになっている。これにより、TFT30 の半導体層 1a は、図7によく示されているように、平面的にみて側方から覆われるようになっており、少なくともこの部分からの光の入射が抑制されるようになっている。

【0130】

また、この側壁部 3b は、前記の溝 12cv を埋めるように形成されているとともに、その下端が前記の走査線 11a と接するようにされている。ここで走査線 11a は、上述の

10

20

30

40

50

ようにストライプ状に形成されていることから、ある行に存在するゲート電極 3 a 及び走査線 11 a は、当該行に着目する限り、常に同電位となる。

【0131】

ここで本発明においては、走査線 11 a に平行するようにして、ゲート電極 3 a を含む別の走査線を形成するような構造を採用してもよい。この場合においては、該走査線 11 a と該別の走査線とは、冗長的な配線構造をとることになる。これにより、例えば、該走査線 11 a の一部に何らかの欠陥があって、正常な通電が不可能となったような場合においても、当該走査線 11 a と同一の行に存在する別の走査線が健全である限り、それを介して TFT30 の動作制御を依然正常に行うことになる。

【0132】

さて、前述の第 2 層に続けて第 3 層には、蓄積容量 70 が設けられている。蓄積容量 70 は、TFT30 の高濃度ドレイン領域 1 e 及び画素電極 9 a に接続された画素電位側容量電極としての下部電極 71 と、固定電位側容量電極としての容量電極 300 とが、誘電体膜 75 を介して対向配置されることにより形成されている。この蓄積容量 70 によれば、画素電極 9 a における電位保持特性を顕著に高めることができる。また、本実施形態に係る蓄積容量 70 は、図 7 の平面図を見るとわかるように、画素電極 9 a の形成領域にほぼ対応する光透過領域には至らないように形成されているため（換言すれば、遮光領域内に収まるように形成されているため）、電気光学装置全体の画素開口率は比較的大きく維持され、これにより、より明るい画像を表示することが可能となる。

【0133】

より詳細には、下部電極 71 は、例えば導電性のポリシリコン膜からなり画素電位側容量電極として機能する。ただし、下部電極 71 は、金属又は合金を含む単一層膜又は多層膜から構成してもよい。また、この下部電極 71 は、画素電位側容量電極としての機能のほか、画素電極 9 a と TFT30 の高濃度ドレイン領域 1 e とを中継接続する機能をもつ。そして、本実施形態においては特に、ここにいう中継接続が、前記の中継電極 719 を介して行われていることに特徴がある。この点については後に改めて触ることとする。

【0134】

容量電極 300 は、蓄積容量 70 の固定電位側容量電極として機能する。本実施形態において、容量電極 300 を固定電位とするためには、固定電位とされたシールド層 400 と電気的接続が図られることによりなされている。

【0135】

そして、本実施形態においては特に、この容量電極 300 は、TFT アレイ基板 10 上において、各画素に対応するように島状に形成されており、前記下部電極 71 は、当該容量電極 300 とほぼ同一形状を有するように形成されている。これにより、本実施形態に係る蓄積容量 70 は、平面的に無駄な広がりを有さず、即ち画素開口率を低落させることなく、且つ、当該状況下で最大限の容量値を実現し得ることになる。すなわち、本実施形態において、蓄積容量 70 は、より小面積で、より大きな容量値をもつ。

【0136】

より詳細に見ると、図 9においては、容量電極 300 の面積は、下部電極 71 の面積よりも若干大きめに、即ち前者が後者を覆うように形成されていることがわかる。このようない形態によれば、図から読み取れるように、該容量電極 300 及び該下部電極 71 の側面をもコンデンサとして利用すること（図 9 における蓄積容量 70 の左方参照）が可能であるから、容量値の増大化を図ることができる。また、両者間の短絡も生じ難い。なお、このような観点から、前記側面の面積を増大させるべく、例えば下部電極 71 を予め比較的厚く形成しておくことも有効である。

【0137】

また、この容量電極 300 は、例えば上層から順に、WSi 層及びポリシリコン層という二層構造をもたせることができ。このような二層構造によれば、WSi 層の存在により TFT30 に対する光遮蔽性向上することができ、ポリシリコン層の存在により良好な電気伝導性を得ることができる。また、容量電極 300 は、この他、上層から順にアル

10

20

30

40

50

ミニウム層及びポリシリコン層という二層構造、或いは上層から順にW Si層及びチタンからなる層が交互に繰り返されて、最後にポリシリコン層を有するもの等が考えられる。

【0138】

誘電体膜75は、図9に示すように、例えば膜厚5～200nm程度の比較的薄いHTO(High Temperature Oxide)膜、LTO(Low Temperature Oxide)膜等の酸化シリコン膜、あるいは窒化シリコン膜等から構成される。蓄積容量70を増大させる観点からは、膜の信頼性が十分に得られる限りにおいて、誘電体膜75は薄いほどよい。そして、本実施形態においては特に、この誘電体膜75は、図9に示すように、下層に酸化シリコン膜75a、上層に窒化シリコン膜75bというように二層構造を有するものとなっている。このうち上層の窒化シリコン膜75bは画素電位側容量電極の下部電極71より少し大きなサイズにパターンニングされ、遮光領域(非開口領域)内で収まるように形成されている。これにより、比較的誘電率の大きい窒化シリコン膜75bが存在することにより、蓄積容量70の容量値を増大させることができるとなる他、それにもかかわらず、酸化シリコン膜75aが存在することにより、蓄積容量70の耐圧性を低下せしめることがない。このように、誘電体膜75を二層構造とすることにより、相反する二つの作用効果を享受することが可能となる。また、窒化シリコン膜75bが存在することにより、TFT30に対する水の浸入を未然に防止することが可能となっている。これにより、本実施形態では、TFT30におけるスレッショルド電圧の上昇という事態を招来することなく、比較的長期の装置運用が可能となる。また、着色性のある窒化シリコン75bは下部電極71より少し大きなサイズにパターンニングされ、光が透過される部分に形成されていない(遮光領域内に位置する)ので、透過率が低下することを防止できる。なお、本実施形態では、誘電体膜75は、二層構造を有するものとなっているが、場合によっては、例えば酸化シリコン膜、窒化シリコン膜及び酸化シリコン膜等というような三層構造や、あるいはそれ以上の積層構造を有するように構成してもよい。

【0139】

以上説明したTFT30ないしゲート電極3a及び中継電極719の上、かつ、蓄積容量70の下には、例えば、NSG(ノンシリケートガラス)、PSG(リンシリケートガラス)、BSG(ボロンシリケートガラス)、BPSG(ボロンリンシリケートガラス)等のシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等、あるいは好ましくはNSGからなる第1層間絶縁膜41が形成されている。そして、この第1層間絶縁膜41には、TFT30の高濃度ソース領域1dと後述するデータ線6aとを電気的に接続するコンタクトホール81が、後記第2層間絶縁膜42を貫通しつつ開孔されている。また、第1層間絶縁膜41には、TFT30の高濃度ドレイン領域1eと蓄積容量70を構成する下部電極71とを電気的に接続するコンタクトホール83が開孔されている。

【0140】

さらに、この第1層間絶縁膜41には、蓄積容量70を構成する画素電位側容量電極としての下部電極71と中継電極719とを電気的に接続するためのコンタクトホール81が開孔されている。更に加えて、第1層間絶縁膜41には、中継電極719と後述する第2中継電極6a2とを電気的に接続するコンタクトホール882が、後記第2層間絶縁膜を貫通しつつ開孔されている。

【0141】

なお、これら四つのコンタクトホールのうち、コンタクトホール81及び882の形成部分では、前述の誘電体膜75が形成されないように、換言すれば、該誘電体膜75に開口部が形成されるようになっている。これは、コンタクトホール81においては、高濃度ソース領域1d及びデータ線6a間の電気的導通を図る必要があるためであり、コンタクトホール882においては、該コンタクトホール882を第1及び第2層間絶縁膜41及び42を貫通させるためである。ちなみに、このような開口部が誘電体膜75に設けられていれば、TFT30の半導体層1aに対する水素化処理を行うような場合において、該処理に用いる水素を、該開口部を通じて半導体層1aにまで容易に到達させることができるという作用効果を得ることも可能となる。

10

20

30

40

50

【 0 1 4 2 】

また、本実施形態では、第1層間絶縁膜41に対しては、約1000の焼成を行うことにより、半導体層1aやゲート電極3aを構成するポリシリコン膜に注入したイオンの活性化を図ってもよい。

【 0 1 4 3 】

さて、前述の第3層に続けて第4層には、データ線6aが設けられている。このデータ線6aは、TFT30の半導体層1aの延在する方向に一致するように、すなわち図7中Y方向に重なるようにストライプ状に形成されている。このデータ線6aは、図9に示すように、下層より順に、アルミニウムからなる層（図9における符号41A参照）、窒化チタンからなる層（図9における符号41TN参照）、窒化シリコン膜からなる層（図9における符号401参照）の三層構造を有する膜として形成されている。窒化シリコン膜は、その下層のアルミニウム層と窒化チタン層を覆うように少し大きなサイズにパターンニングされている。このうちデータ線6aが、比較的低抵抗な材料たるアルミニウムを含むことにより、TFT30、画素電極9aに対する画像信号の供給を滞りなく実現することができる。他方、該データ線6a上に、水分の浸入をせき止める作用に比較的優れた窒化シリコン膜が存在することにより、TFT30の耐湿性向上を図ることができ、その寿命長期化を実現することができる。窒化シリコン膜は、プラズマ窒化シリコン膜が望ましい。

【 0 1 4 4 】

また、この第4層には、データ線6aと同一膜として、シールド層用中継層6a1及び第2中継電極6a2が形成されている。これらは、図7に示すように、平面的に見ると、データ線6aと連続した平面形状を有するように形成されているのではなく、各者間はパターニング上分断されるように形成されている。すなわち、図7中最左方に位置するデータ線6aに着目すると、その直右方に略四辺形状を有するシールド層用中継層6a1、更にその右方にシールド層用中継層6a1よりも若干大きめの面積をもつ略四辺形状を有する第2中継電極6a2が形成されている。シールド層用中継層6a1及び第2中継電極6a2は、データ線6aと同一工程で、下層より順に、アルミニウムからなる層、窒化チタンからなる層、窒化シリコンからなる層の三層構造を有する膜として形成されている。そして、窒化シリコン膜は、その下層のアルミニウム層と窒化チタン層を覆うように少し大きなサイズにパターンニングされている。窒化チタン層は、シールド層用中継層6a1、第2中継電極6a2に対して形成するコンタクトホール803、804のエッチングの突き抜け防止のためのバリアメタルとして機能する。また、シールド層用中継層6a1及び第2中継電極6a2上に、水分の浸入をせき止める作用に比較的優れた窒化シリコン膜が形成されることにより、TFT30の耐湿性向上を図ることができ、その寿命長期化を実現することができる。尚、窒化シリコン膜は、プラズマ窒化シリコン膜が望ましい。

【 0 1 4 5 】

以上説明した蓄積容量70の上、かつ、データ線6aの下には、例えばNSG、PSG、BSG、BPSG等のシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等、あるいは好ましくはTEOSガスを用いたプラズマCVD法によって形成された第2層間絶縁膜42が形成されている。この第2層間絶縁膜42には、TFT30の高濃度ソース領域1dとデータ線6aとを電気的に接続する、前記のコンタクトホール81が開孔されているとともに、前記シールド層用中継層6a1と蓄積容量70の上部電極たる容量電極300とを電気的に接続するコンタクトホール801が開孔されている。さらに、第2層間絶縁膜42には、第2中継電極6a2と中継電極719とを電気的に接続するための、前記のコンタクトホール882が形成されている。

【 0 1 4 6 】

さて、前述の第4層に続けて第5層には、シールド層400が形成されている。このシールド層400は、平面的にみると、図7及び図8に示すように、図中X方向及びY方向それぞれに延在するように、格子状に形成されている。該シールド層400のうち図中Y方向に延在する部分については特に、データ線6aを覆うように、且つ、該データ線6aよ

りも幅広に形成されている。また、図中 X 方向に延在する部分については、後述の第 3 中継電極 402 を形成する領域を確保するために、各画素電極 9a の一辺の中央付近に切り欠き部を有している。

【 0147 】

さらには、図 7 又は図 8 中、XY 方向それぞれに延在するシールド層 400 の交差部分の隅部においては、該隅部を埋めるようにして、略三角形状の部分が設けられている。シールド層 400 に、この略三角形状の部分が設けられることにより、TFT30 の半導体層 1a に対する光の遮蔽を効果的に行うことができる。すなわち、半導体層 1a に対して、斜め上から進入しようとする光は、この三角形状の部分で反射又は吸収されことになり半導体層 1a には至らないことになる。したがって、光リーク電流の発生を抑制的にし、フリック等のない高品質な画像を表示することが可能となる。

10

【 0148 】

このシールド層 400 は、画素電極 9a が配置された画像表示領域 10a からその周囲に延設され、定電位源と電気的に接続されることで、固定電位とされている。なお、ここに述べた「定電位源」としては、データ線駆動回路 101 に供給される正電源や負電源の定電位源でもよいし、対向基板 20 の対向電極 21 に供給される定電位源でも構わない。

【 0149 】

このように、データ線 6a の全体を覆うように形成されるとともに(図 8 参照)、固定電位とされたシールド層 400 の存在によれば、該データ線 6a 及び画素電極 9a 間に生じる容量カップリングの影響を排除することが可能となる。すなわち、データ線 6a への通電に応じて、画素電極 9a の電位が変動するという事態を未然に回避することが可能となり、画像上に該データ線 6a に沿った表示ムラ等を発生させる可能性を低減することができる。本実施形態においては特に、シールド層 400 は格子状に形成されているから、走査線 11a が延在する部分についても無用な容量カップリングが生じないように、これを抑制することが可能となっている。

20

【 0150 】

また、第 4 層には、このようなシールド層 400 と同一膜として、本発明にいう「中継層」の一例たる第 3 中継電極 402 が形成されている。この第 3 中継電極 402 は、後述のコンタクトホール 89 を介して、第 2 中継電極 6a2 及び画素電極 9a 間の電気的接続を中継する機能を有する。なお、これらシールド層 400 及び第 3 中継電極 402 間は、平面形状的に連続して形成されているのではなく、両者間はパターニング上分断されるよう 30 形成されている。

30

【 0151 】

他方、上述のシールド層 400 及び第 3 中継電極 402 は、下層にアルミニウムからなる層、上層に窒化チタンからなる層の二層構造を有している。また、第 3 中継電極 402 において、下層のアルミニウムからなる層は、第 2 中継電極 6a2 と接続され、上層の窒化チタンからなる層は、ITO 等からなる画素電極 9a と接続されるようになっている。この場合、とりわけ後者の接続は良好に行われることになる。この点、仮に、アルミニウムとITOとを直接に接続してしまう形態をとると、両者間において電蝕が生じてしまい、アルミニウムの断線、あるいはアルミナの形成による絶縁等のため、好ましい電気的接続が実現されないこととは対照的である。このように、本実施形態では、第 3 中継電極 402 と画素電極 9a との電気的接続を良好に実現することにより、該画素電極 9a に対する電圧印加、あるいは該画素電極 9a における電位保持特性を良好に維持することが可能となる。

40

【 0152 】

さらには、シールド層 400 及び第 3 中継電極 402 は、光反射性能に比較的優れたアルミニウムを含み、且つ、光吸収性能に比較的優れた窒化チタンを含むことから、遮光層として機能し得る。すなわち、これらによれば、TFT30 の半導体層 1a に対する入射光(図 9 参照)の進行を、その上側でさえぎることが可能である。なお、このようなことについては、既に述べたように、上述の容量電極 300 及びデータ線 6a についても同様に

50

いえる。本実施形態においては、これらシールド層 400、第3中継電極 402、容量電極 300 及びデータ線 6a が、TFT アレイ基板 10 上に構築される積層構造の一部をなしつつ、TFT 30 に対する上側からの光入射を遮る上側遮光膜（あるいは、「積層構造の一部」を構成しているという点に着目すれば「内蔵遮光膜」）として機能しうる。なお、この「上側遮光膜」ないし「内蔵遮光膜」なる概念によれば、上述の構成のほか、ゲート電極 3a や下部電極 71 等もまた、それに含まれるものとして考えることができる。要は、最も広義に解する前提の下、TFT アレイ基板 10 上に構築される不透明な材料からなる構成であれば、「上側遮光膜」ないし「内蔵遮光膜」と呼びうる。

【0153】

以上説明した前述のデータ線 6a の上、かつ、シールド層 400 の下には、NSG、PSG、BSG、BPSG 等のシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等、あるいは好ましくは、TEOS ガスを用いたプラズマ CVD 法で形成された第3層間絶縁膜 43 が形成されている。この第3層間絶縁膜 43 には、前記のシールド層 400 とシールド層用中継層 6a1 とを電気的に接続するためのコンタクトホール 803、及び、第3中継電極 402 と第2中継電極 6a2 とを電気的に接続するためのコンタクトホール 804 がそれぞれ開孔されている。

【0154】

なお、第2層間絶縁膜 42 に対しては、第1層間絶縁膜 41 に関して前述したような焼成を行わないことにより、容量電極 300 の界面付近に生じるストレスの緩和を図るようにしてもよい。

【0155】

最後に、第6層には、上述したように画素電極 9a がマトリクス状に形成され、該画素電極 9a 上に配向膜 16 が形成されている。そして、この画素電極 9a 下には、NSG、PSG、BSG、BPSG 等のシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等、あるいは好ましくは BPSG からなる第4層間絶縁膜 44 が形成されている。この第4層間絶縁膜 44 には、画素電極 9a 及び前記の第3中継電極 402 間を電気的に接続するためのコンタクトホール 89 が開孔されている。また、本実施形態では特に、第4層間絶縁膜 44 の表面は、CMP (Chemical Mechanical Polishing) 処理等により平坦化されており、その下方に存在する各種配線や素子等による段差に起因する液晶層 50 の配向不良を低減する。ただし、このように第4層間絶縁膜 44 に平坦化処理を施すのに代えて、又は加えて、TFT アレイ基板 10、下地絶縁膜 12、第1層間絶縁膜 41、第2層間絶縁膜 42 及び第3層間絶縁膜 43 のうち少なくとも一つに溝を掘って、データ線 6a 等の配線や TFT 30 等を埋め込むことにより、平坦化処理を行ってもよい。

【0156】

このような構成となる本実施形態の電気光学装置においては特に、第2層として、ゲート電極 3a と同一膜として形成された中継電極 719 が存在し、且つ、第3層に位置する蓄積容量 70 の下部電極 71 と第6層に位置する画素電極 9a とが、この中継電極 719 を介して電気的に接続されていることに特徴がある。このように、下部電極 71 及び画素電極 9a が、これらそれぞれからみて、より下層に位置する中継電極 719 を介して接続されていることにより、該中継電極 719 と下部電極 71 との電気的接続点、とりわけ下部電極 71 に着目した電気的接続点は、該下部電極 71 の下側に位置することになる（図 9 におけるコンタクトホール 881 参照）。

【0157】

このような電気光学装置の構造は、前述した本実施形態に係る配線構造を、より具体的且つ実際的に適用したものということができる。すなわち、本発明に係る電気光学装置における「中継電極 719」は、上述の本発明の配線構造における「中継層 301」に、同じく「下部電極 71」は「下側電極 203」に、同じく「画素電極 9a」は「導電層 101」に、それぞれ該当する。なお、本発明にいう「蓄積容量 70」は上述の「コンデンサ 20C」に該当する。したがって、本実施形態に係る電気光学装置によれば、図 1 に示した配線構造によって奏された作用効果と略同様な作用効果を得ることができる。

10

20

30

40

50

【0158】

すなわち、本実施形態に係る電気光学装置によれば、蓄積容量70及び画素電極9aを電気的に接続するために、蓄積容量70を構成する固定電位側容量電極たる容量電極300のみのエッティングという困難な工程を経る必要がなく、該蓄積容量70及び該画素電極9a間の電気的接続は中継電極719を介して行われることで、これを良好に実現することができる。

【0159】

また、本発明においては、上述の容量電極300のみのエッティングという工程を経る必要がないことから、無用な欠陥（例えば、下部電極71における突き抜け等）なき蓄積容量70を形成することができる。さらに、本実施形態によれば、蓄積容量の全体について、何らかのパターニングを行う必要がある場合においては、容量電極300、誘電体膜75及び下部電極719を一挙にパターニングすることが可能となる。10

【0160】

なお、上記実施形態において、中継電極719は、ゲート電極3aと同一膜として形成されていたが、本発明はこのような形態に限定されるものではない。例えば、上記実施形態では第3層に形成されていた蓄積容量70を、種々の事情により、より上層に形成するという場合も考えられるから、その場合においては、ゲート電極3aよりも上層に中継電極が位置するという場合も想定し得る。また、各構成要素の立体的・平面的なレイアウトについても、本発明は、上記実施形態のような形態に限定されるものではない。図6乃至図9等とは別の種々の形態が考えられ得る。20

【0161】

また、上述においては、蓄積容量70は、下から順に画素電位側容量電極、誘電体膜及び固定電位側容量電極という三層構造を構成していたが、場合によっては、これとは逆の構造を構成するようにしてもよい。この場合においては例えば、上部電極たる画素電位側容量電極を、固定電位側容量電極の面積よりも大きめの面積をもつよう、すなわち前者が後者に対して平面的に余剰の面をもつように形成するとともに、該余剰の面を、中継電極719へと通ずるコンタクトホールの形成位置に対応するように配置するとよい。これによれば、中継電極719と画素電位側容量電極の電気的接続は、このコンタクトホールを介することによって容易に実現することができる。

【0162】

このように、本発明にいう「画素電位側容量電極」が、蓄積容量70における「下部」電極71を構成するのではなく（上記実施形態参照）、その上部電極を構成するようにしてもよい。30

【0163】

(電気光学装置の全体構成)

以下では、以上のように構成された本実施形態における電気光学装置の全体構成を図10及び図11を参照して説明する。なお、図10は、TFTアレイ基板をその上に形成された各構成要素とともに対向基板20の側からみた平面図であり、図11は図10のH-H'断面図である。

【0164】

図10及び図11において、本実施形態に係る電気光学装置では、TFTアレイ基板10と対向基板20とが対向配置されている。TFTアレイ基板10と対向基板20との間には、液晶層50が封入されており、TFTアレイ基板10と対向基板20とは、画像表示領域10aの周囲に位置するシール領域に設けられたシール材52により相互に接着されている。40

【0165】

シール材52は、両基板を貼り合わせるため、例えば紫外線硬化樹脂、熱硬化樹脂等からなり、紫外線、加熱等により硬化させられたものである。また、このシール材52中には、本実施形態における電気光学装置を、液晶装置がプロジェクタ用途のように小型で拡大表示を行う液晶装置に適用するのであれば、両基板間の距離（基板間ギャップ）を所定値

とするためのグラスファイバ、あるいはガラスピーブ等のギャップ材(スペーサ)が散布されている。あるいは、当該電気光学装置を液晶ディスプレイや液晶テレビのように大型で等倍表示を行う液晶装置に適用するのであれば、このようなギャップ材は、液晶層50中に含まれてよい。

【0166】

シール材52の外側の領域には、データ線6aに画像信号を所定のタイミングで供給することにより該データ線6aを駆動するデータ線駆動回路101及び外部回路接続端子102がTFTアレイ基板10の一辺に沿って設けられており、走査線11a及びゲート電極3aに走査信号を所定のタイミングで供給することにより、ゲート電極3aを駆動する走査線駆動回路104が、この一辺に隣接する二辺に沿って設けられている。

10

【0167】

なお、走査線11a及びゲート電極3aに供給される走査信号遅延が問題にならないのならば、走査線駆動回路104は片側だけでもよいことは言うまでもない。また、データ線駆動回路101を画像表示領域10aの辺に沿って両側に配列してもよい。

【0168】

TFTアレイ基板10の残る一辺には、画像表示領域10aの両側に設けられた走査線駆動回路104間をつなぐための複数の配線105が設けられている。また、対向基板20のコーナ部の少なくとも一箇所においては、TFTアレイ基板10と対向基板20との間で電気的に導通をとるための導通材106が設けられている。

20

【0169】

図11において、TFTアレイ基板10上には、画素スイッチング用のTFTや走査線、データ線等の配線が形成された後の画素電極9a上に、配向膜が形成されている。他方、対向基板20上には、対向電極21のほか、最上層部分に配向膜が形成されている。また、液晶層50は、例えば一種又は数種類のネマティック液晶を混合した液晶からなり、これら一対の配向膜間で、所定の配向状態をとる。

【0170】

なお、TFTアレイ基板10上には、これらのデータ線駆動回路101、走査線駆動回路104等に加えて、複数のデータ線6aに画像信号を所定のタイミングで印加するサンプリング回路、複数のデータ線6aに所定電圧レベルのプリチャージ信号を画像信号に先行して各々供給するプリチャージ回路、製造途中や出荷時の当該電気光学装置の品質、欠陥等を検査するための検査回路等を形成してもよい。

30

【0171】

また、上述した実施形態においては、データ線駆動回路101及び走査線駆動回路104をTFTアレイ基板10上に設ける代わりに、例えばTAB(Tape Automated Bonding)基板上に実装された駆動用LSIに、TFTアレイ基板10の周辺部に設けられた異方性導電フィルムを介して電気的及び機械的に接続するようにしてもよい。また、対向基板20の投射光が入射する側及びTFTアレイ基板10の出射光が出射する側には、それぞれ、例えばTN(Twisted Nematic)モード、VA(Vertically Aligned)モード、PDL C(Polymer Dispersed Liquid Crystal)モード等の動作モードや、ノーマリーホワイトモード・ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板等が所定の方向で配置される。

40

【0172】

本発明は、上述した実施形態に限られるものではなく、請求の範囲及び明細書全体から読み取れる発明の要旨、あるいは思想に反しない範囲で適宜変更可能であり、そのような変更を伴う配線構造及びその製造方法並びに電気光学装置、あるいは例えば、電気泳動装置やエレクトロルミネッセンス表示装置や、それら電気光学装置を含む電子機器もまた、本発明の技術的範囲に含まれるものである。

【図面の簡単な説明】

【図1】 本実施形態に係る配線構造の一例を示す断面図である。

【図2】 図1との対比を行うための構造を示す同視点の断面図である。

50

【図3】 図2の配線構造において、上側電極のみをエッティングする工程を説明するための工程図（その1）である。

【図4】 図2の配線構造において、上側電極のみをエッティングする工程を説明するための工程図（その2）である。

【図5】 図1の配線構造の製造方法を説明するためのフローチャートである。

【図6】 本発明の実施形態の電気光学装置における画像表示領域を構成するマトリクス状の複数の画素に設けられた各種素子、配線等の等価回路を示す回路図である。

【図7】 本発明の実施形態の電気光学装置におけるデータ線、走査線、画素電極等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

【図8】 図2のうち要部のみを抜き出した平面図である。 10

【図9】 図2のA-A'断面図である。

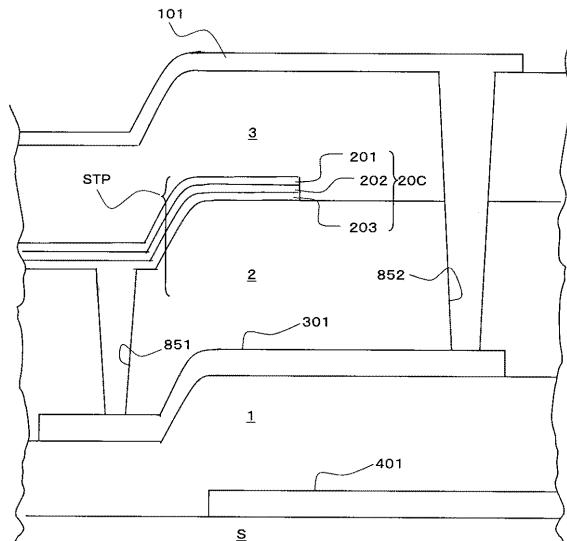
【図10】 本発明の実施形態の電気光学装置におけるTFTアレイ基板を、その上に形成された各構成要素とともに対向基板の側から見た平面図である。

【図11】 図10のH-H'断面図である。

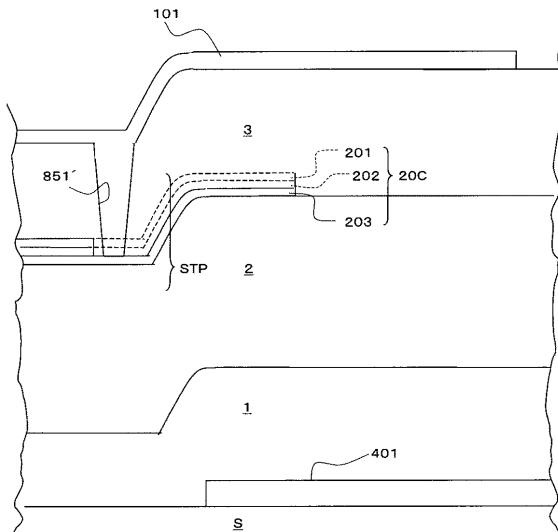
【符号の説明】

101 ... 導電層	20C ... コンデンサ（積層体）	201 ... 上側電極	201a ...
WSi層	201b ... ポリシリコン層	202 ... 絶縁層	203 ... 下側電極 3
01 ... 中継層	3a ... 走査線	6a ... データ線	9a ... 画素電極 10 ... TFT
アレイ基板	30 ... TFT	70 ... 蓄積容量	71 ... 下部電極 75 ... 誘電体膜
75a ... 酸化シリコン膜	75b ... 室化シリコン膜	300 ... 容量電極 400	20
... シールド層	719 ... 中継電極	43 ... 第3層間絶縁膜	44 ... 第4層間絶縁膜
881 ... (下部電極と中継電極を接続する) コンタクトホール	882 ... (画素電極と中継電極を接続する) コンタクトホール		

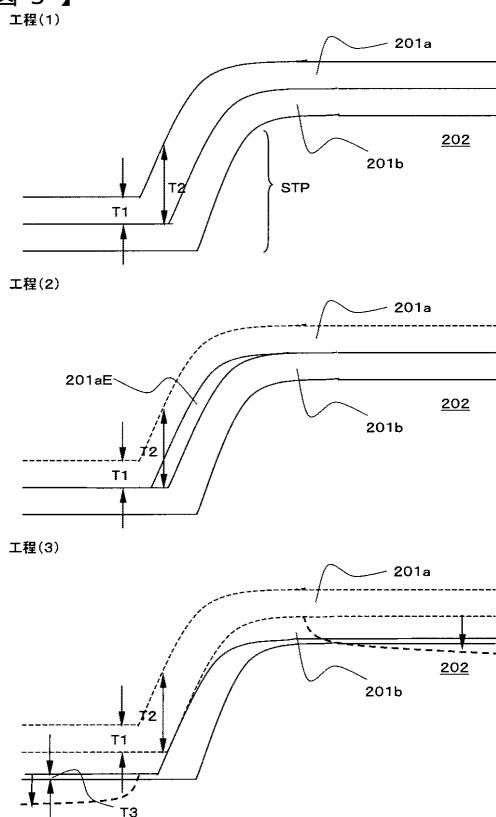
【図1】



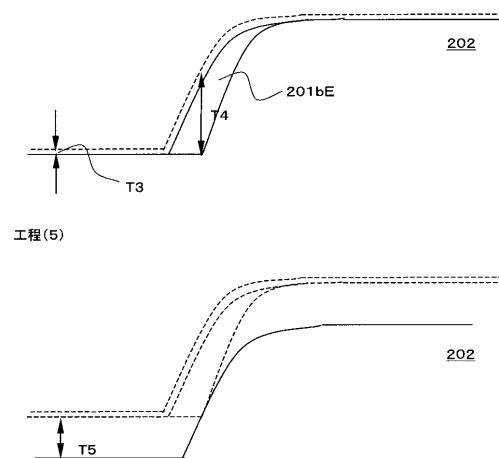
【図2】



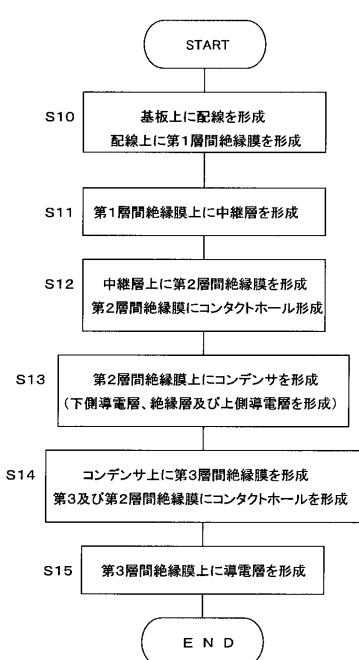
【図3】



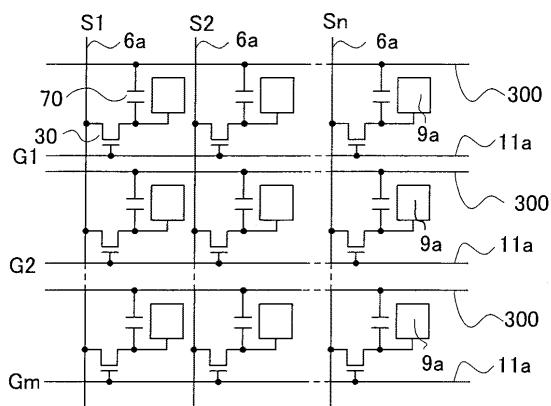
【図4】



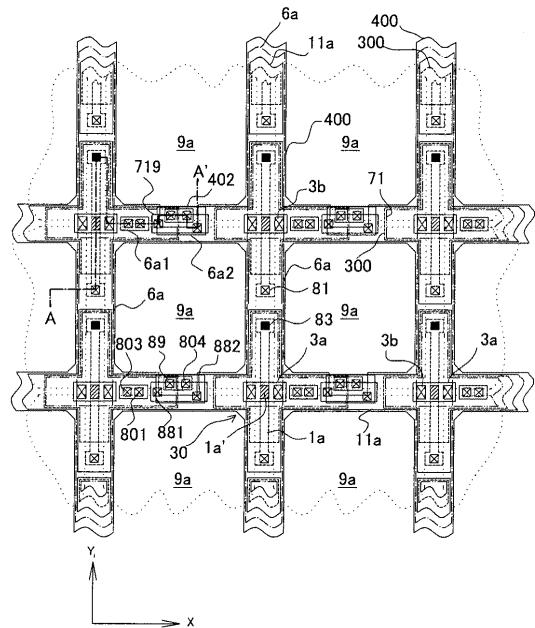
【図5】



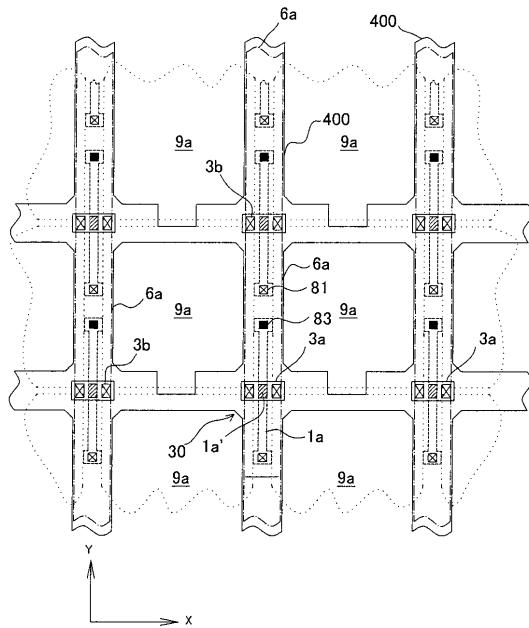
【図6】



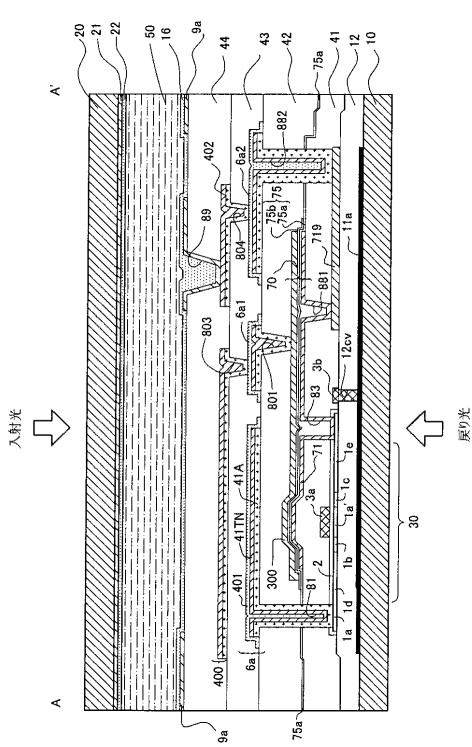
【 図 7 】



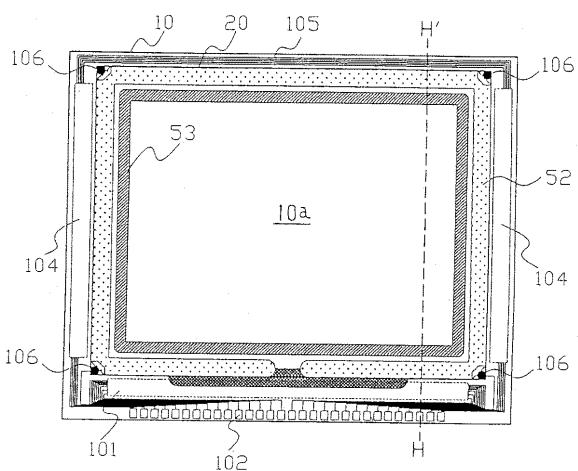
【 図 8 】



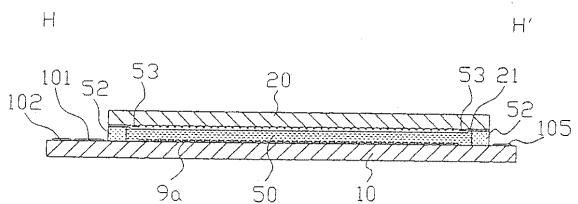
【図9】



【 図 1 0 】



【 図 1 1 】



フロントページの続き

審査官 右田 昌士

(56)参考文献 特開平10-104660(JP,A)

特開2002-122889(JP,A)

特開2001-305581(JP,A)

特開2002-149089(JP,A)

特開2002-107745(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1362

G02F 1/1343

G02F 1/1333

G09F 9/00 - 9/46

H01L 29/78