



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I856499 B

(45)公告日：中華民國 113 (2024) 年 09 月 21 日

(21)申請案號：112103583

(22)申請日：中華民國 112 (2023) 年 02 月 02 日

(51)Int. Cl. : H01L23/58 (2006.01)

H01F17/00 (2006.01)

H01F27/28 (2006.01)

(71)申請人：威鋒電子股份有限公司(中華民國) VIA LABS, INC. (TW)

新北市新店區中正路 529 之 1 號 7 樓

(72)發明人：李勝源 LEE, SHENG-YUAN (TW)

(74)代理人：洪澄文

(56)參考文獻：

TW 201145322A

TW 201921465A

CN 114823048A

US 2017/0287623A1

US 2018/0175136A1

US 2020/0005980A1

審查人員：郭德豐

申請專利範圍項數：19 項 圖式數：7 共 33 頁

(54)名稱

多層式晶片內建電感結構

(57)摘要

一種多層式晶片內建電感結構，包括：具有一電感中心區的一金屬層間介電層、位於金屬層間介電層內一第一金屬繞線部以及位於金屬層間介電層內且電性連接位於上方的第一金屬繞線部的一第二金屬繞線部。第一金屬繞線部包括：圍繞電感中心區的一第一螺旋型線圈以及圍繞第一螺旋型線圈的一第一螺線管型線圈。第二金屬繞線部包括：垂直重疊第一螺旋型線圈及第一螺線管型線圈的一第二螺旋型線圈，使第二螺旋型線圈的一最外匝線圈對應於第一螺線管型線圈。

A multilayer-type on-chip inductor with conductive structure includes an inter-metal dielectric (IMD) layer having an inductor central region, a first metal winding portion disposed in the IMD layer and a second metal winding portion disposed in the IMD layer and electrically connected to the first metal winding portion thereabove. The first metal winding portion includes: a first spiral-type coil surrounding the inductor central region and a first solenoid-type coil surrounding the first spiral-type coil. The second metal winding portion includes a second spiral-type coil vertically overlapping the first spiral-type coil and the first solenoid-type coil, so that the outermost coil of the second spiral-type coil corresponds to the first solenoid-type coil.

指定代表圖：

符號簡單說明：

20: 多層式晶片內建電感結構

105a: 第二螺旋型線圈  
105b: 第二螺線管型線圈

107a: 第一輸出/輸入部  
107b: 第一螺線管型線圈

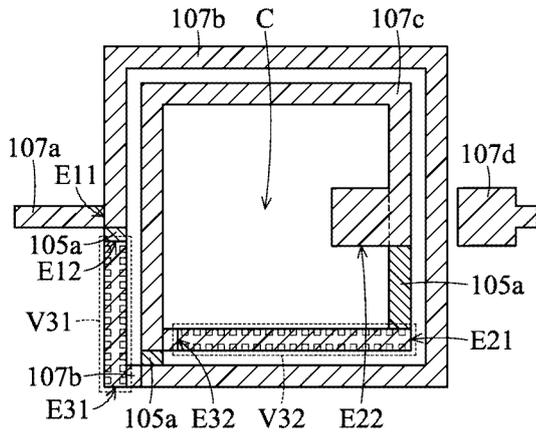
107c: 第一螺旋型線圈  
107d: 第二輸出/輸入部

212a: 導電跨接層

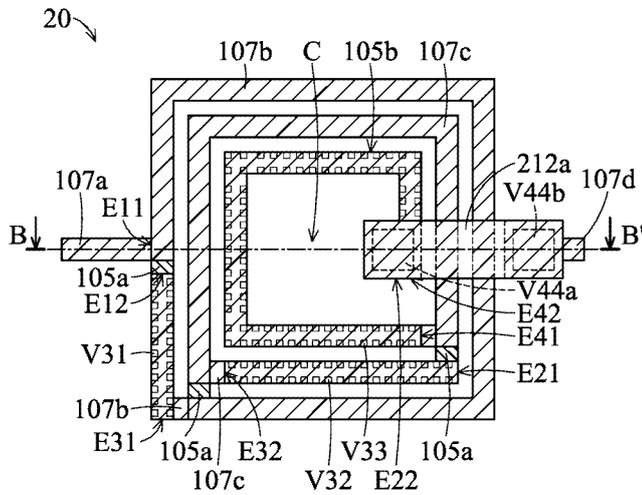
C: 電感中心區

E11, E12, E21, E22, E31, E32, E41, E42: 端部

V31, V32, V33, V44a, V44b: 介層連接結構區



第 3C 圖



第 4 圖



I856499

## 【發明摘要】

【中文發明名稱】多層式晶片內建電感結構

【英文發明名稱】MULTILAYER-TYPE ON-CHIP INDUCTOR  
STRUCTURE

## 【中文】

一種多層式晶片內建電感結構，包括：具有一電感中心區的一金屬層間介電層、位於金屬層間介電層內一第一金屬繞線部以及位於金屬層間介電層內且電性連接位於上方的第一金屬繞線部的一第二金屬繞線部。第一金屬繞線部包括：圍繞電感中心區的一第一螺旋型線圈以及圍繞第一螺旋型線圈的一第一螺線管型線圈。第二金屬繞線部包括：垂直重疊第一螺旋型線圈及第一螺線管型線圈的一第二螺旋型線圈，使第二螺旋型線圈的一最外匝線圈對應於第一螺線管型線圈。

## 【英文】

A multilayer-type on-chip inductor with conductive structure includes an inter-metal dielectric (IMD) layer having an inductor central region, a first metal winding portion disposed in the IMD layer and a second metal winding portion disposed in the IMD layer and electrically connected to the first metal winding portion thereabove. The first metal

winding portion includes: a first spiral-type coil surrounding the inductor central region and a first solenoid-type coil surrounding the first spiral-type coil. The second metal winding portion includes a second spiral-type coil vertically overlapping the first spiral-type coil and the first solenoid-type coil, so that the outermost coil of the second spiral-type coil corresponds to the first solenoid-type coil.

【指定代表圖】 第4圖

【代表圖之符號簡單說明】

20: 多層式晶片內建電感結構

105a: 第二螺旋型線圈

105b: 第二螺線管型線圈

107a: 第一輸出/輸入部

107b: 第一螺線管型線圈

107c: 第一螺旋型線圈

107d: 第二輸出/輸入部

212a: 導電跨接層

C: 電感中心區

E11, E12, E21, E22, E31, E32, E41, E42: 端部

V31, V32, V33, V44a, V44b: 介層連接結構區

【特徵化學式】

無

## 【發明說明書】

【中文發明名稱】多層式晶片內建電感結構

【英文發明名稱】MULTILAYER-TYPE ON-CHIP INDUCTOR  
STRUCTURE

### 【技術領域】

【0001】本發明係有關於一種半導體結構，特別是有關於一種可縮小平面尺寸的多層式晶片內建電感(on-chip inductor)結構。

### 【先前技術】

【0002】許多數位及類比部件及電路已成功地運用於半導體積體電路。上述部件包含了被動元件，例如電感元件、電阻元件或電容元件等。典型的半導體積體電路包含一矽基底。一層以上的介電層設置於基底上，且一層以上的金屬層設置於介電層中。這些金屬層可藉由現行的半導體製程技術而形成晶片內建部件，例如，晶片內建電感元件。

【0003】在上述晶片內建電感元件中，採用介電層內的多層金屬層作為螺旋線圈會因為厚度較薄而會有品質因素(quality factor /Q value)降低的問題。再者，電感元件的電感值通常正比於螺旋線圈的長度，因此為了達到所需的電桿值，而造成電感元件的平面尺寸增加以及製造成本的增加。

【0004】 因此，有必要尋求一種新的電感元件結構，其可排除或改善上述的問題。

### 【發明內容】

【0005】 在一些實施例中，提供一種多層式晶片內建電感結構，包括：具有一電感中心區的一金屬層間介電層、位於金屬層間介電層內一第一金屬繞線部以及位於金屬層間介電層內且電性連接位於上方的第一金屬繞線部的一第二金屬繞線部。第一金屬繞線部包括：圍繞電感中心區的一第一螺旋型線圈以及圍繞第一螺旋型線圈的一第一螺線管型線圈。第二金屬繞線部包括：垂直重疊第一螺旋型線圈及第一螺線管型線圈的一第二螺旋型線圈，使第二螺旋型線圈的一最外匝線圈對應於第一螺線管型線圈。

【0006】 在一些實施例中，提供一種多層式晶片內建電感結構，包括：具有一電感中心區的一金屬層間介電層、位於金屬層間介電層內的一最頂層金屬層、位於金屬層間介電層內的一次頂層金屬層以及設置於最頂層金屬層與次頂層金屬層之間並與之電性連接第一、第二及第三介層連接結構區。最頂層金屬層包括：圍繞電感中心區的一第一雙匝螺旋型線圈以及圍繞第一雙匝螺旋型線圈的一第一單匝螺線管型線圈。次頂層金屬層包括：圍繞電感中心區且垂直重疊第一雙匝螺旋型線圈的一內匝線圈的一第二單匝螺線管型線圈以及圍繞第二單匝螺線管型線圈一第二雙匝螺旋型線圈。第一單匝螺線管型線圈垂直重疊第二雙匝螺旋型線圈的一外匝線圈。

**【0007】** 在一些實施例中，提供一種多層式晶片內建電感結構，包括：具有一電感中心區的一金屬層間介電層、位於金屬層間介電層內的一最頂層金屬層以及位於金屬層間介電層內的一次頂層金屬層。最頂層金屬層包括：圍繞電感中心區的一單匝螺旋型線圈以及圍繞單匝螺旋型線圈的一單匝螺線管型線圈。次頂層金屬層包括：圍繞的電感中心區的一雙匝螺旋型線圈。單匝螺旋型線圈垂直重疊雙匝螺旋型線圈的一內匝線圈，且單匝螺線管型線圈垂直重疊雙匝螺旋型線圈的一外匝線圈。多層式晶片內建電感結構也包括：一第一介層連接結構區及一第二介層連接結構區。第一介層連接結構區電性連接單匝螺線管型線圈的一第一端部與雙匝螺旋型線圈的外匝線圈的一端部。第二介層連接結構區電性連接單匝螺旋型線圈的一第一端部與雙匝螺旋型線圈的內匝線圈的一端部。

### **【圖式簡單說明】**

#### **【0008】**

第1圖係繪示出根據本發明一些實施例之多層式晶片內建電感結構平面示意圖。

第2圖係繪示出根據本發明一些實施例之具有第1圖所示多層式晶片內建電感結構的半導體電路剖面示意圖。

第3A圖係繪示出第1圖中多層式晶片內建電感結構的第一金屬繞線部平面示意圖。

第3B圖係繪示出第1圖中多層式晶片內建電感結構的第二金屬繞線部平面示意圖。

第3C圖係繪示出第3A及3B圖中第一及第二金屬繞線部之排置平面示意圖。

第4圖係繪示出根據本發明一些實施例之多層式晶片內建電感結構平面示意圖。

第5圖係繪示出根據本發明一些實施例之具有第4圖所示多層式晶片內建電感結構的半導體電路剖面示意圖。

第6A圖係繪示出第4圖中多層式晶片內建電感結構的第一金屬繞線部平面示意圖。

第6B圖係繪示出第4圖中多層式晶片內建電感結構的第二金屬繞線部平面示意圖。

第6C圖係繪示出第6A及6B圖中第一及第二金屬繞線部之排置平面示意圖。

### 【實施方式】

【0009】 以下將詳細說明本發明實施例之製作與使用方式。然應注意的是，本發明提供許多可供應用的發明概念，其可以多種特定型式實施。文中所舉例討論之特定實施例僅為製造與使用本發明之特定方式，非用以限制本發明之範圍。此外，在不同實施例中可能使用重複的標號或標示。這些重複僅為了簡單清楚地敘述本發明，不代表所討論之不同實施例及/或結構之間具有任何關連性。

【0010】 請參照第1及2圖，其中第1圖係繪示出根據本發明一些實施例之多層式晶片內建電感結構10平面示意圖，而第2圖係繪示出根據本發明一些實施例之具有第1圖所示多層式晶片內建電感結構10的半導體電路剖面示意圖，其中區域A(以虛線表示)為沿第1圖的A-A'線的剖面示意圖。在一些實施例中，半導體電路包括一基底100、設置於基底100上的金屬層間介電(inter-metal dielectric, IMD)層102、設置於金屬層間介電層102上的絕緣重佈線層210、設置於金屬層間介電層102及絕緣重佈線層210內的複數個垂直及水平導電特徵部件及多層式晶片內建電感結構10、覆蓋絕緣重佈線層210上的鈍化護層220以及設置於鈍化護層220內的連接器240(例如，焊料凸塊或焊球)，如第2圖所示。

【0011】 在一些實施例中，基底100包括一矽基底或其他習知的半導體材料基底。基底100中可包含各種不同的元件，例如電晶體、電阻、電容及其他習用的半導體元件。再者，基底100亦可包含其他導電層(例如，銅、鋁、或其合金)以及一或多層絕緣層(例如，氧化矽層、氮化矽層、或低介電材料層)。此處為了簡化圖式，僅以一平整基底表示之。

【0012】 在一些實施例中，金屬層間介電層102可為一單層介電材料層或是多層介電結構。舉例來說，金屬層間介電層102可包括多層介電材料層，其與水平導電特徵部件(例如，接線層101、103、105及107)依序交替形成在基底100之上。為了簡化圖式，此處僅以一平整基底表示金屬層間介電層102。接線層101、103、105及107透過垂直導電特徵部件(例如，導電插塞V1、V2及V3)彼此電性連接，且與金屬層間介電層102形成一內連接結構，以電性連接

位於基底100的各種不同的元件。在一些實施例中，金屬層間介電層102可包括氧化矽層、氮化矽層、低介電材料層或其他合適的介電材料層。

**【0013】** 在一些實施例中，絕緣重佈線層210可為一單層介電材料層或是多層介電結構。舉例來說，絕緣重佈線層210可包括單層介電材料層，其內具有一重佈線層212及至少一導電插塞V4而構成一重佈線結構200。連接器240透過絕緣重佈線層210內的重佈線層212及導電插塞V4而電性連接至金屬層間介電層102中的內連接結構，使基底10內的元件電性連接至連接器240。在一些實施例中，絕緣重佈線層210可包括無機介電層(例如，氧化矽層、氮化矽層、或低介電材料層)、有機介電層(例如，聚醯亞胺(polyimide, PI))或其他合適的介電材料層。

**【0014】** 在一些實施例中，如第2圖所示，多層式晶片內建電感結構10包括金屬層間介電層102、位於金屬層間介電層102上的絕緣重佈線層210、位於金屬層間介電層102內的第一金屬繞線部(請參照第3A圖)及第二金屬繞線部(請參照第3B圖)以及位於絕緣重佈線層210內的導電跨接層212a(請參照第1圖)。在一些實施例中，第一金屬繞線部及第二金屬繞線部分別具有大體上為圓型、矩型、六邊型、八邊型、或多邊型之外型。此處，為了簡化圖式，係以矩型作為範例說明。再者，第一金屬繞線部及第二金屬繞線部圍繞金屬層間介電層102的一電感中心區C(如第1圖所示)。

**【0015】** 在一些實施例中，第一金屬繞線部及第二金屬繞線部可由金屬層間介電層102內的水平導電特徵部件所構成，而導電跨接層212a可由絕緣重佈線層210內的水平導電特徵部件所構成。第

一金屬繞線部及第二金屬繞線部各自包括至少一線圈。在一些實施例中，這些線圈具有相同的線寬及/或線距。

**【0016】** 請參照第1、2及3A圖，其中第3A圖係繪示出第1圖中多層式晶片內建電感結構10的第一金屬繞線部平面示意圖。在一些實施例中，第一金屬繞線部包括一第一輸出/輸入部107a、第一螺線管型線圈107b、第一螺旋型線圈107c以及一第二輸出/輸入部107d。在本文中，用語「螺線管型線圈」所指的是排列成環形形式的線圈。再者，接線層107與第一金屬繞線部(包括第一輸出/輸入部107a、第一螺線管型線圈107b、第一螺旋型線圈107c以及一第二輸出/輸入部107d)位於金屬層間介電層102內的相同層位。舉例來說，接線層107與第一金屬繞線部可由金屬層間介電層102內的最頂層金屬層定義而成。

**【0017】** 在一些實施例中，第一螺旋型線圈107c為單匝螺旋型線圈，且圍繞電感中心區C。再者，第一螺線管型線圈107b也為單匝螺旋型線圈，且圍繞第一螺旋型線圈107c。另外，第一輸出/輸入部107a及第二輸出/輸入部107d位於第一螺線管型線圈107b外側的金屬層間介電層102內。第一輸出/輸入部107a延伸至第一螺線管型線圈107b的一端部E11，而第二輸出/輸入部107d與第一螺線管型線圈107b藉由金屬層間介電層102彼此物理性隔開。

**【0018】** 在一些實施例中，第一輸出/輸入部107a、第一螺線管型線圈107b、第一螺旋型線圈107c以及一第二輸出/輸入部107d之材質可包括銅、鋁、其合金或其他適合的金屬材料。

**【0019】** 請參照第1、2及3B圖，其中第3B圖係繪示出第1圖中多層式晶片內建電感結構10的第二金屬繞線部平面示意圖。在一些

實施例中，第二金屬繞線部位於金屬層間介電層102內，且電性連接位於上方的第一金屬繞線部。第二金屬繞線部包括一第二螺旋型線圈105a，第二螺旋型線圈105a為多匝螺旋型線圈(例如，雙匝螺旋型線圈)且對應於第一螺線管型線圈107b及第一螺旋型線圈107c。再者，接線層105與第二螺旋型線圈105a位於金屬層間介電層102內的相同層位。舉例來說，接線層105與第二螺旋型線圈105a可由金屬層間介電層102內的次頂層金屬層定義而成。

**【0020】** 在一些實施例中，第一螺旋型線圈107c與第二螺旋型線圈105a為具有不同匝數的螺旋型線圈。舉例來說，第一螺旋型線圈107c為單匝螺旋型線圈，第二螺旋型線圈105a為雙匝螺旋型線圈，且圍繞電感中心區C。在一些實施例中，第二螺旋型線圈105a之材質可相同或不同於第一金屬繞線部，例如，第二螺旋型線圈105a可由銅、鋁、其合金或其他適合的金屬材料製成。

**【0021】** 在一些實施例中，第二螺旋型線圈105a垂直重疊第一螺線管型線圈107b及第一螺旋型線圈107c，使第二螺旋型線圈105a(雙匝螺旋型線圈)的一外匝線圈對應於第一螺線管型線圈107b。如第3C圖所示，第一螺旋型線圈107c(單匝螺旋型線圈)垂直重疊第二螺旋型線圈105a(雙匝螺旋型線圈)的一內匝線圈，且第一螺旋型線圈107c垂直重疊第二螺旋型線圈105a的一外匝線圈。

**【0022】** 在一些實施例中，多層式晶片內建電感結構10更包括介層連接結構區V31及V32，如第3C圖所示。介層連接結構區V31及V32各自包括複數個導電插塞(即，金屬層間介電層102內的垂直導電特徵部件)。這些導電插塞材質及結構相似於導電插塞V3(請參照第2圖)的材質及結構，且設置於金屬層間介電層102內。

【0023】 在一些實施例中，介層連接結構區V31設置於第一螺線管型線圈107b與第二螺旋型線圈105a的外匝線圈之間，使第一螺線管型線圈107b電性連接第二螺旋型線圈105a。舉例來說，一介層連接結構區V31電性連接第一螺線管型線圈107b(單匝螺線管型線圈)的一端部E12與第二螺旋型線圈105a(雙匝螺旋型線圈)的外匝線圈的一端部E31。再者，從上視角度來看，介層連接結構區V31位於第一螺線管型線圈107b的端部E12與第二螺旋型線圈105a的端部E31之間。

【0024】 在一些實施例中，介層連接結構區V32設置於第一螺旋型線圈107c與第二螺旋型線圈105a的一內匝線圈之間，使第一螺旋型線圈107c電性連接第二螺旋型線圈105a。舉例來說，介層連接結構區V32電性連接第一螺旋型線圈107c(單匝螺旋型線圈)的一端部E21與第二螺旋型線圈105a(雙匝螺旋型線圈)的內匝線圈的一端部E32。再者，從上視角度來看，介層連接結構區V32位於第一螺旋型線圈107c的端部E21與第二螺旋型線圈105a的端部E32之間。

【0025】 在一些實施例中，如第1及2圖所示，位於絕緣重佈線層210內的導電跨接層212a電性連接第二輸出/輸入部107d與第一螺旋型線圈107c(單匝螺旋型線圈)的一端部E22。導電跨接層212a與重佈線層212位於絕緣重佈線層210內的相同層位。舉例來說，導電跨接層212a與重佈線層212可由重佈線結構200中的最頂層金屬層定義而成。

【0026】 在一些實施例中，多層式晶片內建電感結構10更包括介層連接結構區V44a及V44b，如第1及2圖所示。介層連接結構區P220111900TWF\_WTY

V44a及V44b各自包括一或多個導電插塞(例如，單一導電插塞)。這些導電插塞材質及結構相似於導電插塞V4(請參照第2圖)的材質及結構，且設置於絕緣重佈線層210內。在一些實施例中，介層連接結構區V44a設置於導電跨接層212a與第一螺旋型線圈107c(單匝螺旋型線圈)的端部E22之間。再者，介層連接結構區V44b設置於導電跨接層212a與第二輸出/輸入部107d之間。

【0027】 請參照第4及5圖，其中第4圖係繪示出根據本發明一些實施例之多層式晶片內建電感結構20平面示意圖，而第5圖係繪示出根據本發明一些實施例之具有第4圖所示多層式晶片內建電感結構10的半導體電路剖面示意圖，其中區域B(以虛線表示)為沿第4圖的B-B'線的剖面示意圖。此處，相同或相似於第1、2圖中多層式晶片內建電感結構10的部件係使用相同或相似的標號並可能省略其說明。在一些實施例中，第4及5圖所示的多層式晶片內建電感結構20具有相似於第1、2圖中的多層式晶片內建電感結構10的結構。再者，第5圖所示的半導體電路也相同或相似於第2圖所示的半導體電路。

【0028】 在一些實施例中，如第5圖所示，多層式晶片內建電感結構20包括金屬層間介電層102、位於金屬層間介電層102上的絕緣重佈線層210、位於金屬層間介電層102內的第一金屬繞線部(請參照第6A圖)及第二金屬繞線部(請參照第6B圖)以及位於絕緣重佈線層210內的導電跨接層212a(請參照第4圖)。在一些實施例中，第一金屬繞線部及第二金屬繞線部分別具有大體上為圓型、矩型、六邊型、八邊型、或多邊型之外型。此處，為了簡化圖式，係以矩型作為範例說明。再者，第一金屬繞線部及第二金屬繞線部圍繞金屬

P220111900TWF\_WTY

層間介電層102的一電感中心區C(如第4圖所示)，且各自包括至少一線圈。在一些實施例中，這些線圈具有相同的線寬及/或線距。

**【0029】** 請參照第4、5及6A圖，其中第6A圖係繪示出第4圖中多層式晶片內建電感結構20的第一金屬繞線部平面示意圖。在一些實施例中，第一金屬繞線部包括一第一輸出/輸入部107a、第一螺線管型線圈107b、第一螺旋型線圈107c以及一第二輸出/輸入部107d。接線層107與第一金屬繞線部(包括第一輸出/輸入部107a、第一螺線管型線圈107b、第一螺旋型線圈107c以及一第二輸出/輸入部107d)可由金屬層間介電層102內的最頂層金屬層定義而成。

**【0030】** 在一些實施例中，第一螺旋型線圈107c為多匝螺旋型線圈(例如，雙匝螺旋型線圈或三匝以上的螺旋型線圈)，且圍繞電感中心區C。再者，第一螺線管型線圈107b為單匝螺旋型線圈，且圍繞第一螺旋型線圈107c。另外，第一輸出/輸入部107a及第二輸出/輸入部107d位於第一螺線管型線圈107b外側的金屬層間介電層102內。第一輸出/輸入部107a延伸至第一螺線管型線圈107b的一端部E11，而第二輸出/輸入部107d與第一螺線管型線圈107b藉由金屬層間介電層102彼此物理性隔開。

**【0031】** 請參照第4、5及6B圖，其中第3B圖係繪示出第4圖中多層式晶片內建電感結構20的第二金屬繞線部平面示意圖。在一些實施例中，第二金屬繞線部位於金屬層間介電層102內，且電性連接位於上方的第一金屬繞線部。第二金屬繞線部包括一第二螺旋型線圈105a及一第二螺線管型線圈105b。第二螺旋型線圈105a為多匝螺旋型線圈(例如，雙匝螺旋型線圈或三匝以上的螺旋型線圈)，且圍繞電感中心區C。再者，第二螺線管型線圈105b為單匝螺旋型

線圈，第二螺旋型線圈105a圍繞第二螺線管型線圈105b。第二螺旋型線圈105a對應於第一螺線管型線圈107b及一部分的第一螺旋型線圈107c，而第二螺線管型線圈105b則對應於另一部分的第一螺旋型線圈107c。再者，接線層105與第二螺旋型線圈105a及第二螺線管型線圈105b位於金屬層間介電層102內的相同層位。舉例來說，接線層105與第二螺旋型線圈105a及第二螺線管型線圈105b可由金屬層間介電層102內的次頂層金屬層定義而成。

**【0032】** 在一些實施例中，第一螺旋型線圈107c與第二螺旋型線圈105a為具有相同匝數的螺旋型線圈，例如二者都為雙匝螺旋型線圈。第一螺線管型線圈107b與第二螺線管型線圈105b也為具有相同匝數的螺線管型線圈。舉例來說，第一螺線管型線圈107b及第二螺線管型線圈105b都為單匝螺線管型線圈，且圍繞電感中心區C。

**【0033】** 在一些實施例中，如第6C圖所示，第二螺旋型線圈105a(雙匝螺旋型線圈)垂直重疊第一螺線管型線圈107b及一部分的第一螺旋型線圈107c(雙匝螺旋型線圈)且第二螺線管型線圈105b則對應於另一部分的第一螺旋型線圈107c，使第二螺旋型線圈105a的一最外匝線圈對應於第一螺線管型線圈107b，且第二螺旋型線圈105a的一最內匝線圈對應於第一螺旋型線圈107c的最外匝線圈。再者，第二螺線管型線圈(單匝螺線管型線圈)垂直重疊第一螺旋型線圈107c的一最內匝線圈。

**【0034】** 在一些實施例中，多層式晶片內建電感結構10更包括介層連接結構區V31、V32及V33，如第6C圖所示。相同於介層連接結構區V31及V32，及介層連接結構區V33也包括複數個導電插

塞，其材質及結構也相似於導電插塞V3(請參照第2圖)的材質及結構，且設置於金屬層間介電層102內。

**【0035】** 在一些實施例中，介層連接結構區V31設置於第一螺線管型線圈107b與第二螺旋型線圈105a的外匝線圈之間，使第一螺線管型線圈107b電性連接第二螺旋型線圈105a。舉例來說，一介層連接結構區V31電性連接第一螺線管型線圈107b(單匝螺線管型線圈)的一端部E12與第二螺旋型線圈105a(雙匝螺旋型線圈)的外匝線圈的一端部E31。再者，從上視角度來看，介層連接結構區V31位於第一螺線管型線圈107b的端部E12與第二螺旋型線圈105a的端部E31之間，且與端部E12及端部E31相鄰。

**【0036】** 在一些實施例中，介層連接結構區V32設置於第一螺旋型線圈107c的一外匝線圈與第二螺旋型線圈105a的一內匝線圈之間，使第一螺旋型線圈107c電性連接第二螺旋型線圈105a。舉例來說，介層連接結構區V32電性連接第一螺旋型線圈107c(雙匝螺旋型線圈)的外匝線圈的一端部E21與第二螺旋型線圈105a(雙匝螺旋型線圈)的內匝線圈的一端部E32。再者，從上視角度來看，介層連接結構區V32位於第一螺旋型線圈107c的端部E21與第二螺旋型線圈105a的端部E32之間，且與端部E21及端部E32相鄰。

**【0037】** 在一些實施例中，介層連接結構區V33設置於第一螺旋型線圈107c的一內匝線圈與第二螺線管型線圈105b之間，使第一螺旋型線圈107c疊置於第二螺線管型線圈105b上，並與之電性連接。舉例來說，介層連接結構區V33電性連接第一螺旋型線圈107c(雙匝螺旋型線圈)的內匝線圈疊置於第二螺線管型線圈105b(單匝螺線管型線圈)上並與之電性連接。再者，從上視角度來

看，介層連接結構區V33位於第二螺線管型線圈105b的端部E41與第二螺線管型線圈105b的端部E42之間，且與第一螺旋型線圈107c的端部E22以及第二螺線管型線圈105b的端部E41及E42相鄰。

**【0038】** 由金屬層間介電層102中的最頂層金屬層定義而成的第一螺旋型線圈107c及由金屬層間介電層102中的次頂層金屬層定義而成的第二螺線管型線圈105b所構成的堆疊層可大幅增加電感元件的截面積。此處，「截面積」一詞表示電感元件中與電流方向垂直的線圈堆疊層的面積。如此一來，多層式晶片內建電感結構20因具有較厚的線圈而可減少繞線部的導體損失( conductor loss )，進而提升電感元件的品質因素及提高電感效能。以第6C圖為例，在12nm的製程條件下，若要達到與第6C圖近似的電感值，且僅能在最頂層金屬層設計多匝螺旋型線圈，則大約需要 $27.5\mu\text{m}\times 25\mu\text{m}$ 的面積，而在第6C圖實施例中，則僅需要 $21\mu\text{m}\times 21\mu\text{m}$ 的面積。所以透過在次頂層金屬層定義第二螺旋型線圈(和第二螺線管型線圈)，還可以減少電感元件所佔用的面積。

**【0039】** 在一些實施例中，如第4及5圖所示，位於絕緣重佈線層210內的導電跨接層212a電性連接第二輸出/輸入部107d與第一螺旋型線圈107c(雙匝螺旋型線圈)的內匝線圈的一端部E22。

**【0040】** 在一些實施例中，多層式晶片內建電感結構10更包括介層連接結構區V44a及V44b，如第4及5圖所示。介層連接結構區V44a及V44b各自包括一或多個導電插塞(例如，單一導電插塞)。這些導電插塞材質及結構相似於導電插塞V4(請參照第5圖)的材質及結構，且設置於絕緣重佈線層210內。在一些實施例中，介層連接結構區V44a設置於導電跨接層212a與第一螺旋型線圈107c(雙

P220111900TWF\_WTY

匝螺旋型線圈)的內匝線圈的端部E22之間。再者，介層連接結構區V44b設置於導電跨接層212a與第二輸出/輸入部107d之間。

**【0041】** 根據上述實施例的多層式晶片內建電感結構中，採用金屬層間介電層內的最頂層金屬層形成電感元件的第一金屬繞線部(包括螺旋型線圈及圍繞螺旋型線圈的螺線管型線圈)。再者，採用金屬層間介電層內的次頂層金屬層形成電感元件的第二金屬繞線部(包括螺旋型線圈或包括螺線管型線圈及圍繞螺線管型線圈的螺旋型線圈)。如此一來，第一金屬繞線部與第二金屬繞線部的堆疊所構成的電感結構相較於單層式螺旋型電感結構，可有效增加線圈長度而得得到所需的電感值，同時減少電感元件所佔用的面積。由於減少了電感元件所佔用的面積，因此可降低製造成本。

**【0042】** 根據上述實施例的多層式晶片內建電感結構中，金屬層間介電層中的最頂層金屬層定義而成的螺旋型線圈及由金屬層間介電層中的次頂層金屬層定義而成的螺線管型線圈所構成的堆疊層可大幅增加電感元件的截面積。如此一來，可減少電感元件中繞線部的導體損失，進而提升電感元件的品質因素及提高電感效能。

**【0043】** 另外，由於多層式晶片內建電感結構可於製作內連接結構及重佈線結構期間形成，因此無需採用額外的金屬層及額外的製程來製作多層式晶片內建電感結構。如此一來，製造成本並不會增加。

**【0044】** 以上概略說明了本發明數個實施例的特徵，使所屬技術領域中具有通常知識者對於本揭露的型態可更為容易理解。任何所屬技術領域中具有通常知識者應瞭解到可輕易利用本揭露作為其

它製程或結構的變更或設計基礎，以進行相同於此處所述實施例的目的及/或獲得相同的優點。任何所屬技術領域中具有通常知識者也可理解與上述等同的結構並未脫離本揭露之精神和保護範圍內，且可在不脫離本揭露之精神和範圍內，當可作更動、替代與潤飾。

## 【符號說明】

### 【0045】

10, 20: 多層式晶片內建電感結構

100: 基底

101, 102, 103, 105, 107: 接線層

105a: 第二螺旋型線圈

105b: 第二螺線管型線圈

107a: 第一輸出/輸入部

107b: 第一螺線管型線圈

107c: 第一螺旋型線圈

107d: 第二輸出/輸入部

200: 重佈線結構

210: 絕緣重佈線層

212: 重佈線層

212a: 導電跨接層

220: 鈍化護層

240: 連接器

A, B: 區域

C: 電感中心區

E11, E12, E21, E22, E31, E32, E41, E42: 端部

V1, V2, V3, V4: 導電插塞

V31, V32, V33, V44a, V44b: 介層連接結構區

【生物材料寄存】

【0046】

無

## 【發明申請專利範圍】

【請求項1】 一種多層式晶片內建電感結構，包括：

一金屬層間介電層，具有一電感中心區；

一第一金屬繞線部，位於該金屬層間介電層內，包括：

一第一螺旋型線圈，圍繞該電感中心區；以及

一第一螺線管型線圈，圍繞該第一螺旋型線圈；

一第二金屬繞線部，位於該金屬層間介電層內，且電性連接位於上方的該第一金屬繞線部，包括：

一第二螺旋型線圈，垂直重疊該第一螺旋型線圈及該第一螺線管型線圈，使該第二螺旋型線圈的一最外匝線圈對應於該第一螺線管型線圈；以及

一第一輸出/輸入部及一第二輸出/輸入部，位於該第一螺線管型線圈外側的該金屬層間介電層內，且與該第一金屬繞線部位於相同層位。

【請求項2】 如請求項1所述之多層式晶片內建電感結構，更包括：

一第一介層連接結構區，設置於該第一螺線管型線圈與該第二螺旋型線圈的該最外匝線圈之間，使該第一螺線管型線圈電性連接該第二螺旋型線圈；以及

一第二介層連接結構區，設置於該第一螺旋型線圈的一最外匝線圈與該第二螺旋型線圈的一最內匝線圈之間，使該第一螺旋型線圈電性連接該第二螺旋型線圈。

【請求項3】如請求項1所述之多層式晶片內建電感結構，其中該第二金屬繞線部更包括：

一第二螺線管型線圈，垂直重疊該第一螺旋型線圈的一最內匝線圈。

【請求項4】如請求項3所述之多層式晶片內建電感結構，更包括：

一第一介層連接結構區，設置於該第一螺線管型線圈與該第二螺旋型線圈的該最外匝線圈之間，使該第一螺線管型線圈電性連接該第二螺旋型線圈；

一第二介層連接結構區，設置於該第一螺旋型線圈的一最外匝線圈與該第二螺旋型線圈的一最內匝線圈之間，使該第一螺旋型線圈電性連接該第二螺旋型線圈；以及

一第三介層連接結構區，設置於該第一螺旋型線圈的該最內匝線圈與該第二螺線管型線圈與之間，使該第一螺旋型線圈電性連接該第二螺線管型線圈。

【請求項5】如請求項3所述之多層式晶片內建電感結構，其中該第一螺旋型線圈與該第二螺旋型線圈為具有相同匝數的螺旋型線圈。

【請求項6】如請求項1所述之多層式晶片內建電感結構，其中該第一輸出/輸入部延伸至該第一螺線管型線圈的一端部；以及

其中該第二輸出/輸入部與該第一螺線管型線圈物理性隔開。

【請求項7】如請求項6所述之多層式晶片內建電感結構，更包括：

一絕緣重佈線層，設置於該金屬層間介電層上；以及  
一導電跨接層，位於該絕緣重佈線層內，且電性連接該第二輸出/輸入部與該第一螺旋型線圈的一最內匝線圈的一端部。

【請求項8】如請求項7所述之多層式晶片內建電感結構，更包括：

一第一介層連接結構區，設置於該絕緣重佈線層內，且位於該導電跨接層與該第二輸出/輸入部之間；以及  
一第二介層連接結構區，設置於該絕緣重佈線層內，且位於該導電跨接層與該第一螺旋型線圈的該最內匝線圈的該端部之間。

【請求項9】如請求項1所述之多層式晶片內建電感結構，其中該第一金屬繞線部由該金屬層間介電層內的一最頂層金屬層所定義形成，且該第二金屬繞線部由一次頂層金屬層所定義形成。

【請求項10】如請求項1所述之多層式晶片內建電感結構，其中該第一螺旋型線圈與該第二螺旋型線圈為具有不同匝數的螺旋型線圈。

【請求項11】一種多層式晶片內建電感結構，包括：

一金屬層間介電層，具有一電感中心區；  
一最頂層金屬層，位於該金屬層間介電層內，包括：  
一第一雙匝螺旋型線圈，圍繞該電感中心區；  
一第一單匝螺線管型線圈，圍繞該第一雙匝螺旋型線圈；  
以及

一第一輸出/輸入部及一第二輸出/輸入部，位於該第一單匝螺線管型線圈外側的該金屬層間介電層內，且與該第一單匝螺線管型線圈位於相同層位；

一次頂層金屬層，位於該金屬層間介電層內，包括：

一第二單匝螺線管型線圈，圍繞該電感中心區，且垂直重疊該第一雙匝螺旋型線圈的一內匝線圈；以及

一第二雙匝螺旋型線圈，圍繞該第二單匝螺線管型線圈，其中該第一單匝螺線管型線圈垂直重疊該第二雙匝螺旋型線圈的一外匝線圈；以及

第一、第二及第三介層連接結構區，設置於該最頂層金屬層與該次頂層金屬層之間，並與之電性連接。

【請求項12】 如請求項11所述之多層式晶片內建電感結構，其中該第一輸出/輸入部延伸至該第一單匝螺線管型線圈的一端部；以及

其中該第二輸出/輸入部與該第一單匝螺線管型線圈物理性隔開。

【請求項13】 如請求項12所述之多層式晶片內建電感結構，更包括：

一絕緣重佈線層，設置於該金屬層間介電層上；以及

一導電跨接層，位於該絕緣重佈線層內，且電性連接該第二輸出/輸入部與該第一雙匝螺旋型線圈的該內匝線圈的一端部。

【請求項14】 如請求項13所述之多層式晶片內建電感結構，更包括：

一第四介層連接結構區，設置於該絕緣重佈線層內，且位於該導電跨接層與該第二輸出/輸入部之間；以及

一第五介層連接結構區，設置於該絕緣重佈線層內，且位於該導電跨接層與該第一雙匝螺旋型線圈的該內匝線圈的該端部之間。

【請求項15】 如請求項11所述之多層式晶片內建電感結構，其中：

該第一介層連接結構區，對應設置於該第二雙匝螺旋型線圈上方，且鄰近於該第二雙匝螺旋型線圈的該外匝線圈的一端部；

該第二介層連接結構區，對應設置於該第二雙匝螺旋型線圈上方，且鄰近於該第二雙匝螺旋型線圈的一內匝線圈的一端部；

以及

該第三介層連接結構區，對應設置於該第二單匝螺線管型線圈上方。

【請求項16】 一種多層式晶片內建電感結構，包括：

一金屬層間介電層，具有一電感中心區；

一最頂層金屬層，位於該金屬層間介電層內，包括：

一單匝螺旋型線圈，圍繞該電感中心區；

一單匝螺線管型線圈，圍繞該單匝螺旋型線圈；以及

一第一輸出/輸入部及一第二輸出/輸入部，位於該單匝螺線管型線圈外側的該金屬層間介電層內，且與該單匝螺線管型線圈位於相同層位；

一次頂層金屬層，位於該金屬層間介電層內，包括：

一雙匝螺旋型線圈，圍繞該電感中心區，其中該單匝螺旋型線圈垂直重疊該雙匝螺旋型線圈的一內匝線圈，且該單匝螺線管型線圈垂直重疊該雙匝螺旋型線圈的一外匝線圈；

一第一介層連接結構區，電性連接該單匝螺線管型線圈的一第一端部與該雙匝螺旋型線圈的該外匝線圈的一端部；以及

一第二介層連接結構區，電性連接該單匝螺旋型線圈的一第一端部與該雙匝螺旋型線圈的該內匝線圈的一端部。

【請求項17】 如請求項16所述之多層式晶片內建電感結構，其中該第一輸出/輸入部延伸至該單匝螺線管型線圈的一第二端部；以及

其中該第二輸出/輸入部與該單匝螺線管型線圈物理性隔開。

【請求項18】 如請求項17所述之多層式晶片內建電感結構，更包括：

一絕緣重佈線層，設置於該金屬層間介電層上；以及

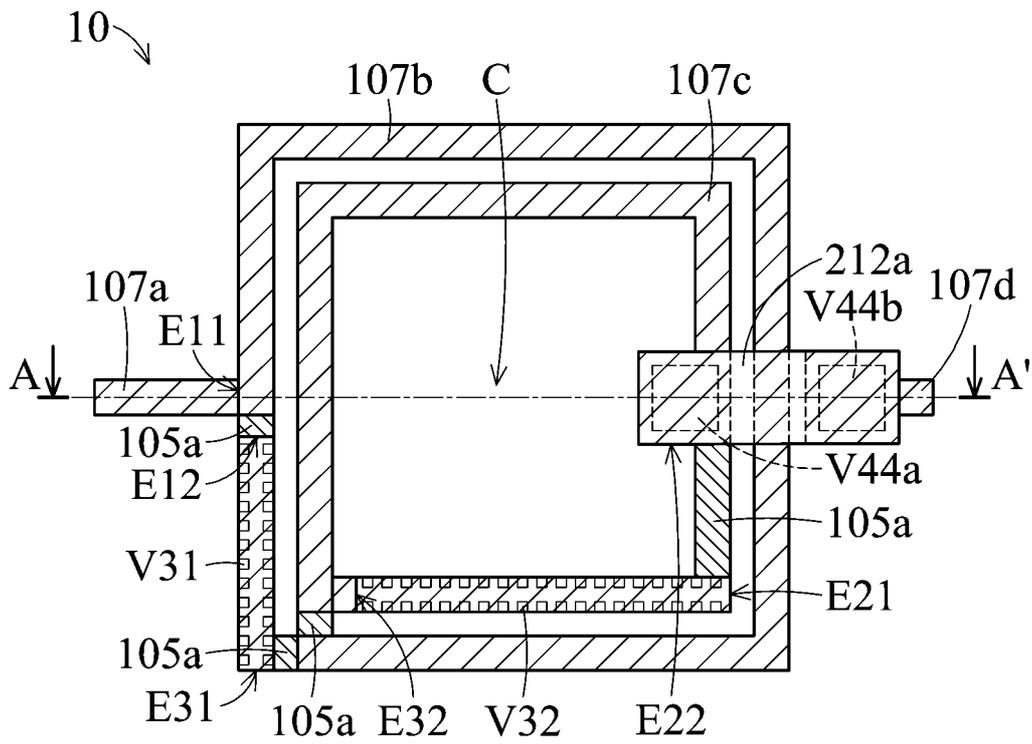
一導電跨接層，位於該絕緣重佈線層內，且電性連接該第二輸出/輸入部與該單匝螺旋型線圈的一第二端部。

【請求項19】 如請求項18所述之多層式晶片內建電感結構，更包括：

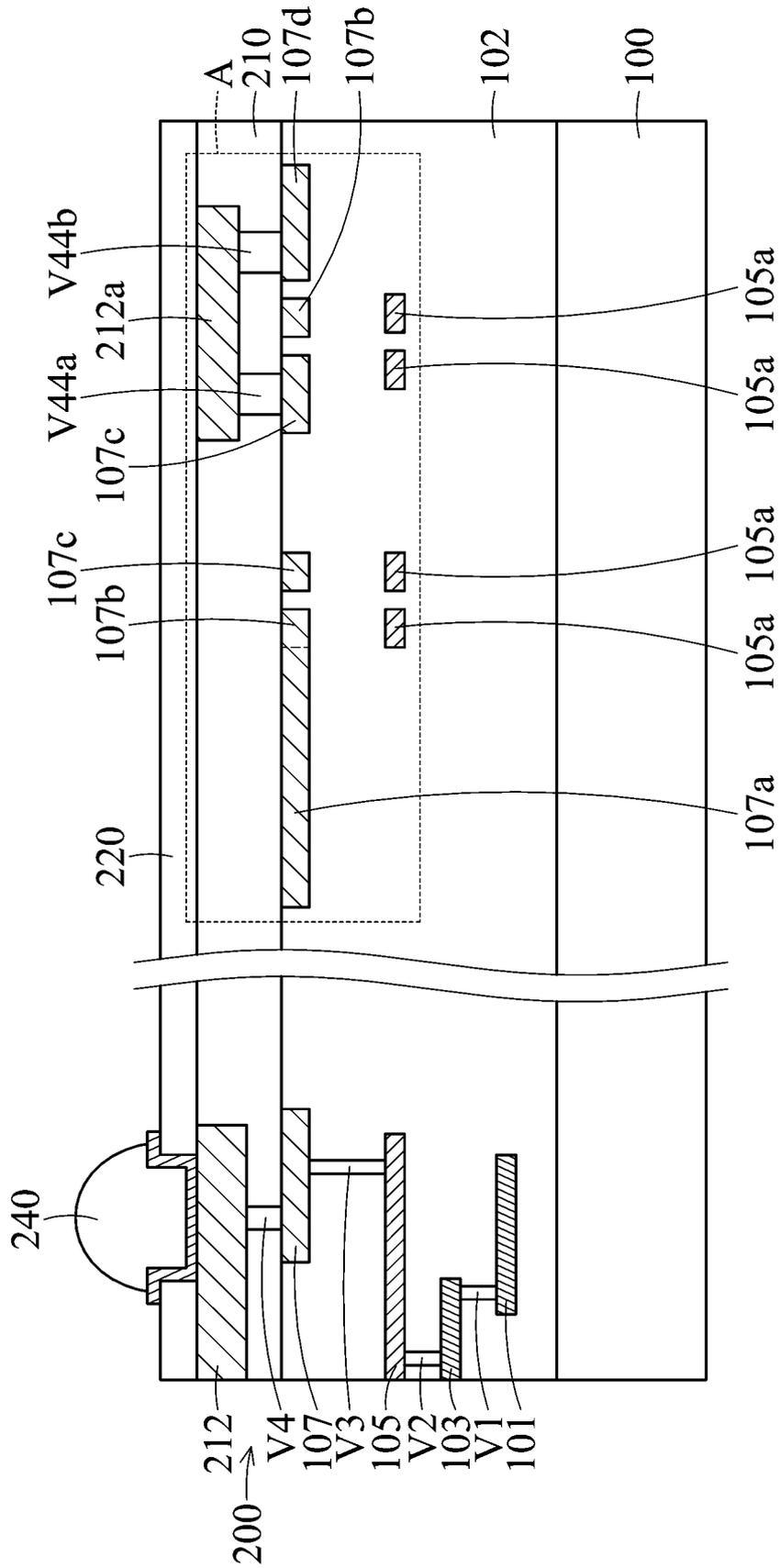
一第三介層連接結構區，設置於該絕緣重佈線層內，且位於該導電跨接層與該第二輸出/輸入部之間；以及

一第四介層連接結構區，設置於該絕緣重佈線層內，且位於該導電跨接層與該單匝螺旋型線圈的該該端部之間。

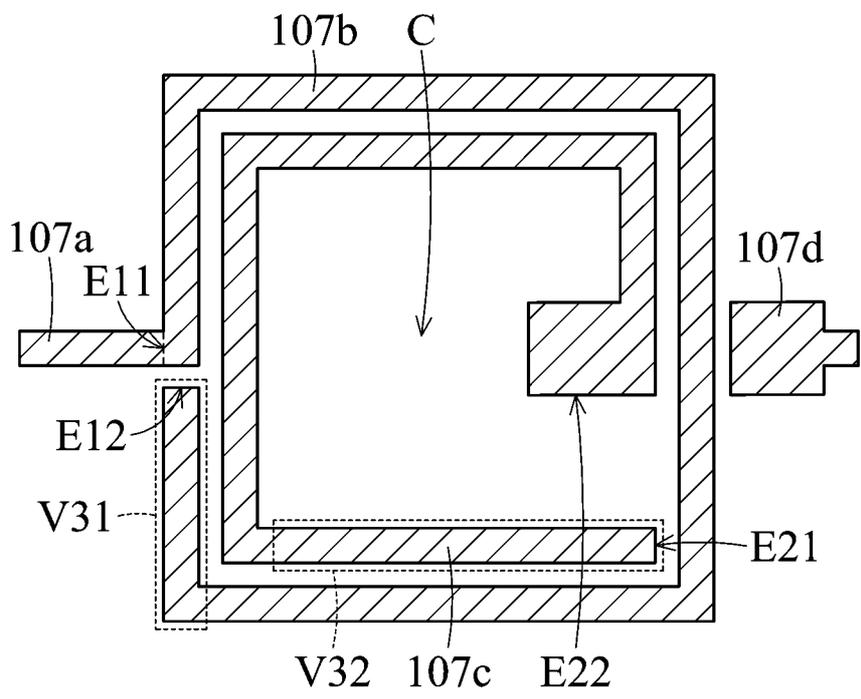
【發明圖式】



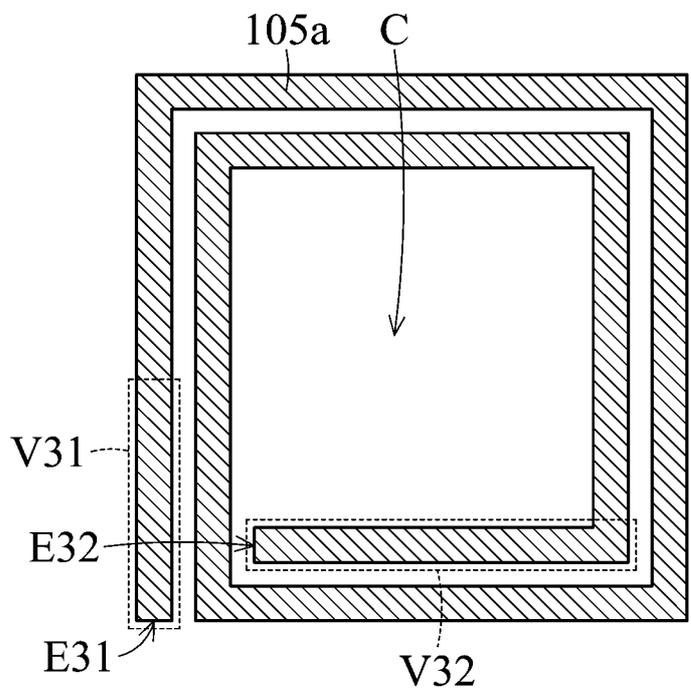
第 1 圖



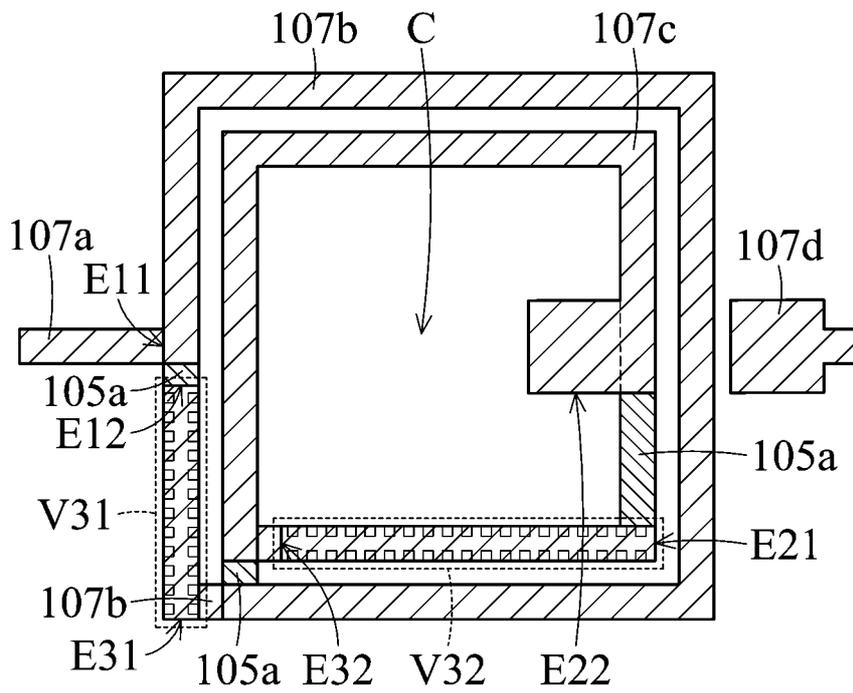
第 2 圖



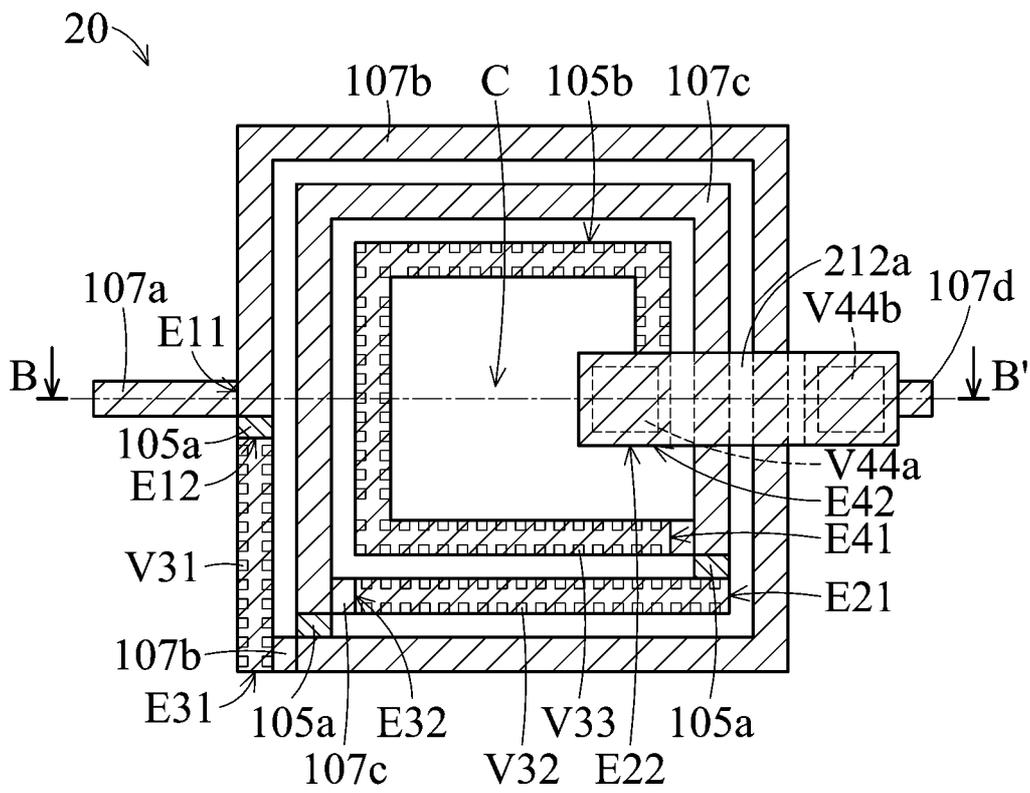
第 3A 圖



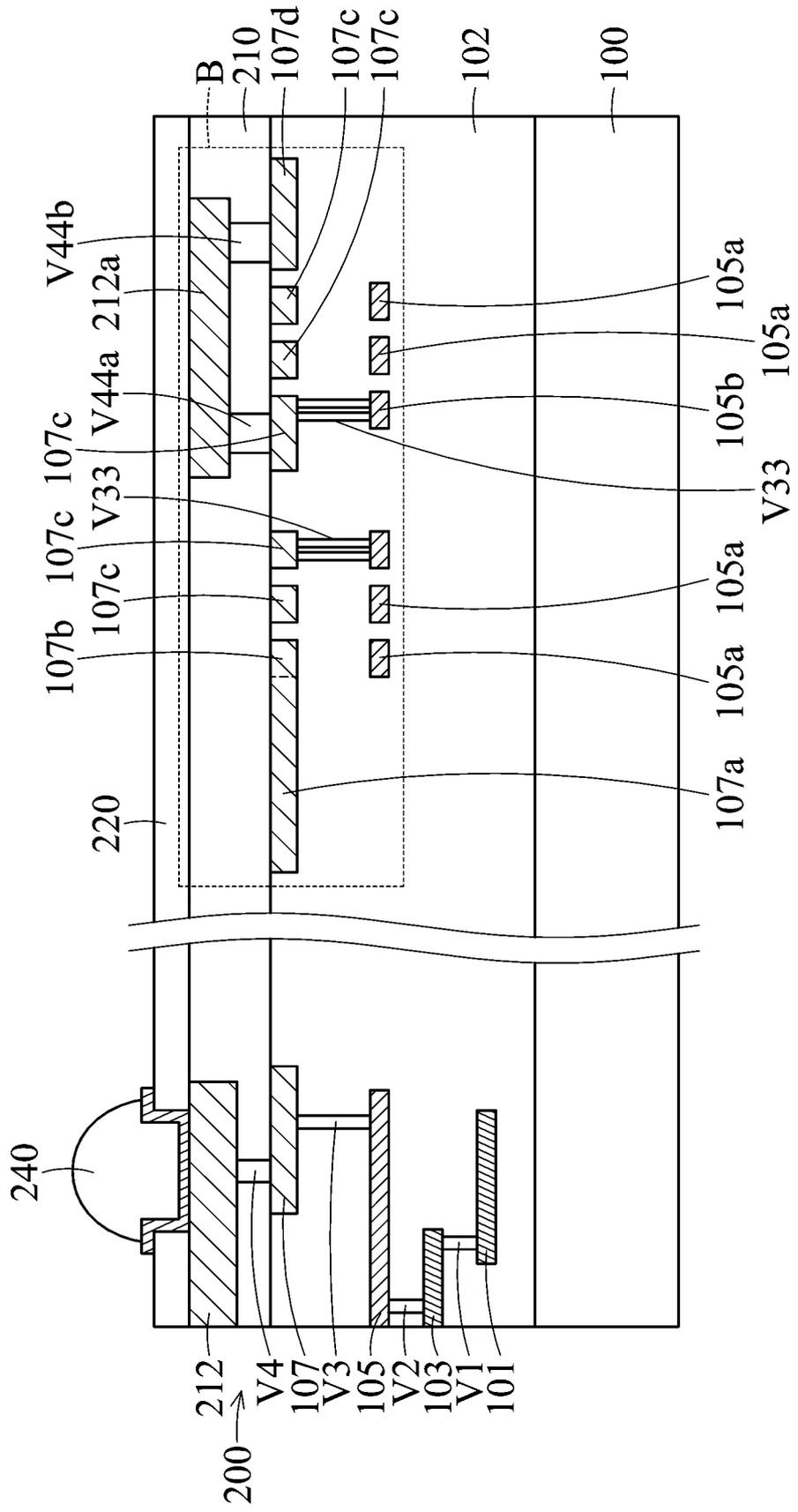
第 3B 圖



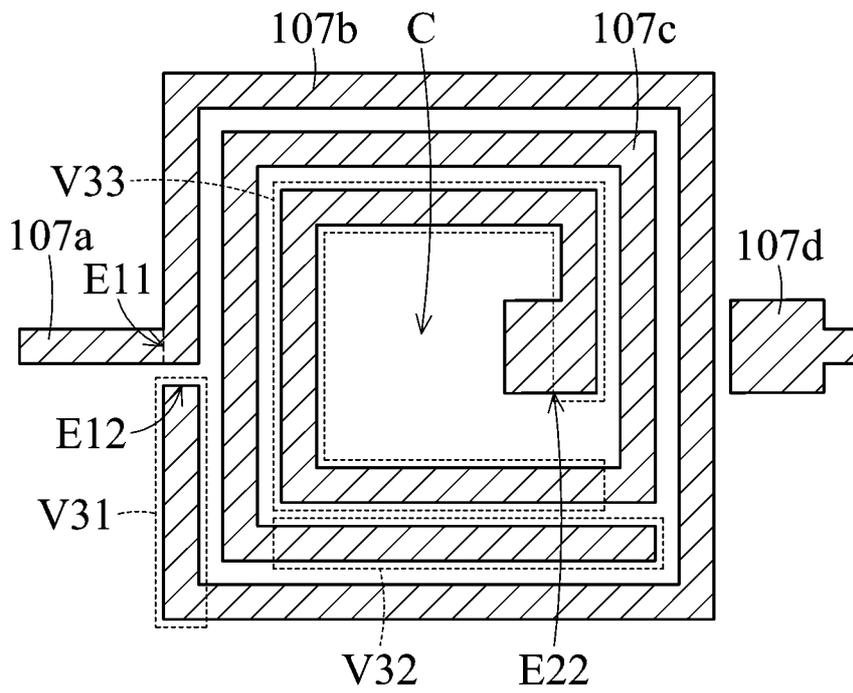
第 3C 圖



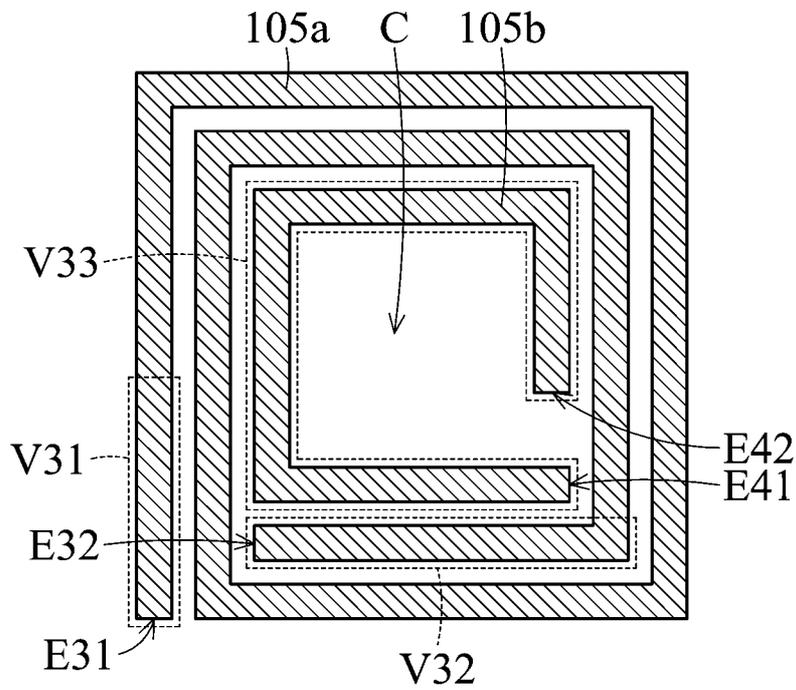
第 4 圖



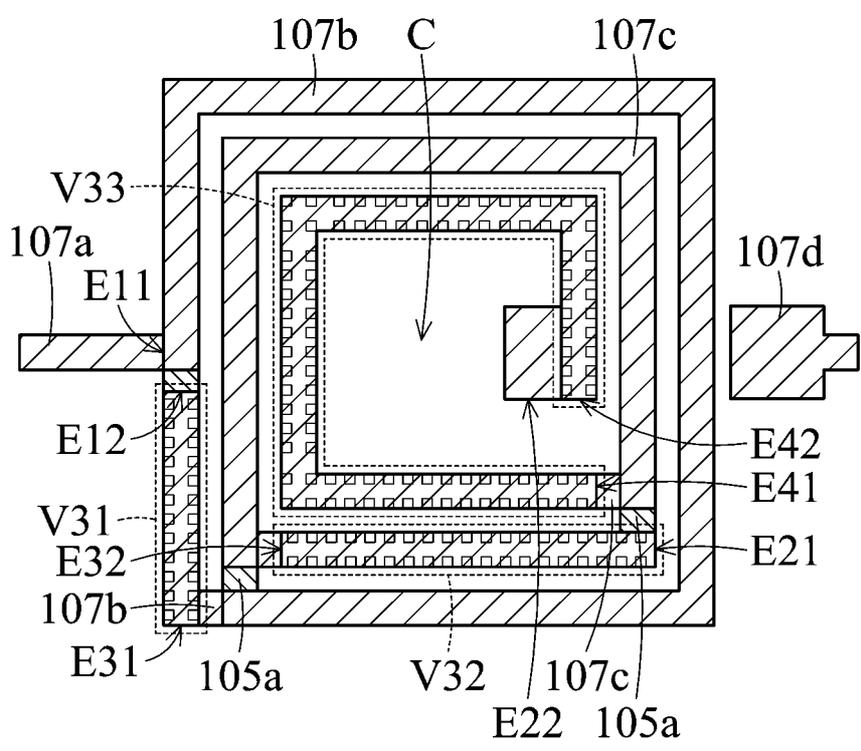
第 5 圖



第 6A 圖



第 6B 圖



第 6C 圖