

發明專利說明書

200522328

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93135256

※申請日期：93 年 11 月 17 日

※IPC 分類：H01L³/52

一、發明名稱：

(中) 半導體裝置及其製造方法

(英)

二、申請人：(共 1 人)

1. 姓 名：(中) 瑞薩科技股份有限公司
(英) RENESAS TECHNOLOGY CORP.

代表人：(中) 1. 伊藤達
(英)

地 址：(中) 日本國東京都千代田區丸之內二丁目四番一號
(英) 日本国東京都千代田区丸の内二丁目 4 番 1 号

國籍：(中英) 日本 JAPAN

三、發明人：(共 3 人)

1. 姓 名：(中) 深谷修大
(英) 深谷修大

國 籍：(中) 日本
(英) JAPAN

2. 姓 名：(中) 新谷俊幸
(英) 新谷俊幸

國 籍：(中) 日本
(英) JAPAN

3. 姓 名：(中) 長谷部一
(英) 長谷部一

國 籍：(中) 日本
(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

發明專利說明書

200522328

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93135256

※申請日期：93 年 11 月 17 日

※IPC 分類：H01L³/52

一、發明名稱：

(中) 半導體裝置及其製造方法
(英)

二、申請人：(共 1 人)

1. 姓 名：(中) 瑞薩科技股份有限公司
(英) RENESAS TECHNOLOGY CORP.
代表人：(中) 1. 伊藤達
(英)
地 址：(中) 日本國東京都千代田區丸之內二丁目四番一號
(英) 日本国東京都千代田区丸の内二丁目 4 番 1 号
國籍：(中英) 日本 JAPAN

三、發明人：(共 3 人)

1. 姓 名：(中) 深谷修大
(英) 深谷修大
國 籍：(中) 日本
(英) JAPAN

2. 姓 名：(中) 新谷俊幸
(英) 新谷俊幸
國 籍：(中) 日本
(英) JAPAN

3. 姓 名：(中) 長谷部一
(英) 長谷部一
國 籍：(中) 日本
(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

200522328

755055

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】
1.日本 ; 2003/12/25 ; 2003-430092 ☒有主張優先權

(1)

九、發明說明

【發明所屬之技術領域】

本發明係關於半導體裝置及其製造方法，特別式關於有效使用於無導線型半導體裝置之技術。

【先前技術】

在由樹脂密封搭載有積體電路之半導體晶片所成之半導體裝置中，有各種封裝構造被提出而加以產品化。其中之一為所周知的是，例如稱為 QFN(Quad Flat Non-Leaded Package：四邊扁平無導線封裝)型之半導體裝置。此 QFN 型半導體裝置係使與半導體晶片的電極電性連接之導線當成外部連接用端子而由樹脂密封體的背面露出之封裝構造故，與令與半導體晶片的電極電性連接之導線由樹脂密封體的側面突出而折彎為特定形狀之封裝構造，例如稱為 QFP(Quad Flat Package：四邊扁平封裝)型之半導體裝置比較，可以謀求平面尺寸的小型化。

QFN 型半導體裝置在其製造中，係使用導線架。導線架係藉由對金屬板施以藉由精密沖壓之沖壓加工或蝕刻加工以形成特定圖案而所製造。導線架係具有以含外框部及內框部之框架本體所區分之複數的產品形成領域，在各產品形成領域係配置有搭載半導體晶片用之晶片支撐體（薄板、黏晶錫墊、晶片搭載部），或使前端部（一端部）面向此晶片支撐體之四周之複數的導線等。晶片支撐體係藉由從導線架之框架本體延伸存在之吊掛導線所支撐。導線

則係與其之一端部（前端部）相反側的另一端部由導線架的框架本體所支撐。

使用此種導線架以製造 QFN 型半導體裝置之情形，係在導線架的晶片支撐體固定半導體晶片，之後，以導電性之錫線電性連接半導體晶片的電極與導線，之後，樹脂密封半導體晶片、錫線、晶片支撐體、吊掛導線等而形成樹脂密封體，之後，切斷去除導線架之不需要的部份。

QFN 型半導體裝置之樹脂密封體係藉由適合大量生產之移轉造型法（移送成形法）所形成。藉由移轉造型法之樹脂密封體的形成係在成形模具（造型模具）之模穴（樹脂填充部）的內部配置半導體晶片、導線、晶片支撐體、吊掛導線、錫線等，在成形模具之上模與下模之間定位導線架，之後，在成形模具之模穴內部注入熱硬化性樹脂而進行。

另外，關於 QFN 型半導體裝置，例如記載在日本專利特開 2000-299400 號公報。

[專利文獻 1]日本專利特開 2000-299400 號公報

【發明內容】

伴隨電氣機器之薄型化及小型化，特別是在組裝於行動電話或數位相機等之攜帶機器的 QFN 型半導體裝置中，也被要求薄型化及小型化。

QFN 型半導體裝置之小型化（平面尺寸之縮小），可藉由縮短半導體晶片的側面與樹脂密封體之側面之間的距

(3)

離而進行。但是，爲了使半導體晶片的側面與樹脂密封體之側面之間的距離變短，需要使導線的長度變短故，導線的外部連接用端子部（焊錫部）的長度也要變短。導線的外部連接用端子部之長度如變短，在配線基板焊接構裝半導體裝置時，導線和鉚料之接合面積變小，配線基板之電極鉚墊（焊點、腳印）與半導體裝置之導線的接合強度變小故，發生半導體裝置由配線基板剝離之構裝不良的可能性變高。

另一方面，在 QFN 型半導體裝置中，爲了確保焊錫構裝於配線基板時之焊錫濡濕性，在導線的外部連接用端子部形成有焊錫濡濕性比導線的第 2 前端部高之電鍍層。但是，在 QFN 型半導體裝置之製造中，一般在形成樹脂密封體後，施以電鍍處理，在電鍍處理後，切斷導線故，在導線之由樹脂密封體側面突出的前端面（與晶片側之前端面相反側之前端面）並沒有形成電鍍層。因此，導線的前端面之焊錫沾黏性不好。

因此，本發明人乃著眼於導線的電鍍層，針對配線基板之電極鉚墊與導線之外部連接用端子部之接合強度進行檢討的結果，完成本發明。

本發明之目的在於提供：可謀求半導體裝置的構裝可靠性提升之技術。

本發明之其他目的在於提供：可謀求半導體裝置之小型化之技術。

依據本說明書之記載及所附圖面，本發明之前述及其

(4)

他目的與新的特徵理應可以變得清楚。

[解決課題用手段]

如簡單說明本申請案所揭示之發明中的代表性者之概要，則如下述：

本發明之半導體裝置係具有：

具相互位於反向側之主面及背面，及配置在前述主面之複數的電極之半導體晶片，及

分別電性連接在前述半導體晶片之複數的電極之複數的導線，及

密封前述半導體晶片、複數的導線之樹脂密封體；

前述複數的導線係具有：位於前述樹脂密封體之主面，及與前述主面相反側之背面之間的第1面，及位於前述第1面之相反側，由前述樹脂密封體的背面露出之第2面，及位於前述半導體晶片側之第1前端面，及位於前述第1前端面之相反側，由前述樹脂密封體之側面突出之第2前端面，及由前述第2面凹向前述第1面側，與前述第2前端面相連之凹部；

前述第2面及前述凹部之壁面，係被以焊錫濡濕性高於前述導線之第2前端面之電鍍層所覆蓋。

如依據前述手段，在配線基板焊接構裝半導體裝置時，焊錫沾黏於導線的第2前端面故，導線與錐料之接合面積增加，配線基板之電極錐墊與半導體裝置之導線的接合強度增加。此結果為，可以謀求半導體裝置之構裝可靠

(5)

性的提升。

另外，相當於凹部的深度部份，導線與錫料的接合面積增加，配線基板之電極錫墊與半導體裝置之導線的接合強度增加故，進而可謀求半導體裝置之構裝可靠性的提升。

另外，基於錫料沾黏於導線之第 2 前端面，導線與錫料之接合面積增加，另外，相當於凹部的深度部份，導線與錫料之接合面積增加故，起因於半導體裝置的小型化，導線的第 2 面之長度即使變短，也可以抑制半導體裝置由配線基板剝離之構裝不良的產生。即可一面確保構裝可靠性，一面謀求半導體裝置之小型化。

如簡單說明由本申請案所揭示之發明中的代表性者所獲得之效果，則如下述：

如依據本發明，可以謀求半導體裝置之構裝可靠性提升。

如依據本發明，可以謀求半導體裝置之小型化。

【實施方式】

以下，參照圖面，詳細說明本發明之實施形態。另外，在說明發明之實施形態用的全部圖面中，對於具有相同功能者付與相同符號，省略其之重複說明。

（實施形態 1）

在本實施形態 1 中，針對於作為外部連接用端子部，

(6)

使導線露出樹脂密封體之背面的無導線型半導體裝置之一種的 QFN 型半導體裝置使用本發明之例子做說明。

第 1 圖至第 18 圖係關於本發明之實施形態 1 之半導體裝置之圖，

第 1 圖係顯示半導體裝置之外觀構造之模型平面圖（上視圖），

第 2 圖係顯示半導體裝置之外觀構造之模型底面圖（下視圖），

第 3 圖係放大第 2 圖之一部份之模型底面圖（下視圖），

第 4 圖係顯示半導體裝置之內部構造圖（（a）係去除樹脂密封體之上部之狀態的模型平面圖，（b）係沿著（a）之 a-a 線之模型剖面圖），

第 5 圖係放大第 4（b）圖之一部份之模型剖面圖，

第 6 圖係顯示半導體裝置的外觀構造之一部份之模型側面圖，

第 7 圖係顯示第 5 圖之導線的背面側之模型斜視圖，

第 8 圖係顯示半導體裝置之製造所使用的導線架之一部份的模型平面圖（上視圖），

第 9 圖係放大第 8 圖之一部份之模型平面圖，

第 10 圖係沿著第 9 圖之 b-b 線之模型剖面圖，

第 11 圖係顯示第 9 圖之相反側之背面之模型底面圖（下視圖）。

第 12 圖係顯示半導體裝置之製造工程圖（（a）係顯示

(7)

晶片搭載工程之模型剖面圖，（b）係顯示鉚線工程之模型剖面圖），

第 13 圖係顯示接續第 12 圖之樹脂密封工程之圖（（a）係顯示在成形模具定位導線架之狀態之模型剖面圖，（b）係顯示樹脂密封之狀態的模型剖面圖），

第 14 圖係放大第 13(a)圖之一部份之模型剖面圖，

第 15 圖係顯示接續第 13 圖之電鍍工程之模型剖面圖，

第 16 圖係顯示接續第 15 圖之切斷工程之模型剖面圖，

第 17 圖係顯示構裝完半導體裝置之狀態的模型剖面圖，

第 18 圖係放大第 17 圖之一部份之模型剖面圖。

另外，為了使圖面容易觀看，在一部份的圖面中，省略後述之電鍍層之圖示。

本實施形態之半導體裝置 1a 係如第 4（a）、（b）圖所示般，為具有：半導體晶片 2、複數的導線 5、晶片支撐體（黏晶鉚墊、薄板）7、4 根吊掛導線 7a、複數的鉚線 8、及樹脂密封體 9 等之封裝構造。半導體晶片 2、複數的導線 5、晶片支撐體 7、4 根之吊掛導線 7a、及複數的鉚線 8 等係藉由樹脂密封體 9 所密封。

半導體晶片 2 係與其厚度方向交叉之平面形狀成為方形，在本實施形態 1 中，例如成為正方形。半導體晶片 2 並不限定於此，例如為具有：半導體基板、形成在此半導

體基板之主面的複數之電晶體元件、在所述半導體基板的主面上，複數段堆疊絕緣層、配線層之各層之多層配線層、覆蓋此多層配線層而形成之表面保護膜（最終保護膜）等之構造。

半導體晶片 2 係具有相互位於相反側之主面（電路形成面）2x 及背面 2y，在半導體晶片 2 之主面 2x 側構成積體電路。積體電路主要係藉由：形成在半導體基板之主面的電晶體元件、及形成在多層配線層之配線所構成。

在半導體晶片 2 的主面 2x 形成有複數之焊接銲墊（電極）3。複數之焊接銲墊 3 係沿著半導體晶片 2 之各邊而配置。複數之焊接銲墊 3 係形成在半導體晶片 2 之多層配線層中的最上層之配線層，對應各焊接銲墊 3，而由形成在半導體晶片 2 的表面保護膜之焊接開口所露出。

如第 1 圖及第 2 圖所示般，樹脂密封體 9 係與其厚度方向交叉之平面形狀成為方形，在本實施形態 1 中，例如成為正方形。樹脂密封體 9 係具有相互位於相反側之主面（上面）9x 及背面（下面，構裝面）9y，樹脂密封體 9 的平面尺寸（外型尺寸）係比半導體晶片 2 的平面尺寸（外型尺寸）大。

樹脂密封體 9 爲了謀求低應力化之目的，例如以添加有酚系硬化劑、矽橡膠及填料等之聯苯系之熱硬化性樹脂所形成。樹脂密封體 9 之形成方法是使用適合大量生產之移轉造型法。移轉造型法係使用具備：澆注罐、流道、樹脂注入澆口、及膜穴等之成形模具（造型模具），由澆注

(9)

罐通過流道及樹脂注入澆口而在膜穴的內部注入熱硬化性樹脂，以形成樹脂密封體之方法。

在樹脂密封型半導體裝置之製造中，係採用：使用具有複數的產品形成領域（裝置形成領域）之導線架，將搭載於各產品形成領域之半導體晶片各別地樹脂密封在各產品形成領域之各別方式的移轉造型法，或使用具有複數之產品形成領域之導線架，將搭載於各產品形成領域之半導體晶片一次整批予以樹脂密封之整批方式之移轉造型法。在本實施形態 1 之半導體裝置 1a 的製造中，例如，採用各別方式之移轉造型法。

複數的導線 5 係如第 4 (a)、(b)圖所示般，沿著樹脂密封體 9 之 4 邊而配置。另外，複數的導線 5 係由樹脂密封體 9 之側面側 9z 朝向半導體晶片 2 而延伸存在。

半導體晶片 2 之複數的焊接銲墊 3 係與複數的導線 5 分別電性連接。在本實施形態 1 中，半導體晶片 2 之焊接銲墊 3 與導線 5 之電性連接係以銲線 8 進行，銲線 8 之一端部係連接於半導體晶片 2 之焊接銲墊 3，與銲線 8 之一端部相反側之另一端部係在半導體晶片 2 的外側（周圍）連接於導線 5。銲線 8 係使用例如金（Au）線。另外，銲線 8 之連接方法例如係使用於熱壓接併用超音波振動之釘頭式焊接（球焊接）法。

如第 4 (a)、(b)及第 5 圖所示般，複數的導線 5 之個個係具有：位於樹脂密封體 9 之主面 9x 與背面（與主面相反側之面）9y 之間的第 1 面 5x，及位於第 1 面之相

反側，且不以樹脂密封體 9 之樹脂所覆蓋，由樹脂密封體 9 的背面 9y 露出之第 2 面 5y，及位於半導體晶片 2 側之第 1 前端面 5m1，及位於第 1 前端面 5m1 之相反側之第 2 前端面 5m2，及由第 2 面 5y 向第 1 面 5x 側凹陷之凹部 6 之構造。

在本實施形態 1 中，第 1 面 5x 係當成連接有鉚線 8 之焊接面使用。另外，第 1 面 5x 係橫跨樹脂密封體 9 的內外而延伸存在，且由樹脂密封體 9 的側面 9x 突出。第 2 面 5y 係當成外部連接用端子部使用。另外，第 2 面 5y 係由樹脂密封體 9 露出，而拉伸至樹脂密封體 9 的側面 9z 之外側。第 1 前端面 5m1 係與第 1 面 5x 及第 2 面 5y 相連。第 2 前端面 5m2 係由樹脂密封體 9 的側面 9z 突出，與第 1 面 5x 及第 2 面 5y 相連。

在本實施形態 1 中，凹部 6 係如第 5 圖及第 7 圖所示般，以導線 5 之第 2 前端面 5m2 為終端，由第 2 前端面 5m2 露出。另外，凹部 6 係在導線 5 之寬度方向中，由相互位於相反側之兩側面（2 個之側面）分開而設，由第 2 前端面 5m2 側朝向第 1 前端面 5m1 側延伸存在。另外，凹部 6 係如第 3 圖及第 5 圖所示般，也設置在比起樹脂密封體 9 之側面更為外側。凹部 6 之內壁面係與第 2 面 5y 及第 2 前端面 5m2 相連。

具有此種凹部 6 之導線 5，在導線架之製造中，可藉由下工夫在形成特定導線圖案時之蝕刻而形成。

如第 5 圖及第 6 圖所示般，包含第 2 面 5y 及凹部 6

之內壁面之導線 5 的表面係以對於在配線基板焊錫構裝半導體裝置 1a 時之銲料，濡濕性比導線 5 高之電鍍層 10 所覆蓋。具體為，電鍍層 10 係覆蓋導線 5 的第 2 面 5y 之全部、凹部 6 之內壁面的全部、及導線 5 的第 1 面之非密封部份（位於樹脂密封體 9 的側面之外側之部份）的全部而形成。

雖在之後做說明，但是，導線 5 的第 2 前端面 5m2 係在半導體裝置 1a 之製造製程的切斷工程中，藉由從導線架之框架本體切斷分離導線 5 而形成。另一方面，電鍍層 10 係在導線 5 的切斷工程前的電鍍工程中形成。因此，導線 5 的第 2 前端面 5m2 基本上並不被電鍍層 10 所覆蓋。但是，在本實施形態 1 中，在覆蓋導線 5 之第 2 面 5y 之電鍍層 10 外，覆蓋凹部 6 的內壁面之電鍍層 10 係以第 2 前端面 5m2 為終端，由第 2 前端面 5m2 露出。

電鍍層 10 係因確保在配線基板焊錫構裝半導體裝置 1a 時之焊錫濡濕性的目的而所形成故，因應構裝時所使用之焊錫之材料而選擇材料。另外，電鍍層 10 係期望選擇與在構裝時所使用之銲料相同組成之材料。在本實施形態 1 中，例如，因應構裝時所使用之 Sn(錫)-Bi(鉍)組成之無 Pb(鉛)銲料，使用與此相同組成之 Sn-Bi 電鍍層。此 Sn-Bi 電鍍層例如可以適合在大量生產之電解電鍍法而容易地形成。

晶片支撐體 7 係如第 4(b)圖及第 5 圖所示般，比半導體晶片 2 的外型尺寸小，其厚度係比導線 5 的第 1 面

(12)

5x 與第 2 面 5y 之間的厚度還薄。晶片支撐體 7 具有相互位於相反側之主面及背面，在晶片支撐體 7 之主面係藉由接著材料 4 而接著有半導體晶片 2 的背面 2y，晶片支撐體 7 的背面係以樹脂密封體 9 之樹脂所覆蓋。

4 根之吊掛導線 7a 係如第 2 圖及第 3 圖所示般，由樹脂密封體 9 的 4 各角部朝向晶片支撐體 7 而延伸存在。吊掛導線 7a 係具有與晶片支撐體 7 形成為一體，且由晶片支撐體 7 朝向樹脂密封體 9 的角部而延伸存在之第 1 部份（晶片支撐體 7 側），及與此第 1 部份形成為一體，且由此第 1 部份朝向樹脂密封體 9 之角部而延伸存在之第 2 部份（樹脂密封體 9 之角部）。第 1 部份係與晶片支撐體 7 形成為幾乎相同之厚度，配置在樹脂密封體 9 的內部。第 2 部份係形成為與導線 5 的第 1 面及第 2 面之間的部份之厚度幾乎相同的厚度，與導線 5 的第 2 面 5y 相同側之面係由樹脂密封體 9 之背面 9y 露出。

另外，本實施形態 1 之半導體裝置 1a 係與樹脂密封體 9 形成為一體，成為在導線 5 間具有由樹脂密封體 9 的側面 9z 突出之樹脂體（突出樹脂）9a 之構造。此樹脂體 9a 係在依據移轉造型法以形成樹脂密封體 9 時，藉由樹脂由成形模具的模穴流入成形模具的對合面之導線間而形成。樹脂體 9a 有如本實施形態 1 般而使其殘留之情形，也有在製造製程中加以去除之情形。

接著，利用第 8 圖至第 11 圖來說明半導體裝置 1a 之製造所使用的導線架。

如第 8 圖所示般，導線架 LF 例如係成為以行列狀配置以包含外框部及內框部之框架本體（支撐體）15 所區分之複數的產品形成領域（裝置形成領域）16 之多聯構造。如第 9 圖至第 11 圖所示般，在各產品形成領域 16 配置有複數之導線 5、晶片支撐體 7、4 根之吊掛導線 7a 等。複數之導線 5 係分成 4 個導線群而配置，各導線群之導線 5 係與框架本體 15 形成為一體。另外，晶片支撐體 7 係藉由 4 根之吊掛導線 7a 而與框架本體 15 形成為一體。

複數之導線 5 之各個係成為具有第 1 面 5x、第 2 面 5y、第 1 前端面 5m1、及凹部 6 之構造。此處，在第 9 圖至第 11 圖中，符號 18 係由框架本體 15 切斷分離導線 5 時之切斷線，符號 19 係被樹脂密封之造型線（密封線）。切斷線 18 係為在框架本體 15 與造型線 19 之間。另外，在第 11 圖中，以剖面線顯示凹部 6。

凹部 6 係設置在由切斷導線 5 後之切斷面露出之位置，即切斷線 18 的自治。在本實施形態 1 中，凹部 6 係橫跨切斷線 18（橫穿）而設置。另外，在第 5 圖所示之導線 5 中，第 2 前端面 5m2 係以第 5 圖所示之切斷線 18 切斷導線 5 時之切斷面。因此，凹部 6 由前端面 5m2 露出之導線 5 係可以藉由如本實施形態 1 般，橫跨切斷線 18 而設置凹部 6，或者一部份觸及切斷線 18 而設置凹部 6 而形成。

晶片支撐體 7、及吊掛導線 7a 之第 1 部份（未圖示

出) 係比導線 5 之第 1 面 5x 與第 2 面 5y 之間的厚度薄。晶片支撐體 7、吊掛導線 7a 之第 1 部份及凹部 6 係在導線架 LF 之製造中，藉由下工夫在形成特定的導線圖案時之蝕刻而形成。

如此構成之導線架 LF 係藉由對由 Cu(銅)、或者 Cu 系合金、或者 Fe(鐵)-Ni(鎳)系合金等所成之金屬板施以蝕刻加工、或者沖壓加工、或者蝕刻加工及沖壓加工以形成特定之導線圖案而製造。

接著，利用第 12 圖至第 16 圖來說明半導體裝置 1a 之製造。

首先，準備第 8 圖至第 11 圖所示之導線架 LF 的同時，準備第 4 圖所示之半導體晶片 2。

接著，如第 12(a) 圖所示般，於導線架 LF 之各產品形成領域 16 搭載半導體晶片 2。半導體晶片 2 的搭載係藉由在晶片支撐體 7 之主面藉由接著材料 4 而接著固定半導體晶片 2 的背面 2y 所進行。

接著，在導線架 LF 之各產品形成領域 16 中，如第 12(b) 圖所示般，以複數之錫線 8 分別電性連接半導體晶片 2 的複數之焊接錫墊 3 與複數之導線 5。錫線 8 係以 1 次連接半導體晶片 2 的焊接錫墊 3，2 次連接導線 5 之第 1 面 5x 之正焊接方式之釘頭式焊接法來進行。

接著，如第 13(a) 圖所示般，在成形模具 20 之上模 20a 與下模 20b 之間定位導線架 LF。導線架 LF 之定位係在導線架 LF 之背面(與導線 5 的第 2 面 5y 同一側之

面)與下模 20b 之對合面之間介有薄片 22 之狀態而進行。薄片 22 例如係使用可耐造型時之加熱溫度，可以成形模具之鎖模力(夾緊力、夾持力)壓潰之樹脂製者。

另外，導線架 LF 之定位，係在導線架 LF 於各製品形成範圍，所各自設置之模孔 21 之內部中，定位有半導體片 2，導線 5，晶片支撐體 7，吊桿 7a，鉚線 8 等之狀態下，而被進行。

另外，導線架 LF 之定位，係左導線 5 經過模孔 21 和上模 20a 之對合面而定位，且導線 5 之非密封部份定位於上模 20a 之對合面和下模 20b 之對合面之間的狀態下，所進行。

另外，導線架 LF 之定位係藉由在上模 20a 的對合面與下模 20b 的對合面由上下方向鎖緊(壓下)導線 5 的非密封部份、及對應此導線 5 的非密封部份之薄片 22 的部份而進行。

另外，導線架 LF 之定位係在藉由上模 20a 與下模 20b 之鎖緊力(夾緊力、夾持力)壓潰薄片 22 以使導線 5 進入薄片 22 之狀態而進行。

另外，導線架 LF 之定位係在導線 5 的凹部 6 配置於模穴 21 的外側(造型線 19 的外側)，即上模 20a 之對合面與下模 20b 之對合面之間的狀態下進行。

接著，如前述般，在定位導線架 LF 之狀態下，由成形模具 20 的澆注罐通過挑選部、流道及樹脂注入澆口而在模穴 21 的內部加壓注入例如環氧樹脂系之熱硬化性樹

脂，如第 13 (b) 圖所示般，形成樹脂密封體 9。半導體晶片 2、導線 5、晶片支撐體 7、吊掛導線 7a、鐳線 8 等係藉由樹脂密封體 9 所密封，導線 5 之第 2 面 5y 係由樹脂密封體 9 的背面 9y 露出。

在此工程中，凹部 6 係在導線 5 的寬度方向中，由相互位於相反側之兩側面（2 個側面）分開設置，而且，導線 5 之第 2 面 5y 係被按壓在薄片 22 故，可以抑制樹脂侵入凹部 6 中之不良。

接著，剝離貼合在導線架 LF 之背面的薄片 22，由成形模具 20 取出導線架 LF，之後，施以促進樹脂密封體 9 之硬化之熟成工程後，如第 15 圖所示般，在包含導線 5 之第 2 面 5y 及凹部 6 之內壁面之導線架 LF 的表面形成電鍍層 10。電鍍層 10 之形成例如以適合大量生產之電解電鍍法進行。

接著，將導線架 LF 搬運於切斷裝置，沿著切斷線 18（參照第 11 圖），切斷導線 5。導線 5 之切斷係如第 16 圖所示般，在以切斷模具 25 之沖壓導軌 26 與承受台 27 中由上下方向壓住導線 5 之非密封部份（由樹脂密封體 9 的側面突出之部份）及框架本體 15 後，由沖壓導軌 26 側朝向承受台 27 側使切斷沖床 28 上升，藉由基於此切斷沖床 28 與承受台 27 之剪斷動作而進行。

在此工程中，凹部 6 係設置在由切斷導線 5 時之切斷面露出之位置（切斷線 18）故，由切斷後之切斷面（第 2 前端面 5m2）露出。另外，凹部 6 之內壁面被以電鍍層

10 覆蓋故，在設置於導線 5 的第 2 面 5y 之電鍍層 10 外，設置在凹部 6 之內壁面之電鍍層 10 由切斷面（第 2 前端面 5m2）露出。藉此，幾乎完成第 1 圖至第 6 圖所示之半導體裝置 1a。

另外，導線 5 之切斷方法也可不採用由沖壓導軌 26 側朝向承受台 27 側使切斷沖床 28 上升之方法，由承受台 27 側朝向沖壓導軌 26 側使切斷沖床 28 下降之方法亦可。另外進而也可以是藉由切刀之切斷方法。

接著，利用第 17 圖及第 18 圖來說明半導體裝置 1a 之構裝。

如第 17 圖及第 18 圖所示般，半導體裝置 1a 係焊錫構裝在配線基板 30。焊錫構裝例如係以迴焊法進行。具體為，首先，在配線基板 30 的構裝面之電極鉗墊（焊點、腳印）31 上例如以網版印刷法供給糊狀之焊料，之後，定位半導體裝置 1a 之外部連接用端子部（導線 5 之第 2 面 5y）位於配線基板 30 之電極鉗墊 31 上後，在配線基板 30 的構裝面搭載半導體裝置 1a，之後，將配線基板 30 例如搬運於紅外線迴焊爐，之後，融解焊料，之後，使其凝固。藉此，半導體裝置 1a 之導線 5 藉由焊料 32 而固定在配線基板 30 的電極鉗墊 31，電性且機械式地連接著。

此處，在習知的導線之第 2 前端面（由樹脂密封體之側面突出之前端面）沒有形成電鍍層故，在配線基板焊錫構裝半導體裝置時，焊料並不沾黏在導線 5 的第 2 前端

面。相對於此，本實施形態 1 之導線 5 係如第 5 圖所示般，具有由第 2 面 5y 凹向第 1 面 5x，與第 2 前端面 5m2 相連之凹部 6，進而，設置在凹部 6 之內壁面之電鍍層 10 由第 2 前端面 5m2 露出故，如第 17 圖及第 18 圖所示般，焊料 32 沾黏在導線 5 的第 2 前端面 5m2，在導線 5 之第 2 前端面 5m2 形成焊料填角。如此，藉由焊料 32 沾黏於導線 5 之前端面 5m2，導線 5 與焊料 32 之接合面積增加，配線基板 30 之電極鉗墊 31 與半導體裝置 1a 之導線 5 的接合強度增加故，可以謀求半導體裝置 1a 之構裝可靠性提升。

另外，相當於凹部 6 之深度部份會導致導線 5 與焊料 32 之接合面積增加，配線基板 30 之電極鉗墊 31 與半導體裝置 1a 之導線 5 的接合強度增加故，進而可以謀求半導體裝置 1a 之構裝可靠性提升。

QFN 形半導體裝置之小型化（平面尺寸之縮小）可藉由使半導體晶片 2 之側面與樹脂密封體 9 之側面 9z 間之距離縮短而進行。但是，爲了使半導體晶片 2 的側面與樹脂密封體 9 之側面 9z 之間的距離變短，需要使導線 5 的長度變短，導線 5 的第 2m 面（外部連接用端子部）5y 之長度也變短。導線 5 之第 2 面 5y 如變短，在半導體裝置之焊錫構裝時，導線 5 與焊料之接合面積變小，配線基板 30 之電極鉗墊 31 與導線 5 之接合面積變小故，發生半導體裝置 1a 由配線基板 30 剝離之構裝不良的可能性高。

相對於此，在本實施形態 1 中，如前述般，藉由焊料

32 沾黏在導線 5 的第 2 前端面 5m2，導線 5 與焊料 32 之接合面積增加，另外，相當於凹部 6 的深度部份會導致導線 5 與焊料 32 之接合面積增加故，起因於半導體裝置 1a 之小型化，即使導線 5 之第 2 面 5y 的長度變短，也可以抑制半導體裝置 1a 由配線基板 30 剝離之構裝不良的產生。即可一面確保構裝可靠性一面謀求半導體裝置 1a 之小型化。

另外，如依據本發明人之檢討，導線 5 與焊料 32 之接合面積增加也可藉由將由導線 5 的第 2 面 5y 凹向第 1 面 5x 側，與在導線 5 的寬度方向中相互位於相反側之導線 5 的兩側面相連之凹部設置在導線 5 的切斷部（切斷線 18）而進行。但是，在此種凹部之情形，於造型工程中，流入導線間之樹脂侵入凹部中，凹部被以樹脂所覆蓋故，在形成電鍍層 10 之前，需要去除樹脂，會導致製造成本之增加。相對於此，在本實施形態 1 之凹部 6 係由導線 5 的兩側面分開設置故，流入導線間之樹脂不會侵入凹部 6 中。

另外，導線 5 與焊料 32 之接合面積增加，也可藉由在導線 5 的切斷部設置橫跨導線 5 的第 1 面 5x 與第 2 面 5y 而貫穿之貫穿孔而進行。在此種貫穿孔之情形，流入導線間之樹脂不會侵入故，成形模具 20 之上模 20a 的對合面與導線 5 之第 1 面 5x，其密接性低故，極為少數之樹脂流入此兩者之間，此流入之樹脂侵入貫穿孔。此不限於設置貫穿孔，在導線 5 的第 1 面 5x 側形成凹部之情

形，也有相同之情形。樹脂如由導線 5 的第 1 面 5x 側侵入時，凹部被以樹脂所覆蓋故，在形成電鍍層 10 前，需要去除樹脂，導致製造成本的增加。如增加成形模具 20 的鎖緊力至導線 5 塑性變形之程度，雖可抑制樹脂流入上模 20a 之對合面與導線 5 之第 1 面 5x 之間，但是，會導致製造產品率之降低。進而，如設置貫穿孔，導線 5 的體積減少故，導線 5 之強度降低，會有導致構裝不良之虞。相對於此，本實施形態 1 之凹部 6 係無與導線 5 之第 1 面 5x 相連故，不需要增加成形模具 20 之鎖緊力至使導線 5 塑性變形之程度。另外，在導線 5 之第 2 面 5y 與下模 20b 之對合面之間設置薄片 22，比起下模 20b 之對合面與導線 5 之第 2 面 5y 之密接性，以導線 5 之第 2 面 5y 與薄片 22 之密接性高之故，樹脂不會流入薄片 22 與導線 5 之第 2 面 5y 之間。

如此，如依據本實施形態 1，可以謀求半導體裝置 1a 之構裝可靠性提升。另外，可一面確保構裝可靠性，一面謀求半導體裝置 1a 之小型化。另外，可以高產品率製造構裝可靠性高之半導體裝置 1a。另外，可以低成本製造構裝可靠性高之半導體裝置 1a。

（實施形態 2）

在本實施形態 2 中，係針對在導線設置脫落防止手段之半導體裝置使用本發明之例子做說明。

第 19 圖係顯示本發明之實施形態 2 之半導體裝置的

內部構造之一部份的模型剖面圖，第 20 圖係第 19 圖之導線的模型底面圖（下視圖）。

如第 19 圖所示般，本實施形態 2 之半導體裝置 1b 基本上係與前述之實施形態 1 相同之構造，只是導線 5 之構造不同。

即如第 19 圖及第 20 圖所示般，導線 5 係在前述構造外，具有位於第 1 面 5x 之相反側，且比第 2 面 5y 更位於第 1 面 5x 側之第 3 面 5y1 之構造。第 3 面 5y1 係與第 1 前端面 5m1 相連，位於樹脂密封體 9 之中，由樹脂密封體 9 之複數所覆蓋。第 3 面 5y1 係以抑制導線 5 由樹脂密封體 9 剝離之不良的目的而設置。

在導線 5 設置第 3 面 5y1 以謀求導線脫落防止之情形，導線 5 之第 2 面 5y 的長度變短，在配線基板 30 焊錫構裝半導體裝置 1b 時，導線 5 與焊料 32 之接合面積變小，配線基板 30 之電極鉚墊 31 與半導體裝置 1b 之導線 5 的接合強度雖降低，但是，在導線 5 設置有凹部 6 之故，可以抑制基於設置第 3 面 5y1 之接合面積的縮小。因此，本發明在導線 5 設置脫落防止手段之半導體裝置有效。

第 3 面 5y1 係在導線架之製造中，藉由下工夫於蝕刻而可容易形成。另外，在導線架之製造中，於形成導線後，藉由對導線施以彎曲成形，也可以容易地形成。在此情形下，第 1 面 5x 係變成具有包含高度不同之部份的構造，具體為，連接有鉚線之第 1 部份，及高度位置比此第

1 部份低的第 2 部份之構造。

（實施形態 3）

在本實施形態 3 中，針對改變設置於導線之凹部的形狀之第 1 變形例做說明。

第 21 圖係顯示本發明之實施形態 3 之半導體裝置的內部構造之一部份之模型剖面圖。

第 22 圖係第 21 圖之導線的模型底面圖（下視圖）。

前述之實施形態 1 之凹部 6 係設置在比樹脂密封體 9 的側面 9z 更位於外側。本實施形態 3 之凹部 6 係如第 21 圖所示般，橫跨樹脂密封體 9 之側面 9z 之外側與內側而設置。凹部 6 係如第 22 圖所示般，由導線 5 的第 2 前端面 5m2 露出，在導線 5 的寬度方向中，由相向之兩側面及第 1 前端面 5m1 分開設置。藉由作成此種構造，與前述之實施形態 1 相比，在焊錫構裝半導體裝置 1c 時，導線 5 與焊料 32 之接合面積增加，配線基板 30 之電極鉚墊 31 與半導體裝置 1c 之導線 5 的接合強度增加故，進而可以謀求半導體裝置 1c 之構裝可靠性提升。

（實施形態 4）

在本實施形態 4 中，針對改變設置於導線之凹部之形狀之第 2 變形例做說明。

第 23 圖係顯示本發明之實施形態 4 之半導體裝置的內部構造之一部份的模型剖面圖，第 24 圖係第 23 圖之導

線的模型底面圖（下視圖）。

在前述之實施形態 1 及 2 中，雖針對與導線 5 之第 2 前端面 5m2 相連之凹部 6 做說明，但是，本實施形態 4 之凹部 6 係由在導線 5 之寬度方向中相對之兩側面、第 1 前端面 5m1、及第 2 前端面 5m2 分開而設置。進而，本實施形態 4 之凹部 6 係橫跨樹脂密封體 9 之側面 9z 之外側與內側而點狀分布地設置複數個。藉由作成此種構造，在將半導體裝置 1d 焊錫構裝於配線基板 30 時，導線 5 與焊料 32 之接合面積增加，配線基板 30 之電極鉗墊 31 與半導體裝置 1d 之導線 5 的接合強度增加故，在本實施形態 4 中，也可以謀求半導體裝置 1d 之構裝可靠性提升。另外，可以一面確保構裝可靠性，一面謀求半導體裝置 1d 之小型化。

（實施形態 5）

在本實施形態 5 中，係針對改變設置於導線之凹部的形狀之第 3 變形例做說明。

第 25 圖係顯示本發明之實施形態 5 之半導體裝置的內部構造之重要部位模型剖面圖，第 26 圖係第 25 圖之導線的模型底面圖（下視圖）。

本實施形態 5 之導線 5 係具有：位於樹脂密封體 9 之主面 9x 與背面 9y 之間的第 1 面 5x，及位於第 1 面 5x 之相反側，且由樹脂密封體 9 之背面 9y 露出之第 2 面 5y，及位於半導體晶片 2 側之第 1 前端面 5m1，及位於第 1 前

端面 5m1 之相反側，且由樹脂密封體 9 之側面 9z 露出之第 2 前端面 5m2，及由第 2 面 5y 凹向第 1 面 5x 側之複數的凹部 6，複數之凹部 6 中之至少其中一個係與導線 5 之第 2 前端面 5m2 相連，第 2 面 5y、及複數之凹部 6 之各內壁面係以焊錫濡濕性比導線 5 之第 2 前端面 5m2 高的電鍍層 10 所覆蓋。複數之凹部 6 係橫跨樹脂密封體 9 之側面 9z 之外側與內側而點狀分布著。

在具有此種構造之導線 5 的半導體裝置 1e 中，可以獲得與前述之實施形態 1 相同之效果。

（實施形態 6）

在本實施形態中，針對在使由樹脂密封體之背面露出晶片支撐體之半導體裝置使用本發明之例子做說明。

第 27 圖係顯示本發明之實施形態 6 之半導體裝置之外觀構造的模型底面圖（下視圖），第 28 圖係沿著第 27 圖之 c-c 線之重要部位模型剖面圖。

本實施形態 6 之半導體裝置 1f 係如第 27 圖及第 28 圖所示般，半導體晶片 2 的背面 2y 藉由接著材料 4 而接著在晶片支撐體 7 之主面（晶片搭載面）7x，晶片支撐體 7 之主面 7x 與相反側之背面 7y 係由樹脂密封體 9 之背面 9y 露出之封裝構造。在晶片支撐體 7 設置由其之背面 7y 凹向其之主面 7x 之凹部 35。凹部 35 係由晶片支撐體 7 之周圍分開而設置，與晶片支撐體 7 之側面不相連。凹部 35 的內壁面雖未圖示出，但是，與前述之凹部 6 相同，

以電鍍層 10 所覆蓋。

半導體晶片 2 在積體電路動作時發熱。此發熱量大的情形，如本實施形態 6 般，由樹脂密封體 9 之背面 9y 使晶片支撐體 7 露出，於設置在配線基板之連接用錫墊焊接晶片支撐體 7 以謀求散熱提升。另外，作為積體電路而搭載高頻電路之情形，為了謀求電路動作之穩定化，使晶片支撐體 7 電位固定。晶片支撐體 7 之電位固定係藉由使晶片支撐體 7 由樹脂密封體 9 之背面 9y 露出，在設置於配線基板 30 之電源用電極錫墊焊接晶片支撐體 7 而進行。即晶片支撐體 7 之露出係以散熱性提升或電路動作之穩定化為目的而進行。

如此，藉由在晶片支撐體 7 設置凹部 35，於配線基板焊接構裝半導體裝置 1f 時，晶片支撐體 7 與焊料之接合面積增加故，在焊接晶片支撐體 7 之半導體裝置 1f 中，也可以謀求構裝可靠性之提升。

（實施形態 7）

在本實施形態 7 中，針對在面朝下構造之 QFN 型半導體裝置使用本發明之例子做說明。

第 29 圖係顯示本發明之實施形態 7 之半導體裝置的內部構造之重要部位模型剖面圖。

如第 29 圖所示般，本實施形態 7 之半導體裝置 1g 係使用突起狀電極 36 以作為電性連接半導體晶片 2 之焊接錫墊 3 與導線 5 之手段。突起狀電極 36 係介於半導體晶

片 2 之焊接鉚墊 3 與導線 5 之第 1 面 5x 之間，電性且機械性地連接兩者。在此種面朝下構造之半導體裝置 1g 中，可以獲得與前述實施形態 1 相同之效果。

（實施形態 8）

在前述之實施形態 1 中，雖針對使用個別方式之移送造型法以製造半導體裝置之例子做說明，但是，在本實施形態 8 中，針對以整批方式之移送造型法以製造半導體裝置之例子做說明。

第 30 圖係顯示本實施形態 8 之半導體裝置的內部構造圖（(a)係去除樹脂密封體之上部狀態的模型平面圖，（b）係沿著（a）之 d-d 線之模型剖面圖），

第 31 圖係放大第 30（b）圖之一部份之模型剖面圖，

第 32 圖係本實施形態 8 之半導體裝置之製造所使用的導線架之模型平面圖，

第 33 圖係放大第 32 圖的一部份以顯示背面側之模型底面圖，

第 34 圖係顯示本實施形態 8 之半導體裝置的製造工程圖（(a)係顯示鉚線工程之模型剖面圖，（b）係顯示樹脂密封工程之模型剖面圖），

第 35 圖係顯示接續第 34 圖之半導體裝置之製造工程圖（(a)係顯示電鍍工程之模型剖面圖，（b）係顯示切斷工程之模型剖面圖），

第 36 圖係顯示在第 35 (b) 圖所示之樹脂密封工程中所形成的樹脂密封體之模型平面圖。

如第 30 圖及第 31 圖所示般，本實施形態 8 之半導體裝置 1h 基本上係與前述之實施形態 1 相同之構造，只有以下的構造不同。

即樹脂密封體 9 係其主面 9x 與背面 9y 之外型尺寸幾乎相同，樹脂密封體 9 之側面 9z 係對於其之主面 9x 及背面 9y 幾乎為垂直。另外，導線 5 之第 2 前端面 5m2 係與樹脂密封體 9 之側面 9z 幾乎相同（同一平面）。

在本實施形態 8 之半導體裝置 1h 之製造中，係採用使用具有複數之產品形成領域之導線架 LF1（參照第 32 圖及第 33 圖），整批樹脂密封搭載於各產品形成領域 16 之半導體晶片之整批方式的移送造型法。在採用整批方式之移送造型法之情形，於形成樹脂密封體後，導線架及樹脂密封體係分割（單片化）為各導線架之產品形成領域。以下，利用第 33 圖及第 35 圖說明半導體裝置 1h 之製造。

首先，準備第 32 圖及第 33 圖所示之導線架 LF1，之後，在導線架 LF1 之各產品形成領域 16 中，如第 34 (a) 圖所示般，在晶片支撐體 7 接著固定半導體晶片 2，之後，在導線架 LF 之各產品形成領域 16 中，如第 34 (a) 圖所示般，以複數之鉚線 8 分別電性連接半導體晶片 2 之複數的焊接鉚墊 3 與複數之導線 5。

接著，整批樹脂密封配置在導線架 LF 之各產品形成

(28)

領域 16 的半導體晶片 2，如第 34 (b) 圖及第 35 圖所示般，以 1 個之樹脂密封體 9 密封複數之產品形成領域 16。在各產品形成領域 16 中，導線 5 之第 2 面 5y 係由樹脂密封體 9 之背面 9y 露出。

接著，在各產品形成領域 16 中，如第 35 (a) 圖所示般，在導線 5 之第 2 面 5y 及凹部 6 的內壁面，例如以電解電鍍法形成覆蓋彼等之電鍍層 10。

接著，如第 35 (b) 圖所示般，使用例如切刀 37，沿著切斷線 18 切斷導線架 LF1 及樹脂密封體 9，形成單片之樹脂密封體 9。藉此，幾乎完成第 30 圖及第 31 圖所示之本實施形態 8 之半導體裝置 1h。

如此，在本實施形態 8 中，可以獲得與前述之實施形態 1 幾乎相同之效果。

(實施形態 9)

在本實施形態 9 中，針對在晶片支撐體 7 由樹脂密封體 9 的主面 9x 露出之 QON(Quad Out-line Non-Leaded Package：四邊外型無導線封裝)型半導體裝置使用本發明之例子做說明。

第 37 圖係顯示本發明之實施形態 9 之半導體裝置之內部構造之模型剖面圖。

如第 37 圖所示般，半導體裝置 1j 係使半導體晶片 2 之主面 2x 與樹脂密封體 9 之背面 9y 相對而搭載在晶片支撐體 7，晶片支撐體 7 係露出於樹脂密封體 9 之主面 9x。

此晶片支撐體 7 係形成爲比半導體晶片 2 之主面 2x 的面積還大，可以提升散熱性。半導體晶片 2 之焊接銲墊 3 與導線 5 之電性連接係以銲線 8 進行，銲線 8 之一端部係連接在半導體晶片 2 之焊接銲墊 3，與銲線 8 之一端部相反側之另一端部係在半導體晶片 2 的外側（周圍）中，連接於倒置之導線 5 的背面（第 3 面 5y2）。在此種 QON 型半導體裝置 1j 中，也可以獲得與前述之實施形態 1 同樣的效果。

另外，在本實施形態 9 中，雖以晶片支撐體 7 比半導體晶片 2 的主面 2x 之面積還大者做說明，但是，並不限定於此，比半導體晶片 2 之主面 2x 之面積小者亦可。

以上，雖依據前述實施形態而具體說明由本發明人所完成之發明，但是，本發明並不限定於前述實施形態，在不脫離其要旨之範圍內，不用說可有種種變更之可能。

例如，本發明也可以使用在無導線型半導體裝置之一種的 SON(Small Outline Non-leaded Package：小外型無導線型封裝)型半導體裝置。

【圖式簡單說明】

第 1 圖係顯示本發明之實施形態 1 之半導體裝置的外觀構造之模型平面圖（上視圖）。

第 2 圖係顯示本發明之實施形態 1 之半導體裝置之外觀構造之模型底面圖（下視圖）。

第 3 圖係放大第 2 圖之一部份之模型底面圖。

第 4 圖係顯示本發明之實施形態 1 之半導體裝置的內部構造圖（（a）係去除樹脂密封體之上部狀態的模型平面圖，（b）係沿著（a）之 a-a 線之模型剖面圖）。

第 5 圖係放大第 4（b）圖之一部份的模型剖面圖。

第 6 圖係顯示本發明之實施形態 1 之半導體裝置的外觀構造之一部份的模型側面圖。

第 7 圖係顯示第 5 圖之導線的背面側之模型斜視圖。

第 8 圖係顯示本發明之實施形態 1 之半導體裝置的製造所使用之導線架之一部份的模型平面圖。

第 9 圖係放大第 8 圖之一部份之模型平面圖。

第 10 圖係沿著第 9 圖之 b-b 線之模型剖面圖。

第 11 圖係顯示第 9 圖之相反側的背面之模型底面圖。

第 12 圖係顯示本發明之實施形態 1 之半導體裝置之製造工程圖（（a）係顯示晶片搭載工程之模型剖面圖，（b）係顯示焊接工程之模型剖面圖）。

第 13 圖係在接續第 12 圖之半導體裝置的製造工程中，顯示樹脂密封工程圖（（a）係顯示在成形模具定位導線架之狀態的模型剖面圖，（b）係顯示樹脂密封狀態之模型剖面圖）。

第 14 圖係放大第 13（a）圖之一部份之模型剖面圖。

第 15 圖係在接續第 13 圖之半導體裝置的製造工程中，顯示電鍍工程之模型剖面圖。

(31)

第 16 圖係在接續第 15 圖之半導體裝置的製造工程中，顯示切斷工程之模型剖面圖。

第 17 圖係顯示構裝本發明之實施形態 1 之半導體裝置之狀態的模型剖面圖。

第 18 圖係放大第 17 圖之一部份之模型剖面圖。

第 19 圖係顯示本發明之實施形態 2 之半導體裝置的內部構造之一部份的模型剖面圖。

第 20 圖係第 19 圖之導線的模型底面圖（下視圖）。

第 21 圖係顯示本發明之實施形態 3 之半導體裝置的內部構造之一部份的模型剖面圖。

第 22 圖係第 21 圖之導線的模型底面圖（下視圖）。

第 23 圖係顯示本發明之實施形態 4 之半導體裝置的內部構造之一部份的模型剖面圖。

第 24 圖係第 23 圖之導線的模型底面圖（下視圖）。

第 25 圖係顯示本發明之實施形態 5 之半導體裝置的內部構造之一部份之模型剖面圖。

第 26 圖係第 25 圖之導線的模型底面圖（下視圖）。

第 27 圖係顯示本發明之實施形態 6 之半導體裝置的外觀構造之模型底面圖（下視圖）。

第 28 圖係沿著第 27 圖之 c-c 線之模型剖面圖。

第 29 圖係顯示本發明之實施形態 7 之半導體裝置的內部構造之模型剖面圖。

第 30 圖係顯示本發明之實施形態 8 之半導體裝置的內部構造圖（（a）係去除樹脂密封體之上部狀態之模型

(32)

平面圖，（b）係沿著（a）之 d-d 線之模型剖面圖）。

第 31 圖係放大第 30（b）圖之一部份的模型剖面圖。

第 32 圖係本發明之實施形態 8 之半導體裝置之製造所使用之導線架的模型平面圖。

第 33 圖係放大第 32 圖之一部份而顯示相反側之背面的模型底面圖。

第 34 圖係顯示本發明之實施形態 8 之半導體裝置之製造工程圖（（a）係顯示焊接工程之模型剖面圖，（b）係顯示樹脂密封工程之模型剖面圖）。

第 35 圖係顯示接續第 34 圖之半導體裝置之製造工程圖（（a）係顯示電鍍工程之模型剖面圖，（b）係顯示切斷工程之模型剖面圖）。

第 36 圖係顯示在第 35（b）圖所示之樹脂密封工程中所形成之樹脂密封體之模型平面圖。

第 37 圖係顯示本發明之實施形態 9 之半導體裝置的內部構造之模型剖面圖。

【主要元件符號說明】

1a、1b、1c、1d、1e、1f、1g、1h、1j：半導體裝置，2：半導體晶片，3：電極（焊接銲墊），4：接著材料，5：導線，5x、5y、5y1：面，5m1、5m2：前端面，6：凹部，7：晶片支撐體，8：銲線，9：樹脂密封體，9a：突出樹脂（導線間樹脂），10：電鍍層，LF：導線

架，15：框架本體，16：產品形成領域，18：切斷線，
19：造型線，20：成形模具，20a：上模，20b：下模，
21：模穴，22：樹脂薄片，25：切斷模具，30：配線基板，
31：電極鉚墊，32：焊料，35：凹部，36：突起狀電極

五、中文發明摘要

發明之名稱：半導體裝置及其製造方法

[課題] 謀求半導體裝置之構裝可靠性的提升。

[解決手段] 半導體裝置之導線係具有：位於樹脂密封體之主面及與前述主面相反側之背面之間的第1面，及位於前述第1面之相反側，且由前述樹脂密封體之背面露出之第2面，及位於半導體晶片側之第1前端面，及位於前述第1前端面之相反側，且由前述樹脂密封體之側面露出之第2前端面，及由前述第2面凹向前述第1面側，且與前述第2前端面相連之凹部；

前述第2面及前述凹部的內壁面係以焊錫濡濕性高於前述導線的第2前端面之電鍍層所覆蓋。

六、英文發明摘要

發明之名稱：

(1)

十、申請專利範圍

1. 一種半導體裝置，其特徵為：具有，
具相互位於反向側之主面及背面，及配置在前述主面之複數的電極之半導體晶片，及
分別電性連接在前述半導體晶片之複數的電極之複數的導線，及
密封前述半導體晶片、前述複數的導線之樹脂密封體；
前述複數的導線係具有：位於前述樹脂密封體之主面，及與前述主面相反側之背面之間的第 1 面，及
位於前述第 1 面之相反側，且由前述樹脂密封體的背面露出之第 2 面，及
位於前述半導體晶片側之第 1 前端面，及
位於前述第 1 前端面之相反側，且由前述樹脂密封體之側面突出之第 2 前端面，及
由前述第 2 面凹向前述第 1 面側，且與前述第 2 前端面相連之凹部；
前述第 2 面及前述凹部之壁面，係被以焊錫濡濕性高於前述導線之第 2 前端面之電鍍層所覆蓋。
2. 如申請專利範圍第 1 項所記載之半導體裝置，其中，前述凹部係以前述導線的第 2 前端面為終端，由前述第 2 前端面露出。
3. 如申請專利範圍第 1 項所記載之半導體裝置，其中，前述電鍍層係以前述導線的第 2 前端面為終端，由前

述第 2 前端面露出。

4. 如申請專利範圍第 1 項所記載之半導體裝置，其中，前述凹部係由在前述導線之寬度方向中，相互位於相反側之前述導線的 2 個側面分開而設置。

5. 如申請專利範圍第 1 項所記載之半導體裝置，其中，前述第 2 前端面係切斷面。

6. 如申請專利範圍第 1 項所記載之半導體裝置，其中，前述第 1 及第 2 面係與前述第 2 前端面相連，
前述第 2 前端面係由前述樹脂密封體之側面突出。

7. 如申請專利範圍第 6 項所記載之半導體裝置，其中，前述凹部係設置在前述樹脂密封體之外側。

8. 如申請專利範圍第 1 項所記載之半導體裝置，其中，前述凹部係橫跨前述樹脂密封體之側面的外側與內側而設置。

9. 如申請專利範圍第 1 項所記載之半導體裝置，其中，進而具有分別電性連接前述半導體晶片的複數之電極與前述複數之導線的第 1 面之複數的銲線。

10. 如申請專利範圍第 9 項所記載之半導體裝置，其中，進而具有厚度比前述導線薄之晶片支撐體；

前述半導體晶片係其背面接著在前述晶片支撐體之第 1 面，

與前述晶片支撐體之第 1 面相反側之第 2 面，係以前述樹脂密封體之樹脂所覆蓋。

11. 如申請專利範圍第 1 項所記載之半導體裝置，其

(3)

中，進而具有晶片支撐體，

前述晶片支撐體係具有：接著有前述半導體晶片之第 1 面，及位於前述第 1 面之相反側，且由前述樹脂密封體之背面露出之第 2 面，及由前述第 2 面凹向前述第 1 面側，且由前述樹脂密封體之背面露出之凹部。

12. 如申請專利範圍第 1 項所記載之半導體裝置，其中，半導體晶片之複數的電極係藉由突起狀電極而分別電性連接於前述複數之導線的第 1 面。

13. 一種半導體裝置，其特徵為：具有，

具相互位於反向側之主面及背面，及配置在前述主面之複數的電極之半導體晶片，及

分別電性連接在前述半導體晶片之複數的電極之複數的導線，及

密封前述半導體晶片、前述複數的導線之樹脂密封體；

前述複數的導線係具有：位於前述樹脂密封體之主面，及與前述主面為相反側之背面之間的第 1 面，及

位於前述第 1 面之相反側，且由前述樹脂密封體的背面露出之第 2 面，及

由前述第 2 面凹向前述第 1 面側之凹部；

前述第 2 面及前述凹部之壁面，係被以焊錫濡濕性高於前述導線之第 2 前端面之電鍍層所覆蓋。

14. 如申請專利範圍第 13 項所記載之半導體裝置，其中，前述凹部係設置為複數個。

(4)

15. 一種半導體裝置，其特徵為：具有，
具相互位於反向側之主面及背面，及配置在前述主面
之複數的電極之半導體晶片，及
分別電性連接在前述半導體晶片之複數的電極之複數
的導線，及

密封前述半導體晶片、前述複數的導線之樹脂密封
體；

前述複數的導線係具有：位於前述樹脂密封體之主
面，及與前述主面相反側之背面之間的第 1 面，及

位於前述第 1 面之相反側，且由前述樹脂密封體的背
面露出之第 2 面，及

位於前述半導體晶片側之第 1 前端面，及

位於前述第 1 前端面之相反側，且由前述樹脂密封體
之側面突出之第 2 前端面，及

由前述第 2 面凹向前述第 1 面側之複數的凹部；

前述複數之凹部中的至少其中一個，係與前述導線之
第 2 前端面相連，

前述第 2 面及前述複數之凹部之各個的壁面，係被以
焊錫濡濕性高於前述導線之第 2 前端面之電鍍層所覆蓋。

16. 如申請專利範圍第 15 項所記載之半導體裝
置，其中，前述第 1 及第 2 面係與前述第 2 前端面相連，

前述第 2 前端面係由前述樹脂密封體之側面突出，

前述複數之凹部係橫跨前述樹脂密封體之側面的外側
與內側而點狀分布。

(5)

17. 一種半導體裝置之製造方法，其特徵為具有：

準備具有以樹脂密封體所密封之半導體晶片及導線，
前述導線係具有橫跨前述樹脂密封體之內外而延伸存在，
且由前述樹脂密封體的側面突出之第 1 面，及位於前述第 1 面之相反側，且由前述樹脂密封體的背面露出，延伸至
前述樹脂密封體的側面之外側之第 2 面，及由前述第 2 面
凹向前述第 1 面側之凹部之導線架之工程，及

在前述導線之第 2 面及前述凹部之內壁壁面形成焊錫
濡濕性高於前述導線之第 2 前端面之電鍍層之工程，及

前述凹部由切斷後之切斷面露出而切斷前述導線之工
程。

18. 如申請專利範圍第 17 項所記載之半導體裝置之
製造方法，其中，前述凹部係由在前述導線之寬度方向
中，相互位於相反側之前述導線的 2 個側面分開而設置。

19. 一種半導體裝置之製造方法，其特徵為具有：

準備具有具備相互位於相反側之第 1 及第 2 面，及由
前述第 2 面凹向前述第 1 面側之凹部之導線的導線架之工
程，及

形成密封前述導線之一部份，且前述導線之第 2 面由
背面露出之樹脂密封體之工程，及

在前述導線之第 2 面及前述凹部的內壁面形成焊錫濡
濕性高於前述導線之第 2 前端面之電鍍層之工程，及

前述凹部由切斷後之切斷面露出而切斷前述導線之工
程。

(6)

20. 如申請專利範圍第 19 項所記載之半導體裝置之製造方法，其中，前述凹部係由在前述導線之寬度方向中，相互位於相反側之前述導線的 2 個側面分開而設置。

21. 如申請專利範圍第 19 項所記載之半導體裝置之製造方法，其中，前述導線架進而具有晶片支撐體，

在前述樹脂密封體形成工程之前，進而具有：在前述晶片支撐體接著半導體晶片之工程，及以鉚線電性連接前述半導體晶片之電極與前述導線之工程。

22. 一種半導體裝置之製造方法，其特徵為具有：

準備具有具備相互位於相反側之第 1 及第 2 面，及由前述第 2 面凹向前述第 1 面側之凹部之導線的導線架之工程，及

形成密封前述導線之一部份，且前述導線之第 2 面由背面露出之樹脂密封體之工程，及

在包含前述凹部的內壁面之前述導線的第 2 面形成焊錫濡濕性高於前述導線之第 2 前端面之電鍍層之工程，及切斷前述導線之工程。

23. 如申請專利範圍第 22 項所記載之半導體裝置之製造方法，其中，前述凹部係設置為複數個。

24. 如申請專利範圍第 22 項所記載之半導體裝置之製造方法，其中，前述凹部係由在前述導線之寬度方向中，相互位於相反側之前述導線的 2 個側面分開而設置。

25. 一種半導體裝置之製造方法，其特徵為具有：

準備具有具備相互位於相反側之第 1 及第 2 面，及由

(7)

前述第 2 面凹向前述第 1 面側之凹部之導線的導線架之工程，及

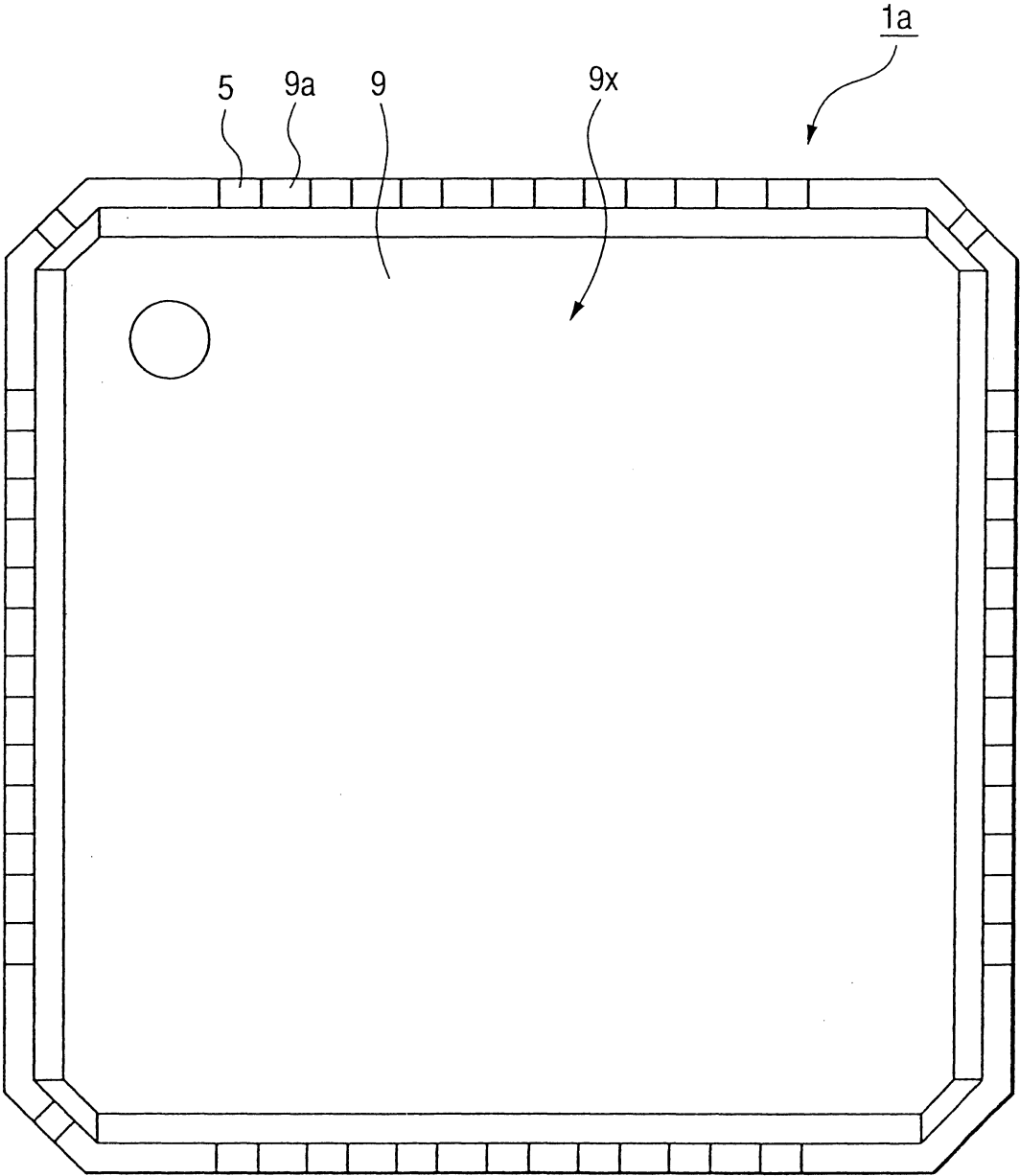
形成密封前述導線之一部份，且前述導線之第 2 面由背面露出之樹脂密封體之工程，及

在前述導線之第 2 面及前述複數之凹部的各個之內壁面形成焊錫濡濕性高於前述導線之第 2 前端面之電鍍層之工程，及

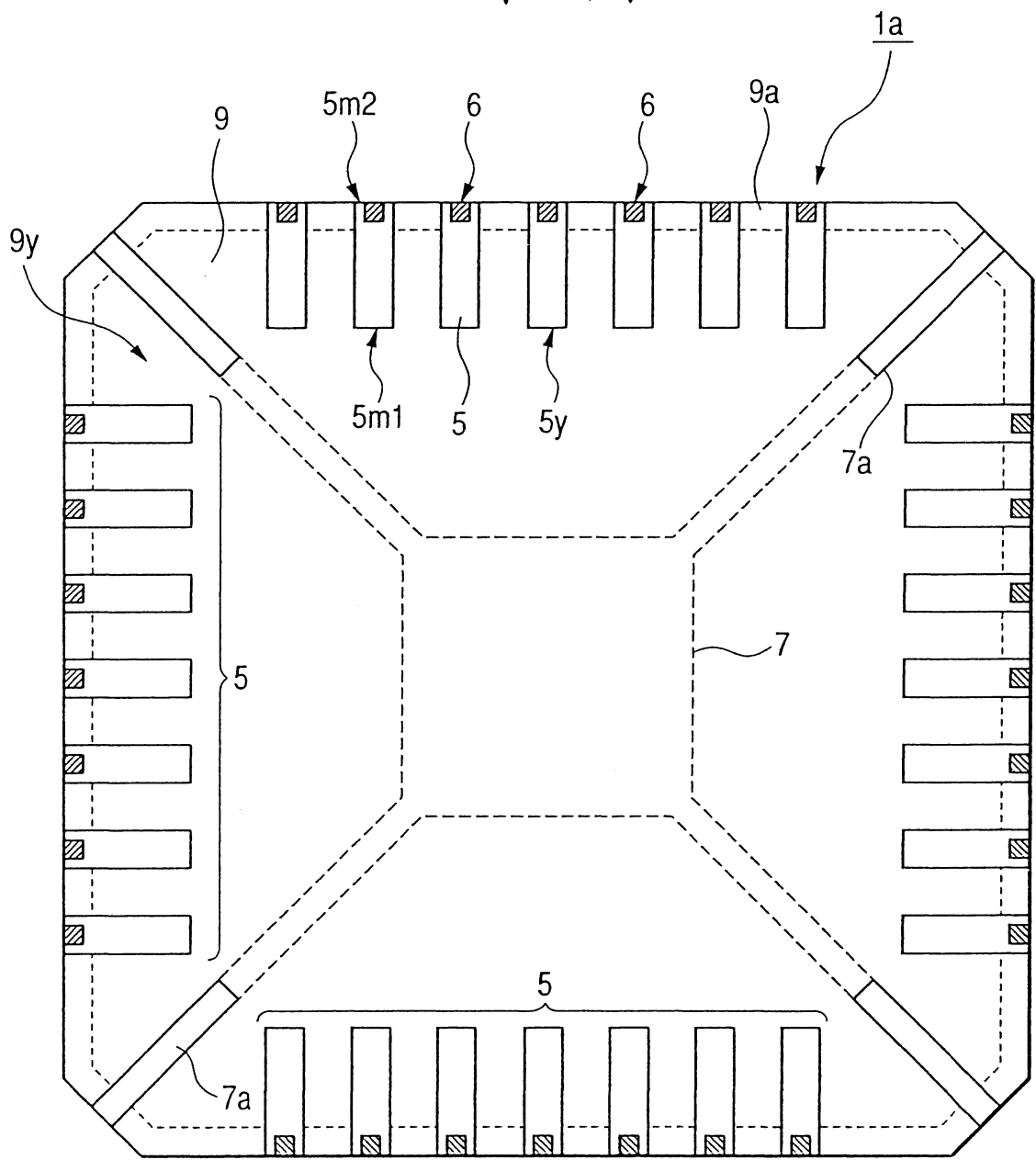
前述複數的凹部中之至少其中一個由切斷後之切斷面露出而切斷前述導線之工程。

26. 如申請專利範圍第 25 項所記載之半導體裝置之製造方法，其中，前述複數之凹部係由在前述導線之寬度方向中，相互位於相反側之前述導線的 2 個側面分開而設置。

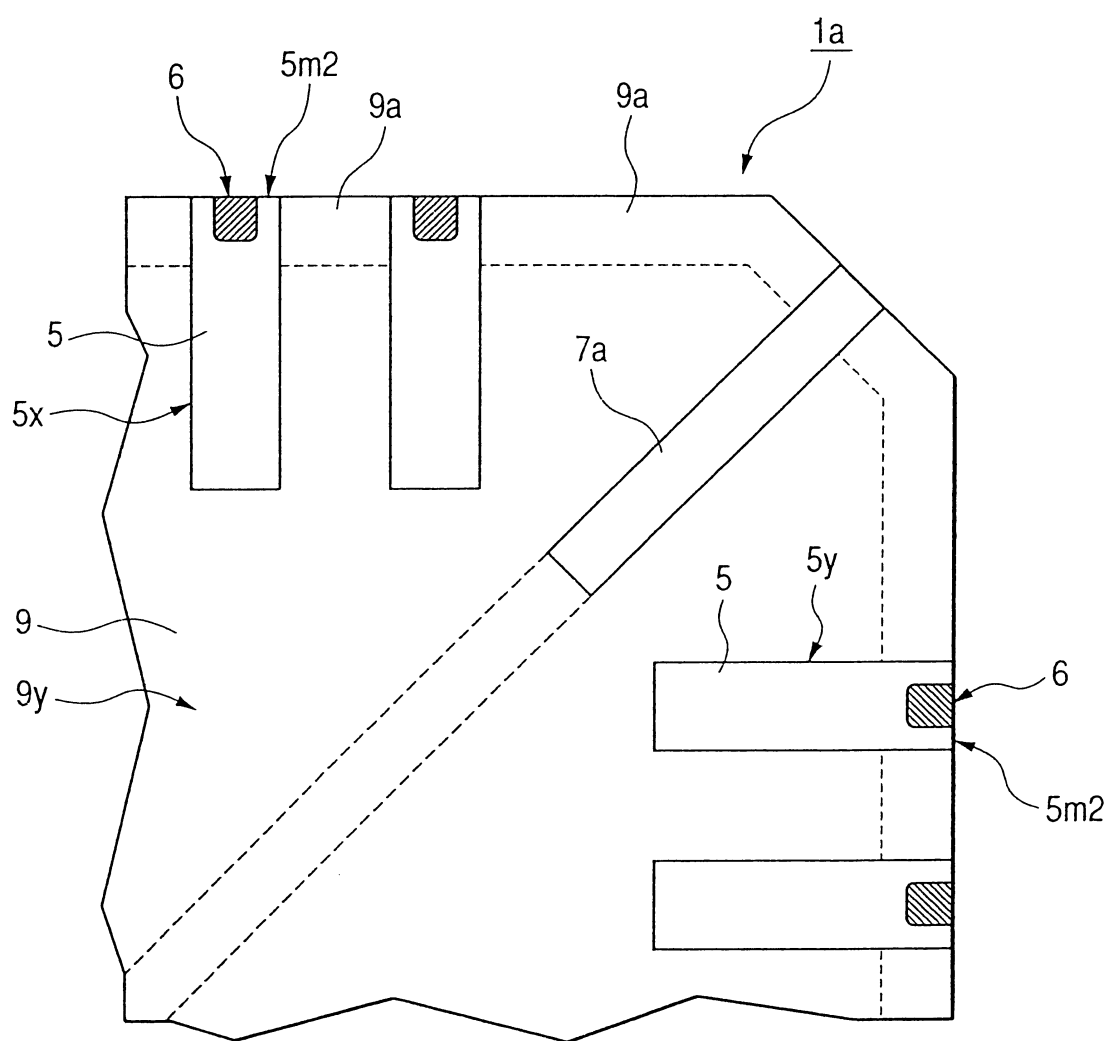
第1圖



第2圖

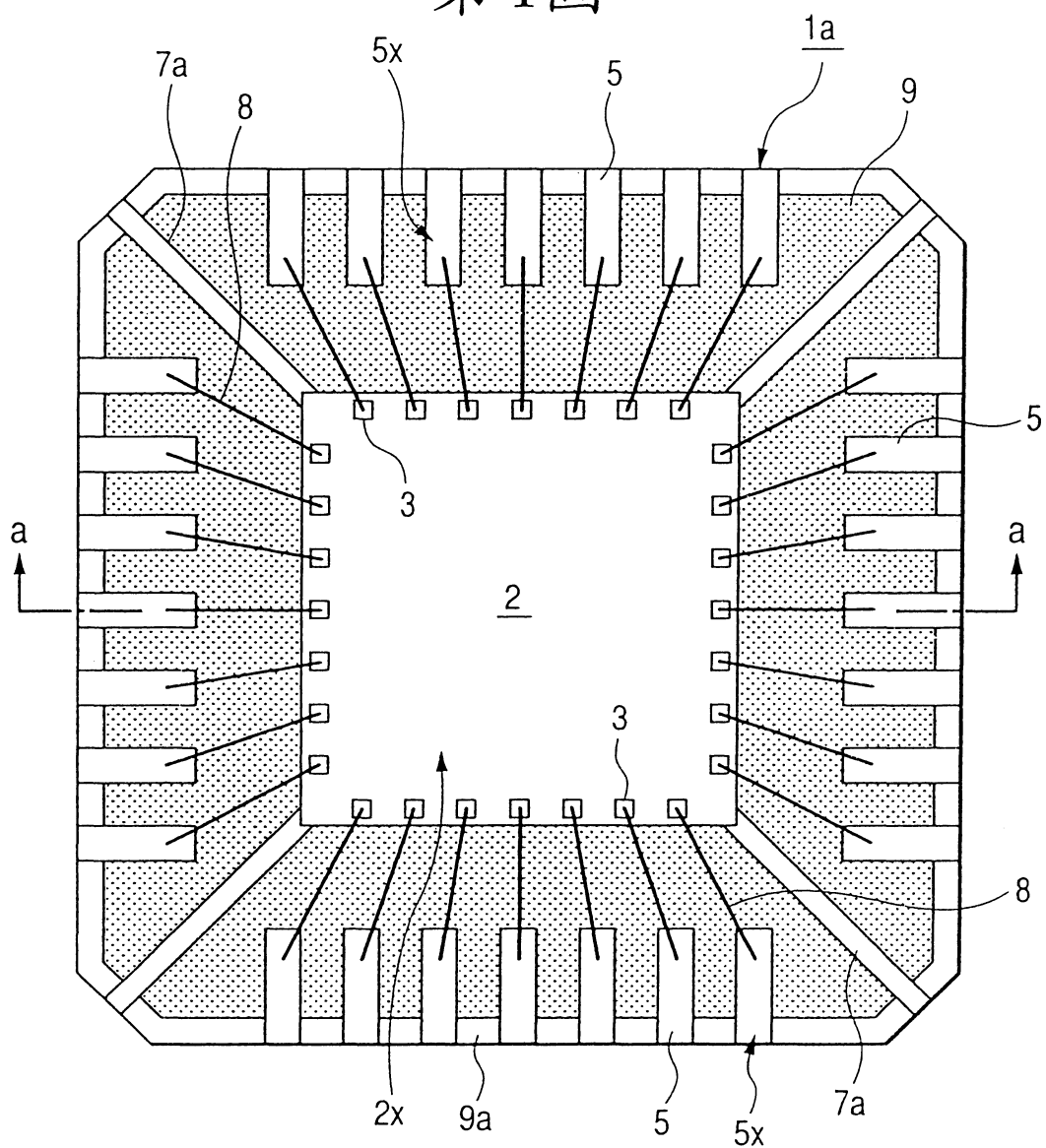


第3圖

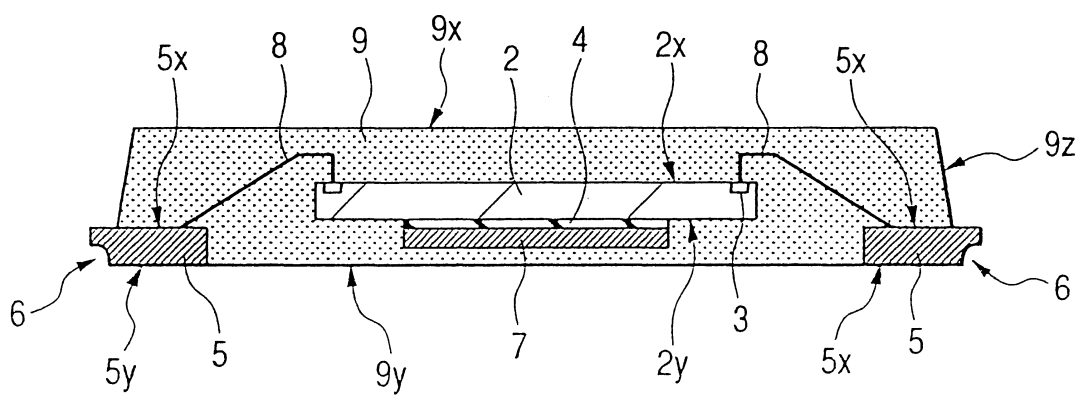


第4圖

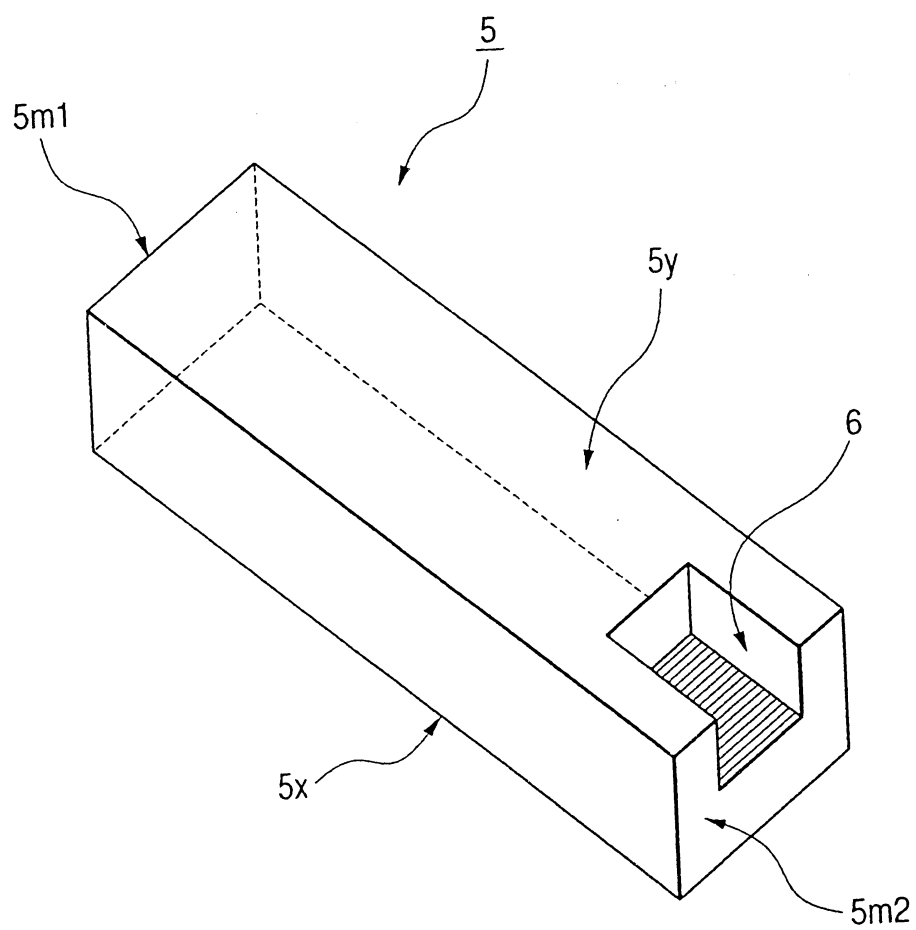
(a)



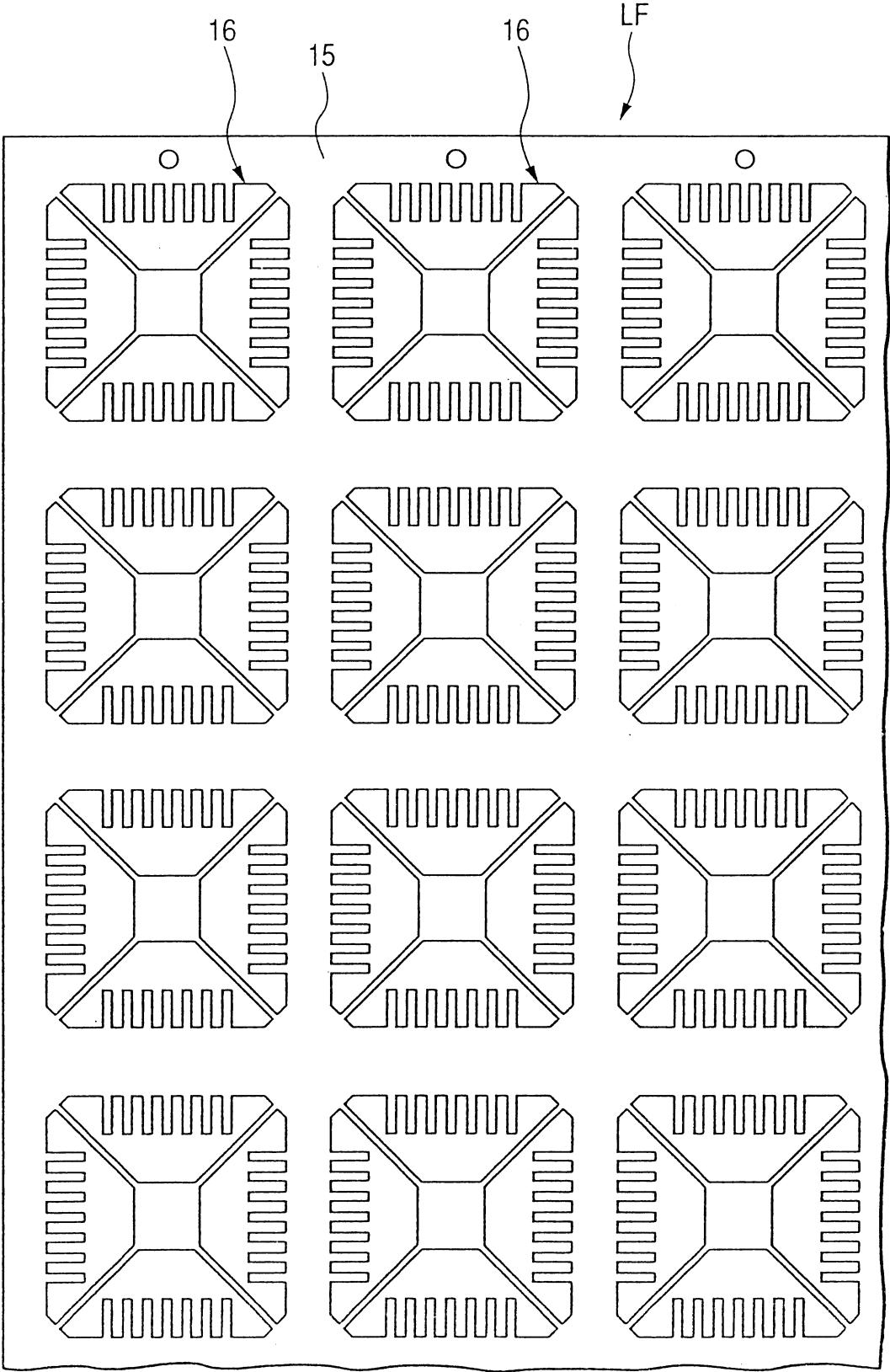
(b)



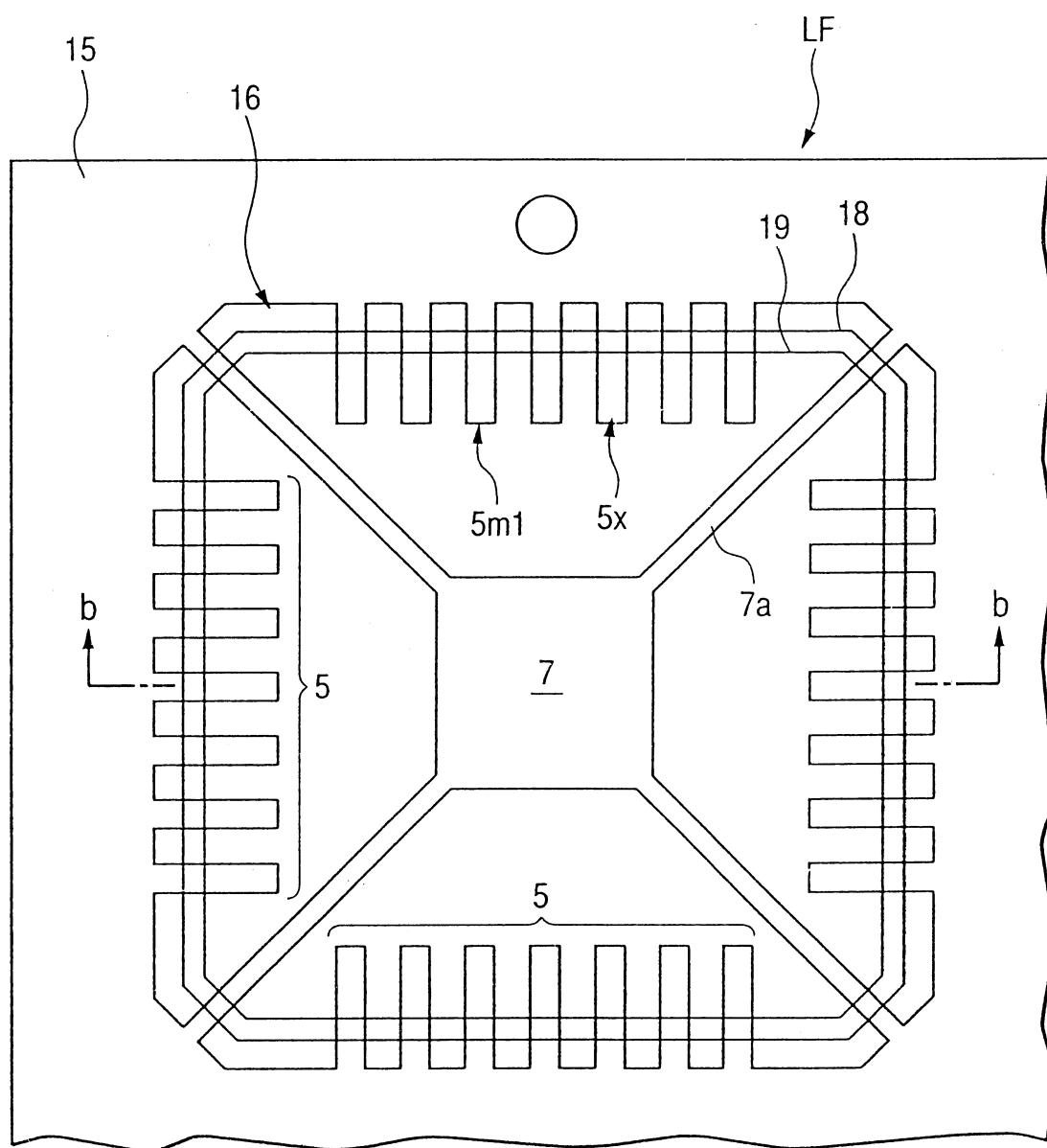
第7圖



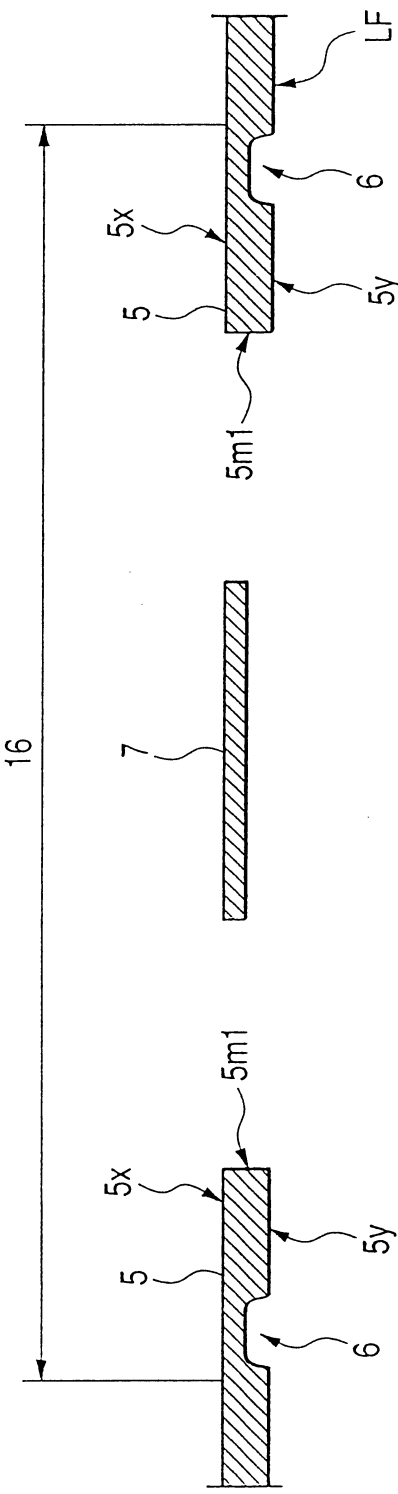
第8圖



第9圖



第10圖



第11圖

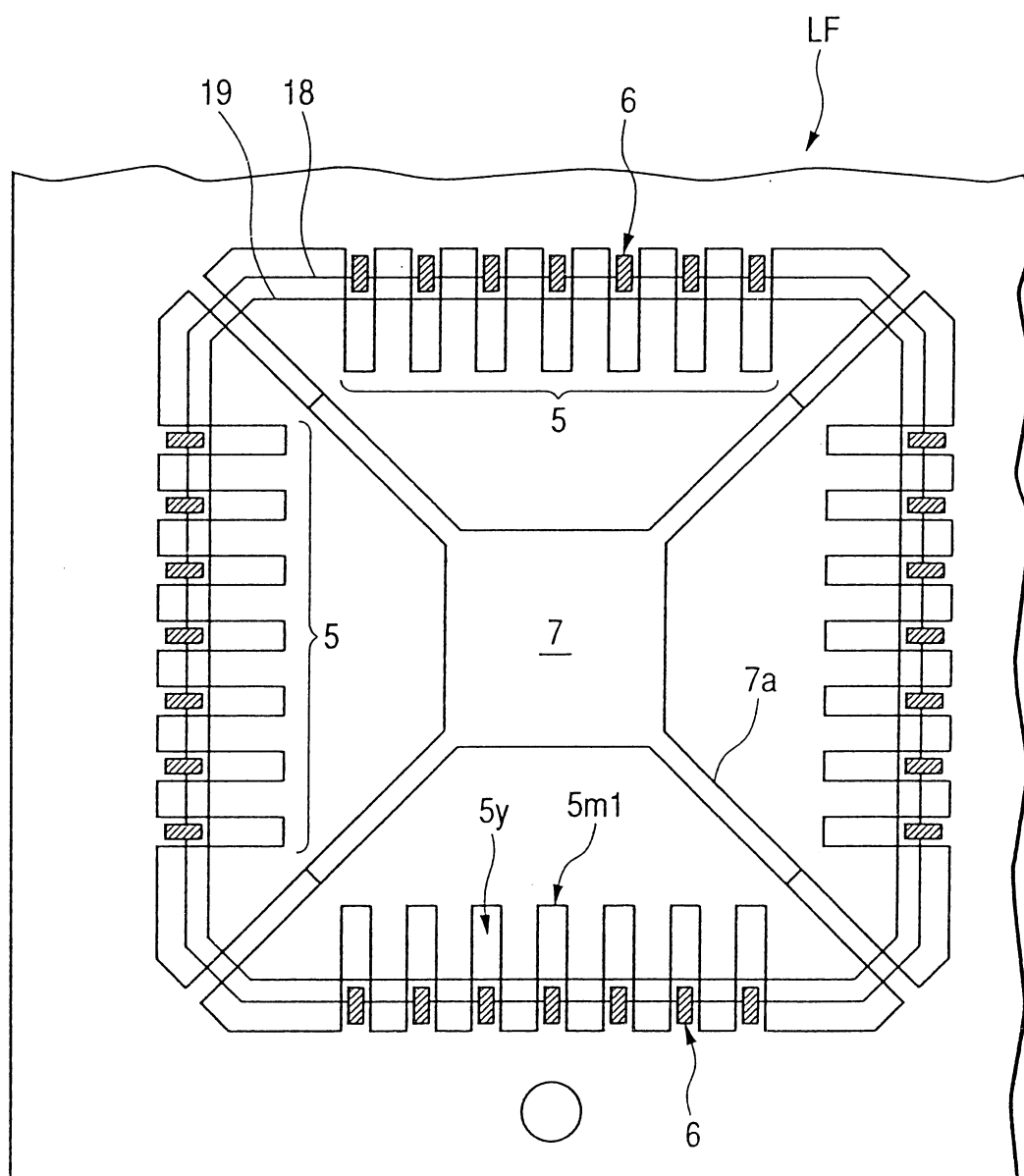
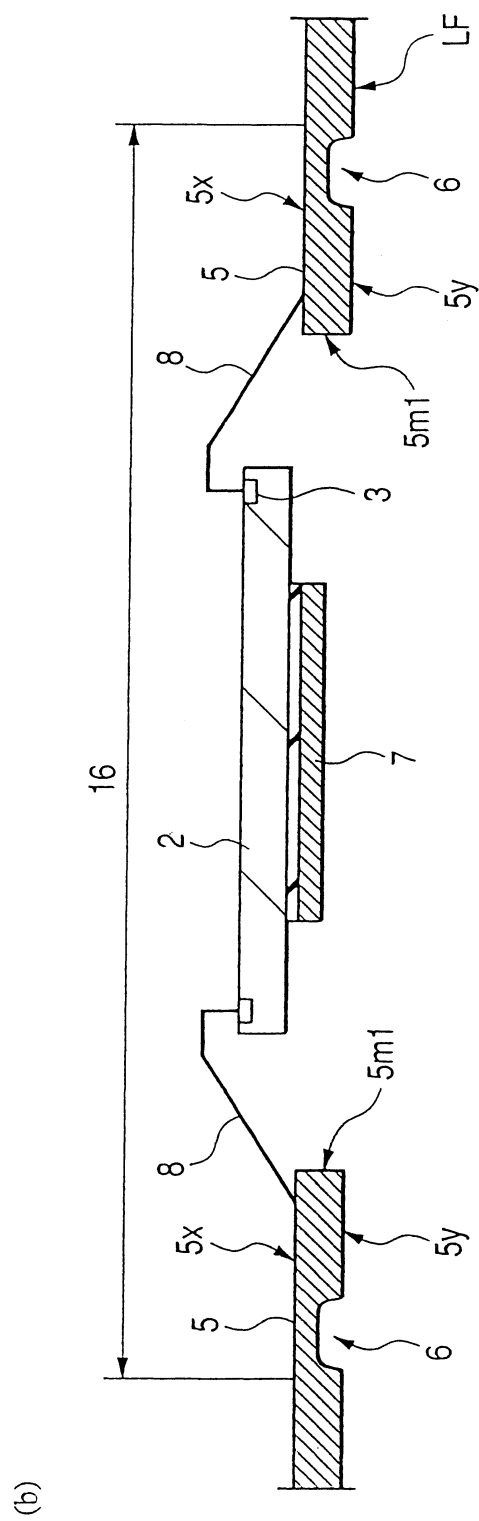
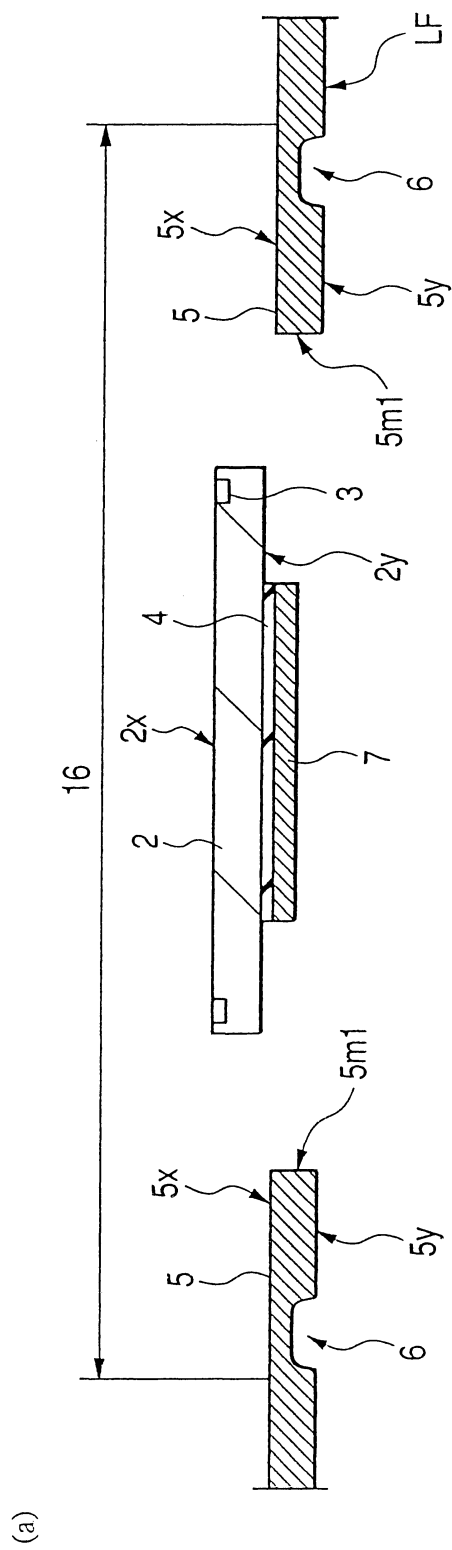
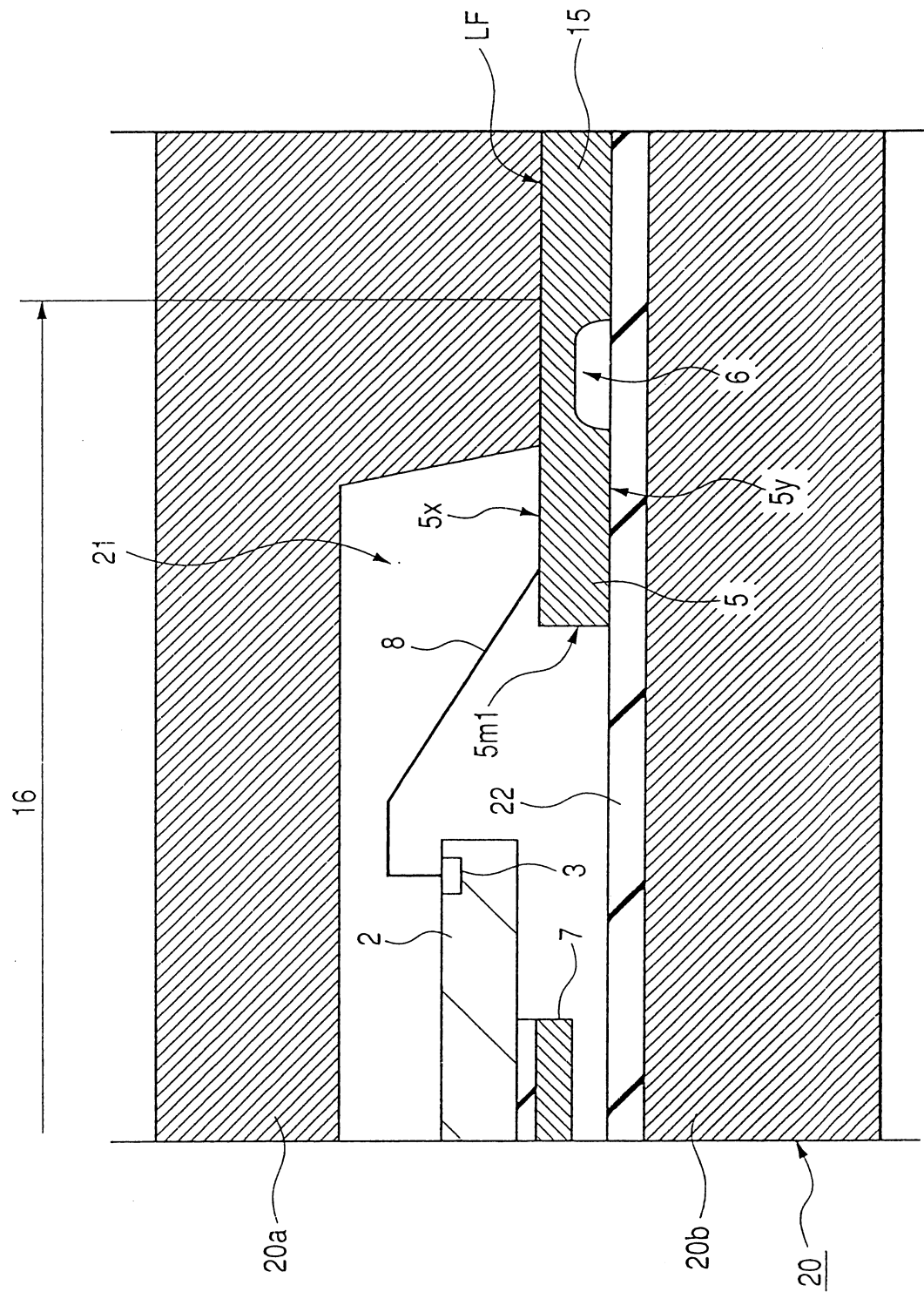


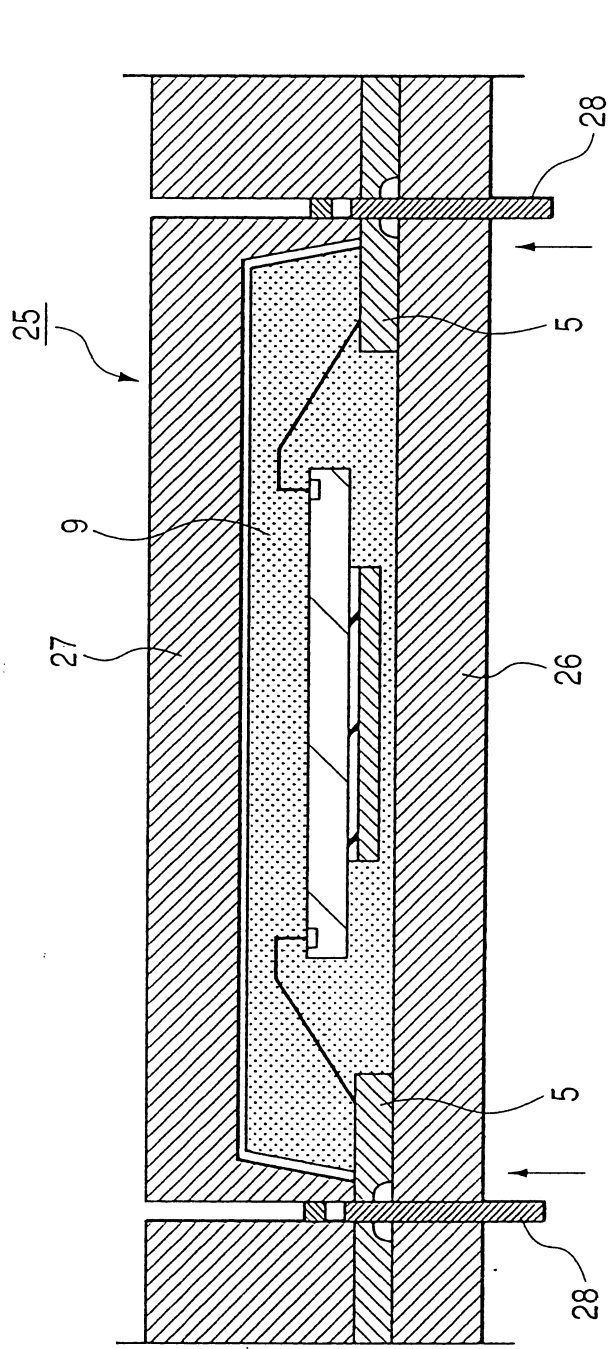
圖 12 築



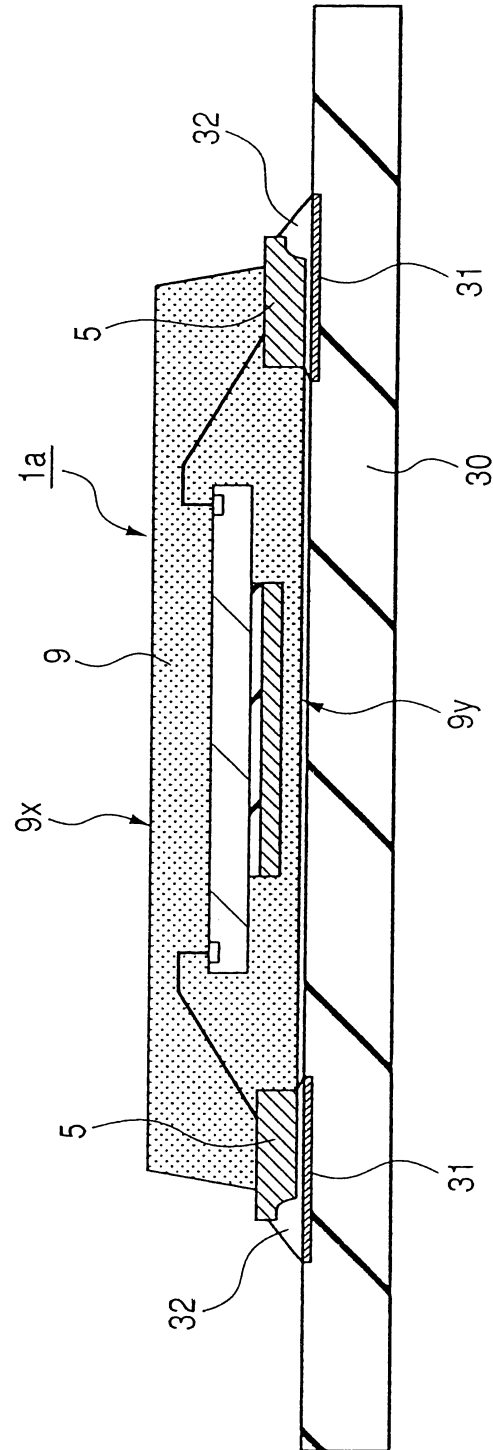
第14圖



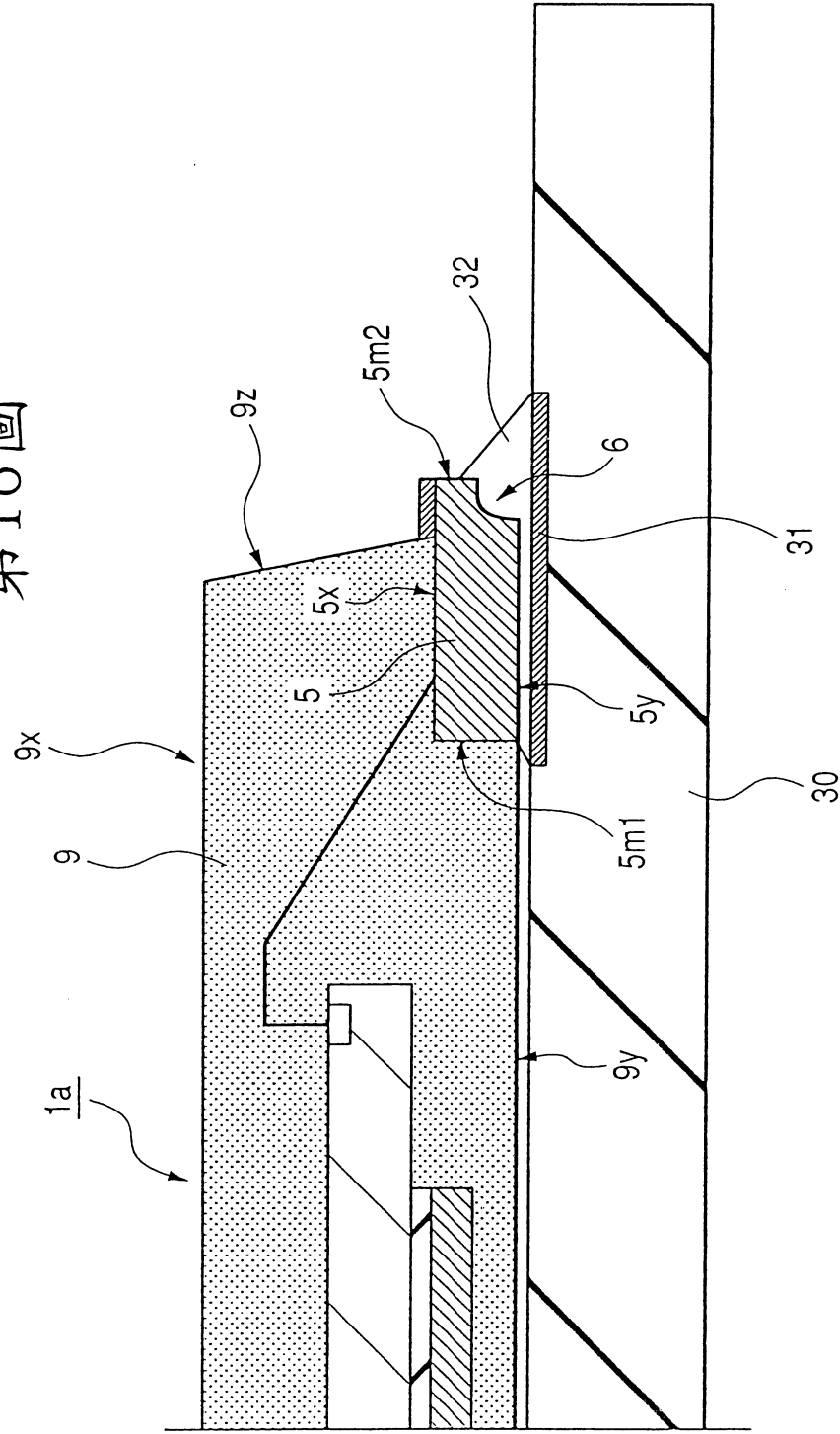
第16圖



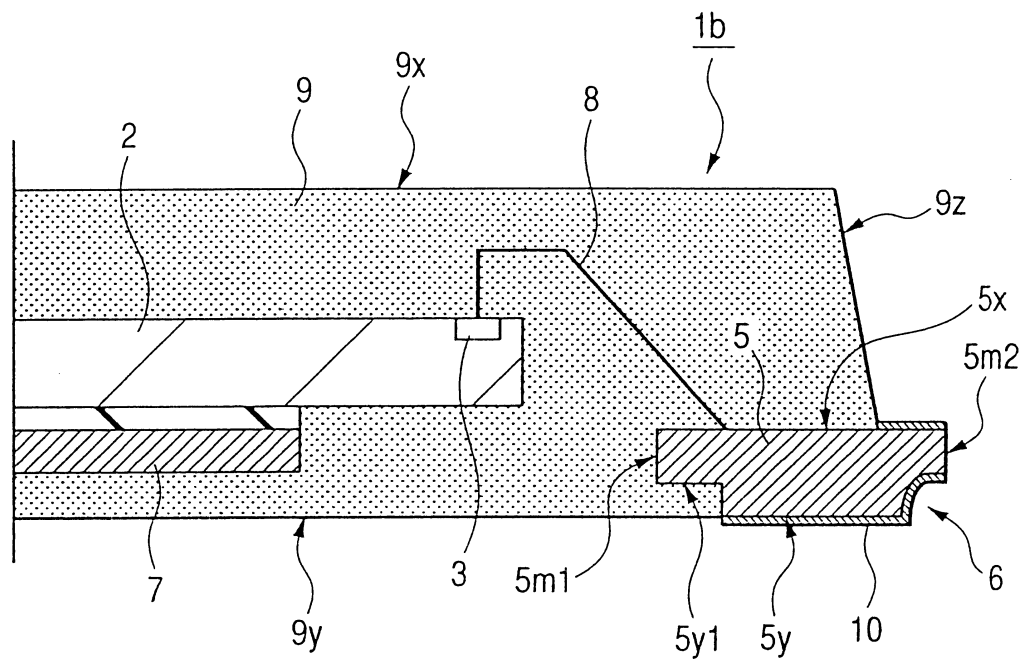
第17圖



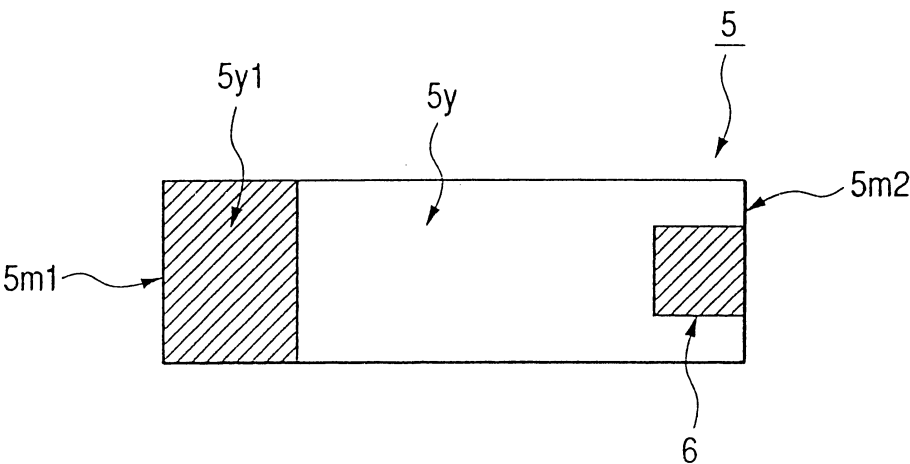
第18圖



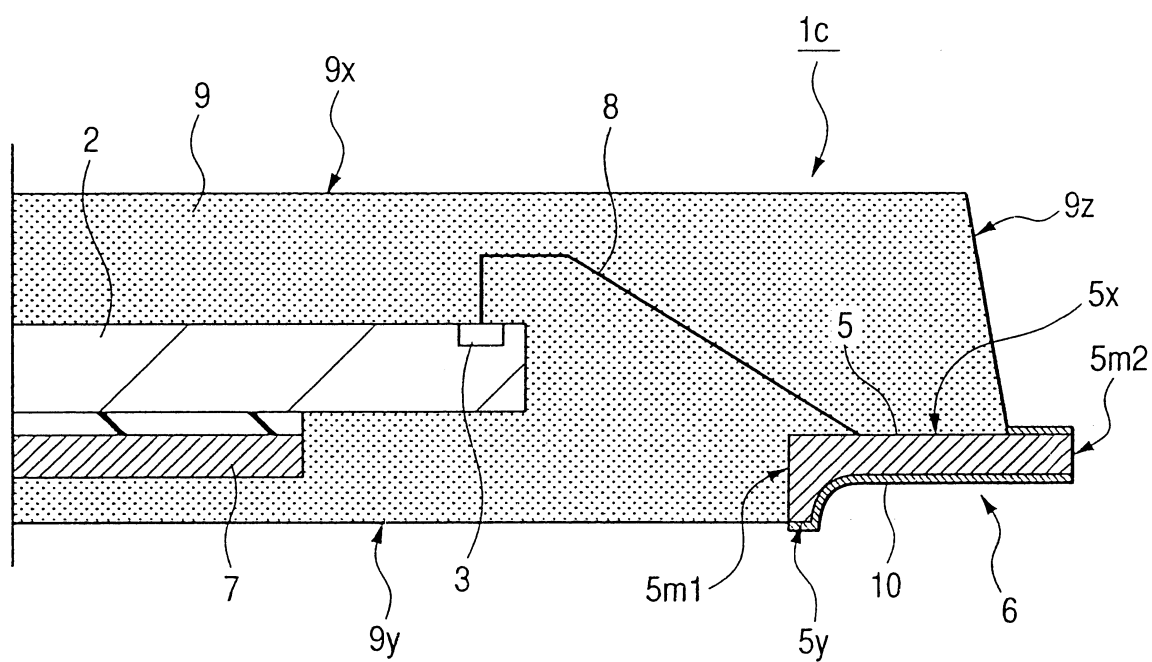
第19圖



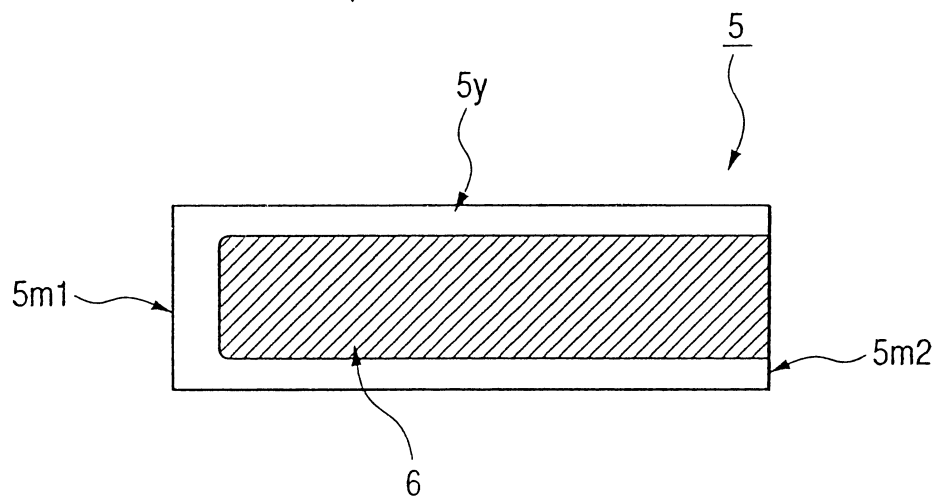
第20圖



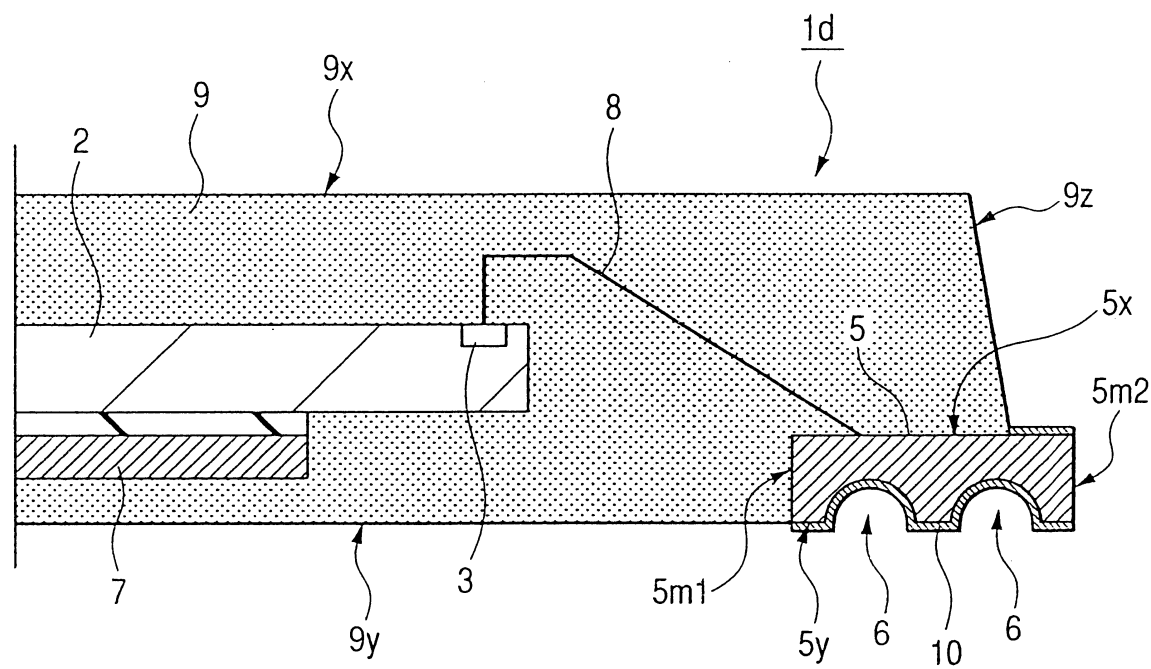
第21圖



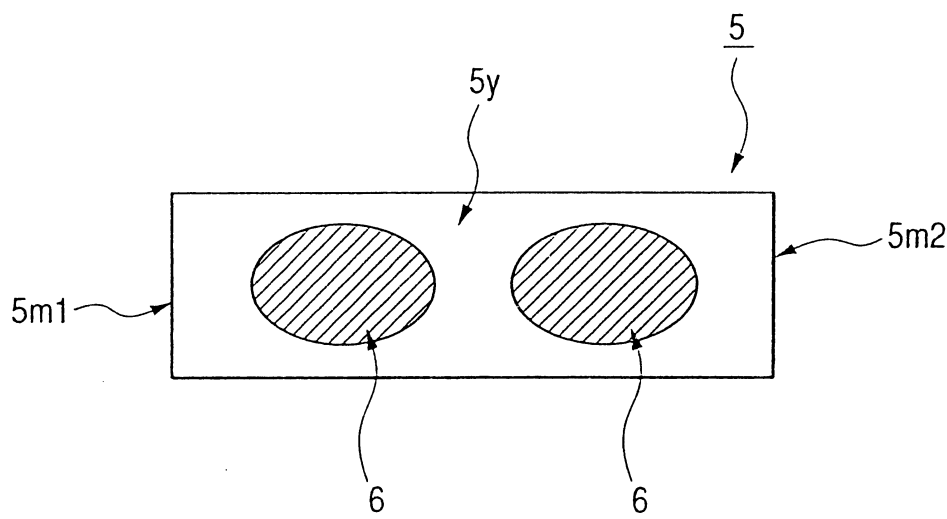
第22圖



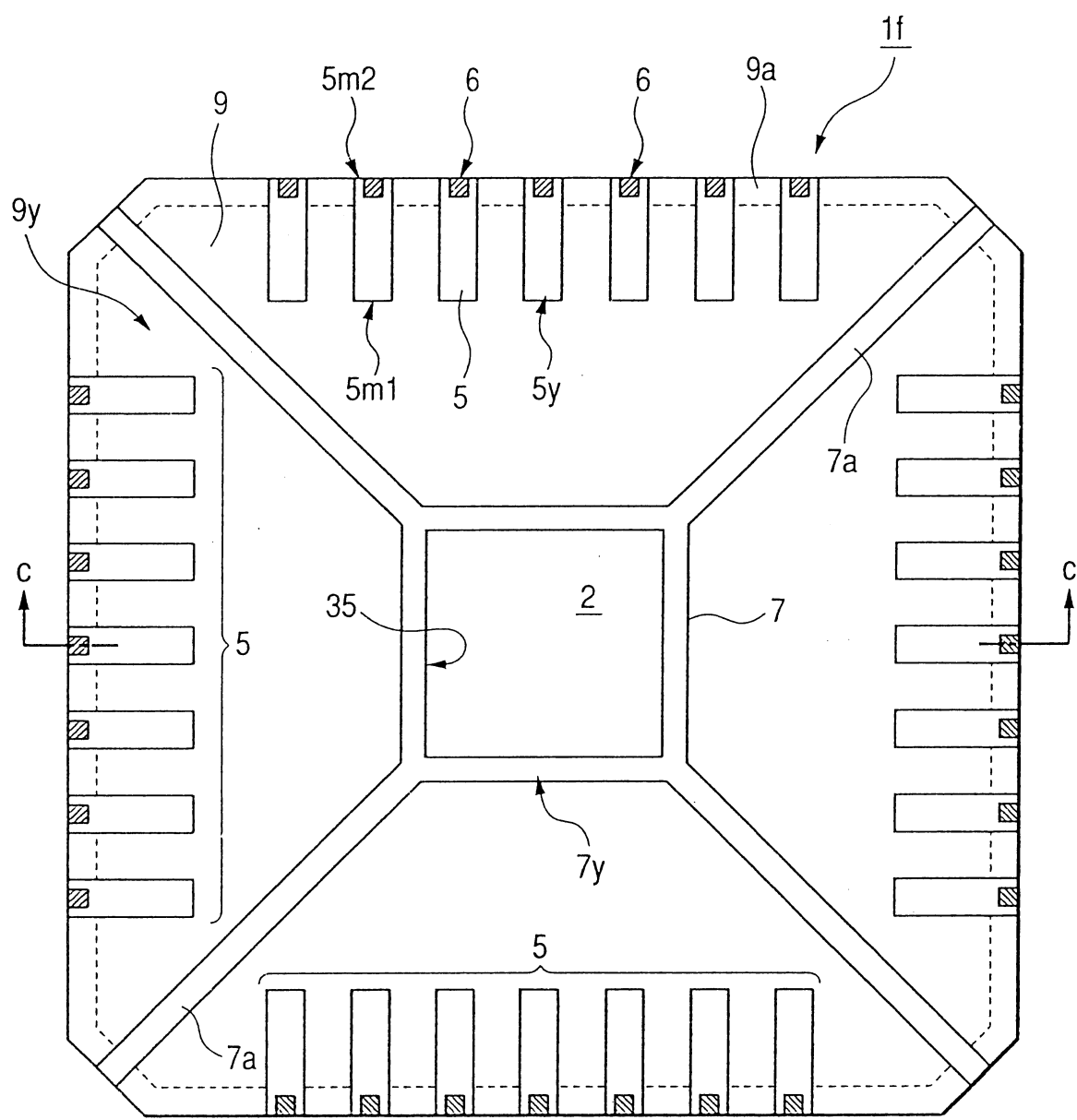
第23圖



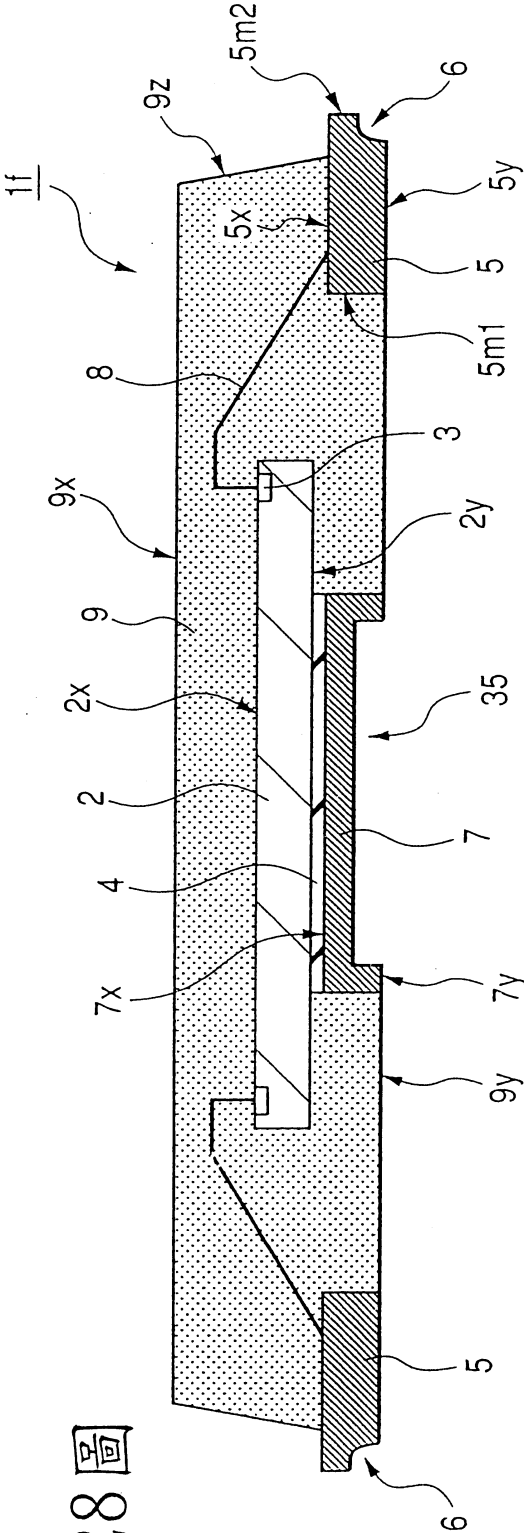
第24圖



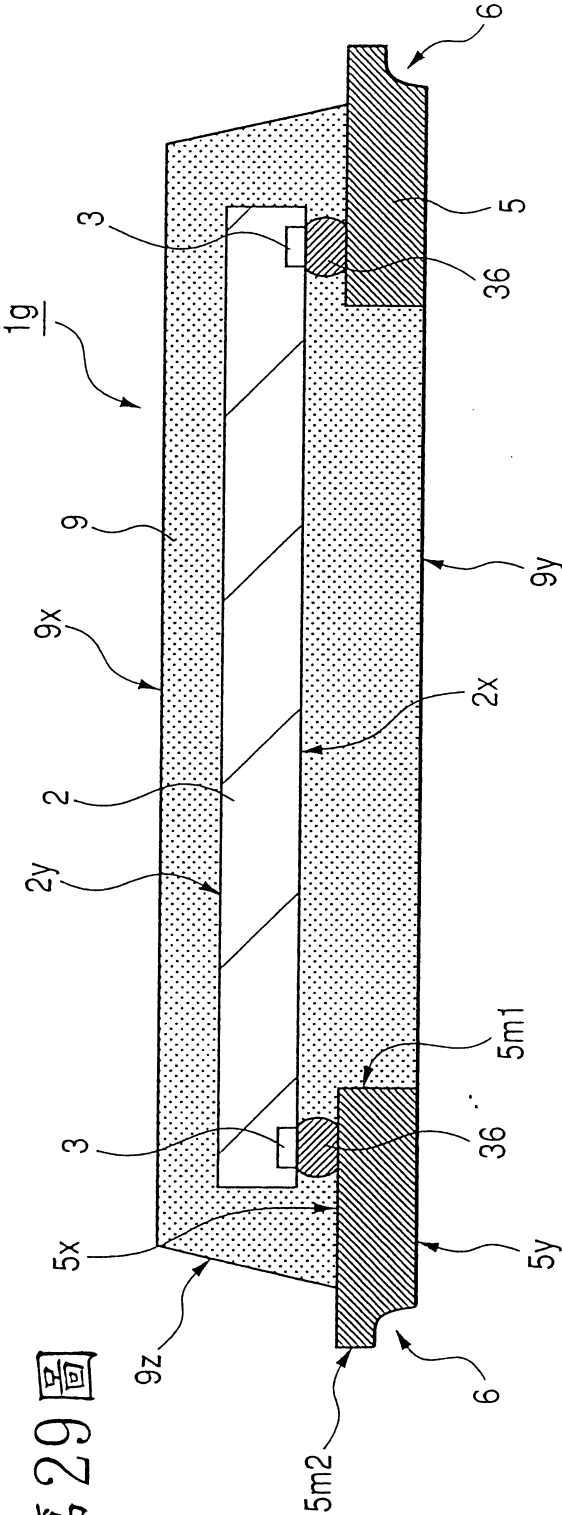
第27圖



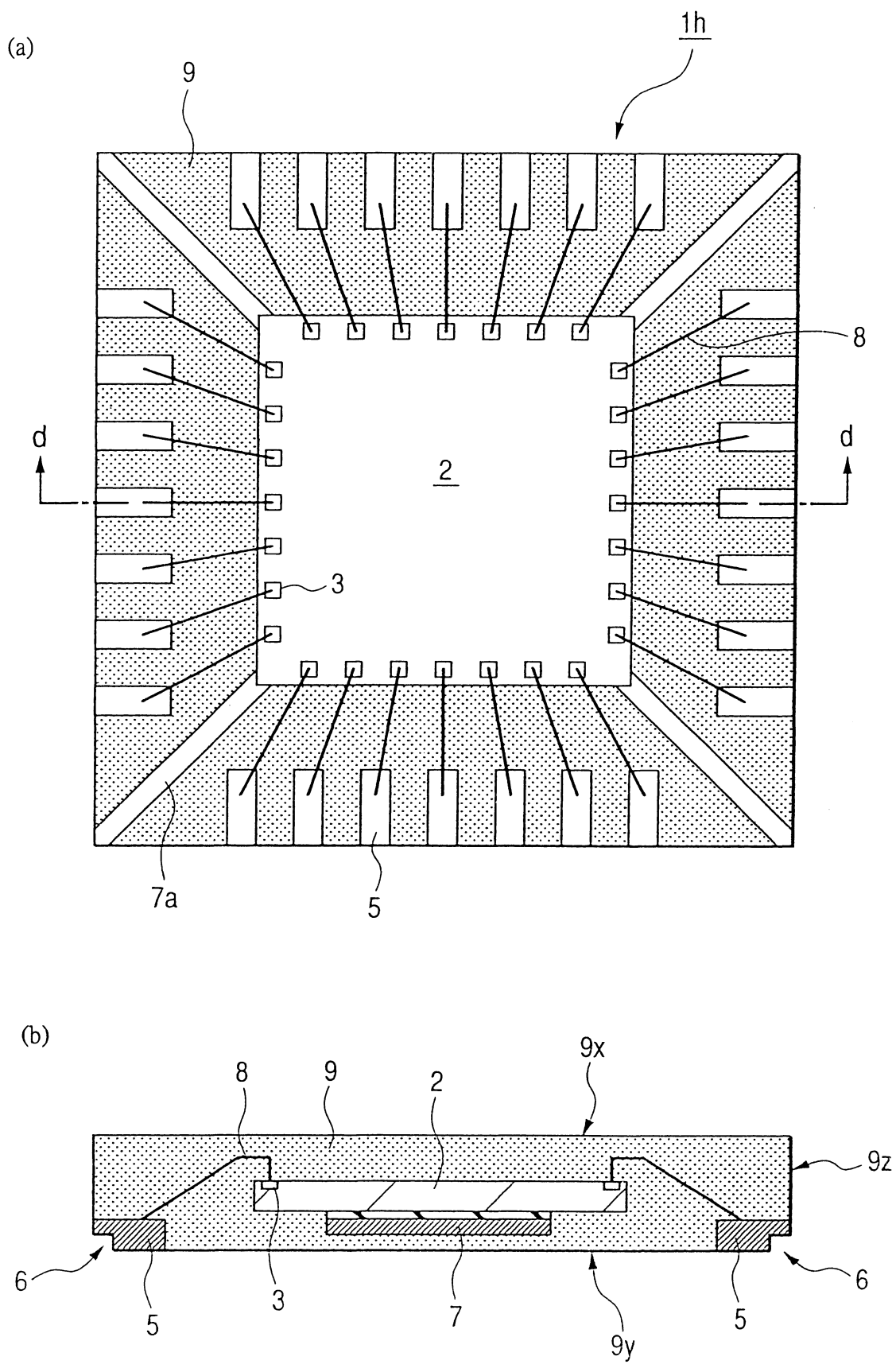
第28圖



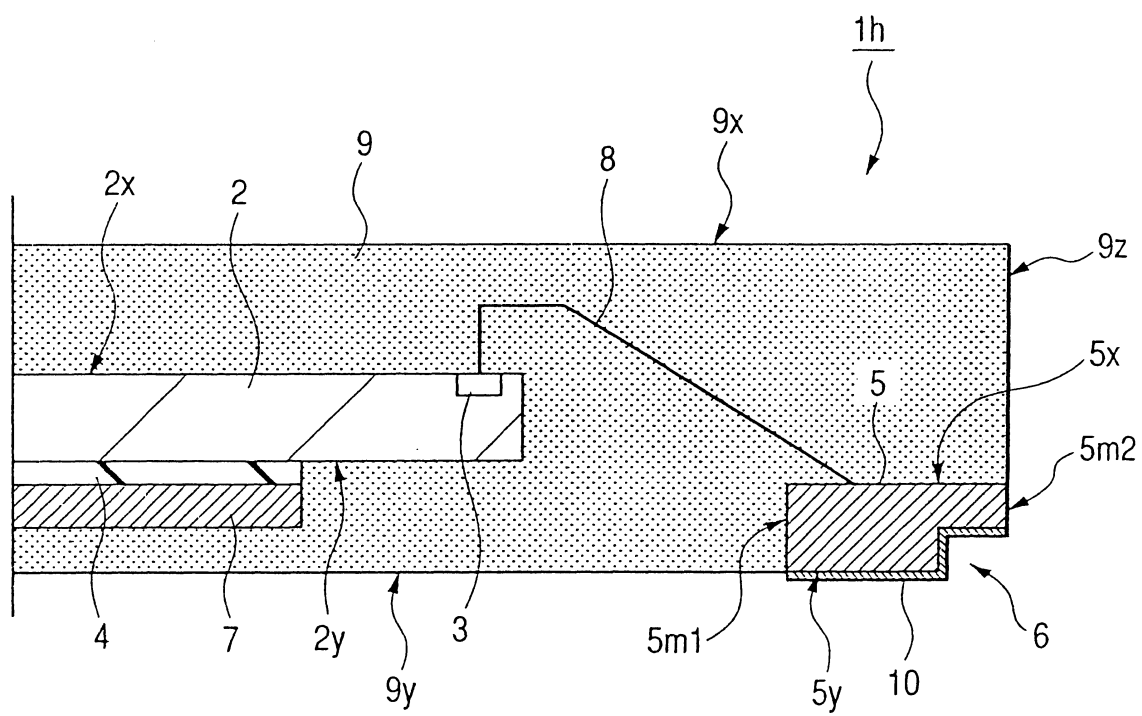
第29圖



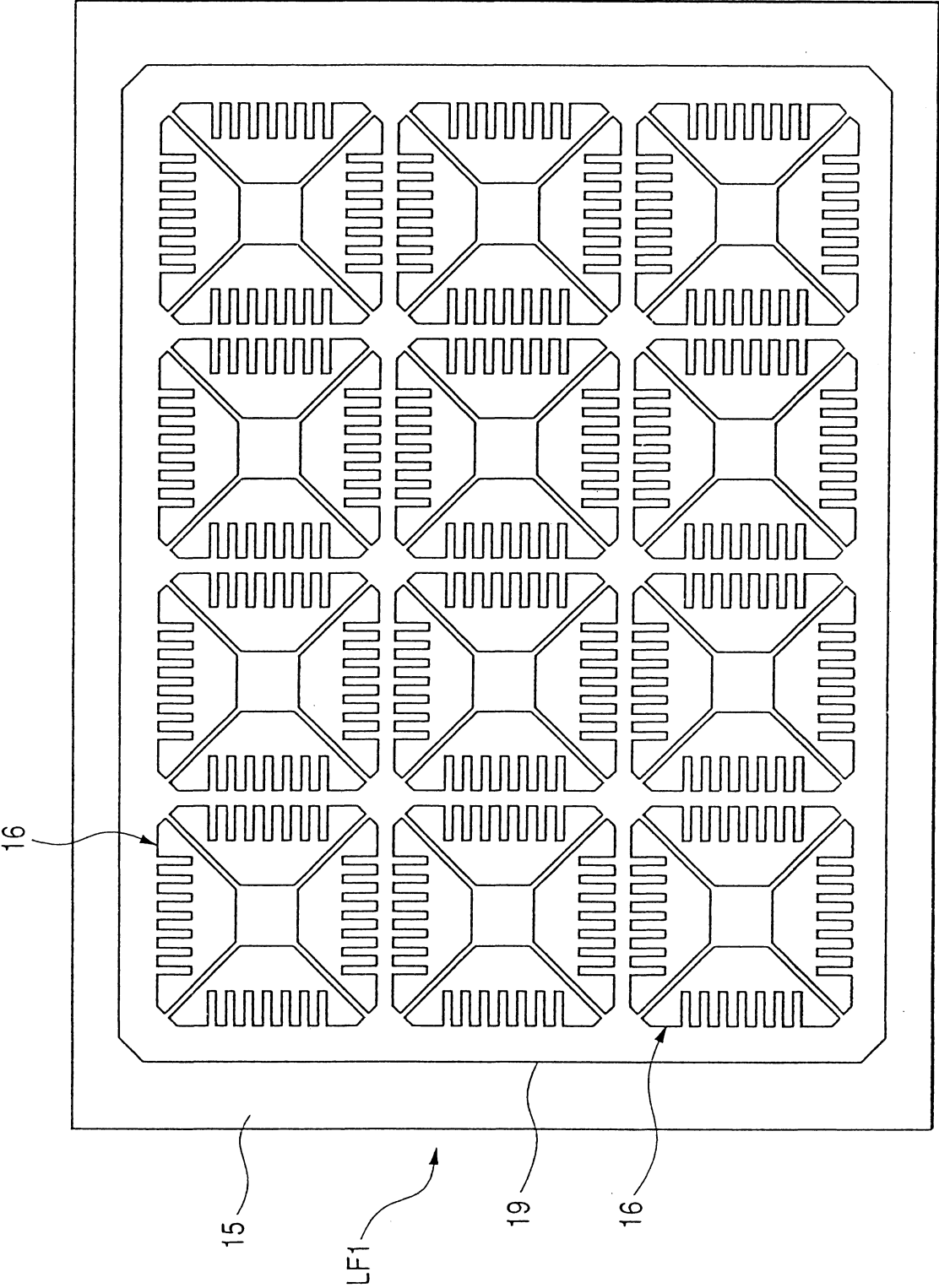
第30圖



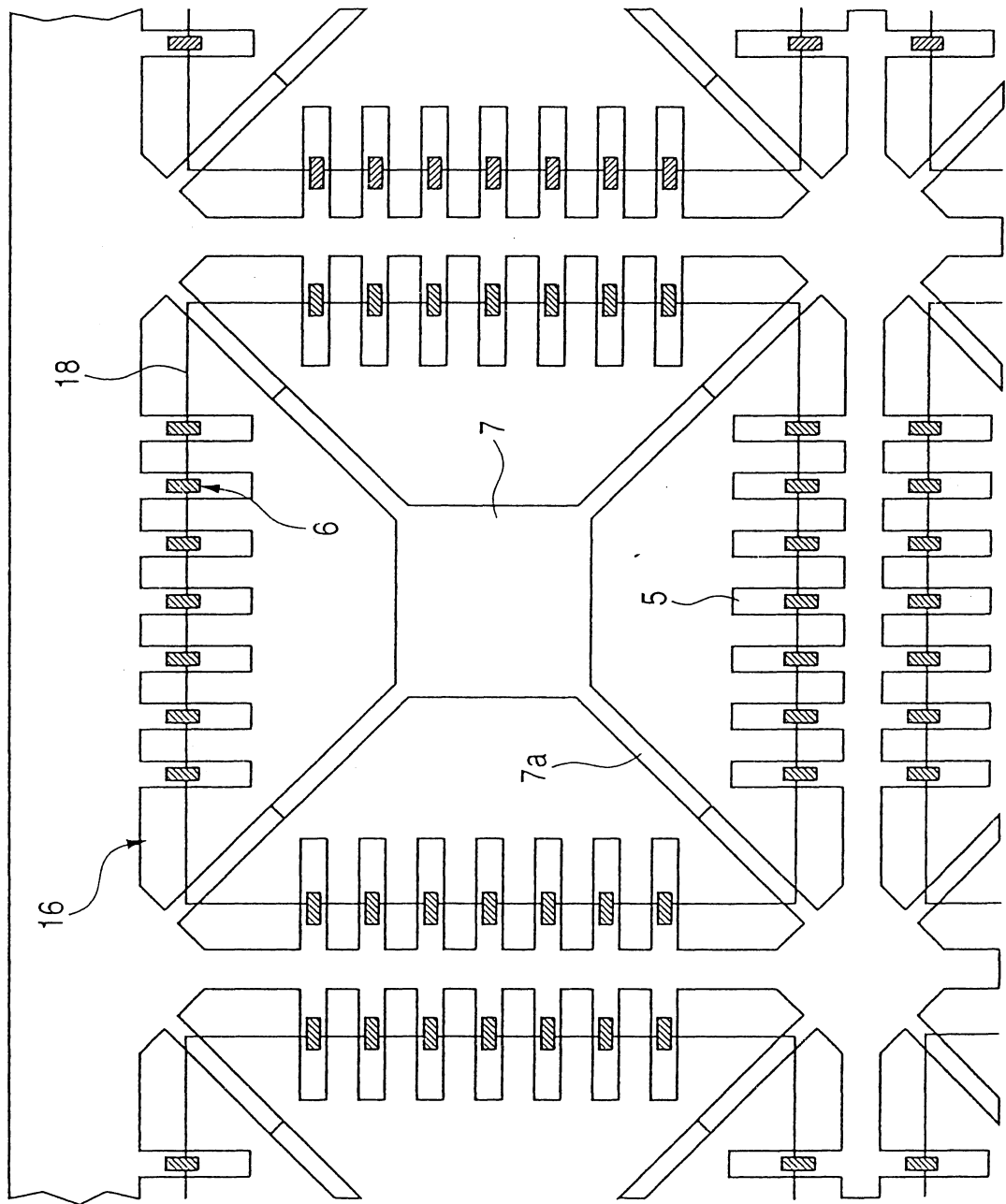
第31圖



第32圖

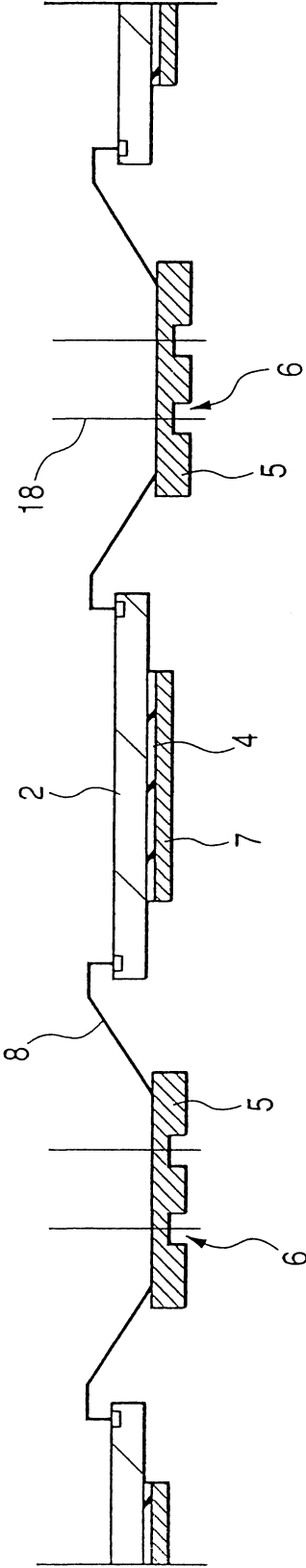


第33圖

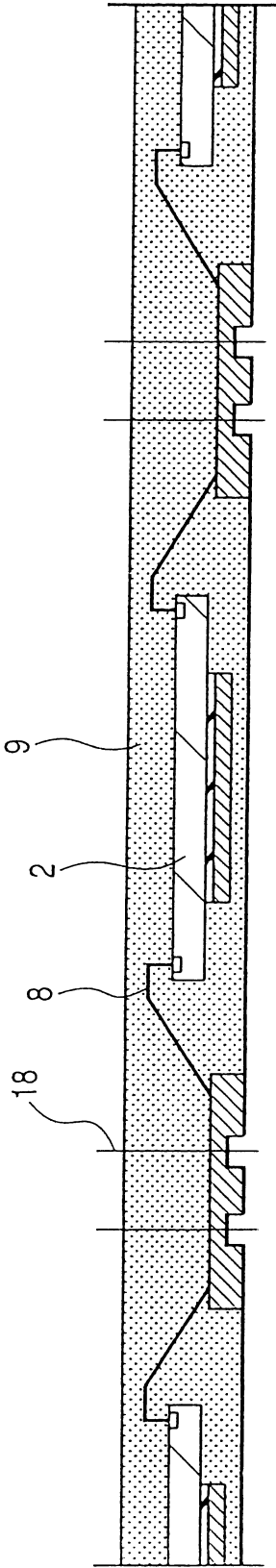


第34圖

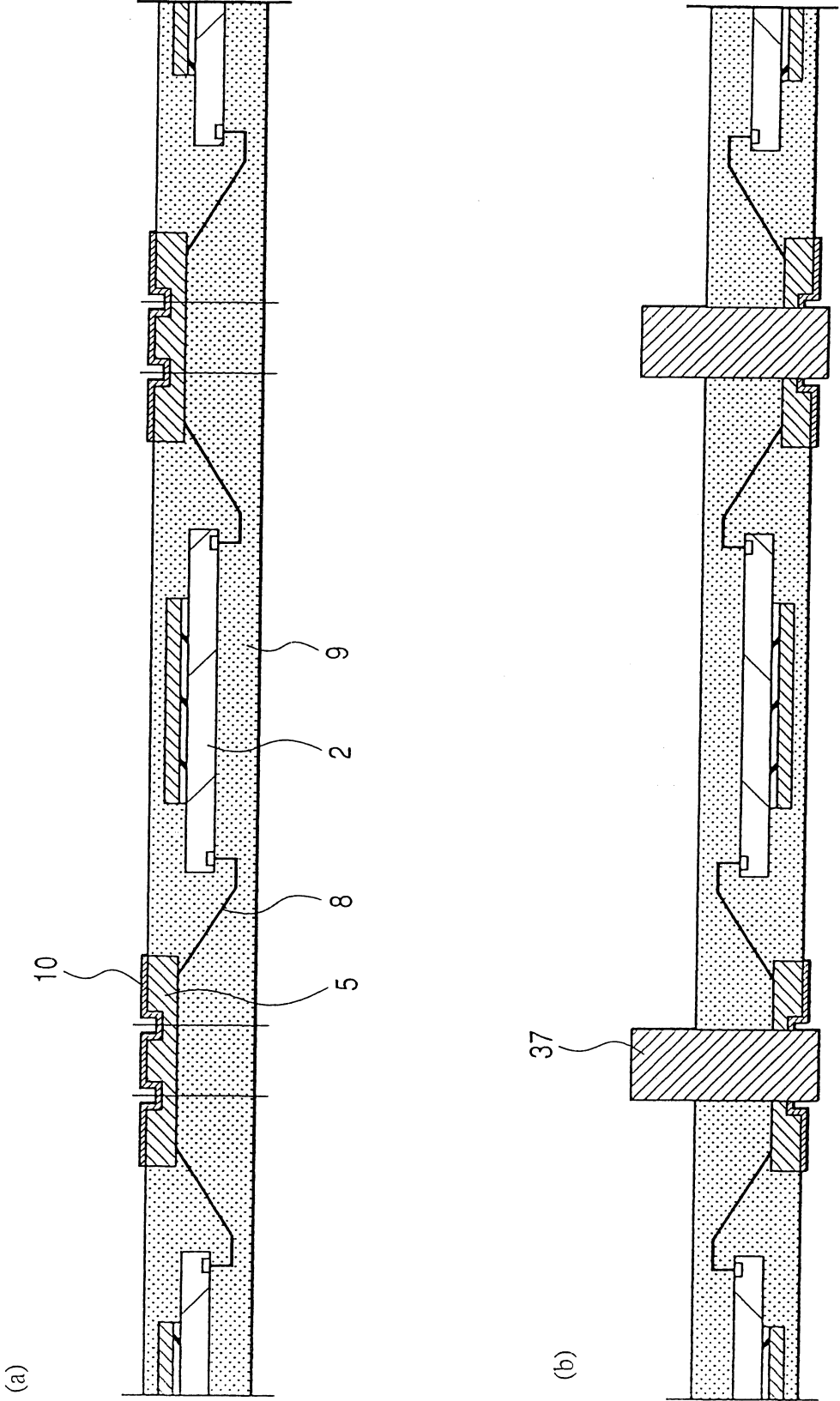
(a)



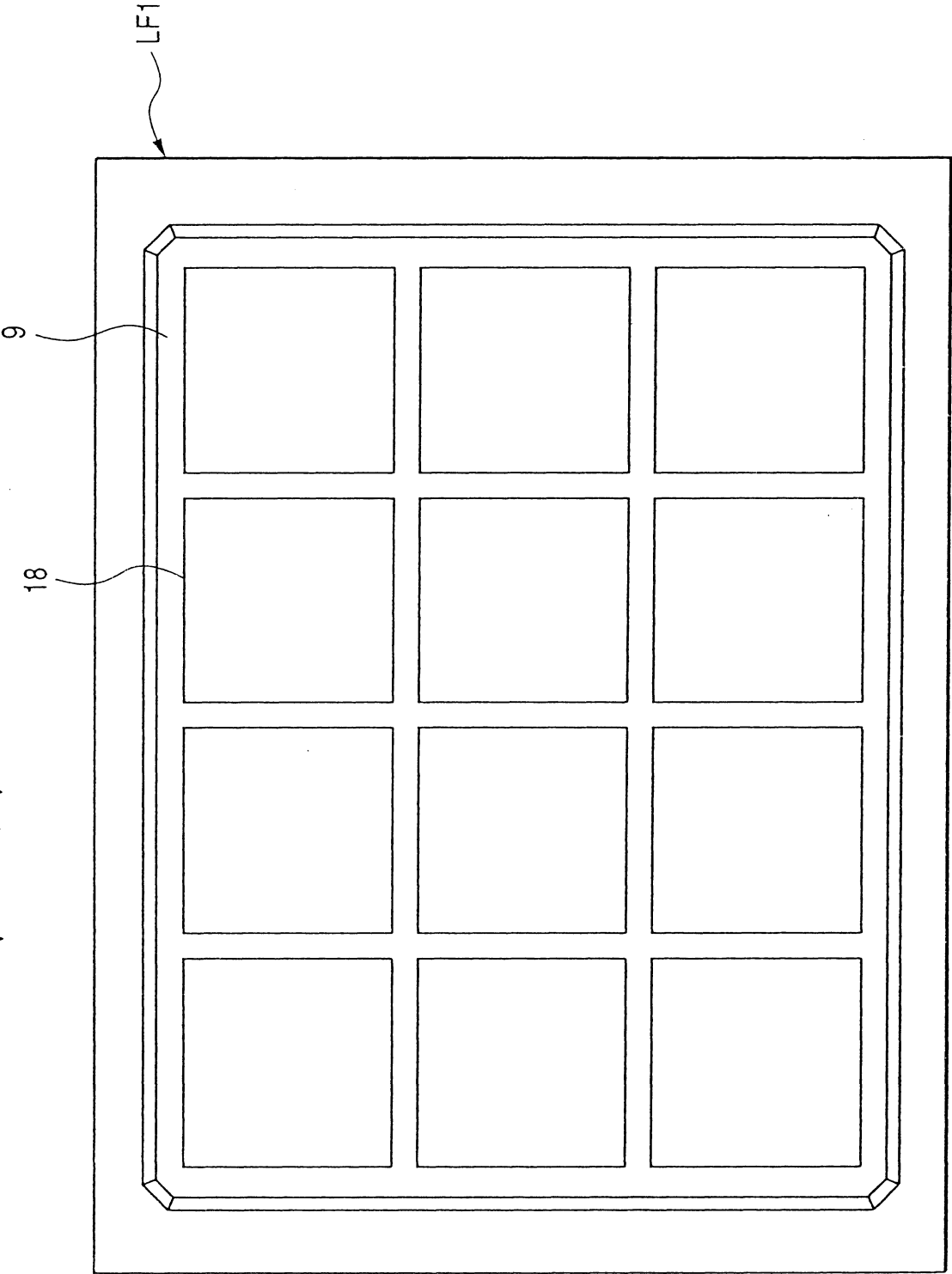
(b)



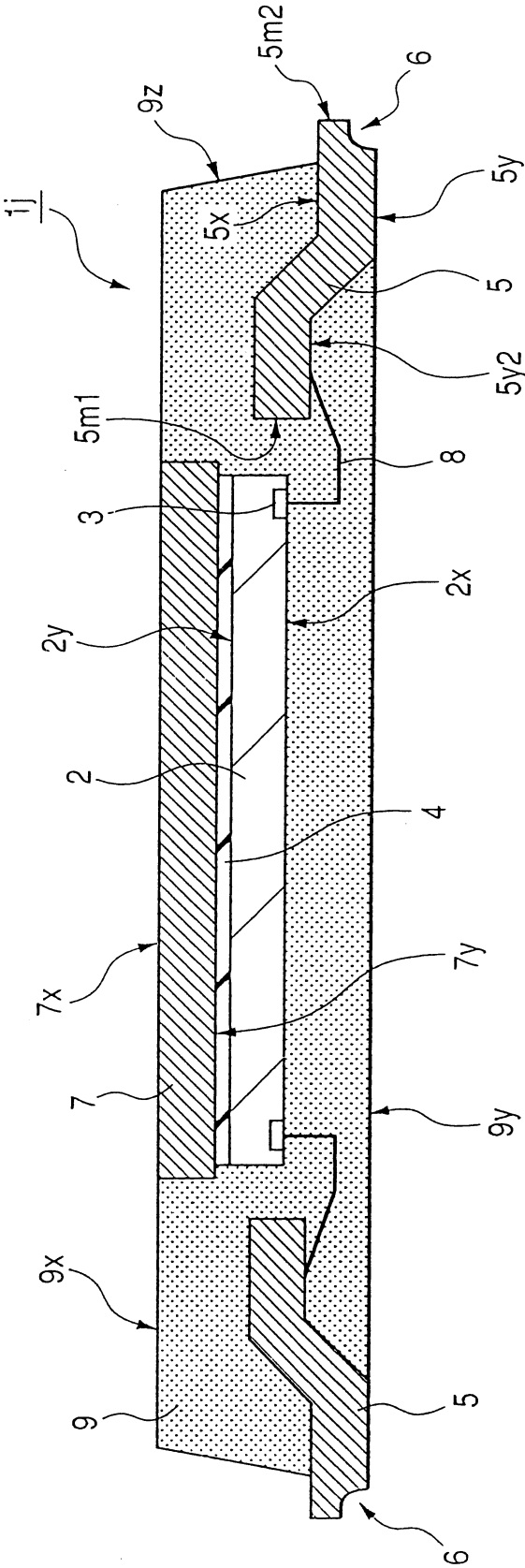
第35圖



第36圖



第37圖



七、指定代表圖：

(一)、本案指定代表圖為：第 (5) 圖

(二)、本代表圖之元件代表符號簡單說明：

1a：半導體晶片，2：半導體晶片，2x：主面，2y：背面，3：焊接銲墊，4：接著材料，5：導線，5x：主面，5y：背面，5m1：第1前端面，5m2：第2前端面，6：凹部，7：晶片支撐體，8：銲線，9：樹脂密封體，9x：主面，9y：背面，9z：側面，10：電鍍層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：