



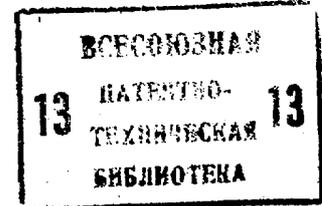
СОЮЗ СОВЕТСКИХ  
СОЦИАЛИСТИЧЕСКИХ  
РЕСПУБЛИК

(19) **SU** (11) **1084901** **A**

3(5) G 11 C 29/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3285132/18-24  
(22) 13.05.81  
(46) 07.04.84. Бюл. № 13  
(72) С.В. Афанасьев и М.П. Бурдиян  
(53) 681.327.6(088.8)

(56) 1. Авторское свидетельство СССР  
№ 235108, кл. G 11 C 29/00, 1967.

2. Авторское свидетельство СССР  
№ 612287, кл. G 11 C 29/00, 1975  
(прототип).

(54) (57) УСТРОЙСТВО ДЛЯ КОНТРОЛЯ БЛОКОВ ПАМЯТИ, содержащее адресный счетчик, выходы которого являются соответствующими выходами устройства, первый сдвиговый регистр, установочные входы которого являются одними входами устройства и подключены к одним из входов блока сравнения, выход первого сдвигового регистра подключен к одному из входов блока элементов И, выходы которого подключены к входам сумматора, выходы сумматора подключены к другим входам блока сравнения, второй сдвиговый регистр, генератор тактовых импульсов, делитель частоты, триггеры и элементы И, отличающееся тем, что, с целью повышения его быстродействия и упрощения схемы, выход генератора тактовых импульсов подключен к входу делителя частоты и к первым входам

первого и второго элементов И, выход делителя частоты подключен к счетному входу первого триггера и к первым входам третьего и четвертого элементов И, первый выход первого триггера подключен к вторым входам первого и третьего элементов И, выход первого элемента И подключен к тактовому входу второго сдвигового регистра, установочные входы которого являются другими входами устройства, выход второго сдвигового регистра подключен к второму входу второго элемента И, выход которого подключен к тактовому входу первого сдвигового регистра, второй выход первого триггера подключен к второму входу четвертого элемента И, выход которого подключен к входу адресного счетчика и является соответствующим управляющим выходом устройства, выходы адресного счетчика подключены к входам пятого элемента И, выход которого подключен к первому входу шестого элемента И, установочный вход второго триггера подключен к выходу шестого элемента И, второй вход которого подключен к выходу блока сравнения, вход генератора тактовых импульсов подключен к первому выходу второго триггера, второй выход которого является соответствующим управляющим выходом устройства.

(19) **SU** (11) **1084901** **A**

Изобретение относится к вычислительной технике и может быть использовано для контроля запоминающих устройств.

Известно устройство для контроля блоков памяти, содержащее регистр, накапливающий сумматор, адресный счетчик, регистр константы и блок сравнения. Контроль блока памяти осуществляется путем суммирования информации и сравнения полученной суммы с заданной константой [1].

Недостатком данного устройства является низкая точность контроля.

Наиболее близким по технической сущности к изобретению является устройство для контроля блоков памяти, содержащее сдвиговый регистр, выходы которого подключены к информационным входам сумматора, выходы и управляющие входы сумматора подключены к соответствующим входам и выходам блока управления, адресный дешифратор, информационные входы которого подключены к соответствующим выходам адресного счетчика, управляющий выход адресного счетчика подключен к соответствующему входу блока управления и блока задания циклов суммирования, управляющие входы адресного дешифратора и адресного счетчика подключены к соответствующим выходам блока управления, выходы и входы блока задания циклов суммирования подключены к соответствующим входам и выходам блока управления. Блок управления и блок задания циклов суммирования содержат генератор тактовых импульсов, делители частоты, формирователи временной диаграммы работы устройства, регистры, триггеры и логические элементы [2].

Недостатками известного устройства являются низкое быстродействие, связанное с необходимостью осуществления нескольких циклов контрольного суммирования содержимого блока памяти, а также его сложность.

Цель изобретения - повышение быстродействия и упрощение его схемы.

Поставленная цель достигается тем, что в устройстве для контроля блоков памяти, содержащем адресный счетчик, выходы которого являются соответствующими выходами устройства, первый сдвиговый регистр, установочные входы которого являются одними входами устройства и подключены к

одним из входов блока сравнения, выход первого сдвигового регистра подключен к одному из входов блока элементов И, выходы которого подключены к входам сумматора, выходы сумматора подключены к другим входам блока сравнения, второй сдвиговый регистр, генератор тактовых импульсов, делитель частоты, триггеры и элементы И, выход генератора тактовых импульсов подключен к входу делителя частоты и к первым входам первого и второго элементов И, выход делителя частоты подключен к счетному входу первого триггера и к первым входам третьего и четвертого элементов И, первый выход первого триггера подключен к вторым входам первого и третьего элементов И, выход первого элемента И подключен к тактовому входу второго сдвигового регистра, установочные входы которого являются другими входами устройства, выход второго сдвигового регистра подключен к второму входу второго элемента И, выход которого подключен к тактовому входу первого сдвигового регистра, второй выход первого триггера подключен к второму входу четвертого элемента И, выход которого подключен к входу адресного счетчика и является соответствующим управляющим выходом устройства, выходы адресного счетчика подключены к входам пятого элемента И, выход которого подключен к первому входу шестого элемента И, установочный вход второго триггера подключен к выходу шестого элемента И, второй вход которого подключен к выходу блока сравнения, вход генератора тактовых импульсов подключен к первому выходу второго триггера, второй выход которого является соответствующим управляющим выходом устройства.

На фиг. 1 приведена структурная схема устройства для контроля блоков памяти; на фиг. 2 - временные диаграммы сигналов на выходах некоторых узлов устройства; на фиг. 3 - структурные схемы генератора тактовых импульсов и цепей начальной установки устройства; на фиг. 4 - структурная схема блока начальной установки.

Устройство для контроля блоков памяти содержит генератор 1 тактовых импульсов, делитель 2 частоты, триггер 3, элементы И 4-7, сдвиговый

регистр 8, блок 9 начальной установки, формирователь 10 импульсов управления, адресный счетчик 11, блок 12 памяти, сдвиговый регистр 13, блок 14 элементов И, сумматор 15, блок 16 сравнения, элементы И 17 и 18, триггер 19, элемент 20 индикации, выход 21 генератора тактовых импульсов, выход 22 делителя частоты, выходы 23 и 24 триггера 3, выход 25 элемента И 5, выход 26 элемента И 6, выход 27 элемента И 4, выход 28 сдвигового регистра 8, выход 29 элемента И 7, задающий генератор 30, элемент И 31, генератор 32, триггер 33, кнопку 34 "Пуск", кнопку 35 "Стоп", вход 36 генератора 1, выход 37 генератора 32, элемент 38 задержки, цепь 39 на вход тактового регистра 8, цепь 40 на вход режима регистра 8, шину 41 логического нуля, элемент НЕ 42, шину 43 логической единицы, выходы 44 блока начальной установки.

Устройство работает следующим образом.

При нажатии кнопки "Пуск" триггер 33 переводится в единичное состояние, при этом на тактовый вход кольцевого сдвигового регистра 8 поступает отрицательный перепад (из "1" в "0") напряжения, а на входе режима регистра 8 в это время еще присутствует уровень "1", соответствующий режиму записи. При этом в него заносится код 111001100010 из блока 9 начальной установки. Через интервал времени, определяемый элементом 38 задержки, на входе режима регистра 8 устанавливается уровень "0", соответствующий режиму сдвига. Одновременно "1" на единичном выходе Р-триггера 33 поступает на вход элемента И 31. На выходе 21 генератора 1 тактовых импульсов появляются импульсы, поступающие на входы делителя 2 частоты и элементов И 4 и 7. На выходе 22 делителя 2 появляются импульсы, которые поступают на вход Т-триггера 3 и первые входы элементов И 5 и 6. На выходах 25 и 26 элементов И 5 и 6 появляются импульсы (фиг. 2). По первому сигналу с выхода элемента И 6 в адресный счетчик 11 заносится единица и формируется импульс управления на выходе формирователя 10. При этом информация из первой ячейки проверяемого блока 12 памяти записывается в кольцевой сдвиговый регистр 13. На выхо-

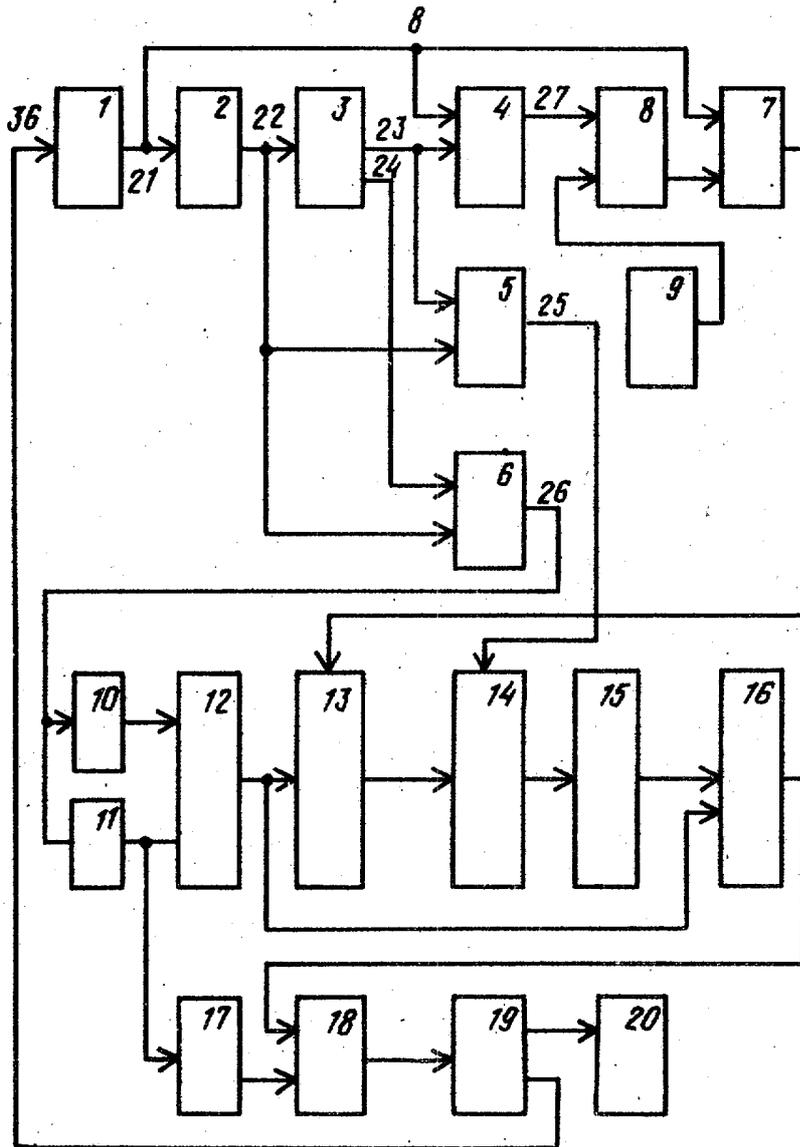
де 27 элемента И 4 появляется серия импульсов, поступающих на вход сдвига кольцевого сдвигового регистра 8, и информация в нем сдвигается на число разрядов, соответствующее числу импульсов в серии на входе сдвига. На выходе старшего разряда регистра 8 единица появляется при сдвиге только один раз, что обусловлено записанным ранее кодом. Поэтому на выходе элемента И 7 появляется только один импульс, который сдвигает содержимое регистра 13 на один разряд. После прихода импульса с элемента И 5 сдвигнутая информация через блок 14 элементов И поступает в накапливающий сумматор 15. Второй импульс с выхода элемента И 6 вновь поступает в счетчик 11, формируется импульс обращения к блоку 12, и в регистр 13 записывается информация из второй ячейки блока памяти. Вновь импульсы с выхода 27 элемента И 4 сдвигают содержимое регистра 8 и на выходе его старшего разряда появляется "1" за время сдвига уже дважды, что также обусловлено записанной ранее кодовой комбинацией. На выходе элемента И 7 появляются два импульса, и информация в регистре 13 сдвигается на два разряда. По сигналу с выхода элемента И 5 через блок 14 элементов И информация поступает на сумматор 15, где суммируется с его содержимым. Далее аналогичным образом информация из третьей ячейки памяти блока 12 суммируется с содержимым сумматора 15, предварительно сдвинувшись на три разряда, и т.д. Таким образом происходит последовательное чтение информации из проверяемого блока памяти, сдвиг ее на кольцевом регистре 13 и суммирование на сумматоре 15. Сдвиг информации идет по кольцу, т.е. из младших разрядов в старшие, а из самого старшего - в самый младший. Выходы сумматора 15 подключены к входам блока 16 сравнения, другие входы которого подключены к выходам проверяемого блока памяти.

По последнему адресу на выходе элемента И 17 появляется "1". Если содержимое последней ячейки проверяемого блока памяти равно содержимому сумматора, на выходе блока 16 сравнения будет "0", и триггер 19 остается в нулевом состоянии. В последней

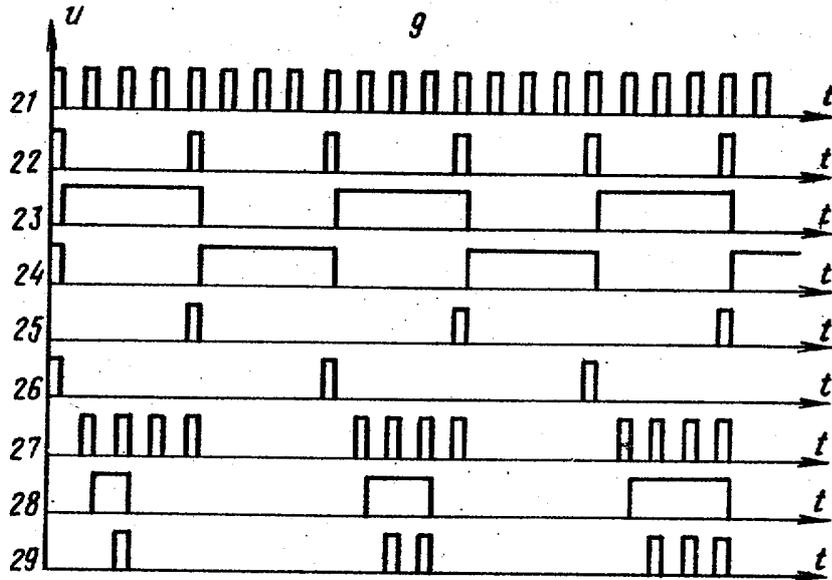
ячейке блока памяти должна храниться контрольная сумма, полученная с учетом выбранной последовательности сдвига считываемой информации. В случае неисправности блока 12 на выходе блока 16 сравнения в момент появления последнего адреса триггер 19 устанавливается в состояние "1" и срабатывает элемент индикации. Одновременно происходит остановка генера-

тора. 10  
 запоминающий устрой, контроль адресной части которых в динамическом режиме представляет трудности. При этом обеспечивается высокое быстродействие, так как для осуществления контроля достаточно проведения одного цикла суммирования. Кроме того, предложенное техническое решение проще известного, поскольку в нем отсутствует блок задания циклов суммирования, и имеет меньшие аппаратные затраты для обеспечения временной диаграммы работы устройства.

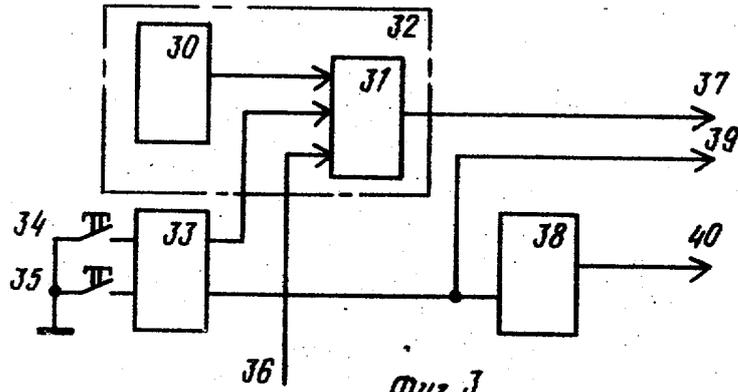
Предлагаемое устройство наиболее эффективно при контроле постоянных



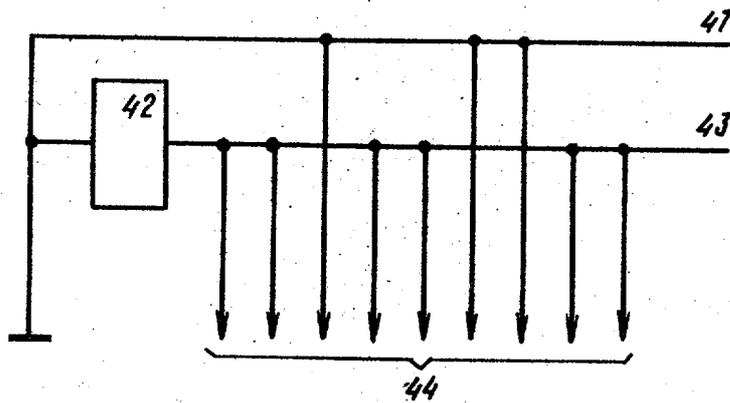
Фиг. 1



Фиг. 2



Фиг. 3



Фиг. 4