



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0014329
(43) 공개일자 2013년02월07일

(51) 국제특허분류(Int. Cl.)
H01L 31/09 (2006.01) H01L 31/0216 (2006.01)
(21) 출원번호 10-2012-0023957
(22) 출원일자 2012년03월08일
심사청구일자 2012년03월08일
(30) 우선권주장
1020110075305 2011년07월28일 대한민국(KR)

(71) 출원인
이화여자대학교 산학협력단
서울특별시 서대문구 이화여대길 52 (대현동, 이화여자대학교)
(72) 발명자
박일홍
서울특별시 서대문구 대현동 11-1번지
이혜영
충청북도 청원군 강외면 오송리 재원아파트 1006호
(74) 대리인
특허법인엠에이피에스

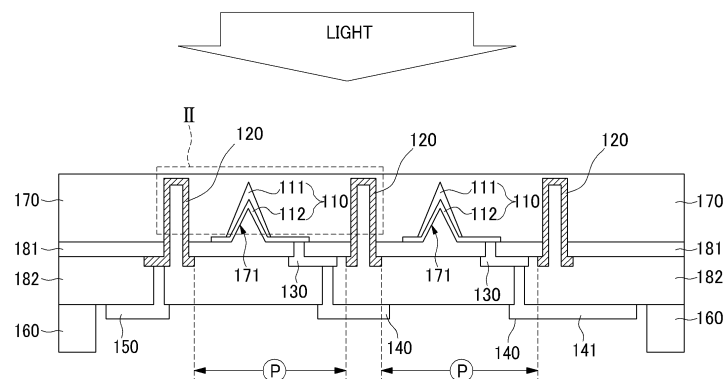
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 실리콘 광전자 증배 소자의 제조방법

(57) 요약

본 발명은, 복수의 마이크로 픽셀을 포함하는 실리콘 광전자 증배 소자의 제조방법에 있어서, 상기 복수의 마이크로 픽셀에 각각 배치되는 복수의 접합구조물을 형성하는 단계; 상기 복수의 마이크로 픽셀에 연결되는 전극을 형성하는 단계; 및 상기 복수의 마이크로 픽셀을 지지하는 지지기판, 및 상기 복수의 마이크로 픽셀에 대응한 에피택시층을 형성하는 단계를 포함하는 실리콘 광전자 증배 소자의 제조방법을 제공한다. 여기서, 상기 접합구조물을 형성하는 단계는, 실리콘 재료층을 마련하는 단계; 상기 실리콘 재료층을 패터닝하여, 상호 이격된 복수의 비아홀을 형성하는 단계; 및 상기 복수의 비아홀에 대응한 실리콘 재료층에 p 전도성 타입의 제 1 접합층 및 n 전도성 타입의 제 2 접합층을 순차적으로 형성하는 단계를 포함한다. 그리고, 상기 접합구조물은 상기 제 1 및 제 2 접합층과, 제 1 및 제 2 접합층 사이에 발생된 pn접합면을 포함한다.

대표도 - 도4



특허청구의 범위

청구항 1

복수의 마이크로 픽셀을 포함하는 실리콘 광전자 증배 소자의 제조방법에 있어서,
 상기 복수의 마이크로 픽셀에 각각 배치되는 복수의 접합구조물을 형성하는 단계;
 상기 복수의 마이크로 픽셀에 연결되는 전극을 형성하는 단계; 및
 상기 복수의 마이크로 픽셀을 지지하는 지지기판, 및 상기 복수의 마이크로 픽셀에 대응한 에피택시층을 형성하는 단계를 포함하되,
 상기 접합구조물을 형성하는 단계는,
 실리콘 재료층을 마련하는 단계;
 상기 실리콘 재료층을 패터하여, 상호 이격된 복수의 비아홀을 형성하는 단계; 및
 상기 복수의 비아홀에 대응한 실리콘 재료층에 p 전도성 타입의 제 1 접합층 및 n 전도성 타입의 제 2 접합층을 순차적으로 형성하는 단계를 포함하고,
 상기 접합구조물은 상기 제 1 및 제 2 접합층과, 제 1 및 제 2 접합층 사이에 발생된 pn접합면을 포함하는 실리콘 광전자 증배 소자의 제조방법.

청구항 2

제 1 항에 있어서,
 상기 복수의 비아홀을 형성하는 단계는
 상기 실리콘 재료층에 절연마스크층을 형성하는 단계;
 상기 복수의 마이크로 픽셀에 대응하여 상기 실리콘 재료층의 일부를 노출하도록, 상기 절연마스크층을 1차 패터하는 단계;
 상기 1차 패터된 절연마스크층을 마스크로 이용한 상태에서, 상기 실리콘 재료층을 패터하여, 상기 복수의 비아홀을 형성하는 단계를 포함하되,
 상기 비아홀은 상기 실리콘 재료층에 수직한 중심축을 가지는 입체형인 실리콘 광전자 증배 소자의 제조방법.

청구항 3

제 2 항에 있어서,
 상기 제 1 및 제 2 접합층을 순차적으로 형성하는 단계는,
 상기 1차 패터된 절연마스크층을 마스크로 이용한 상태에서, 상기 복수의 비아홀에 대응한 상기 실리콘 재료층에 p형 불순물을 주입하여, 상기 제 1 접합층을 형성하는 단계; 및
 상기 제 1 접합층의 일부에 n형 불순물을 주입하여, 상기 제 2 접합층을 형성하는 단계를 포함하는 실리콘 광전자 증배 소자의 제조방법.

청구항 4

제 3 항에 있어서,
 상기 제 1 및 제 2 접합층을 순차적으로 형성하는 단계는, 상기 제 1 접합층을 형성하는 단계 이후에, 상기 복수의 비아홀 주변에 대응한 상기 실리콘 재료층을 더 노출하도록, 상기 1차 패터된 절연마스크층을 2차 패터하는 단계를 더 포함하고,
 상기 제 2 접합층을 형성하는 단계는, 상기 2차 패터된 절연마스크층을 마스크로 이용한 상태에서 실시되며,

상기 제 2 접합층은 상기 제 1 접합층보다 넓은 너비인 실리콘 광전자 증배 소자의 제조방법.

청구항 5

제 4 항에 있어서,

상기 제 2 접합층은 상기 제 1 접합층보다 2~3 μm 만큼 넓은 너비인 실리콘 광전자 증배 소자의 제조방법.

청구항 6

제 4 항에 있어서,

상기 접합구조물을 형성하는 단계는,

상기 2차 패터닝 절연마스크층을 제거하는 단계; 및

상기 제 1 및 제 2 접합층, 및 상기 실리콘 재료층에 열처리를 실시하는 단계를 더 포함하는 실리콘 광전자 증배 소자의 제조방법.

청구항 7

제 3 항에 있어서,

상기 제 1 및 제 2 접합층을 순차적으로 형성하는 단계에서, 상기 n 형 불순물의 침투깊이는 상기 p형 불순물의 침투깊이보다 얇은 실리콘 광전자 증배 소자의 제조방법.

청구항 8

제 7 항에 있어서,

상기 p형 불순물의 침투깊이는 1~1.5 μm 이고,

상기 n형 불순물의 침투깊이는 1 μm 미만인 실리콘 광전자 증배 소자의 제조방법.

청구항 9

제 3 항에 있어서,

상기 제 1 및 제 2 접합층의 도핑농도는 상기 실리콘 재료층의 도핑농도보다 높은 실리콘 광전자 증배 소자의 제조방법.

청구항 10

제 9 항에 있어서,

상기 제 1 접합층의 도핑농도는 10^{15} ~ $10^{18}/\text{cm}^3$ 이고,

상기 제 2 접합층의 도핑농도는 10^{18} ~ $10^{21}/\text{cm}^3$ 인 실리콘 광전자 증배 소자의 제조방법.

청구항 11

제 1 항에 있어서,

상기 전극을 형성하는 단계는,

상기 실리콘 재료층 및 상기 제 2 접합층을 덮는 제 1 절연층을 형성하는 단계;

상기 제 1 절연층을 관통하여, 상기 제 2 접합층의 일부를 노출시키는 제 1 콘택홀을 형성하는 단계;

상기 제 1 절연층에 폴리실리콘층을 형성하고, 상기 폴리실리콘층을 패터닝하여, 상기 제 1 콘택홀을 통해 상기 제 2 접합층에 연결되는 워링저항을, 상기 마이크로 픽셀 내에 형성하는 단계;

상기 복수의 마이크로 픽셀 외곽에 대응한 제 1 절연층을 노출시키는 트랜치마스크를, 상기 제 1 절연층에 형성하는 단계;

상기 제 1 절연층 및 상기 실리콘 재료층을 패터닝하여, 상기 복수의 마이크로 픽셀 외곽에 대응한 실리콘 재료층을 노출시키는 트렌치 홀을 형성하는 단계;

상기 트렌치 홀에 도전성재료를 증착하여, 상기 제 1 절연층에 트렌치전극을 형성하는 단계;

상기 제 1 절연층, 상기 퀀칭전극 및 상기 트렌치전극을 덮는 제 2 절연층을 형성하는 단계;

상기 제 2 절연층을 관통하여, 상기 트렌치전극 및 상기 퀀칭전극 각각의 일부를 노출시키는 제 2 콘택홀을 형성하는 단계; 및

상기 제 2 콘택홀을 통해 상기 퀀칭전극과 연결되는 퀀칭연결전극, 상기 퀀칭연결전극에 이어지는 캐소드전극 및 상기 제 2 콘택홀을 통해 상기 트렌치전극과 연결되는 애노드전극을, 상기 제 2 절연층에 형성하는 단계를 포함하는 실리콘 광전자 증배 소자의 제조방법.

청구항 12

제 1 항에 있어서,

상기 지지기판 및 상기 에피택시층을 형성하는 단계는,

상기 복수의 마이크로 픽셀에 대응하는 영역이 개구된 상태의 지지기판을 상기 제 2 절연층 상층에 부착하는 단계; 및

상기 실리콘 재료층을 연마하여, 상기 에피택시층을 형성하는 단계를 포함하는 실리콘 광전자 증배 소자의 제조방법.

명세서

기술분야

[0001] 본 발명은 실리콘 광전자 증배 소자(Silicon PhotoMultiplier device: SiPM)를 제조하는 방법에 관한 것이다.

배경기술

[0002] 실리콘 광전자 증배 소자는 진공관 형태의 광전자 증배관(PhotoMultiplier Tube: PMT)을 대체하기 위해 제안된 것이다. 여기서, 실리콘 광전자 증배 소자 및 광전자 증배관은 광을 감지하는 광 센서의 일종들으로써, 단일 광자를 검출하기 위한 광전소자이다. 구체적으로, 실리콘 광전자 증배 소자 및 광전자 증배관은 소정 너비의 영역에 매트릭스 배열된 복수의 마이크로 픽셀을 포함하고, 이때의 각 마이크로 픽셀은 입사된 광자에 반응하여 출력 전류를 증폭시킴으로써, 각 마이크로 픽셀에 대응한 단위 영역 별로 광을 검출한다.

[0003] 기존에는 진공관 형태의 광전자 증배관이 주로 이용되었으나, 광전자 증배관은 구조상 부피가 큰 단점, 1kV 이상의 높은 동작전압에서 구동되는 단점, 고가(高價)인 단점, 및 자기장으로부터 많은 영향을 받아서 자기공명영상장치(Magnetic resonance Imaging: MRI)와 같이 큰 자기장을 사용하는 장비에 이용될 수 없는 단점이 있다.

[0004] 그에 반해, 실리콘 광전자 증배 소자는 광전자 증배관보다 작은 크기이고, 광전자 증배관보다 낮은 동작전압(예를 들면, 25~100V)에서 구동하며, 광전자 증배관보다 자기장의 영향을 적게 받는 등의 장점들이 있다.

[0005] 도 1은 일반적인 실리콘 광전자 증배 소자 및 그에 포함된 어느 하나의 마이크로 픽셀을 나타낸 도면이고, 도 2는 도 1의 마이크로 픽셀에 있어서, 제 1 및 제 2 접합층 및 에피택시층 각각의 도핑농도에 대응하여, 동작전압 인가에 따른 활성영역의 전기장 분포를 나타낸 도면이다.

[0006] 도 1에 도시한 바와 같이, 일반적인 실리콘 광전자 증배 소자(10)는 복수의 마이크로 픽셀(11)을 포함한다. 예시적으로, 실리콘 광전자 증배 소자(10)는 1mm²의 면적당 100~1000개의 마이크로 픽셀(11)을 집적한 것일 수 있다.

[0007] 각 마이크로 픽셀(11)은 입사된 광에 반응하여 아발란치 이득(avalanche gain)으로 증폭된 신호를 출력하는 아발란치 포토다이오드(Avalanche PhotoDiode: APD)일 수 있다.

[0008] 즉, 마이크로 픽셀(11)은 p+ 전도성 타입의 기판(12), 기판(12) 상에 순차적으로 형성된 p- 전도성 타입의 에피택시층(epitaxy layer, 13), 에피택시층(13) 상에 형성된 p 전도성 타입의 제 1 접합층(14) 및 제 1 접합층(14) 상에 형성된 n+ 전도성 타입의 제 2 접합층(15), 그리고, 제 2 접합층(15) 상에 형성된 유전층(16)을 포함

한다.

- [0009] 에피택시층(13), 제 1 접합층(14) 및 제 2 접합층(15)은 역방향 바이어스 전압에 의해, 전기장(Electric field)이 형성되는 활성영역(Active region)이 된다.
- [0010] 제 1 접합층(14)은 에피택시층(13) 일부에 p 전도성 타입의 이온을 주입하여 형성되고, 제 2 접합층(15)은 제 1 접합층(14) 일부에 n+ 전도성 타입의 이온을 주입하여 형성될 수 있다.
- [0011] 이러한 제 1 접합층(14)과 제 2 접합층(15) 사이에, PN 접합(PN junction)에 의한 공핍영역(depletion region, 미도시)이 형성된다. 특히, 제 1 및 제 2 접합층(14, 15) 각각의 도핑농도를 통해, 공핍영역의 깊이가 조절됨에 따라, 항복전압(breakdown voltage)이 조절될 수 있다.
- [0012] 한편, 각 마이크로 픽셀(11)은, 항복전압 이상의 역방향 바이어스 전압이 인가되어, 활성영역(Active region, (13, 14, 15))에 전기장(Electric Field)이 형성됨으로써, 출력전류를 발생시키는 턴온 상태가 된다. 그러므로, 마이크로 픽셀(11)의 항복전압이 낮아질수록, 실리콘 광전자 증배 소자(10)의 동작전압이 낮아질 수 있다.
- [0013] 턴온 상태의 마이크로 픽셀(11)에 광(20)이 입사되면, 에피택시층(13)에 전자-정공쌍(electron-hole pair)이 발생하고, 이때의 전자 또는 정공은 전기장(Electric Field)에 의해 편류하게 된다. 여기서, 광(20)은 가시광선 파장영역의 광(21), 적외선 파장영역의 광(22) 및 자외선 파장영역의 광(23)을 포함할 수 있다.
- [0014] 도 2에 있어서, 가로축은 광입사면을 기준으로 활성영역(Active region)의 깊이를 나타내고, 세로축은 전기장 세기를 나타낸다. 즉, 광입사면에 가장 인접하고 N+ Phos 이온으로 도핑된 영역은 제 2 접합층(도 1의 15)이고, 제 2 접합층(N+ Phos)에 접하고 P+ Boron 이온으로 도핑된 영역은 제 1 접합층(도 1의 14)이다. 그리고, 제 1 접합층(P+ Boron)에 접하면서 광입사면으로부터 먼 영역은 에피택시층(도 1의 13)이다.
- [0015] 도 2에 도시한 바와 같이, 편류영역(drift region)은 에피택시층(도 1의 13)으로써, 전하들이 전기장에 의해 편류하는 영역이다. 이때, 편류하는 전하들은 전기장(Electric field)에 의해 가속되어 2차 전자를 발생시킴으로써, 전류가 급격히 증가하는 아발란치 브레이크다운(avalanche breakdown: 전자사태 방전)을 유발시킨다.
- [0016] 그리고, 가이거 영역(Geiger region)은 제 1 접합층(P+ Boron)과 제 2 접합층(N+ Phos) 사이의 공핍영역(미도시)으로써, 활성영역 내에서 가장 강한 전기장(Electric field)이 발생하는 영역이다. 즉, 공핍영역(미도시)에서, 강한 전기장에 의해, 아발란치 브레이크 다운이 연쇄적으로 발생하는 가이거 방전(Geiger breakdown)이 유발된다.
- [0017] 이와 같은 과정으로, 실리콘 광전자 증배 소자(10)의 각 마이크로 픽셀(11)은 입사된 광에 반응하여 증폭된 신호를 출력하게 된다. 예시적으로, 하나의 광자에 의한 전류의 증폭 이득(gain)은 10^6 일 수 있으며, 이는 기존의 광전자 증배관(PMT)과 유사한 수준이다.
- [0018] 한편, 도 1의 실리콘 광전자 증배 소자(10)는 다음과 같은 문제점들이 있다.
- [0019] 첫째, 도 1의 실리콘 광전자 증배 소자(10)는 고농도로 도핑된 p+ 전도성 타입의 기판(12)을 포함함에 따라, 높은 암전류율(여기서, '암전류율'은 광에 의해 증폭된 전류가 아닌 암전류의 발생 비율을 의미함)을 나타내는 문제점이 있다.
- [0020] 즉, 고농도 p+ 전도성 타입의 기판(12) 자체에서 누설전류가 유발될 뿐만 아니라, 기판(12)과 에피택시층(13) 사이의 계면에, 도핑농도의 급격한 변동으로 인해 발생된 강한 전기장에서, 누설전류가 유발된다. 이와 같은 누설전류에 의해, 소자(10)의 암전류율(여기서, '암전류율'은 광에 의해 증폭된 전류가 아닌 암전류의 비율을 의미함)이 높아진다. 예시적으로, 도 1의 실리콘 광전자 증배 소자(10)에 있어서, 암전류율은 2M μ A에 달하였다.
- [0021] 이와 같이, 암전류율이 높아질수록, 신호 대 잡음 특성이 저하되어, 소자의 정확도, 특히 미세광 검출 시의 정확도가 향상되기 어렵다.
- [0022] 둘째, 도 1의 실리콘 광전자 증배 소자(10)에 따르면, 마이크로 픽셀(11) 중 활성영역(Active region)의 두께는 약 5 μ m내외인 것이 일반적이므로, 마이크로 픽셀(11)로 입사되는 광, 특히, 적외선 파장영역의 광은 에피택시층(13)을 용이하게 투과할 수 있다.
- [0023] 그리고, 마이크로 픽셀(11)의 각 층(12, 13, 14, 15, 16)이 상호 수평하게 배치됨에 따라, 광 입사면 백터와 각 층간 계면 백터가 평행하게 된다. 이에, 마이크로 픽셀(11)로 입사되는 광이 각 층 간 계면에서 용이하게 반사 또는 소실될 수 있다.

- [0024] 이에 따라, 에피택시층(13)의 광 흡수율이 낮아지고, 소자(10)의 광 검출 효율(여기서, '광 검출 효율'은 양자 효율에 상응하는 것으로, 각 파장의 광자가 감지되는 비율을 의미함)이 감소되는 문제점이 있다.
- [0025] 특히, 각 층 간 계면에서의 반사 또는 소실로 인해, 자외선 파장영역(예를 들면, 약 400nm 이하)의 광에 대한 광 검출 효율이 약 10% 이하로 낮게 나타남에 따라, 자외선 파장영역의 광을 검출하는 것에 대한 소자의 정확도가 향상되기 어렵다.
- [0026] 참고로, 한국공개특허 제2007-0051782 호(공개일: 2007.05.18, 발명의 명칭: 실리콘 광전자 증배관 및 상기 실리콘 광전자 증배관을 위한 셀)는, p++ 전도성 타입의 기판, 기판 상에 성장되는 p 전도성 타입의 에피택시층, p 전도성 타입층, n+ 전도성 타입층, 전압 배분 버스, 각 셀에서 실리콘 옥사이드 층 위에 위치하여 n+ 전도성 타입 층과 전압 배분 버스를 연결시키는 폴리실리콘 저항 및 광학 배리어의 기능을 수행하는 분리요소를 포함함으로써, 광 검출 효율을 향상시키는 실리콘 광전자 증배관을 개시한다.
- [0027] 그러나, 한국공개특허 제2007-0051782 호에 개시된 실리콘 광전자 증배관 또한, 도 1의 실리콘 광전자 증배 소자(10)와 마찬가지로, 광 입사면 백터와 각 층간 계면 백터가 상호 평행하기 때문에, 여전히 에피택시층의 광 흡수율을 향상시키는 데에 한계가 있고, 그로 인해, 소자의 정확도를 향상시키기 어려운 문제점이 있다.

선행기술문헌

특허문헌

- [0028] (특허문헌 0001) 한국공개특허 제2007-0051782 호 (공개일: 2007.05.18.)

발명의 내용

해결하려는 과제

- [0029] 본 발명은 전술한 종래 기술의 문제점을 해결하기 위한 것으로서, 광 흡수율을 향상시킬 수 있고, 암전류율을 저하시킬 수 있어, 정확도를 향상시킬 수 있는 실리콘 광전자 증배 소자 및 그를 제조하는 방법을 제공한다.

과제의 해결 수단

- [0030] 상기와 같은 목적을 달성하기 위한 본 발명은, 복수의 마이크로 픽셀을 포함하는 실리콘 광전자 증배 소자의 제조방법에 있어서, 상기 복수의 마이크로 픽셀에 각각 배치되는 복수의 접합구조물을 형성하는 단계; 상기 복수의 마이크로 픽셀에 연결되는 전극을 형성하는 단계; 및 상기 복수의 마이크로 픽셀을 지지하는 지지기판, 및 상기 복수의 마이크로 픽셀에 대응한 에피택시층을 형성하는 단계를 포함하는 실리콘 광전자 증배 소자의 제조방법을 제공한다. 여기서, 상기 접합구조물을 형성하는 단계는, 실리콘 재료층을 마련하는 단계; 상기 실리콘 재료층을 패터닝하여, 상호 이격된 복수의 비아홀을 형성하는 단계; 및 상기 복수의 비아홀에 대응한 실리콘 재료층에 p 전도성 타입의 제 1 접합층 및 n 전도성 타입의 제 2 접합층을 순차적으로 형성하는 단계를 포함한다. 그리고, 상기 접합구조물은 상기 제 1 및 제 2 접합층과, 제 1 및 제 2 접합층 사이에 발생된 pn접합면을 포함한다.
- [0031] 상기 복수의 비아홀을 형성하는 단계는 상기 실리콘 재료층에 절연마스크층을 형성하는 단계; 상기 복수의 마이크로 픽셀에 대응하여 상기 실리콘 재료층의 일부를 노출하도록, 상기 절연마스크층을 1차 패터닝하는 단계; 상기 1차 패터닝된 절연마스크층을 마스크로 이용한 상태에서, 상기 실리콘 재료층을 패터닝하여, 상기 복수의 비아홀을 형성하는 단계를 포함한다. 여기서, 상기 비아홀은 상기 실리콘 재료층에 수직한 중심축을 가지는 입체형이다.
- [0032] 그리고, 상기 제 1 및 제 2 접합층을 순차적으로 형성하는 단계는, 상기 1차 패터닝된 절연마스크층을 마스크로 이용한 상태에서, 상기 복수의 비아홀에 대응한 상기 실리콘 재료층에 p형 불순물을 주입하여, 상기 제 1 접합층을 형성하는 단계; 및 상기 제 1 접합층의 일부에 n형 불순물을 주입하여, 상기 제 2 접합층을 형성하는 단계를 포함한다.
- 발명의 효과**
- [0033] 본 발명에 따르면, 실리콘 재료층에 복수의 비아홀을 형성한 후, 복수의 비아홀에 대응한 실리콘 재료층에 제 1 접합층과 제 2 접합층을 순차 형성한다. 여기서, 비아홀은 실리콘 재료층에 수직한 중심축을 갖는 입체형이다.

이와 같은 방법으로 제조된 실리콘 광전자 증배 소자는, 비아홀에 대응한 실리콘 재료층에 형성된 제 1 접합층과 제 2 접합층을 포함함에 따라, 비아홀의 형상을 따라 발생하는 pn접합면을 포함하게 된다.

[0034] 이로써, pn접합층을 포함하는 접합구조물과 트렌치전극 사이의 전기장이 광 입사면에 수평하고, 에피택시층 내에 균일하게 형성될 수 있으므로, 전체 파장영역의 광에 대한 광 검출 효율이 향상될 수 있다.

[0035] 그리고, 비아홀의 형상을 이용하여, 공핍영역이 마이크로 픽셀의 대부분을 차지하도록 넓힐 수 있어, 소자의 광 검출효율이 더욱 향상될 수 있다.

[0036] 또한, 별도의 고농도 성장기판을 포함하지 않으므로, 고농도 성장기판에 의한 누설전류가 차폐되어, 암전류율이 감소될 수 있다.

도면의 간단한 설명

[0037] 도 1은 일반적인 실리콘 광전자 증배 소자 및 그에 포함된 어느 하나의 마이크로 픽셀을 나타낸 도면이다.

도 2는 도 1의 마이크로 픽셀에 있어서, 제 1 및 제 2 접합층 및 에피택시층 각각의 도핑농도, 및 동작전압 인가에 따른 전기장 분포를 나타낸 도면이다.

도 3은 본 발명의 일실시예에 따른 실리콘 광전자 증배 소자의 상면도이다.

도 4는 도 3의 I-I'를 나타낸 단면도이다.

도 5는 도 4의 II를 나타낸 도면이다.

도 6은 본 발명의 일실시예에 따른 실리콘 광전자 증배 소자에 있어서, 제 1 및 제 2 접합층 및 에피택시층 각각의 도핑농도, 및 동작전압 인가에 따른 전기장 분포를 나타낸 도면이다.

도 7은 도 6의 전기장 분포에 따른 마이크로 픽셀 내의 공핍영역을 나타낸 도면이다.

도 8은 도 3의 실리콘 광전자 증배 소자에 있어서, 동작전압에 따른 암전류를 나타낸 도면이다.

도 9a 및 도 9b는 본 발명의 일실시예에 따른 마이크로 픽셀의 다른 예시들을 나타낸 도면이다.

도 10a 내지 도 10c는 본 발명의 일실시예에 따른 트렌치전극의 다른 예시들을 나타낸 도면이다.

도 11은 본 발명의 일실시예에 따른 실리콘 광전자 증배 소자의 제조방법을 나타낸 순서도이다.

도 12는 도 11의 접합구조물 형성 단계를 나타낸 순서도이다.

도 13a 내지 도 13j는 도 11의 접합구조물을 형성하는 단계를 나타낸 공정도이다.

도 14는 도 11의 전극 형성 단계를 나타낸 순서도이다.

도 15a 내지 도 15k는 도 11의 전극 형성 단계를 나타낸 공정도이다.

도 16은 도 11의 지지기판 형성 단계를 나타낸 순서도이다.

도 17a 내지 도 17c는 도 11의 지지기판 형성 단계를 나타낸 공정도이다.

발명을 실시하기 위한 구체적인 내용

[0038] 아래에서는 첨부한 도면을 참조하여 본원이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본원의 실시예를 상세히 설명한다. 그러나 본원은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본원을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.

[0039] 본원 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다.

[0040] 본원 명세서 전체에서, 어떤 부재가 다른 부재 “상에” 위치하고 있다고 할 때, 이는 어떤 부재가 다른 부재에 접해 있는 경우뿐 아니라 두 부재 사이에 또 다른 부재가 존재하는 경우도 포함한다.

[0041] 본원 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있는 것을 의미한다. 본원 명세서

전체에서 사용되는 정도의 용어 "약", "실질적으로" 등은 언급된 의미에 고유한 제조 및 물질 허용오차가 제시될 때 그 수치에서 또는 그 수치에 근접한 의미로 사용되고, 본원의 이해를 돕기 위해 정확하거나 절대적인 수치가 언급된 개시 내용을 비양심적인 침해자가 부당하게 이용하는 것을 방지하기 위해 사용된다. 본원 명세서 전체에서 사용되는 정도의 용어 "~(하는) 단계" 또는 "~의 단계"는 "~를 위한 단계"를 의미하지 않는다.

- [0042] 본원 명세서 전체에서, 마쿠시 형식의 표현에 포함된 “이들의 조합”의 용어는 마쿠시 형식의 표현에 기재된 구성 요소들로 이루어진 군에서 선택되는 하나 이상의 혼합 또는 조합을 의미하는 것으로서, 상기 구성 요소들로 이루어진 군에서 선택되는 하나 이상을 포함하는 것을 의미한다.
- [0043] 다음, 도 3 내지 도 8, 도 9a, 도 9b, 도 10a 내지 도 10c를 참조하여, 본 발명의 일실시예에 따른 실리콘 광전자 증배 소자에 대해 설명한다.
- [0044] 도 3은 본 발명의 일실시예에 따른 실리콘 광전자 증배 소자의 상면도이고, 도 4는 도 3의 I-I'를 나타낸 단면도이며, 도 5는 도 4의 II를 나타낸 도면이다. 도 6은 본 발명의 일실시예에 따른 실리콘 광전자 증배 소자에 있어서, 제 1 및 제 2 접합층 및 에피택시층 각각의 도핑농도에 대응하여, 동작전압 인가에 따른 활성영역의 전기장 분포를 나타낸 도면이다. 도 7은 도 6의 전기장 분포에 따른 마이크로 픽셀 내의 공핍영역을 나타낸 도면이다. 도 8은 도 3의 실리콘 광전자 증배 소자에 있어서, 동작전압에 따른 암전류를 나타낸 도면이다. 또한, 도 9a 및 도 9b는 본 발명의 일실시예에 따른 마이크로 픽셀의 다른 예시들을 나타낸 도면이고, 도 10a 내지 도 10c는 본 발명의 일실시예에 따른 트랜치전극의 다른 예시들을 나타낸 도면이다.
- [0045] 도 3에 도시한 바와 같이, 본 발명의 일실시예에 따른 실리콘 광전자 증배 소자(100)는 일정 영역 내에 매트릭스 배열된 복수의 마이크로 픽셀(②)을 포함한다.
- [0046] 그리고, 도 3의 실리콘 광전자 증배 소자(100)는 복수의 마이크로 픽셀(②)에 각각 배치되는 복수의 접합구조물(110), 복수의 접합구조물(110)로부터 이격되도록 각 마이크로 픽셀(②)의 외곽에 대응하는 트랜치전극(120), 복수의 접합구조물(110)에 각각 연결되는 쿨링전극(130), 쿨링전극(130)을 연결하는 쿨링연결전극(140), 쿨링연결전극(140)에 이어지는 캐소드전극(141), 트랜치전극(120)에 연결되는 애노드전극(150), 및 각 마이크로 픽셀(②)의 접합구조물(110)을 지지하는 지지기관(160)을 포함한다.
- [0047] 도 3의 실리콘 광전자 증배 소자(100)는 2x2 배열된 4개의 마이크로 픽셀(②)을 포함하는 것으로 도시되어 있으나, 이는 단지 예시일 뿐이며, 실리콘 광전자 증배 소자(100)에 포함되는 마이크로 픽셀(②)의 개수 및 크기는 설계에 따라 다양하게 변경될 수 있다. 예시적으로, 마이크로 픽셀(②)의 상면 길이는 10~100 μm 이고, 이때, 실리콘 광전자 증배 소자(100)는 1 mm^2 의 단위 면적 당 100~1000개의 마이크로 픽셀(②)을 포함할 수 있다.
- [0048] 더불어, 도 4에 도시한 바와 같이, 실리콘 광전자 증배 소자(100)는 복수의 마이크로 픽셀(②)에 대응한 복수의 비아홀(171)을 포함하는 p 전도성 타입의 에피택시층(170), 에피택시층(170)에 형성되어 복수의 접합구조물(110)로부터 트랜치전극(120)을 절연시키는 제 1 절연층(181), 및 제 1 절연층(181)에 형성되어 쿨링연결전극(140)과 캐소드전극(141)으로부터 애노드전극(150)을 절연시키는 제 2 절연층(182)을 더 포함한다.
- [0049] 에피택시층(170)은 제 1 접합층(111)보다 낮은 도핑농도로써, 저농도 p 전도성 타입의 실리콘 반도체(silicon semiconductor)일 수 있다. 이때, 에피택시층(170)의 도핑농도는 $10^{11} \sim 10^{16} / \text{cm}^3$ 일 수 있다. 이러한 에피택시층(170)은 광에 반응하여 전자-정공쌍을 발생시킨다.
- [0050] 예시적으로, 에피택시층(170)은 저농도 p 전도성 타입의 성장기관(미도시) 상에 성장기관(미도시)과 동일 범위의 농도를 갖도록 성장된 실리콘 반도체로 형성될 수 있다. 또는, 에피택시층(170)은 저농도 p 전도성 타입의 기관 형태(예를 들면, 실리콘 웨이퍼)로 마련될 수도 있다.
- [0051] 이와 같이 하면, 에피택시층(170)은 에피택시층(170) 도핑농도 이상인 고농도 p 전도성 타입의 기관(미도시)과 접하지 않게 된다. 그러므로, 고농도 p 전도성 타입의 기관 자체에서 발생하는 누설전류, 및 고농도 p 전도성 타입의 기관(미도시)과 에피택시층(170) 사이에, 도핑농도의 급격한 변동으로 인한 강한 전기장에서 발생하는 누설전류를 차폐할 수 있어, 암전류가 저하될 수 있다.
- [0052] 에피택시층(170)은 복수의 마이크로 픽셀(②)에 각각 대응한 복수의 비아홀(171)을 포함한다.
- [0053] 복수의 비아홀(171)은 에피택시층(170) 중 광 입사면(여기서, '광 입사면'은 실리콘 광전자 증배 소자에 광이 입사되는 면을 지칭함)에 반대되는 일면(도 4에서, 에피택시층(170)의 배면에 해당함)에 상호 이격하여 형성된다.

- [0054] 여기서, 비아홀(171)은 광 입사면에 수직한 입체형으로 형성된다. 예시적으로, 비아홀(171)의 단면은 삼각형 및 사각형과 같은 다각형, 타원형 및 원형 중 하나일 수 있다. 즉, 도 4의 도시와 같이, 비아홀(171)의 단면은 삼각형일 수 있다. 이러한 비아홀(171)의 형상은 단지 예시일 뿐이며, 본 발명의 일실시예에 따른 비아홀(171)의 형상은 설계자의 선택에 따라 자유롭게 변경 가능하다.
- [0055] 이와 같이, 에피택시층(170)은 복수의 비아홀(171)을 포함하는 형태로 이루어짐에 따라, 복수의 비아홀(171)을 포함하지 않는 평면 형태보다 증가된 표면적을 가질 수 있으므로, 에피택시층(170)의 광 흡수율이 더욱 증가될 수 있고, 이로써 광 검출 효율이 향상될 수 있다.
- [0056] 예시적으로, 비아홀(171)이 $10\mu\text{m}$ 의 높이인 경우, 에피택시층(170)의 두께는 $10\mu\text{m}$ 을 초과해야 하므로, 적외선과 같이 비교적 긴 파장영역(예를 들면, 약 780nm 이상)의 광이 에피택시층(170)을 투과하는 것을 줄일 수 있다. 그러므로, 적외선 파장영역의 광에 대한 광 흡수율의 증가 및 광 검출 효율의 증가를 기대할 수 있다.
- [0057] 접합구조물(110)은 에피택시층(170) 중 복수의 비아홀(171)에 대응하는 p 전도성 타입의 제 1 접합층(111), 및 에피택시층(170) 중 복수의 비아홀(171) 외곽 및 제 1 접합층(111)에 대응하는 n+ 전도성 타입의 제 2 접합층(112)을 포함한다. 이에, 제 1 및 제 2 접합층(111, 112) 사이에, 에피택시층(170)의 비아홀(171)에 대응한 pn 접합면이 발생함으로써, 그에 따른 공핍영역(depletion region, 미도시)이 형성된다.
- [0058] p 전도성 타입의 제 1 접합층(111)은 각 비아홀(171)에 대응한 에피택시층(170)을 p형 불순물로 도핑하여 형성될 수 있다. 즉, 제 1 접합층(111)은 비아홀(171) 내의 에피택시층(170) 일부를 p 전도성 타입으로 변형한 것이다.
- [0059] 이때, p형 불순물의 침투깊이는 $1\sim 1.5\mu\text{m}$ 일 수 있다. 그리고, p형 불순물은 붕소 이온(Boron, B^+) 또는 2플로르화 붕소 이온(BF^{2+})일 수 있다. 또한, 제 1 접합층(111)의 도핑농도는 에피택시층(170)보다 높되, 예시적으로, $10^{15}\sim 10^{18}/\text{cm}^3$ 일 수 있다.
- [0060] n+ 전도성 타입의 제 2 접합층(112)은 각 비아홀(171) 및 그 주변에 대응한 에피택시층(170)을 n형 불순물로 도핑하여 형성된다. 즉, 제 2 접합층(112)은 비아홀(171) 내의 제 1 접합층(111) 일부와, 비아홀(171) 주변에 대응한 에피택시층(170)의 다른 일부를 n+ 전도성 타입으로 변형한 것이다.
- [0061] 여기서, 제 2 접합층(112)은 제 1 접합층(111)보다 비아홀(171) 주변을 더 포함함에 따라, 제 2 접합층(112)은 제 1 접합층(111)보다 넓은 너비로 형성된다. 예시적으로, 제 2 접합층(112)은 제 1 접합층(111)보다 $2\sim 3\mu\text{m}$ 정도만큼 넓은 너비일 수 있다. 이와 같이, 제 2 접합층(112)이 제 1 접합층(111)보다 넓은 너비로 형성되면, 제1 및 제 2 접합층(111, 112) 사이의 pn 접합면에서, 노이즈(noise)가 감소될 수 있다.
- [0062] 더불어, 비아홀(171)에 제 1 접합층(111)을 형성한 후에, 제 2 접합층(112)을 형성함에 따라, 제 2 접합층(112)에 의해 제 1 접합층(111)이 소멸될 수 있다. 이를 방지하기 위해, n형 불순물의 침투깊이는 p형 불순물의 침투깊이보다 얇게 한다. 예시적으로, n형 불순물의 침투깊이는 $1\mu\text{m}$ 미만일 수 있고, 이로써 제 2 접합층(112)의 두께는 $1\mu\text{m}$ 미만일 수 있다. 그리고, n형 불순물은 인(Phosphorus) 또는 비소(Arsenic, As^+)일 수 있다. 또한, 제 2 접합층(112)의 도핑농도는 $10^{18}\sim 10^{21}/\text{cm}^3$ 일 수 있다.
- [0063] 이상과 같이, 제1 및 제 2 접합층(111, 112) 사이의 pn 접합면은 비아홀을 따라 형성되기 때문에, 광입사면에 수평한 평면 형태일 때보다 넓은 면적으로 형성될 수 있다. 이에 따라, 더 넓어진 면적의 pn 접합면, 즉 공핍영역(depletion region)에서, 전자-정공쌍에 의한 2차 전자의 발생율이 높아질 수 있어, 전류의 증폭 이득이 높아질 수 있으므로, 광 검출 효율이 향상될 수 있다.
- [0064] 이러한 복수의 접합구조물(110)은 에피택시층(170)에 형성된 제 1 절연층(181)에 의해 덮인다.
- [0065] 트렌치전극(120)은 복수의 마이크로 픽셀(⑨)의 외곽에 대응하는 에피택시층(170)과 접하도록, 제 1 절연층(181)에 형성된다. 예시적으로, 트렌치전극(120)은 복수의 마이크로 픽셀(⑨) 외곽에 대응한 에피택시층(170)을 노출하는 트렌치 홀(trench hole)에 증착 또는 충전되는 도전성재료로 형성된다.
- [0066] 더불어, 트렌치전극(120)은 각 마이크로 픽셀(⑨)의 외곽에 대응함에 따라, 각 접합구조물(110)의 주위에, 각 접합구조물(110)로부터 이격하여 형성된다. 예시적으로, 트렌치전극(120)은 접합구조물(110) 주위를 둘러싸는 다각형 또는 원형의 형상으로 배치될 수 있다. 또는, 트렌치전극(120)은 접합구조물(110) 주위를 둘러싸는 정사각형 또는 육각형의 각 꼭지점에 배치될 수도 있다.

- [0067] 또한, 트렌치전극(120) 중 광입사면에 인접한 일단이 각진 형태인 경우, 그 모서리에 의해 높은 전기장이 발생함에 따라, 암전류가 커질 수 있다. 그러므로, 트렌치전극(120)의 일단은 둥근 형태로 형성됨으로써, 암전류를 감소시킬 수 있다. 이때, 트렌치전극(120)의 일단을 둥글게 형성하기 위해, 트렌치 홀의 형성 시, 브롬화수소(HBr)와 같은 가스를 이용한 건식식각을 실시할 수 있다.
- [0068] 퀀칭전극(130)은 각 마이크로 픽셀(⑨)에 대응하여 제 1 절연층(181)에 형성되고, 제 1 절연층(181)을 관통하는 제 1 콘택홀을 통해 각 접합구조물(110)에 연결된다.
- [0069] 참고로, 트렌치전극(120)과 퀀칭전극(130)은 모두 제 1 절연층(181)에 형성되나, 트렌치전극(120)은 마이크로 픽셀(⑨) 외곽에 배치되고, 퀀칭전극(130)은 접합구조물(110)과 인접하도록 각 마이크로 픽셀(⑨) 내에 배치됨에 따라, 자연히 상호 절연된다.
- [0070] 이러한 트렌치전극(120) 및 퀀칭전극(130)은 제 1 절연층(181)에 형성된 제 2 절연층(182)에 의해 덮인다.
- [0071] 퀀칭연결전극(140)은 제 2 절연층(182)에 형성되고, 제 2 절연층(182)을 관통하는 제 2 콘택홀을 통해 퀀칭전극(130)에 연결되어, 각 마이크로 픽셀(⑨) 내의 퀀칭전극(130)을 상호 연결시킨다.
- [0072] 캐소드전극(141)은 퀀칭연결전극(140)과 이어져서, 제 2 절연층(182)에 형성된다. 즉, 캐소드전극(141)은 퀀칭연결전극(140) 및 퀀칭전극(130)을 통해 각 마이크로 픽셀(⑨)의 접합구조물(110)에 전기적으로 연결된다.
- [0073] 애노드전극(150)은 제 2 절연층(182)에 형성되고, 제 2 절연층(182)을 관통하는 제 2 콘택홀을 통해, 트렌치전극(120)에 연결된다.
- [0074] 이러한 캐소드전극(141)과 애노드전극(150)은 외부 회로와 연결되기 위한 본딩영역이 된다.
- [0075] 한편, 도 3 및 도 4에 구체적으로 도시되어 있지 않으나, 본 발명의 실시예에 따른 실리콘 광전자 증배 소자(100)는 에피택시층(170) 중 광이 입사되는 다른 일면에 형성되는 유전체(미도시) 및 알루미늄 스트립(미도시)을 더 포함할 수 있고, 복수의 마이크로 픽셀(⑨)을 보호하기 위한 가드링(Guard ring, 미도시)을 더 포함할 수 있다. 여기서, 가드링(미도시)은 소자 내부를 보호하고, 암전류를 감소시키기 위한 것으로서, 바깥쪽에 배치된 마이크로 픽셀(⑨)로부터 100 μ m 이내의 이격거리로 이격되어 형성될 수 있다. 예시적으로, 실리콘 광전자 증배 소자(100)는 전체 마이크로 픽셀(⑨)에 대응하여, 2~3개의 가드링을 포함할 수 있다.
- [0076] 이상과 같은 실리콘 광전자 증배 소자(100)에 있어서, 캐소드전극(141)과 애노드전극(150) 사이에 역방향 바이어스 전압의 동작전압이 인가되면, 접합구조물(110)과 트렌치전극(120) 사이의 에피택시층(170)에 전기장이 발생하게 된다.
- [0077] 특히, 트렌치전극(120)의 배치 형태에 따라, 동작전압 인가 시에, 접합구조물(110)과 트렌치전극(120) 사이에 발생하는 전기장의 세기 또는 형태가 조절될 수 있다.
- [0078] 즉, 도 5에 도시한 바와 같이, 에피택시층(170) 내에서, 트렌치전극(120)의 높이가 접합구조물(110) 높이 이상인 경우, 동작전압 인가 시, 접합구조물(110)과 트렌치전극(120) 사이의 전기장(E)이 광 입사면에 수평하고, 에피택시층(170) 내에 비교적 균일하게 발생될 수 있다.
- [0079] 예시적으로, 에피택시층(170) 내에서, 접합구조물(110)의 높이가 10 μ m인 경우, 트렌치전극(120)의 높이가 접합구조물(110)의 높이 이상인 10~13 μ m일 수 있다. 이때, 트렌치전극(120)은 접합구조물(110)보다 광입사면에 인접할 수 있다.
- [0080] 이와 같이, 접합구조물(110)과 트렌치전극(120) 사이의 전기장(E)이 광 입사면에 수평하게 형성되면, 자외선과 같이 비교적 짧은 파장영역의 광이 접합구조물(110)까지 도달되지 않더라도, 접합구조물(110)과 트렌치전극(120) 사이의 전기장(E)에 잡혀서, 전자-정공쌍 및 그로 인한 애벌런치 방전을 유발시킬 수 있다.
- [0081] 그리고, 적외선과 같이 비교적 긴 파장영역의 광이 에피택시층(170)에 깊숙히 입사되더라도, 접합구조물(110)과 트렌치전극(120) 사이의 전기장(E)에 잡혀서, 전자-정공쌍을 유발시킬 수 있다.
- [0082] 따라서, 전체 파장영역(200~900nm)의 광에 대해 소자의 광 검출 효율이 향상될 수 있다.
- [0083] 이 뿐만 아니라, 접합구조물(110)의 형성 시, 일정한 조건을 부가하여, 공핍영역이 마이크로 픽셀(⑨)의 대부분을 차지하도록 넓힘으로써, 소자의 광 검출 효율이 더욱 증가될 수 있다.
- [0084] 도 6에 있어서, 가로축은 광입사면을 기준으로 접합구조물(110) 및 에피택시층(170)의 깊이를 나타내고, 좌측

세로측은 전기장 세기(V/cm)를 나타내며, 우측 세로측은 10의 지수로서 도핑농도(/cm³)를 나타낸다.

- [0085] 도 6의 좌측으로부터 살펴보면, 제 2 접합층(112)은 n⁺이온으로 도핑되고, 제 1 접합층(111)은 p⁺이온으로 도핑되며, 에피택시층(170)은 제 1 접합층(111)보다 낮은 도핑농도로 p⁺이온으로 도핑된다. 이 경우, 제 1 접합층(111)과 제 2 접합층(112) 사이의 계면에서, 1×10^5 V/cm 이상의 강한 전기장이 발생하는 것을 확인할 수 있다.
- [0086] 더불어, 도 7에 도시한 바와 같이, 공핍영역(depletion region)은 마이크로 픽셀(⑨) 내 절반 이상에 발생하게 된다. 즉, 앞서 도 5에 나타난 바와 같이, 에피택시층(170) 중 접합구조물(110)과 트랜치전극(120) 사이의 영역에, 광 입사면에 수평한 전기장(E)이 균일하게 발생된다. 이러한 전기장(E)에 대응하여 공핍영역(depletion region)은 마이크로 픽셀(⑨) 내 대부분에 형성된다.
- [0087] 이와 같이, 공핍영역(depletion region)이 넓게 형성될수록, 공핍영역(depletion region) 내에서 입사된 광에 의해 반응하여 전자-정공쌍이 발생될 확률이 높아지며, 그만큼 아발란치 브레이크다운(avalanche breakdown: 전자사태 방전)이 발생할 확률이 높아지기 때문에, 양자효율이 증가되어, 소자의 광 검출 효율이 향상될 수 있다.
- [0088] 또한, 기존의 실리콘 광전자 증배 소자(도 1의 10)는 에피택시층의 성장 또는 지지를 위한 고농도 p 전도성 타입의 기판을 포함함에 따라, 기판으로 인한 누설전류로 인해 암전류율(여기서, '암전류율'은 암전류의 발생 비율을 의미함)이 약 2M μ 로 높게 나타난다. 그에 반해, 본 발명의 일실시예에 따른 실리콘 광전자 증배 소자(100)는 누설전류를 유발하는 고농도 p 전도성 타입의 기판을 포함할 필요가 없으므로, 암전류율이 기존보다 감소될 수 있다.
- [0089] 즉, 도 8에 도시한 바와 같이, 본 발명의 일실시예에 따른 실리콘 광전자 증배 소자(100)에 있어서, 12.7V, 12.8V 및 12.9V의 동작전압이 인가된 경우의 암전류율은 각각 310Hz, 500Hz 및 750Hz 정도로서, 모두 1kHz 이하로 기존보다 낮게 나타남을 확인할 수 있다. 참고로, 도 8에 있어서, 가로측은 실리콘 광전자 증배 소자(100)에 인가되는 동작전압을 나타내고, 세로측은 암전류율(Dark rate)을 나타낸다.
- [0090] 다음, 본 발명의 일실시예에 따른 마이크로 픽셀의 다른 예시들을 설명한다.
- [0091] 본 발명의 일실시예에 따른 실리콘 광전자 증배 소자에 있어서, 접합구조물의 제 1 및 제 2 접합층은 공통적으로 비아홀에 대응한 에피택시층에 형성됨에 따라, 제 1 및 제 2 접합층 사이의 pn 접합면은 비아홀의 형상을 따라 형성된다. 이때, pn 접합면의 형상에 따라, 마이크로 픽셀 내에 발생된 공핍영역의 너비가 조절될 수 있다.
- [0092] 앞서 도 4 및 도 5에서, 에피택시층(170)의 비아홀(171)은 삼각형의 단면을 갖는 뿔형으로 도시되어 있으나, 이와 달리, 비아홀은 기둥형 또는 구형의 형상일 수 있다.
- [0093] 즉, 도 9a에 도시한 바와 같이, 에피택시층(170)의 비아홀(172)은 사각형의 단면을 갖는 기둥형일 수 있고, 접합구조물(110)은 기둥형의 비아홀(172)에 대응되는 형상으로 형성될 수 있다.
- [0094] 또는, 도 9b에 도시한 바와 같이, 에피택시층(170)의 비아홀(173)은 반타원형의 단면을 갖는 반타원구형(여기서, 반타원구형은 일측이 개구된 타원구를 지칭함)일 수 있다. 이때, 비아홀(173)은 원형의 단면을 갖는 반구형일 수도 있다.
- [0095] 이와 같이, 비아홀(172)이 삼각형이 아닌 기둥형 또는 반타원구형인 경우, 마이크로 픽셀(⑨) 내의 공핍영역(미도시)이 비아홀(171)이 뿔형일 때보다 넓게 형성될 수 있다. 이로 인해, 전자-정공쌍에 의한 2차 전자의 발생율이 높아질 수 있어, 소자의 광 검출 효율이 더욱 향상될 수 있다.
- [0096] 더불어, 트랜치전극이 접합구조물 주위에 배치되는 형상에 따라, 접합구조물과 트랜치전극 사이에 형성되는 전기장의 세기 및 형태가 조절될 수 있다.
- [0097] 예시적으로, 도 3 및 도 10a에 도시된 바와 같이, 트랜치전극(120)은 각 접합구조물(110)의 주위를 둘러싸는 다각형(예를 들면, 사각형, 직사각형, 정사각형, 육각형)의 둘레에 배치될 수 있다.
- [0098] 또는, 도 10b에 도시된 바와 같이, 트랜치전극(120)은 각 접합구조물(110)의 주위를 둘러싸는 사각형의 각 모서리에 배치될 수 있다.
- [0099] 또는, 도 10c에 도시된 바와 같이, 트랜치전극(120)은 각 접합구조물(110)의 주위를 둘러싸는 육각형의 각 모서리에 배치될 수 있다.
- [0100] 다음, 도 11, 도 12, 도 13a 내지 도 13j, 도 14, 도 15a 내지 도 15k, 도 16 및 도 17a 내지 도 17c를 참조하

여, 본 발명의 일실시예에 따른 실리콘 광전자 증배 소자를 제조하는 방법에 대해 설명한다.

- [0101] 도 11은 본 발명의 일실시예에 따른 실리콘 광전자 증배 소자의 제조방법을 나타낸 순서도이다. 도 12는 도 11의 접합구조물 형성 단계를 나타낸 순서도이고, 도 13a 내지 도 13j는 도 11의 접합구조물을 형성하는 단계를 나타낸 공정도이다. 도 14는 도 11의 전극 형성 단계를 나타낸 순서도이고, 도 15a 내지 도 15k는 도 11의 전극 형성 단계를 나타낸 공정도이다. 그리고, 도 16은 도 11의 지지기판 형성 단계를 나타낸 순서도이고, 도 17a 내지 도 17c는 도 11의 지지기판 형성 단계를 나타낸 공정도이다.
- [0102] 도 11에 도시한 바와 같이, 본 발명의 일실시예에 따른 실리콘 광전자 증배 소자의 제조방법은, 복수의 마이크로 픽셀에 대응하는 복수의 접합구조물을 형성하는 단계(S100), 복수의 마이크로 픽셀에 연결되는 전극을 형성하는 단계(S200), 및 복수의 마이크로 픽셀을 지지하는 지지기판과 복수의 마이크로 픽셀에 대응하는 에피택시층을 형성하는 단계(S300)를 포함한다.
- [0103] 먼저, 접합구조물을 형성하는 단계(S100)에 대해 설명한다.
- [0104] 도 12에 도시한 바와 같이, 접합구조물을 형성하는 단계(S100)는 실리콘 재료층을 마련하는 단계(S110), 실리콘 재료층을 패터하여, 상호 이격된 복수의 비아홀을 형성하는 단계(S120), 복수의 비아홀에 대응한 실리콘 재료층에 제 1 접합층 및 제 2 접합층을 순차적으로 형성하는 단계(S130), 및 제 1 및 제 2 접합층이 형성된 실리콘 재료층에 열처리를 실시하는 단계(S140)를 포함한다.
- [0105] 도 13a에 도시한 바와 같이, 실리콘 재료층(174)을 마련하고 (S110), 실리콘 재료층(174)의 전면에 절연마스크층(201)을 형성한다.
- [0106] 실리콘 재료층(174)은 복수의 비아홀을 형성하는 패턴 과정 및 두께를 조절하는 연마 과정을 통해, 저농도 p 전도성 타입의 에피택시층(미도시)이 된다. 예시적으로, 실리콘 재료층(174)의 도핑농도는 $10^{11} \sim 10^{16} / \text{cm}^3$ 일 수 있다.
- [0107] 절연마스크층(201)은 후술할 실리콘 재료층(174)의 패턴 과정에서, 마스크로 이용된다.
- [0108] 별도로 도시하고 있지 않으나, 실리콘 재료층(174)의 마련 단계(S110)는 성장기판(미도시) 상에 성장기판(미도시)와 동일 범위의 도핑농도를 갖도록 실리콘 재료를 성장시키는 과정으로 실시될 수 있고, 또는 웨이퍼(wafer) 기판 형상으로 제조된 실리콘 재료층(174)을 마련하는 과정으로 실시될 수도 있다.
- [0109] 이어서, 절연마스크층(201)을 패터하고, 이를 이용하여, 실리콘재료층(174)을 패터하여, 복수의 마이크로 픽셀(미도시)에 복수의 비아홀을 형성한다. (S120)
- [0110] 즉, 도 13b에 도시한 바와 같이, 절연마스크층(도 13a의 201)을 1차 패터한다. 이때, 1차 패터된 절연마스크층(202)은 복수의 마이크로 픽셀(Ⓢ)에 대응하여, 실리콘 재료층(174)의 일부를 노출시킨다.
- [0111] 도 13c에 도시한 바와 같이, 1차 패터된 절연마스크층(202)을 마스크로 이용한 상태에서, 실리콘 재료층(도 13b의 174)을 패터하여, 복수의 마이크로 픽셀(Ⓢ)에 대응한 복수의 비아홀(171)을 형성한다. 즉, 패터된 실리콘 재료층(175)은 일면에 복수의 비아홀(171)을 포함하는 형상이 된다.
- [0112] 이때, 비아홀(171)의 중심축은 광입사면(여기서, '광입사면'은 소자에 광이 입사되는 면으로서, 실리콘 재료층(174)에 수평함)에 수직한다.
- [0113] 그리고, 비아홀(171)의 단면은 다각형, 원형 및 타원형 중 어느 하나일 수 있다.
- [0114] 예시적으로, 도 13d에 도시한 바와 같이, 비아홀(171)은 삼각형의 단면을 갖는 뿔형일 수 있다. 그 외에도, 도 13e에 도시한 바와 같이, 비아홀(172)의 형상은 사각형의 단면을 갖는 기둥형일 수 있고, 또는, 도 13f에 도시한 바와 같이, 비아홀(173)의 형상은 반타원형의 단면을 갖는 기둥형 또는 반타원구형일 수 있다. 다만 이들은 비아홀(171)의 형상에 대한 예시일 뿐이며, 비아홀(171)의 형상은 소자 특성 또는 설계자의 선택에 따라 자유롭게 변경가능하다.
- [0115] 다음, 패터된 실리콘 재료층(175) 중 복수의 비아홀(171)에 대응한 일부에 제 1 및 제 2 접합층을 순차적으로 형성함으로써, 접합구조물을 형성한다. (S130)
- [0116] 즉, 도 13g에 도시한 바와 같이, 1차 패터된 절연마스크층(202)을 마스크로 이용한 상태에서, 복수의 비아홀(171)에 대응한 실리콘 재료층(175)에 p형 불순물을 주입한다. 이로써, p 전도성 타입의 제 1 접합층(111)은 p

형 불순물이 주입된 실리콘 재료층(175)으로 형성된다.

- [0117] 이때, 실리콘 재료층(175) 중 복수의 비아홀(171)을 제외한 나머지 영역은 1차 패터닝 절연마스크층(202)에 의해 가려져 있으므로, p형 불순물은 복수의 비아홀(171)에 대응한 실리콘 재료층(175)에만 주입될 수 있다.
- [0118] 여기서, p형 불순물은 붕소이온(Boron, B⁺) 또는 2플로오르화 붕소 이온(BF²⁺)일 수도 있다. 그리고, p형 불순물의 침투깊이는 1~1.5 μ m일 수 있다.
- [0119] 또한, p형 불순물의 주입 과정에 의해, 제 1 접합층(111)의 도핑농도는 에피택시층(170)의 도핑농도보다 높아지게 된다. 예시적으로, 제 1 접합층(111)의 도핑농도는 10¹⁵-10¹⁸/cm³일 수 있다.
- [0120] 도 13h에 도시한 바와 같이, 1차 패터닝 절연마스크층(도 13g의 202)을 2차 패터닝한다. 이때, 2차 패터닝 절연마스크층(203)은 복수의 비아홀(171) 주변에 대응한 실리콘 재료층(175)을 더 노출시킨다. 예시적으로, 절연마스크층(도 13g의 202)의 2차 패터닝 과정은 건식 식각으로 실시될 수 있다.
- [0121] 도 13i에 도시한 바와 같이, 2차 패터닝 절연마스크층(203)을 마스크로 이용한 상태에서, 복수의 비아홀(171)에 대응한 제 1 접합층(111)의 일부 및 복수의 비아홀(171) 주변에 대응한 실리콘 재료층(175)에 n형 불순물을 주입한다. 이로써, n⁺ 전도성 타입의 제 2 접합층(112)은 n형 불순물이 주입된 실리콘 재료층(175)과 제 1 접합층(111) 각각의 일부로 형성된다.
- [0122] 이때, 패터닝 실리콘 재료층(175) 중 복수의 비아홀(171) 및 그 주변을 제외한 나머지 영역은 2차 패터닝 절연마스크층(203)에 의해 가려져 있으므로, n형 불순물은 복수의 비아홀(171) 및 그 주변에 대응한 실리콘 재료층(175) 및 제 1 접합층(111)에만 주입될 수 있다.
- [0123] 특히, n형 불순물은 비아홀(171)에 대응한 제 1 접합층(111)의 일부에도 침투하므로, n형 불순물의 침투 과정에 의한 제 1 접합층(111)의 소멸을 방지하기 위하여, n형 불순물의 침투깊이는 p형 불순물의 침투깊이보다 깊게 해야 한다. 예시적으로, n형 불순물의 침투깊이는 1 μ m 미만일 수 있다.
- [0124] 그리고, n형 불순물은 인(Phosphorus) 또는 비소(Arsenic, As⁺)일 수 있다.
- [0125] 또한, n형 불순물의 침투 과정에 의해, 제 2 접합층(112)의 도핑농도는 에피택시층(170)의 도핑농도보다 높아지게 되며, 예시적으로 10¹⁸-10²¹/cm³일 수 있다.
- [0126] 더불어, 앞서 언급한 바와 같이, 제 2 접합층(112)은 복수의 비아홀 및 그 주변에 대응되므로, 제 1 접합층(111)보다 넓은 너비로 형성된다. 예시적으로, 제 2 접합층(112)의 너비는 제 1 접합층(111)의 너비보다 2~3 μ m 정도만큼 넓은 것일 수 있다.
- [0127] 도 13j에 도시한 바와 같이, 2차 패터닝 절연마스크층(도 13i의 203)을 제거하고, 제 1 및 제 2 접합층(111, 112) 및 실리콘 재료층(175)에 열처리를 실시한다. (S140) 이러한 열처리 단계(S140)를 통해, 주입된 불순물들이 실리콘 재료층(175)으로 확산되어, 실리콘 재료층(175) 표면의 도핑농도가 변동될 수 있다.
- [0128] 다만, 제 1 및 제 2 접합층(111, 112)의 형성 과정에서, p형 불순물 및 n형 불순물이 실리콘 재료층(175)에 충분히 넓게 확산되도록 주입된 경우, 열처리 단계(S140)는 생략될 수도 있다.
- [0129] 이러한 과정으로 제 1 및 제 2 접합층(111, 112)을 형성함으로써, 복수의 마이크로 픽셀(⑩)에 각각 배치되고, 제 1 및 제 2 접합층(111, 112) 및 이들 사이의 계면에 발생된 pn접합면을 각각 포함하는 복수의 접합구조물(110)을 형성한다. 여기서, pn 접합면은, 비아홀(171)의 형상을 따라, 광입사면에 수직한 중심축을 갖는 형상이 된다.
- [0130] 다음, 전극을 형성하는 단계(S200)에 대해 설명한다. 여기서, 전극은 접합구조물(도 13j의 110)에 연결되는 워링전극, 워링전극에 연결되는 워링연결전극, 워링연결전극에 연결되는 애노드전극, 접합구조물(도 13j의 110)로부터 이격되도록 형성되어 접합구조물(도 13j의 110)과 함께 에피택시층(미도시) 내에 전기장을 발생시키는 트랜치전극, 및 트랜치전극에 연결되는 애노드전극을 포함한다.
- [0131] 도 14에 도시한 바와 같이, 전극을 형성하는 단계(S200)는 패터닝 실리콘 재료층에 제 2 접합층을 덮는 제 1 절연층, 및 제 1 절연층을 관통하는 제 1 콘택홀을 형성하는 단계(S210), 제 1 절연층에 워링전극을 형성하는 단계(S220), 복수의 마이크로 픽셀 외곽에 대응하여 실리콘 재료층(175)을 노출하는 트랜치 홀을 형성하는 단계(S230), 트랜치 홀에 도전성 재료를 적층 또는 충전하여 트랜치전극을 형성하는 단계(S240), 제 1 절연층에 워

칭전극 및 트렌치전극을 덮는 제 2 절연층, 및 제 2 절연층을 관통하는 제 2 콘택홀을 형성하는 단계(S250), 및 제 2 절연층에 퀀칭연결전극과 캐소드전극 및 애노드전극을 형성하는 단계(S260)를 포함한다.

- [0132] 도 15a에 도시한 바와 같이, 실리콘 재료층(175)의 전면에 절연재료를 적층하여, 실리콘 재료층(175) 및 제 2 접합층(112)을 덮는 제 1 절연층(181)을 형성한다. 그리고, 제 1 절연층(181)을 관통하여 제 2 접합층(112)의 일부를 노출시키는 제 1 콘택홀(211)을 형성한다. (S210) 여기서, 제 1 콘택홀(211)을 형성하기 위한 제 1 절연층(181)의 패턴은 건식식각을 이용하여 실시될 수 있다.
- [0133] 도 15b에 도시한 바와 같이, 제 1 절연층(181)의 전면에 폴리실리콘층(131, poly silicon layer)을 형성한다.
- [0134] 여기서, 폴리실리콘층(131)의 형성 과정은 제 1 절연층(181)의 전면에 적층된 폴리실리콘재료층(미도시)에 이온을 주입하는 공정 및 주입한 이온을 확산시키기 위한 열처리 공정을 포함할 수 있다. 이러한 폴리실리콘층(131)은 이온 주입 및 열처리에 의해 적절한 저항값을 갖도록 형성될 수 있다.
- [0135] 도 15c에 도시한 바와 같이, 폴리실리콘층(도 15b의 131)에 형성된 퀀칭저항마스크(220)를 마스크로 이용한 상태에서, 폴리실리콘층(도 15b의 131)을 패터닝하여, 퀀칭저항(130)을 형성한다. (S220)
- [0136] 여기서, 퀀칭저항(130)은 폴리실리콘층(도 15b의 131)의 전면에 형성된 마스크재료층(미도시)을 패터닝하여, 실리콘 재료층(175) 상의 제 2 접합층(112) 일부를 노출시키는 퀀칭저항마스크(220)를 형성한 후, 퀀칭저항마스크(220)를 마스크로 이용하여, 폴리실리콘층(도 15b의 131)을 패터닝함으로써, 형성될 수 있다. 더불어, 퀀칭저항(130)은 제 1 절연층(181)에 형성되되, 제 1 콘택홀(211)을 통해 제 2 접합층(112)에 연결된다.
- [0137] 이후, 퀀칭저항(130) 상의 퀀칭저항마스크(220)를 제거한다.
- [0138] 도 15d에 도시한 바와 같이, 제 1 절연층(181)에 트렌치마스크(230)을 형성한다. 여기서, 트렌치마스크(230)는 복수의 마이크로 픽셀(Ⓜ) 외곽에 대응한 제 1 절연층(181)을 노출시킨다.
- [0139] 도 15e에 도시한 바와 같이, 트렌치마스크(230)를 마스크로 이용한 상태에서, 제 1 절연층(181) 및 실리콘 재료층(175)을 패터닝하여, 복수의 마이크로 픽셀(Ⓜ) 외곽에 대응한 실리콘 재료층(175)을 노출시키는 트렌치 홀(212)을 형성한다.
- [0140] 이때, 도 15e에 도시하고 있지 않으나, 실리콘 재료층(175)을 노출시키는 트렌치 홀(212)의 일단을 둥글게 형성하기 위해, 트렌치 홀(212)의 형성은 브롬화수소(HBr)와 같은 가스를 이용한 건식식각으로 실시될 수 있다. 이와 같이, 트렌치 홀(212)의 일단을 둥글게 형성하면, 후술할 트렌치전극(미도시)이 둥근 형태로 형성되어, 실리콘 재료층(175)과 트렌치전극 사이의 날카로운 모서리에 의한 압전류를 감소시킬 수 있다.
- [0141] 도 15f에 도시한 바와 같이, 트렌치마스크(도 15e의 230)를 제거한 후, 도 15g에 도시한 바와 같이, 트렌치 홀(212)에 도전성재료를 증착 또는 충전하여, 제 1 절연층(181)에 트렌치전극(120)을 형성한다.
- [0142] 여기서, 퀀칭저항(130)은 마이크로 픽셀(Ⓜ) 내에 형성되고, 트렌치전극(120)은 마이크로 픽셀(Ⓜ) 외곽에 형성됨에 따라, 트렌치전극(120)과 퀀칭저항(130)은 제 1 절연층(181)에 상호 이격되어 배치된다.
- [0143] 도 15h에 도시한 바와 같이, 제 1 절연층(181)의 전면에 절연재료를 적층하여, 제 1 절연층(181), 트렌치전극(120) 및 퀀칭전극(130)을 덮는 제 2 절연층(182)을 형성한다. 그리고, 도 15i에 도시한 바와 같이, 제 2 절연층(182)을 관통하여 트렌치전극(120) 및 퀀칭전극(130) 각각의 일부를 노출시키는 제 2 콘택홀(213)을 형성한다. (S240)
- [0144] 도 15j에 도시한 바와 같이, 제 2 절연층(182)에 퀀칭연결전극(140)과 캐소드전극(141), 및 애노드전극(150)을 형성한다. 여기서, 퀀칭연결전극(140)은 제 2 콘택홀(213)을 통해 퀀칭전극(130)과 연결되고, 애노드전극(150)은 제 2 콘택홀(213)을 통해 트렌치전극(120)과 연결된다.
- [0145] 그리고, 도 15k에 도시한 바와 같이, 캐소드전극(141)은 퀀칭연결전극(140)과 이어진다.
- [0146] 이러한 캐소드전극(141)과 애노드전극(150)은 외부 회로와 연결되기 위한 본딩영역이 된다.
- [0147] 다음, 지지기판과 에피택시층을 형성하는 단계(S300)에 대해 설명한다.
- [0148] 도 16에 도시한 바와 같이, 지지기판과 에피택시층을 형성하는 단계(S300)는 제 2 절연층 상에 지지기판을 부착하는 단계(S310) 및 실리콘 재료층을 연마(polishing)하여 에피택시층을 형성하는 단계(S320)를 포함한다.
- [0149] 도 17a에 도시한 바와 같이, 복수의 마이크로 픽셀(Ⓜ)에 대응하는 영역이 개구된 상태의 지지기판(160)을 마련

한다.

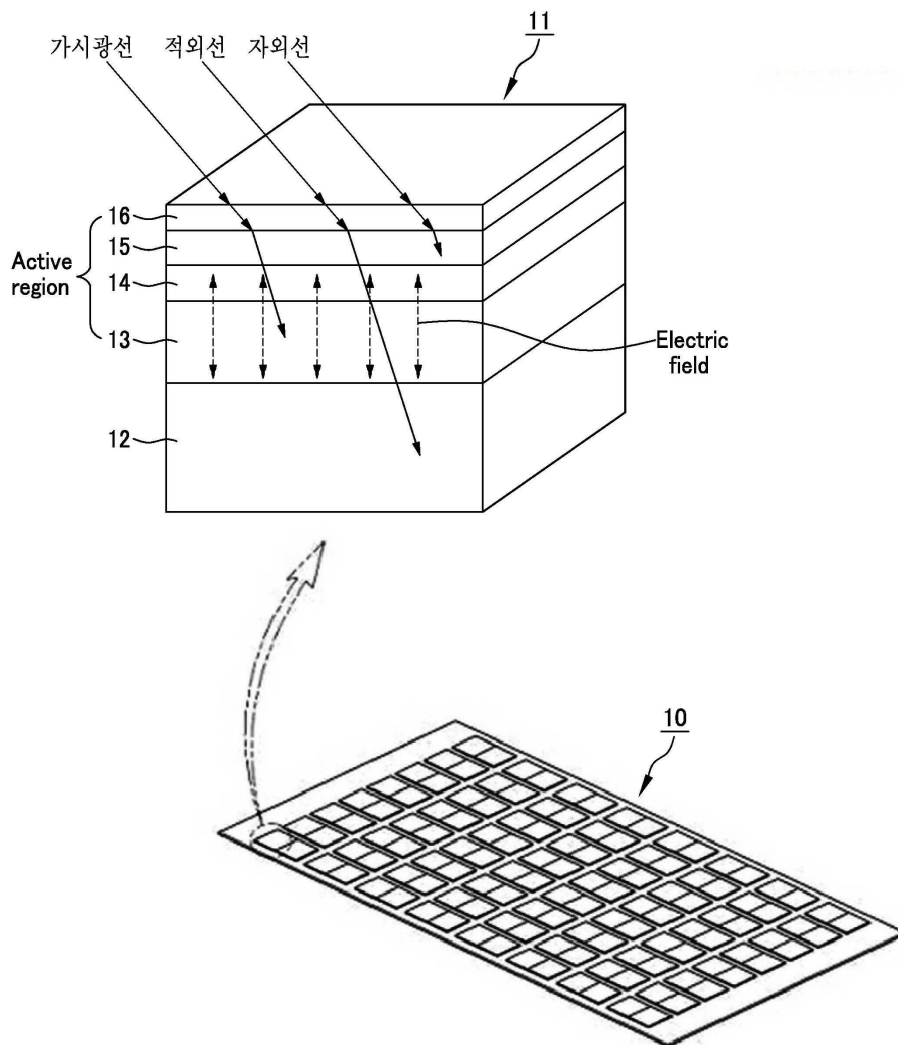
- [0150] 이 후, 도 17b에 도시한 바와 같이, 제 2 절연층(182) 상측에 지지기관(160)을 부착한다. (S310). 그리고, 복수의 접합구조물(110)을 지지기관(160)으로 지지한 상태에서, 실리콘 재료층(175)을 연마한다. 이로써, 도 17c에 도시한 바와 같이, 연마된 실리콘 재료층(도 17b의 175)으로, 에피택시층(170)이 형성된다. (S320)
- [0151] 이상의 과정들을 통해, 본 발명의 일실시예에 따른 실리콘 광전자 증배 소자가 제조된다.
- [0152] 전술한 본 발명의 설명은 예시를 위한 것이며, 본 발명이 속하는 기술분야의 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수 있다.
- [0153] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

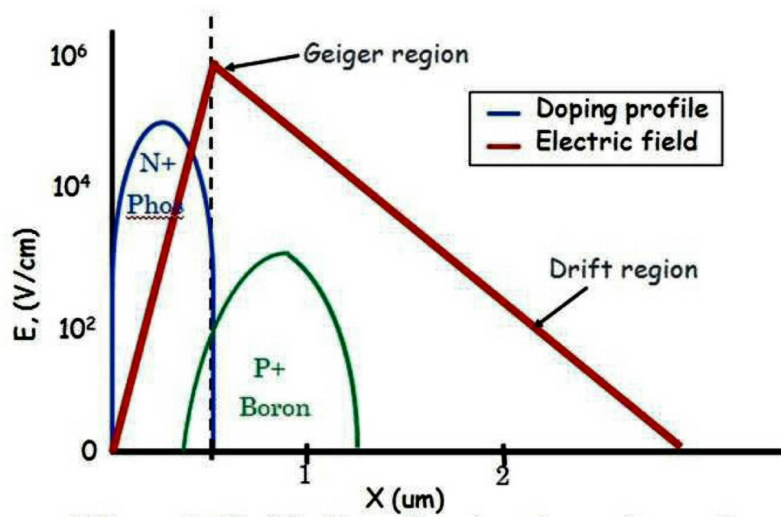
- [0154]
- | | |
|--------------------|--------------|
| 100: 실리콘 광전자 증배 소자 | Ⓟ: 마이크로 픽셀 |
| 110: 접합구조물 | 111: 제 1 접합층 |
| 112: 제 2 접합층 | 120: 트랜치전극 |
| 130: 퀀칭전극 | 140: 퀀칭연결전극 |
| 141: 캐소드전극 | 150: 애노드전극 |
| 160: 지지기관 | 170: 에피택시층 |
| 171, 172, 173: 비아홀 | |
| 181: 제 1 절연층 | 182: 제 2 절연층 |

도면

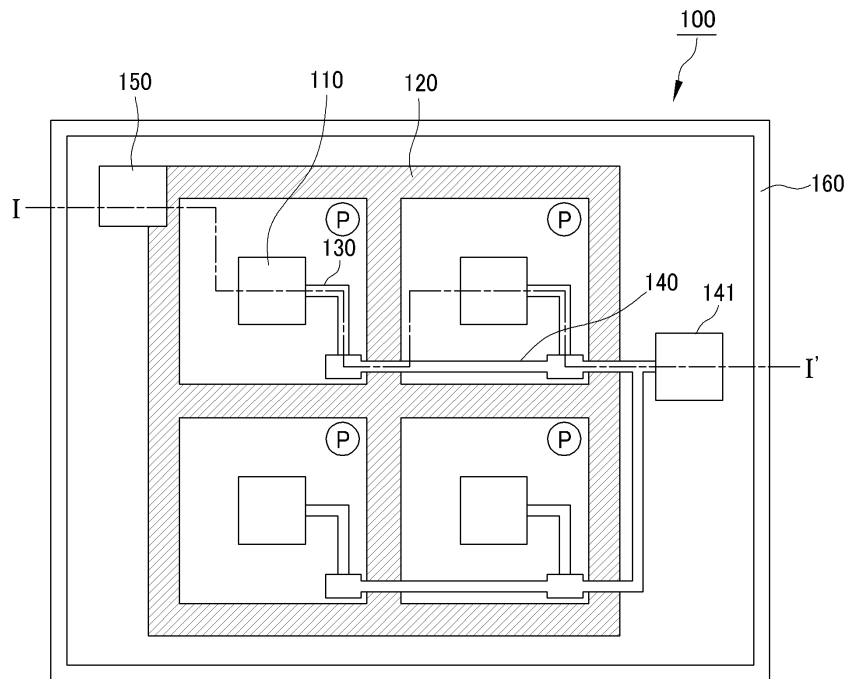
도면1



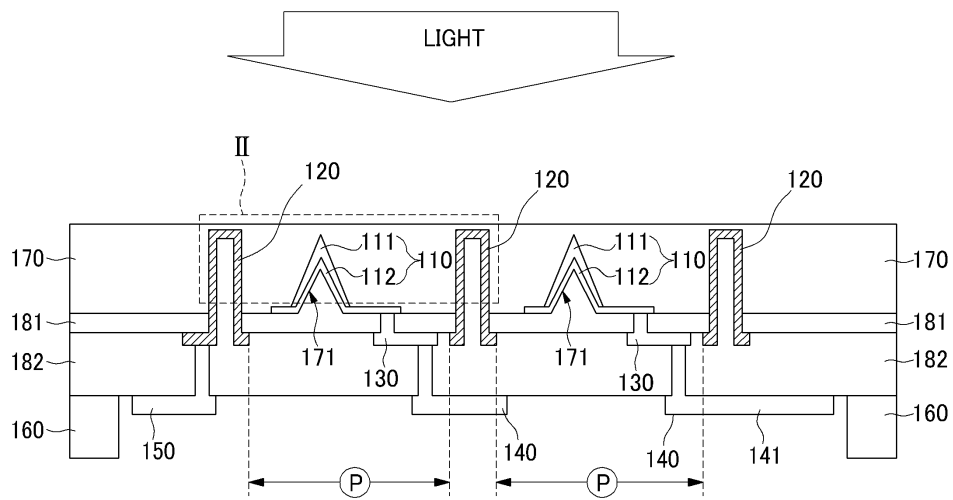
도면2



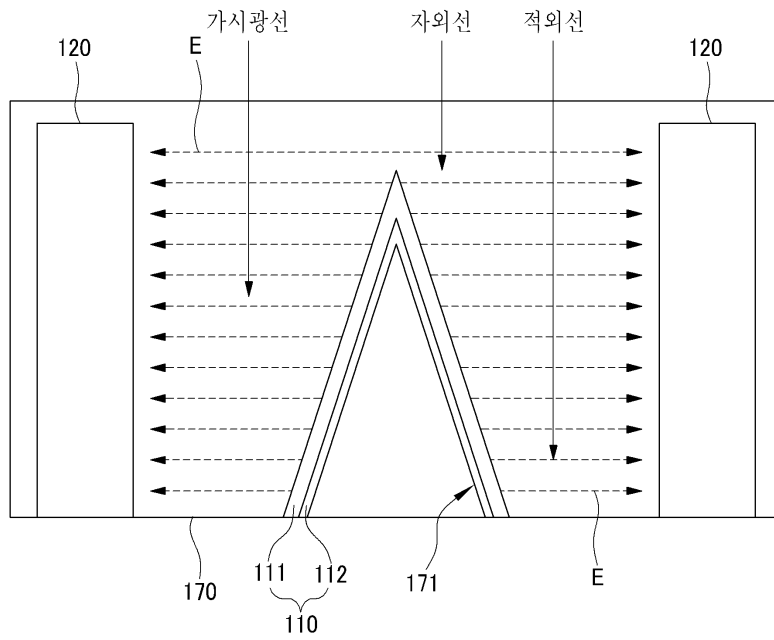
도면3



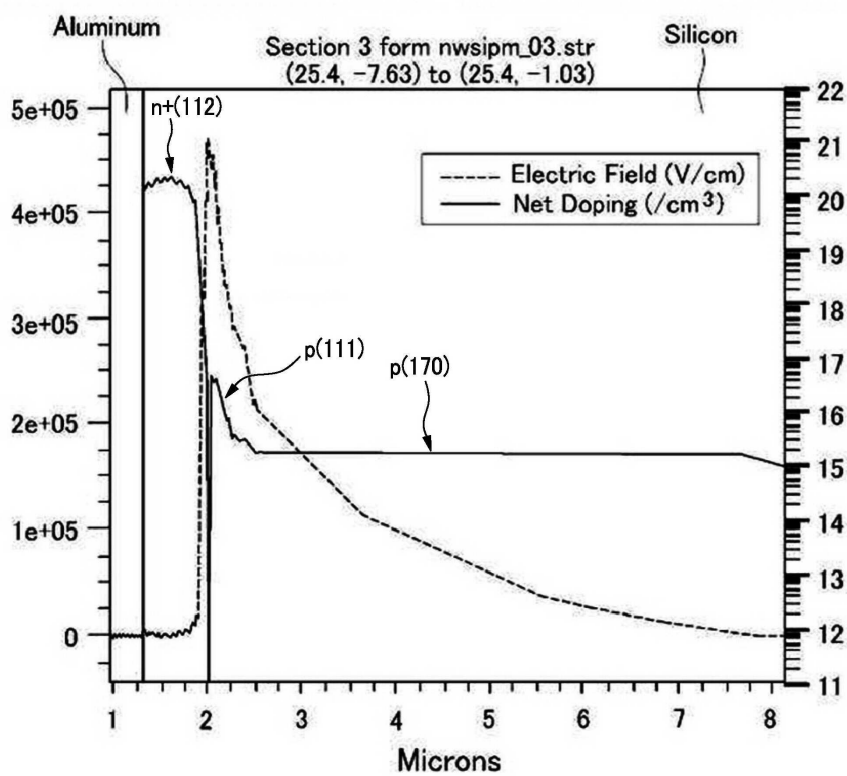
도면4



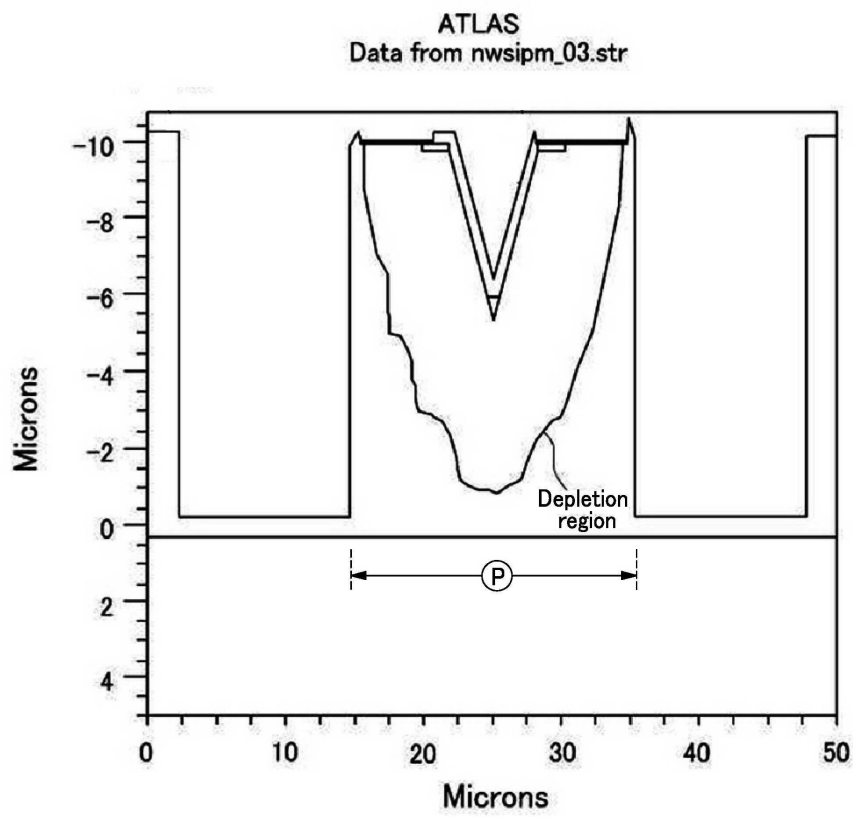
도면5



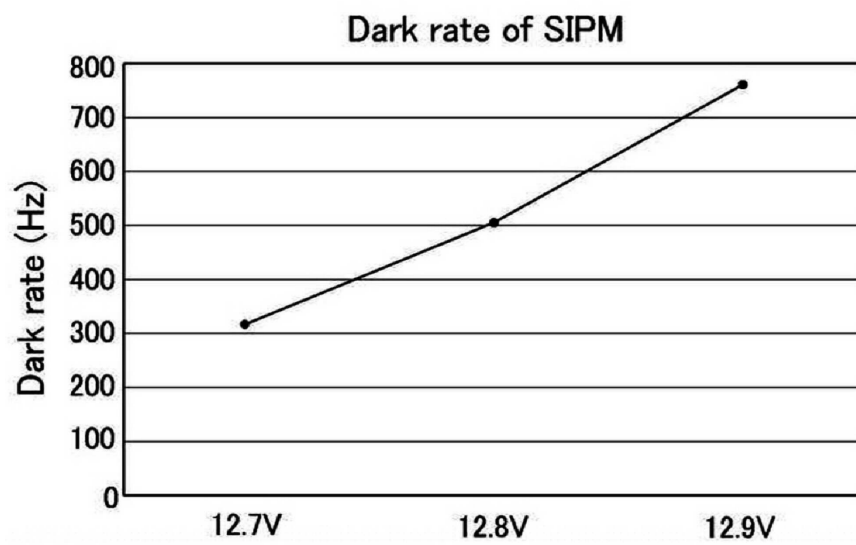
도면6



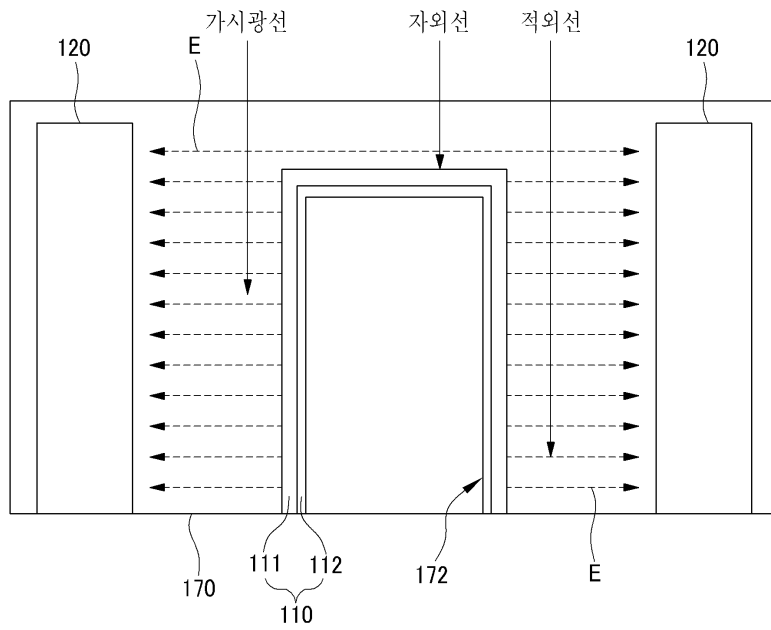
도면7



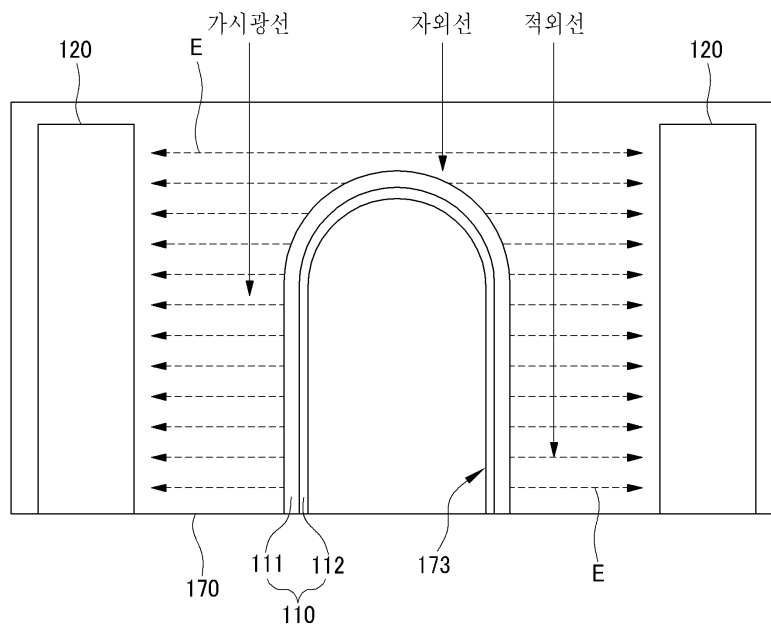
도면8



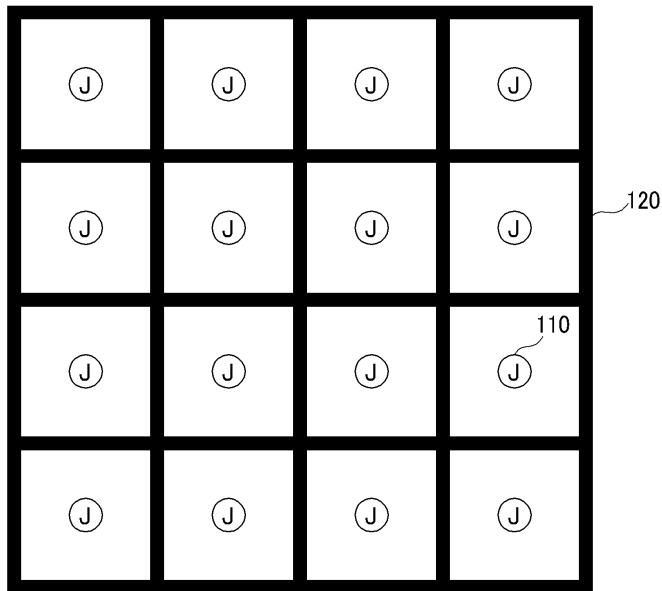
도면9a



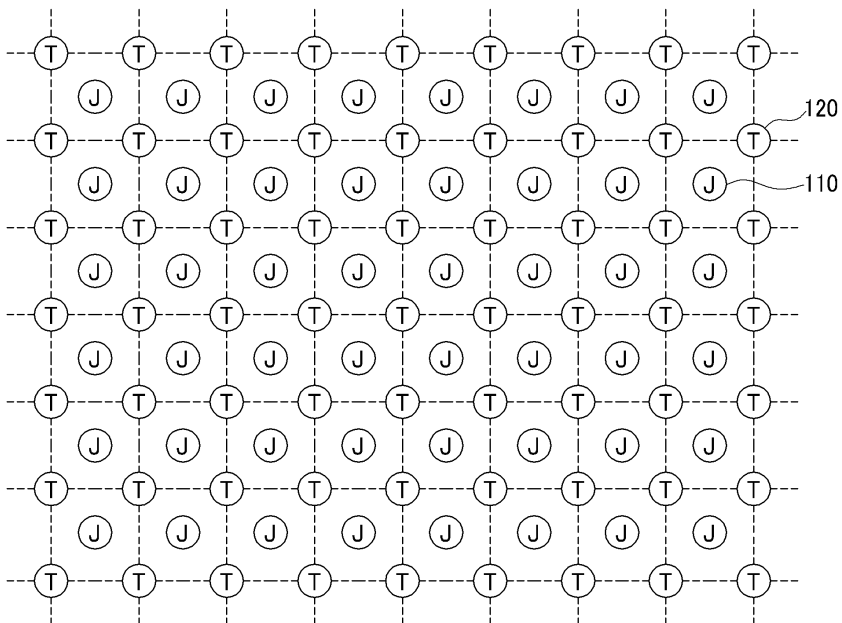
도면9b



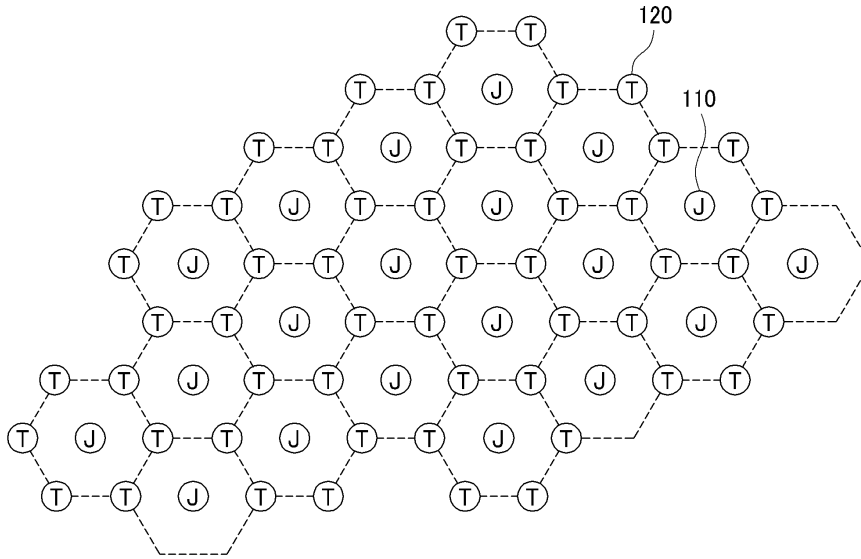
도면10a



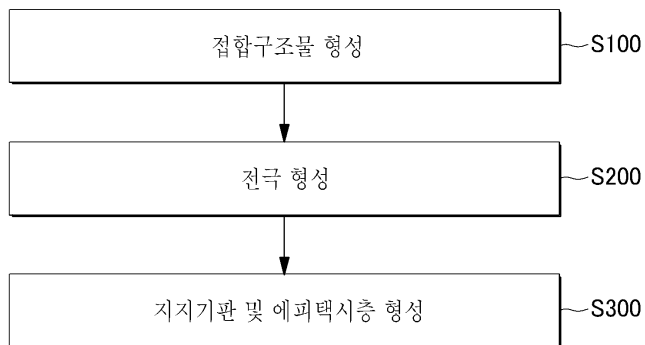
도면10b



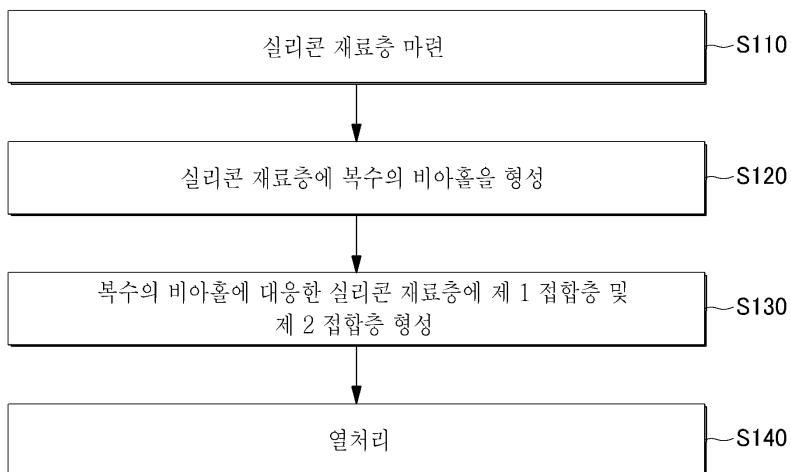
도면10c



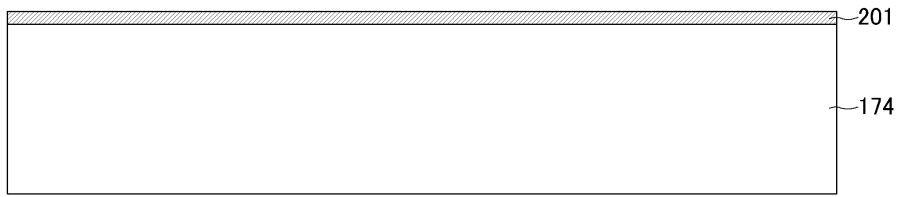
도면11



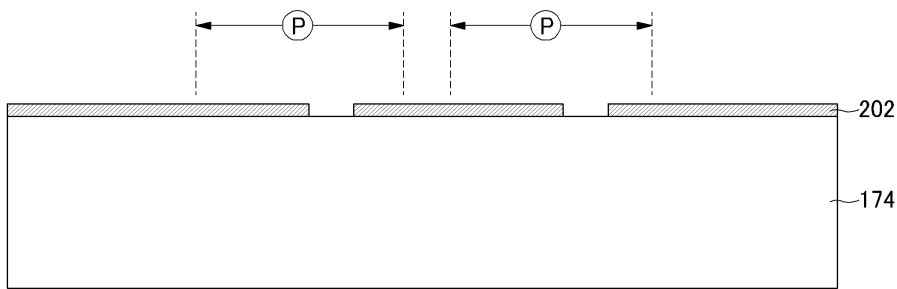
도면12



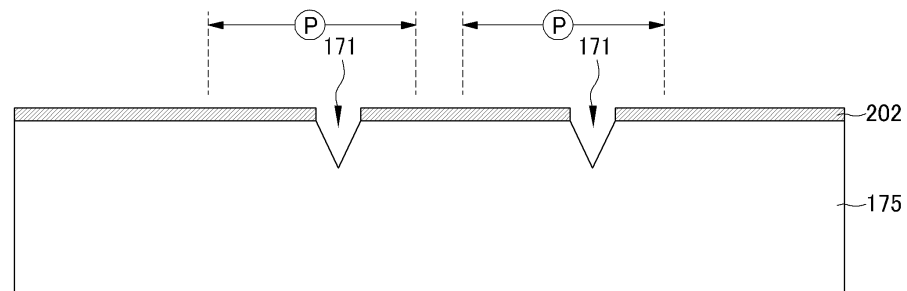
도면13a



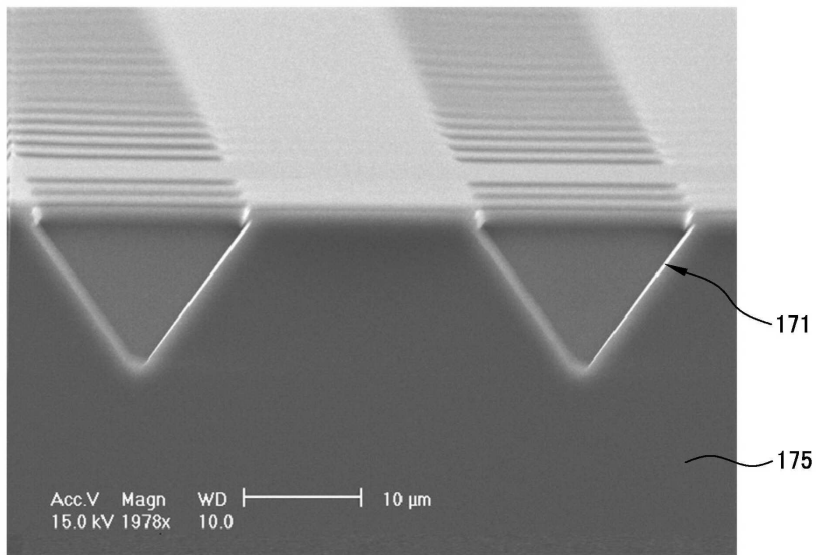
도면13b



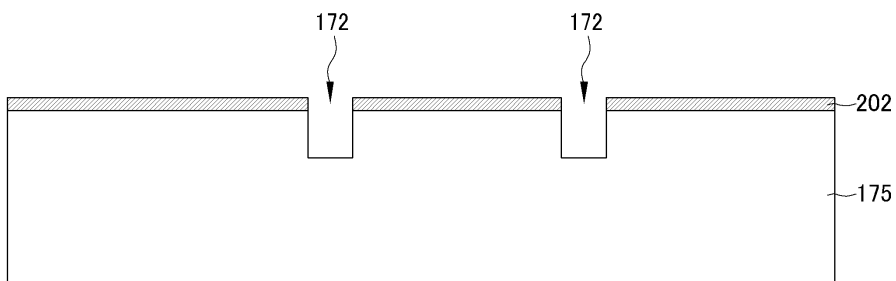
도면13c



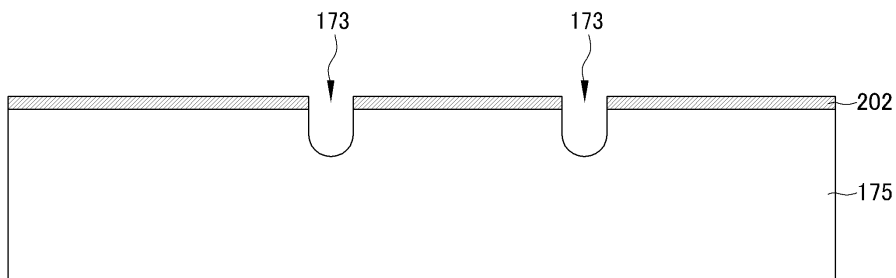
도면13d



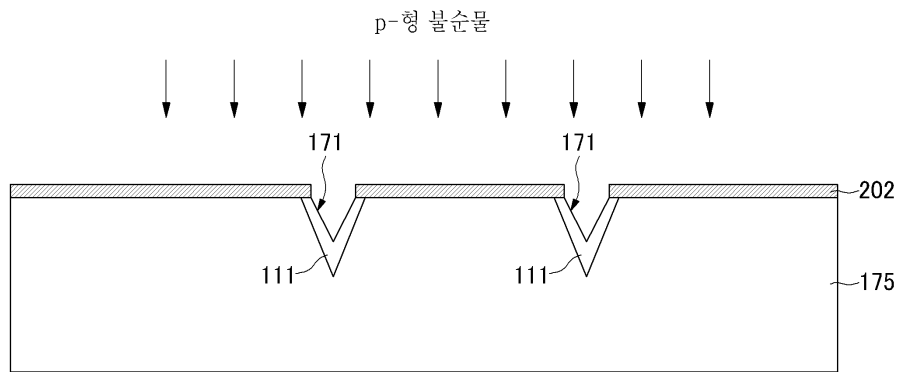
도면13e



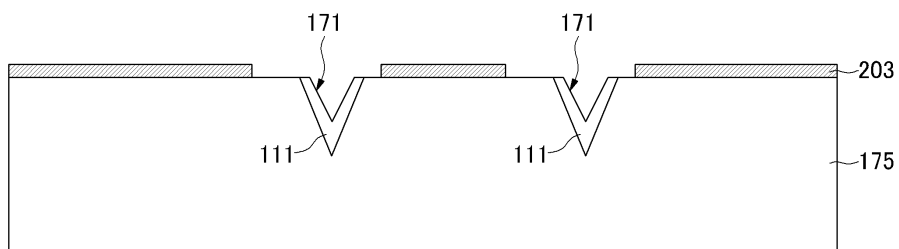
도면13f



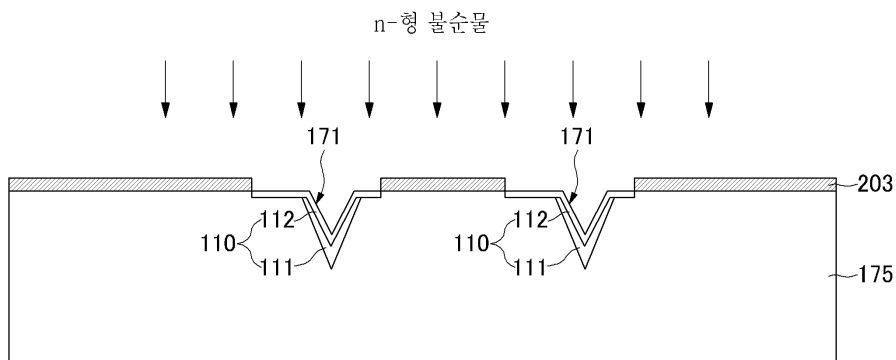
도면13g



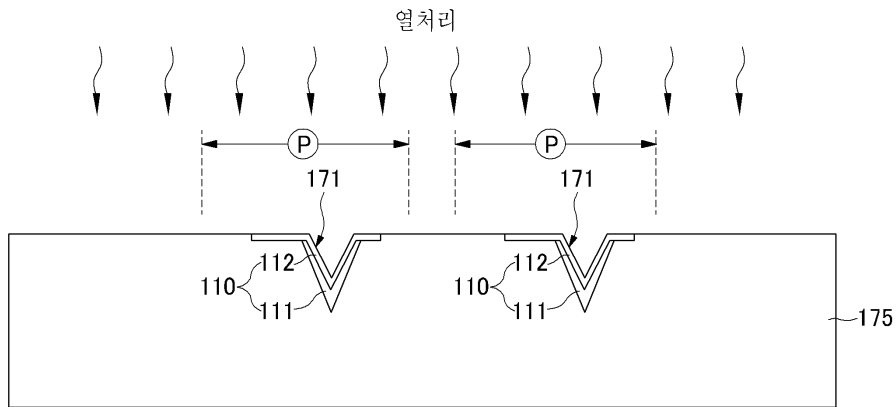
도면13h



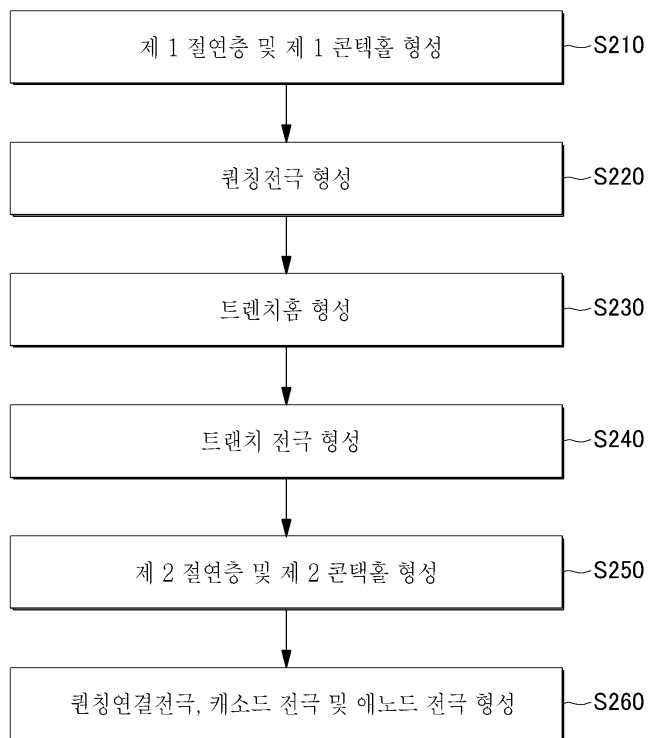
도면13i



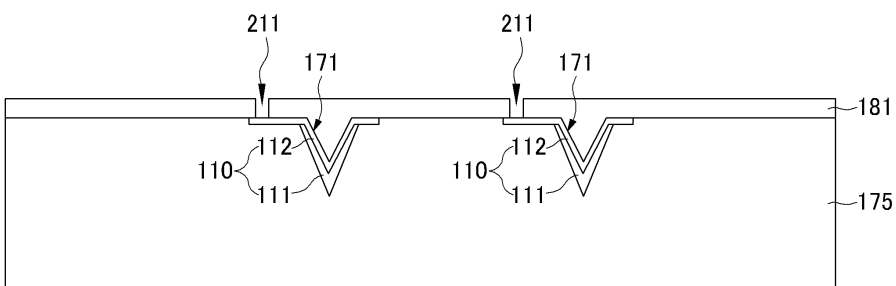
도면13j



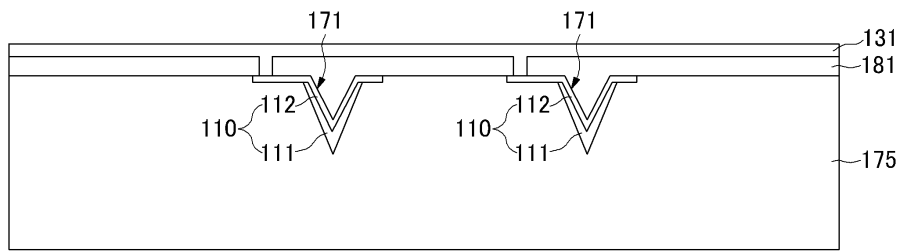
도면14



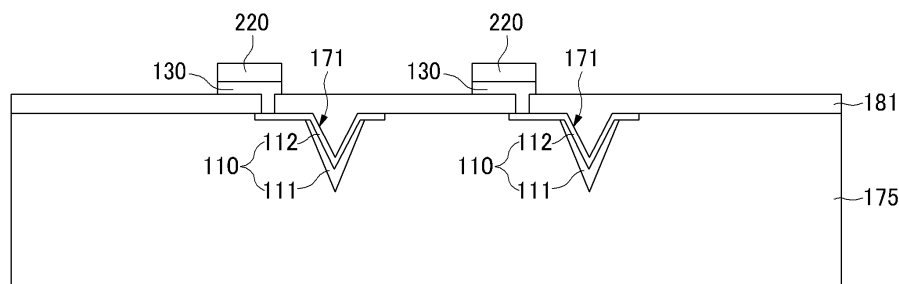
도면15a



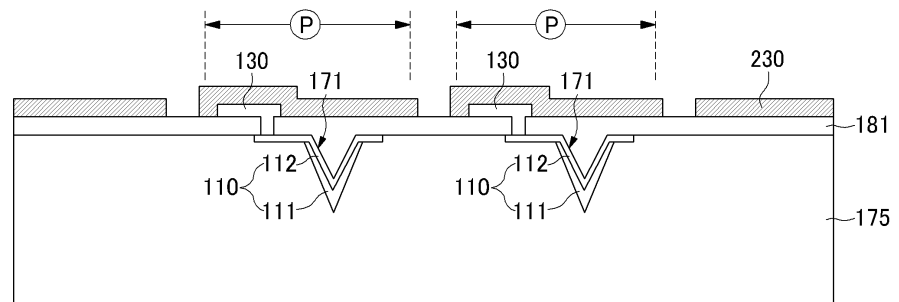
도면15b



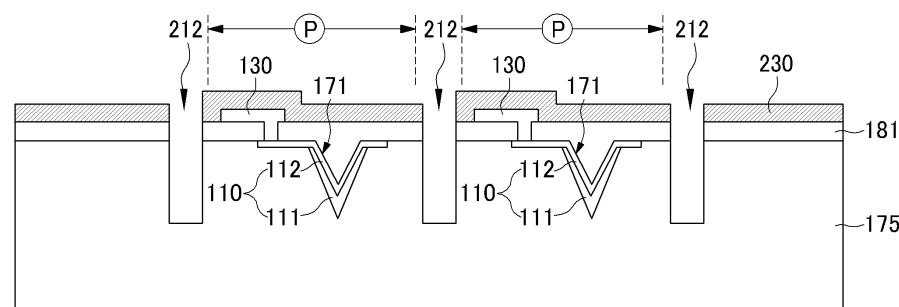
도면15c



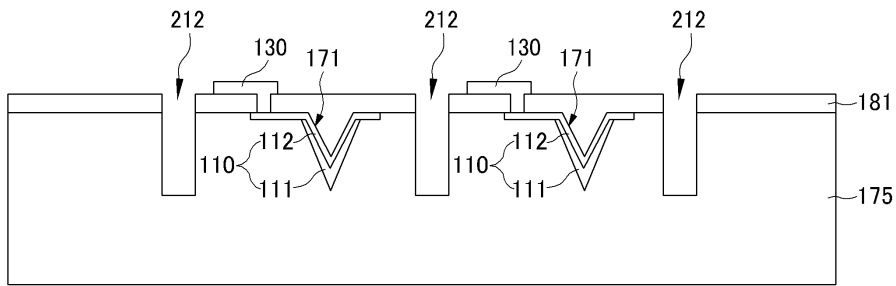
도면15d



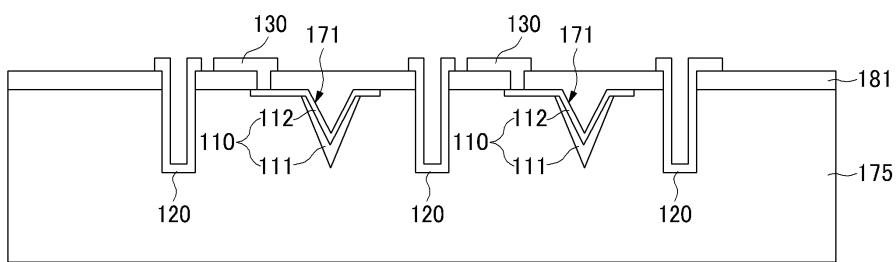
도면15e



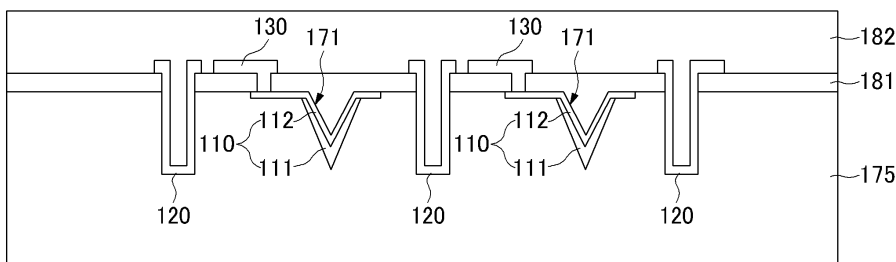
도면15f



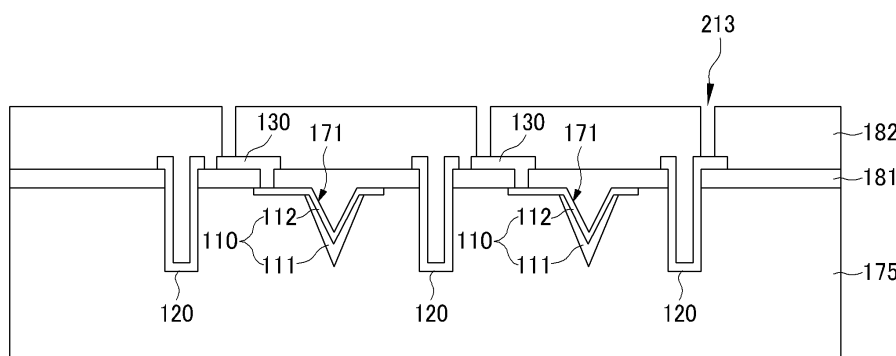
도면15g



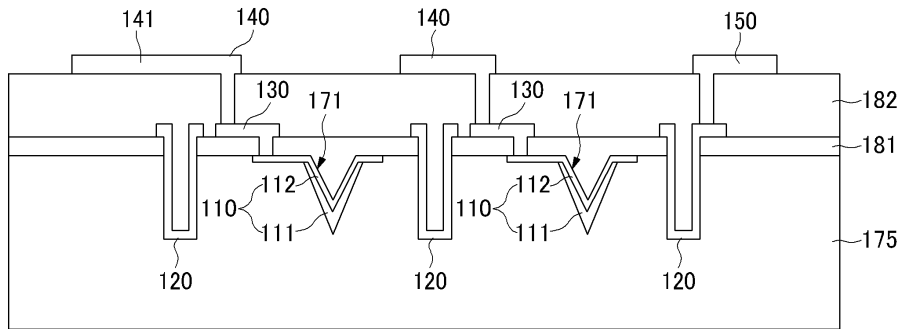
도면15h



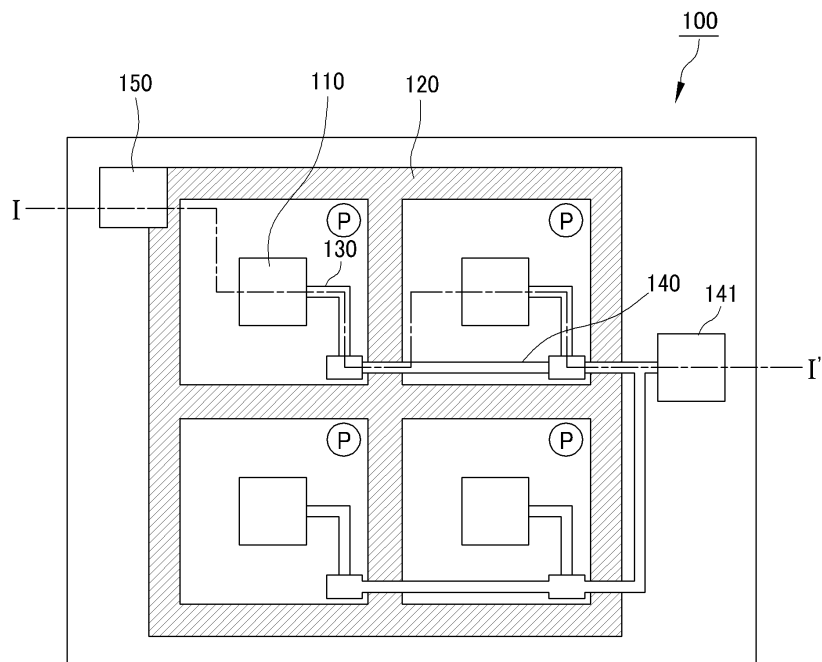
도면15i



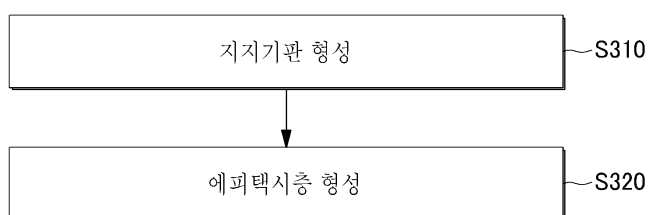
도면15j



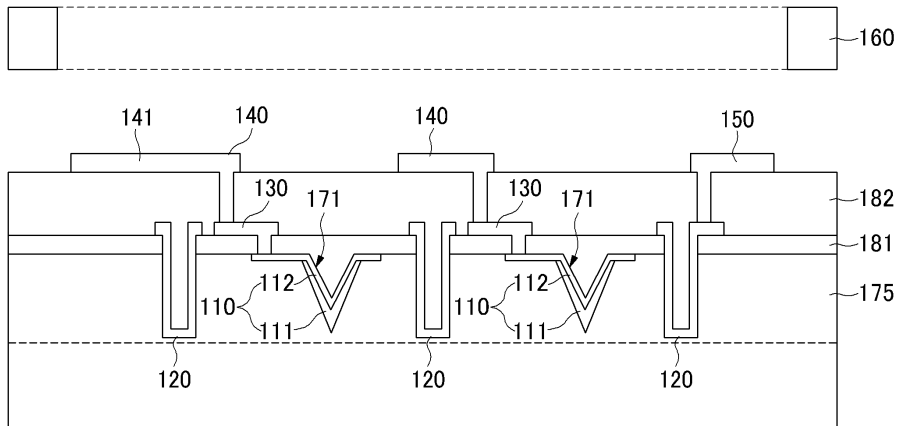
도면15k



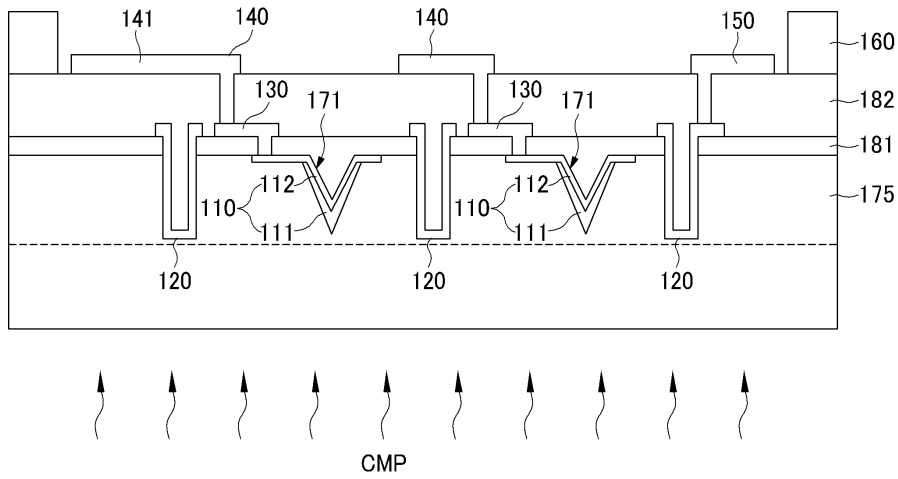
도면16



도면17a



도면17b



도면17c

