

①②

FASCICULE DE BREVET EUROPEEN

④⑤ Date de publication du fascicule du brevet:
08.11.89

⑤① Int. Cl.4: **G09G 1/16**

②① Numéro de dépôt: **85402370.2**

②② Date de dépôt: **02.12.85**

⑤④ **Processeur de tracé de vecteur.**

③① Priorité: **11.12.84 FR 8418896**

④③ Date de publication de la demande:
09.07.86 Bulletin 86/28

④⑤ Mention de la délivrance du brevet:
08.11.89 Bulletin 89/45

③④ Etats contractants désignés:
DE GB

⑤⑥ Documents cités:
FR-A- 2 426 296
US-A- 3 938 130

⑦③ Titulaire: **O'Donnell, Ciaran, 30, rue de la Martinière,
F-91570 Bièvres(FR)**

⑦② Inventeur: **O'Donnell, Ciaran, 30, rue de la Martinière,
F-91570 Bièvres(FR)**

⑦④ Mandataire: **Mongrédién, André et al, c/o SOCIETE DE
PROTECTION DES INVENTIONS 25, rue de Ponthieu,
F-75008 Paris(FR)**

EP 0 187 077 B1

Il est rappelé que: Dans un délai de neuf mois à compter de la date de publication de la mention de la délivrance du brevet européen toute personne peut faire opposition au brevet européen délivré, auprès de l'Office européen des brevets. L'opposition doit être formée par écrit et motivée. Elle n'est réputée formée qu'après paiement de la taxe d'opposition (Art. 99(1) Convention sur le brevet européen).

Description

La présente invention a pour objet un processeur de tracé de vecteur pour lire et pour inscrire un vecteur dans une mémoire d'image d'un système informatique.

En informatique, la transmission d'informations du système informatique vers l'opérateur est souvent réalisée par affichage sur un terminal de visualisation. Pendant longtemps, les capacités des terminaux de visualisation ont été limitées à l'affichage de caractères alphanumériques ou semi-graphiques.

Pour répondre aux besoins de nombreux domaines tels que la conception assistée par ordinateur, ces terminaux de visualisation sont de plus en plus remplacés par des terminaux graphiques qui ont une résolution de 256 x 256 points ou davantage. Ces terminaux graphiques sont particulièrement intéressants dans les domaines où une information peut être avantageusement représentée par une image, tels qu'en médecine, en cartographie, en météorologie, en reconnaissance des formes ou autre.

Un terminal graphique comporte essentiellement une mémoire d'image, un processeur graphique et un écran de visualisation. Le processeur graphique, ou contrôleur d'écran graphique, comprend un processeur de calcul pour mettre à jour le contenu de la mémoire d'image en fonction des données reçues du système informatique, un générateur vidéo pour délivrer à l'écran de visualisation un signal vidéo correspondant au contenu de la mémoire d'image, et un moyen de commande pour gérer les accès à la mémoire par le processeur de calcul et le générateur vidéo.

Les processeurs graphiques connus sont réalisés sous forme de circuit intégré en technologie NMOS. Ils présentent à cet égard une limitation quant à la résolution maximale de l'image affichable, qui est de l'ordre de 1024 x 1024 points. En effet, pour des images comportant un nombre de points plus important, le débit de données de la mémoire d'image vers l'écran de visualisation nécessite l'emploi des composants TTL les plus rapides (famille FAST), et pour des images de plus de 2000 x 2000 points, seule la technologie ECL permet de réaliser le sérialiseur du générateur vidéo.

Ainsi, dans les processeurs graphiques en technologie NMOS, l'accès à la mémoire est pratiquement accaparé par le générateur vidéo, dès lors que la résolution de l'image est importante. Ceci limite la vitesse d'inscription en mémoire par le processeur de calcul dont l'accès à la mémoire d'image est pratiquement réduit au temps de retour de trame du signal vidéo. En conséquence, la vitesse maximale d'inscription en mémoire n'est guère supérieure à 10⁶ points/s.

La vitesse d'inscription pourrait être augmentée par l'utilisation d'un processeur graphique en technologie ECL. Cependant une telle solution présenterait l'inconvénient d'être coûteuse.

Il paraît plus judicieux, compte tenu de la très grande différence entre les débits de données supportés par le générateur vidéo et le processeur de calcul, de séparer ces deux moyens et de réaliser,

par exemple, le générateur vidéo en technologie ECL et le processeur de calcul en technologie NMOS.

Ceci permet de diminuer les contraintes d'accès du processeur de calcul à la mémoire d'image, sans qu'il en résulte une augmentation de coût importante pour le processeur graphique. En particulier, certaines configurations du générateur vidéo peuvent permettre un accès du processeur de calcul à la mémoire d'image, non seulement pendant le temps de retour de trame, mais aussi une ou plusieurs fois par ligne d'image.

L'invention concerne un processeur de tracé de vecteur, ou processeur de calcul, réalisé sur un support distinct du générateur vidéo. L'originalité du processeur de tracé de vecteur de l'invention réside dans une architecture particulière, fondée sur une représentation de type connu d'un vecteur à tracer. Cette architecture autorise une vitesse d'inscription très importante, pouvant atteindre, par exemple, 5.10⁶ pts/s en période de retour de la trame du signal vidéo et en absence de rafraîchissement de la mémoire d'image. Cette vitesse d'inscription est donnée à titre indicatif. Il est clair en effet que les performances du processeur de tracé de vecteur de l'invention sont liées à la mémoire d'image utilisée, notamment au type de cycle d'accès (lecture-écriture ou lecture-modification-écriture) et à la présence ou l'absence de rafraîchissement.

De manière précise, l'invention a pour objet un processeur de tracé de vecteur pour lire et inscrire un vecteur dans une mémoire d'image organisée en lignes et en colonnes, ledit vecteur étant défini par des coordonnées d'origine, une direction et une longueur, l'edit processeur étant caractérisé en ce qu'il comprend :

- un registre d'adresse ligne et un registre d'adresse colonne, lesdits registres comprenant des entrées de commande d'incréméntation et de décréméntation,
- un moyen de commande d'adresse comprenant un registre d'octant et un registre de direction, ledit moyen de commande d'adresse délivrant des signaux aux entrées de commande des registres d'adresse,
- un moyen de comptage,
- un moyen de cadencement délivrant un signal de synchronisation desdits registres et moyens et recevant du moyen de comptage un signal d'autorisation lorsque le contenu du moyen de comptage est différent d'une valeur prédéterminée,
- un circuit d'interface relié auxdits registres et moyens pour charger initialement les registres d'adresse avec les coordonnées de l'origine du vecteur, le registre d'octant avec l'octant de la direction du vecteur, le registre de direction avec la forme canonique du vecteur selon le code de ROTHMAN et le moyen de comptage avec la longueur du vecteur.

L'utilisation du code de ROTHMAN pour indiquer les points élémentaires constituant le vecteur à tracer offre la possibilité de tracer les segments de droite, mais aussi tout autre type de courbes : cer-

cle, caractère ou autre. Le processeur de tracé de vecteur de l'invention est plus souple sur ce point que les processeurs graphiques connus dont le tracé de vecteur est fondé sur la méthode de BRESENHAM qui est surtout intéressante pour le tracé de segments de droite. Un processeur de tracé de vecteur, où le vecteur est constitué par un segment de droite, est décrit par ex. dans la demande de brevet FR-A 2 426 296.

Selon un mode de réalisation préféré, le processeur de tracé de vecteur de l'invention comprend un registre de données à entrée parallèle et à sortie série, ledit registre de données étant chargé initialement par le circuit d'interface avec l'état des points élémentaires du vecteur, la sortie dudit registre étant reliée à l'entrée de données de la mémoire d'image, le moyen de cadencement rythmant la sortie des données dudit registre.

De manière préférée, le registre de données comporte en outre une entrée série reliée à la sortie de données de la mémoire d'image et une sortie parallèle reliée au circuit d'interface.

Avec cette structure, le processeur de tracé de vecteur peut simultanément lire et écrire un vecteur. Ceci permet l'effacement sélectif d'une partie d'une image inscrite antérieurement. Il suffit en effet, lors de l'écriture d'un vecteur dans la mémoire d'image, de lire et sauvegarder le vecteur mémorisé qui est remplacé par ledit vecteur écrit dans la mémoire d'image. Pour effacer ensuite ledit vecteur écrit, il suffit de réinscrire le vecteur sauvegardé.

Cette possibilité d'effacement sélectif n'existe pas dans les processeurs graphiques connus qui effectuent uniquement l'opération d'écriture d'un vecteur mais qui ne peuvent pas lire un vecteur de la mémoire d'image.

Selon une caractéristique de l'invention, pour une mémoire d'image à n plans parallèles, où n est un entier, le processeur de tracé de vecteur comprend n registres de données, chaque registre de données étant associé à un plan d'image.

Selon un mode de réalisation préféré, le moyen de comptage est un décompteur, ledit décompteur émettant le signal d'autorisation au moyen de cadencement tant que son contenu n'est pas nul.

De manière préférée, le moyen de commande d'adresse comprend une matrice de transcodage à quatre entrées et quatre sorties, les sorties étant reliées aux entrées de commande d'incrémentatation et de décrémentation d'adresse, trois entrées étant reliées au registre d'octant et la quatrième entrée au registre de direction.

Les caractéristiques et avantages de l'invention ressortiront mieux de la description qui va suivre donnée à titre illustratif mais non limitatif, en référence aux dessins annexés sur lesquels :

- la figure 1 illustre schématiquement un système informatique comprenant un processeur graphique pour l'affichage d'une image numérique sur un écran de visualisation, ledit processeur graphique comportant un processeur de tracé de vecteur conforme à l'invention,

- les figures 2a et 2b représentent respectivement la forme numérisée d'un vecteur sur un écran

de visualisation et la décomposition en octant des directions possibles d'un vecteur dans le plan de l'écran de visualisation,

- la figure 3 représente schématiquement un mode de réalisation du processeur de tracé de vecteur de l'invention, et

- la figure 4 illustre les commandes d'incrémentatation et de décrémentation des registres d'adresse en fonction du numéro d'octant et du contenu du registre de direction.

On a représenté sur la figure 1 un terminal de visualisation comprenant un processeur graphique 2 relié par une voie bidirectionnelle 4 à un calculateur 6, et relié par une voie 8 à un écran 10. La voie bidirectionnelle 4 comprend un bus d'adresse, un bus de données et des lignes de commande pour gérer la transmission entre le calculateur 6 et le processeur graphique 2.

Le processeur graphique 2 comprend principalement un processeur de tracé de vecteur 12, conforme à l'invention, un générateur vidéo 14 et un moyen de commande 30. Il est relié à une mémoire d'image 16.

Cette mémoire 16 est organisée en lignes et en colonnes. Elle peut comprendre un ou plusieurs plans parallèles, chaque plan comportant un bit par point d'image. L'accès à cette mémoire est réalisé par le processeur 12 et le générateur vidéo 14 par deux bus d'adresse 18, 20 utilisés respectivement pour désigner l'abscisse et l'ordonnée d'un point de l'image. Un moyen de gestion d'adresse 22 relié à la mémoire 16 par un bus d'adresse 24 traduit lesdites abscisse et ordonnée en une adresse physique.

Le transfert de données entre le processeur 12 ou le générateur vidéo 14 et la mémoire 16 est réalisé par un bus de données bidirectionnel 26. Le processeur 12 peut ainsi lire ou écrire un vecteur dans la mémoire d'image 16.

Le moyen de commande 30 du processeur graphique est relié par une première voie bidirectionnelle 32 au processeur de tracé de vecteur 12 et par une seconde voie bidirectionnelle 34 au générateur vidéo 14. Par ces voies, le moyen de commande 30 reçoit les demandes d'accès à la mémoire 16 du processeur 12 et du générateur 14 et renvoie des signaux d'acquiescement lorsque l'accès à la mémoire est autorisé. En cas de conflit d'accès entre le processeur 12 et le générateur vidéo 14, le moyen de commande 30 donne l'accès au générateur vidéo.

Le moyen de commande 30 est en outre relié à la mémoire 16 par une voie 36 qui permet d'indiquer le type d'accès : lecture, écriture, remise à zéro ou autre.

La mémoire d'image 16 est de préférence une mémoire dynamique fonctionnant en mode "nibble" pour accélérer la lecture. Ce mode consiste à lire plusieurs mots d'adresses successives en un seul cycle d'accès. Ces mots sont écrits dans un registre tampon du générateur vidéo 14. Ce registre tampon rend asynchrone la lecture de la mémoire par le générateur vidéo 14 et la sortie vidéo. Il permet donc d'intercaler un accès à la mémoire 16 en lecture ou en écriture par le processeur 12 entre deux cycles d'accès par le générateur vidéo.

Le processeur 12 peut ainsi accéder à la mémoire d'image 16 plusieurs fois par ligne d'écran. A titre d'exemple, pour une image comportant 1728 points par ligne, et organisée en mot de 64 bits, une ligne d'écran correspond à 27 mots. Si chaque accès, en mode "nibble", permet la lecture de 4 mots, il suffit de 7 accès pour lire une ligne d'écran. Le processeur de tracé de vecteur 12 peut donc accéder à la mémoire d'image 16 pendant le temps de retour de trame, mais aussi plusieurs fois par ligne d'image. Ceci est un facteur autorisant une grande vitesse d'inscription d'un vecteur dans la mémoire 16 par le processeur 12.

La structure particulière du processeur de tracé de vecteur 12 de l'invention contribue également à une grande vitesse d'inscription d'un vecteur dans la mémoire. On décrira en référence à la figure 3 un mode de réalisation particulier de ce processeur 12. On va tout d'abord indiquer la forme sous laquelle un vecteur est mémorisé dans le processeur 12.

Un vecteur est défini par plusieurs paramètres qui peuvent être ses coordonnées d'origine, abscisse et ordonnées, une direction, une longueur et, éventuellement, l'état (niveau de gris) de chaque point d'image constituant le vecteur. A titre d'exemple, on a représenté sur la figure 2a un vecteur dont l'abscisse d'origine est égale à 4, l'ordonnée d'origine est égale à 1 et la longueur est égale à 10. La direction est obtenue par combinaison d'un numéro d'octant et de la décomposition du vecteur selon le code de ROTHMAN.

Le numéro d'octant associé à un vecteur correspond au secteur de l'espace contenant la direction de ce vecteur. Cette décomposition en secteurs est représentée sur la figure 2b. L'octant associé au vecteur représenté sur la figure 2a est l'octant 2. Cette décomposition en octants est connue de l'homme de l'art. Elle permet de simplifier le tracé d'un vecteur car celui-ci peut être ramené dans tous les cas dans un octant de base, en général l'octant 0, par des symétries autour des axes X et Y. Le tracé d'un vecteur quelconque ramené dans l'octant de base peut être réalisé très rapidement par des algorithmes connus tels que l'algorithme de BRESENHAM.

L'octant définit la direction générale du vecteur. La décomposition de ROTHMAN définit quant à elle la position relative de deux points successifs du vecteur. Ce code consiste à associer une première valeur lorsque l'on passe dans l'octant de base d'un point du vecteur au point successif par un déplacement horizontal c'est-à-dire par incrémentation de l'abscisse et une seconde valeur si l'on passe d'un point de vecteur au point successif par un déplacement en diagonale, c'est-à-dire par incrémentation de l'abscisse et de l'ordonnée. A titre d'exemple, si on note "0" la première valeur et "1" la deuxième valeur, le vecteur représenté sur la figure 2a a pour décomposition la séquence 0 1 0 1 1 0 0 0.

Le processeur de tracé de vecteur de l'invention utilise cette décomposition de ROTHMAN et le découpage en octant. On va maintenant décrire en référence à la figure 3 un mode de réalisation de ce processeur.

Ce processeur de tracé de vecteur 12 comprend

principalement :

- un registre d'adresse ligne 40 pour délivrer sur le bus d'adresse 18 l'abscisse d'un point d'image, le dit registre comportant une entrée INC de commande d'incréméntation de son contenu et une entrée DEC de commande de décréméntation de son contenu,
- un registre d'adresse colonne 42 délivrant sur le bus d'adresse 20 l'ordonnée d'un point d'image, le dit registre comportant également une entrée INC de commande d'incréméntation de son contenu et une entrée DEC de commande de décréméntation de son contenu,
- un moyen de commande d'adresse 44 comportant un registre d'octant 46 et un registre de direction 48 pour mémoriser la direction du vecteur à inscrire dans la mémoire selon le code de ROTHMAN,
- un moyen de comptage 50 pour mémoriser la longueur du vecteur à traiter.

Les registres d'adresse 40 et 42 et le registre d'octant 46 sont des tampons à entrée et sortie parallèles. Le registre de direction 48 est un registre à décalage à entrée parallèle et à sortie série.

Dans le mode de réalisation représenté sur la figure 3, le processeur de tracé de vecteur 12 comporte également un registre de données 52. Ce registre permet l'inscription dans la mémoire d'un vecteur constitué d'une séquence quelconque de bits, ce qui facilite l'inscription en mémoire de vecteurs discontinus (traits mixtes, pointillés ou autre).

Le registre de données 52 est associé à une mémoire dans laquelle un bit est associé à un point d'image, c'est-à-dire dans laquelle l'image mémorisée est bicolore. Dans le cas d'une mémoire où un ensemble de n bits est associé à chaque point d'image, la mémoire peut avantageusement être constituée de n plans parallèles, chaque plan mémorisant un bit de chaque point d'image. Le processeur de tracé de vecteur 12 comporte alors un ensemble de n registres de données 52 commandé en parallèle. Dans le cas de cette mémoire multiplan, les registres d'adresse et le registre de commande d'adresse restent uniques.

Le registre de données 52 est de préférence un registre à décalage comprenant des entrées et des sorties parallèles et série tel que le circuit 54AS877 de TEXAS INSTRUMENTS. L'entrée et la sortie série sont utilisées pour le transfert en lecture ou en écriture avec la mémoire d'image 16. L'entrée et la sortie parallèles servent au transfert vers le système informatique auquel est relié le processeur graphique.

Dans le cas où le registre de données 52 est omis, l'inscription d'un vecteur dans la mémoire d'image consiste à forcer la valeur des éléments binaires de la mémoire correspondant aux points du vecteur avec une valeur prédéterminée.

L'inscription du vecteur peut également être réalisée au moyen d'un opérateur, par exemple de type OU-EXCLUSIF dont une entrée reçoit la valeur des éléments binaires de la mémoire correspondant aux points du vecteur, l'autre entrée reçoit soit une valeur prédéterminée soit des données délivrées

par le registre de données 52, et dont la sortie, reliée à la mémoire d'image, délivre la valeur effective des points du vecteur à inscrire.

Les différents registres du processeur de tracé de vecteur 12 sont chargés avec des données reçues d'un calculateur par le bus bidirectionnel 4. Un circuit d'interface 54 reçoit lesdites données et des signaux de commande du calculateur et délivre ces données sur un bus 56 interne au processeur 12. Le circuit d'interface 54 peut comprendre notamment un registre tampon en entrée pour mémoriser plusieurs données ou commandes reçues du calculateur et des moyens pour sélectionner chacun des registres du processeur 12.

Le moyen de commande d'adresse 44 reçoit du circuit d'interface 54 d'une part un mot représentant la forme canonique du vecteur à inscrire selon le code de ROTHMAN, ce mot étant mémorisé dans le registre de direction 48, et d'autre part, le numéro d'octant qui est mémorisé dans le registre d'octant 46.

Dans le mode de réalisation représenté sur la figure 3, un vecteur à tracer est décomposé en segments de 32 bits. Un mot de 8 bits peut donc indiquer simultanément la longueur d'un segment et l'octant dans lequel est contenu le vecteur. Ce mot est reçu par le circuit d'interface 54 et mémorisé dans un registre tampon 58. Les 5 bits correspondant à la longueur du segment sont ensuite chargés dans le moyen de comptage 50 et les 3 bits correspondant au numéro d'octant sont chargés dans le registre d'octant 46.

Le moyen de comptage 50 est du type décompteur. Son contenu est décrémenté en synchronisme avec un signal d'horloge issu d'un moyen de cadencement 60. Ce moyen de cadencement 60 est relié de manière classique aux différents éléments du processeur de tracé de vecteur 12. Ce moyen de cadencement a pour rôle de synchroniser le traitement des données par les différents éléments du processeur.

Les signaux d'horloge sont délivrés sur réception d'une autorisation délivrée par le moyen de commande 30 et sont bloqués sur un signal reçu du moyen de décomptage. Le rôle de ce moyen de cadencement étant bien connu de l'homme de l'art, on n'a pas jugé utile de représenter les liaisons acheminant les signaux d'horloge de ce moyen de cadencement vers les éléments du processeur de tracé de vecteur 12.

Lorsque, par suite du décomptage, le contenu du moyen de comptage 50 devient nul, celui-ci émet sur une ligne 51 un signal vers le moyen de cadencement 60 pour stopper l'émission des signaux d'adresse et de donnée vers la mémoire d'image. Ce signal, ou un signal dérivé, peut également être émis vers le circuit d'interface 54 pour signifier au calculateur que le segment de vecteur a été traité.

On va maintenant expliquer le fonctionnement du processeur de tracé de vecteur 12. Dans un premier temps, le circuit d'interface 54 charge les registres d'adresse 40 et 42 avec les coordonnées du point d'origine du segment, le registre de données 52 avec la valeur à inscrire dans la mémoire, le registre de direction 48 avec la forme canonique

du vecteur selon le code de ROTHMAN et le registre 58 avec la longueur du segment à inscrire et le numéro d'octant correspondant à la direction de ce segment.

Le passage d'un point d'image à un autre est obtenu d'une part en commandant un décalage du contenu du registre de données 52 et d'autre part en modifiant les contenus des registres 40 et 42 en fonction du contenu du registre de direction 48 et du numéro d'octant contenu dans le registre 46. Pour réaliser cette mise à jour, le moyen 44 de commande d'adresse comprend un tampon 62 pour mémoriser le bit délivré par le registre 48 lors d'un décalage, et une matrice de codage 64 à 4 entrées et 4 sorties. Les entrées de cette matrice sont reliées respectivement à la sortie du tampon 62 et aux 3 sorties du registre d'octant 46 ; ces sorties sont reliées respectivement aux entrées de commande d'incrément et de décrémentation des registres d'adresse 40 et 42.

On a représenté sur la figure 4 la table de vérité de cette matrice. Dans cette table, on a indiqué respectivement le numéro d'octant, le code binaire correspondant, la valeur du bit RD contenu dans le tampon 62 et l'action correspondante sur le contenu des registres d'adresse 40 et 42.

Revendications

1. Processeur de tracé de vecteur pour inscrire un vecteur dans une mémoire d'image (16) organisée en lignes et en colonnes, ledit vecteur étant défini par des coordonnées d'origine, une direction et une longueur, ledit processeur étant caractérisé en ce qu'il comprend :

- un registre d'adresse ligne (40) et un registre d'adresse colonne (42), lesdits registres comprenant des entrées de commande d'incrément et de décrémentation,
- un moyen de commande d'adresse (44) comprenant un registre d'octant (46) et un registre de direction (48), ledit moyen de commande d'adresse délivrant des signaux aux entrées de commande des registres d'adresse,
- un moyen de comptage (50),
- un moyen de cadencement (60) recevant du moyen de comptage un signal d'autorisation lorsque le contenu du moyen de comptage est différent d'une valeur prédéterminée et délivrant un signal de synchronisation de sortie des données desdits registres et moyens ; ledit signal de synchronisation n'étant actif qu'en présence du signal d'autorisation,
- un circuit d'interface (54) relié auxdits registres et moyens pour charger initialement les registres d'adresse avec les coordonnées de l'origine du vecteur, le registre d'octant avec l'octant de la direction du vecteur, le registre de direction avec la forme canonique du vecteur selon le code de ROTHMAN et le moyen de comptage avec la longueur du vecteur.

2. Processeur de tracé de vecteur selon la revendication 1, caractérisé en ce qu'il comprend un registre de données (52), ledit registre de données étant chargé initialement par le circuit d'interface

avec l'état des points élémentaires formant le vecteur, la sortie dudit registre étant reliée à l'entrée de données de la mémoire d'image, le moyen de cadencement rythmant la sortie des données dudit registre.

3. Processeur de tracé de vecteur selon la revendication 2, caractérisé en ce que le registre de données (52) comprend en outre une entrée série reliée à la sortie de données de la mémoire d'image et une sortie parallèle reliée au circuit d'interface.

4. Processeur de tracé de vecteur selon l'une quelconque des revendications 2 et 3, pour une mémoire d'image (16) à n plans parallèles, où n est un entier, caractérisé en ce qu'il comprend n registres de données (52), chaque registre de données étant associé à un plan d'image.

5. Processeur de tracé de vecteur selon l'une quelconque des revendications 1 à 4, caractérisé en ce que le moyen de comptage (50) est un décompteur, ledit décompteur émettant le signal d'autorisation au moyen de cadencement tant que son contenu n'est pas nul.

6. Processeur de tracé de vecteur selon l'une quelconque des revendications 1 à 5, caractérisé en ce que le moyen de commande d'adresse comprend une matrice de transcodage (64) à quatre entrées et quatre sorties, les sorties étant reliées aux entrées de commande d'incrémentement et de décrémentation des registres d'adresse (40, 42), trois entrées étant reliées au registre d'octant (46) et la quatrième entrée au registre de direction (48).

Claims

1. Digital stroke generator to write a vector in a display memory (16) organized in lines and columns, the said vector being defined by origin coordinates, a direction, and a length, the said processor being characterized in that it comprises:

- a line address register (40) and a column address register (42), the said registers comprising incrementation and decrementation command inputs,
- a command address means (44) comprising an octant register (46) and a direction register (48), the said command address means delivering signals to the command inputs of the address registers,
- a counting means (50),
- a clock signal means (60) receiving from the counting means a validation signal when the contents of the counting means is different from a predetermined value and delivering a synchronization signal output for the output of data from the said registers and means; the said synchronization signal only being active in the presence of the validation signal,
- an interface circuit (54) coupled to the said registers and means to initially load the address registers with the coordinates of the vector origin, the octant register with the direction of the octant of the vector, the direction register with the canonical form of the vector according to the ROTHMAN code, and the counting means with the vector length.

2. Digital stroke generator according to claim 1, characterized in that it comprises a data register (52), the said data register being initially loaded by the interface circuit with the state of the elementary points forming the vector, the output of the said register being coupled to the data input of the display memory, the clock signal means rhythmically commanding the data output of the said register.

3. Digital stroke generator according to claim 2, characterized in that the data register (52) comprises as well a serial input coupled to the data output of the display memory and a parallel output coupled to the interface circuit.

4. Digital stroke generator according to either of the claims 2 and 3, for a display memory (16) with n parallel planes where n is an integer, characterized in that the said digital stroke generator comprises n data registers (52), each data register being associated with an image plane.

5. Digital stroke generator according to any one of the claims 1 to 4, characterized in that the counting means (50) is a down counter, the said down counter emitting the validation signal to the clock signal means as long as its content is non zero.

6. Digital stroke generator according to any one of the claims 1 to 5, characterized in that the address command means comprises a transcoding matrix (64) with four inputs and four outputs, the outputs being coupled to the command inputs of incrementation and decrementation of the address registers (40, 42), three inputs being coupled to the octant register (46) and the fourth input to the direction register (48).

Patentansprüche

1. Vektorprozessor für das Einschreiben eines Vektors in einen Bildspeicher (16), der in Zeilen und Spalten aufgebaut ist, wobei der Vektor durch Ausgangskordinaten, einer Richtung und einer Länge definiert ist, wobei der Prozessor dadurch gekennzeichnet ist, daß er aufweist:

- ein Zeilenadressenregister (40) und ein Spaltenadressenregister (42), wobei die Register Befehlseingänge der Inkrementierung und Dekrementierung aufweisen,
- eine Adressbefehlseinrichtung (44), die ein Oktantregister (46) und ein Richtungsregister (48) aufweist, wobei die Adressbefehlseinrichtung Signale den Befehlseingängen der Adressenregister liefert,
- eine Zähleinrichtung (50),
- eine Takteinrichtung (60), die von der Zähleinrichtung ein Freigabesignal empfängt, wenn der Inhalt der Zähleinrichtung unterschiedlich von einem vorbestimmten Wert ist, und ein Synchronisationsausgangssignal der Daten der Register und Einrichtungen liefert; wobei das Synchronisationssignal nur bei Vorhandensein des Freigabesignals aktiv ist,
- einen Interface Schaltkreis (54), der mit den Registern und den Einrichtungen verbunden ist, um die Adressenregister mit den Ausgangskordinaten des Vektors, das Oktantregister mit dem Oktanten der Richtung des Vektors, das Rich-

tungsregister mit der kanonischen Form des Vektors gemäß dem Rothman Kode und die Zählseinrichtung mit der Länge des Vektors anfangs zu belegen.

2. Vektorprozessor nach Anspruch 1, dadurch gekennzeichnet, daß er ein Datenregister (52) aufweist, das anfangs durch den Interface Schaltkreis mit dem Zustand der elementaren Punkte, die den Vektor bilden, belegt wird, wobei der Ausgang des Registers mit dem Dateneingang des Bildspeichers verbunden ist, wobei die Takteinrichtung den Datenausgang des Registers taktet.

3. Vektorprozessor nach Anspruch 2, dadurch gekennzeichnet, daß das Datenregister (52) weiterhin einen Serieneingang, der mit dem Datenausgang des Bildspeichers verbunden ist, und einen parallelen Ausgang aufweist, der mit dem Interface Schaltkreis verbunden ist.

4. Vektorprozessor nach einem der Ansprüche 2 oder 3, für einen Bildspeicher (16) mit n parallelen Ebenen, wo n eine ganze Zahl ist, dadurch gekennzeichnet, daß er n Datenregister (52) aufweist, wobei jedes Datenregister einer Bildebene zugeordnet ist.

5. Vektorprozessor nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß die Zählseinrichtung (50) ein Zwischenzähler (décompteur) ist, wobei der Zwischenzähler das Freigabesignal zu der Takteinrichtung ausgibt, wenn sein Inhalt nicht Null ist.

6. Vektorprozessor nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß die Adressbefehlseinrichtung eine Kodeumsetzungsmatrix (64) mit vier Ein- und vier Ausgängen aufweist, wobei die Ausgänge mit den Eingängen der Inkrementierungs- und Dekrementierungssteuerung der Adressenregister (40, 42) verbunden sind, wobei drei Eingänge mit dem Oktantregister (46) und der vierte Eingang mit dem Richtungsregister (48) verbunden ist.

5

10

15

20

25

30

35

40

45

50

55

60

65

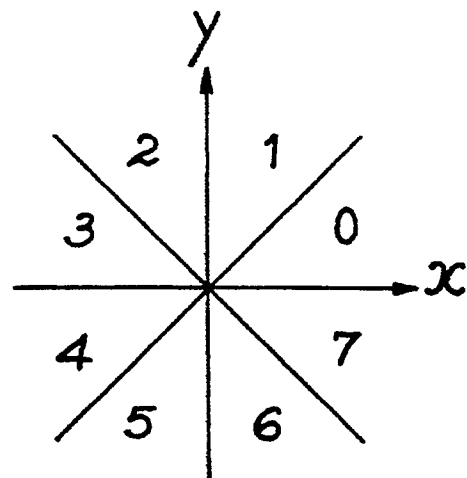
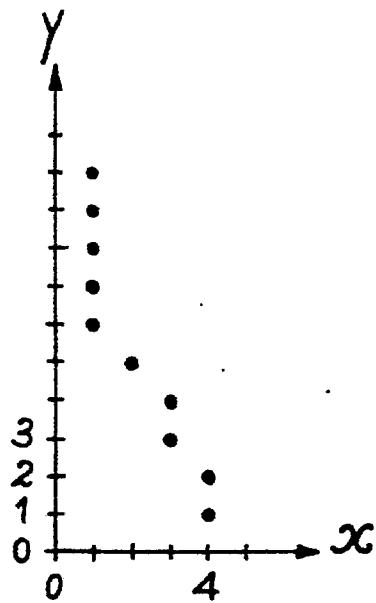
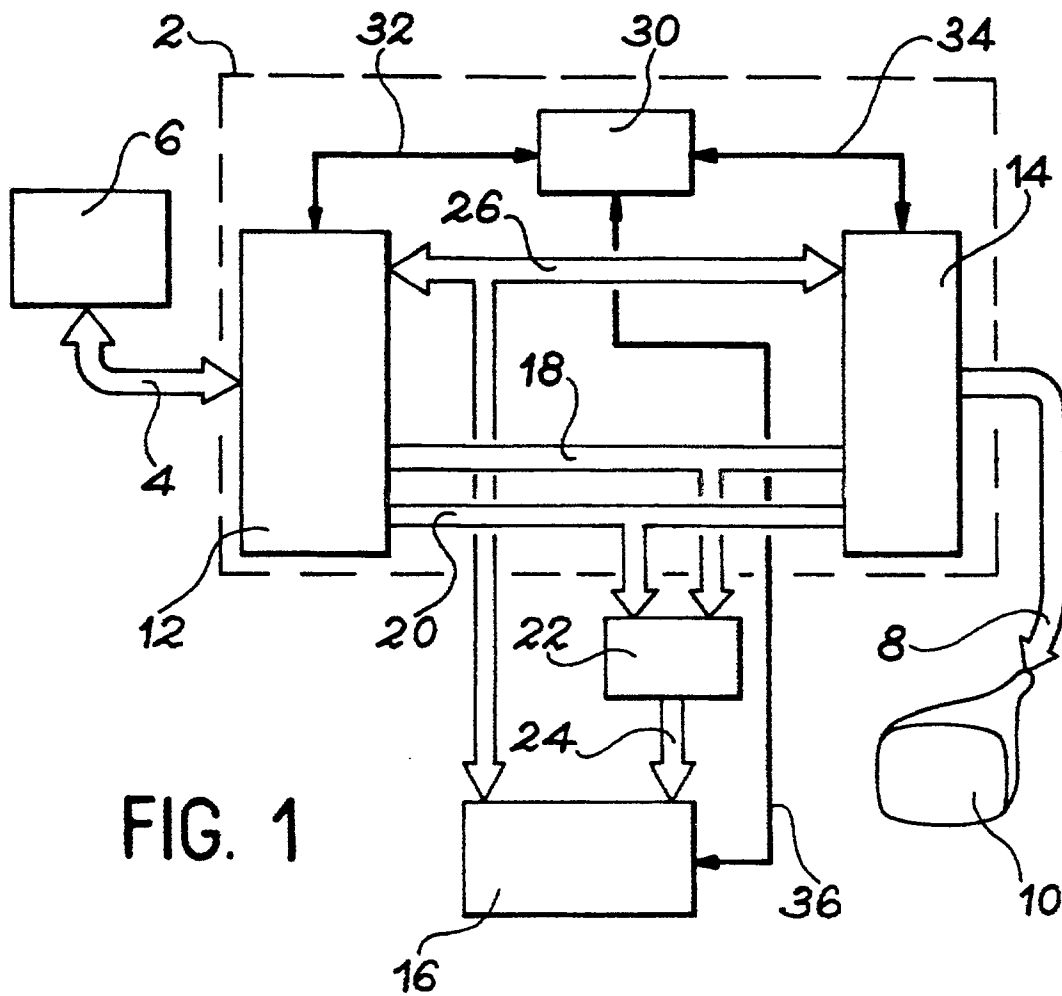
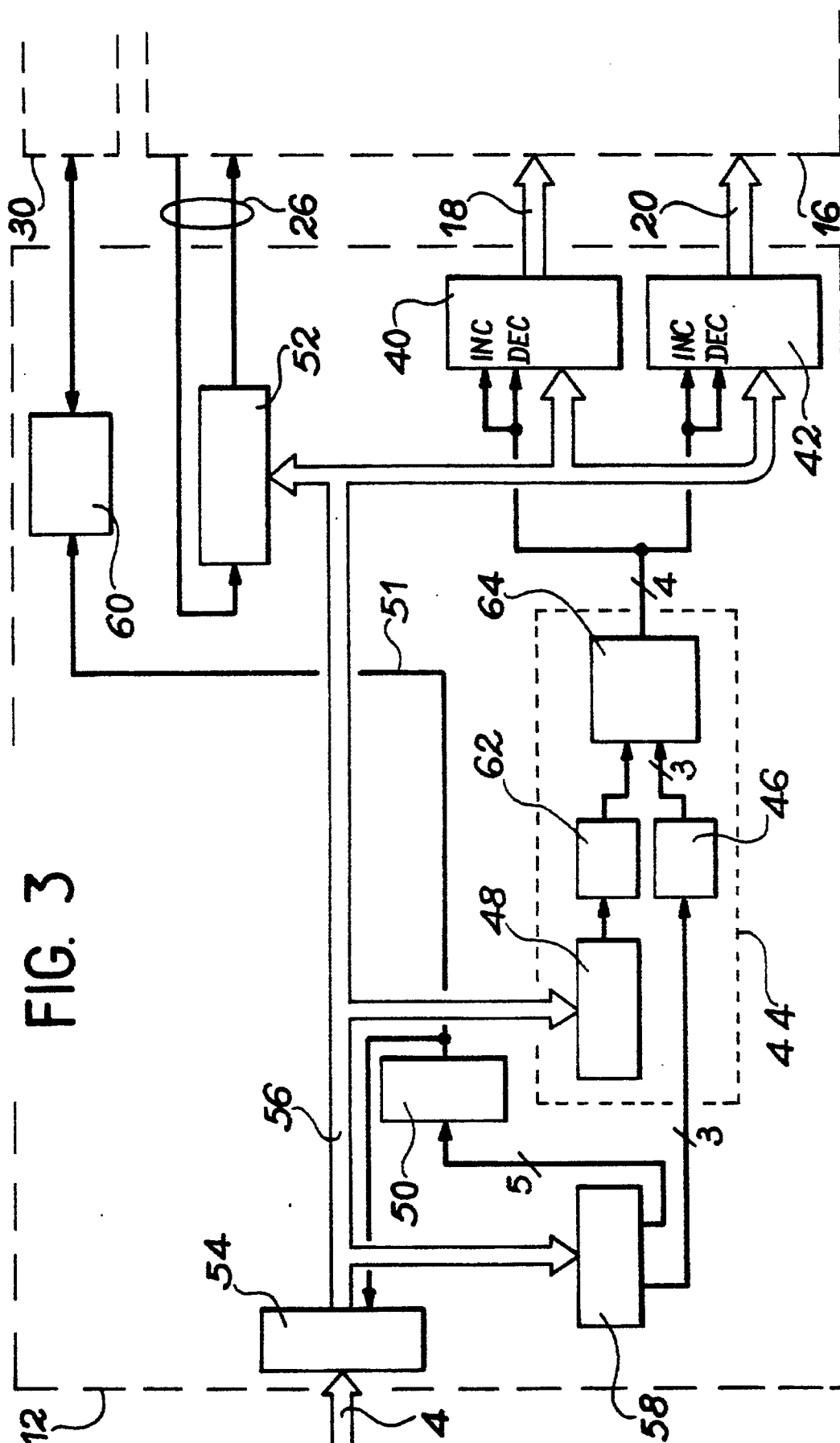


FIG. 3



NUMERO	CODE OCTANT	RD = 1		RD = 0	
		X	Y	X	Y
0	0 0 0	INC X	INC Y	INC X	
1	0 0 1		INC Y	INC X	INC Y
2	0 1 0	DEC X	INC Y		INC Y
3	0 1 1	DEC X		DEC X	INC Y
4	1 0 0	DEC X	DEC Y	DEC X	
5	1 0 1		DEC Y	DEC X	DEC Y
6	1 1 0	INC X	DEC Y		DEC Y
7	1 1 1	INC X		INC X	DEC Y

FIG. 4