

1. 一种移位寄存器单元,包括消隐输入电路、消隐上拉电路、消隐耦合电路、显示输入电路和输出电路;其中,

所述消隐输入电路被配置为响应于补偿选择控制信号对上拉控制节点进行充电并保持所述上拉控制节点的电平;

所述消隐上拉电路被配置为在所述上拉控制节点的电平和第一时钟信号的控制下,利用所述第一时钟信号对上拉节点进行充电;

所述消隐耦合电路与所述上拉控制节点电连接,且被配置为响应于所述第一时钟信号对所述上拉控制节点进行耦合上拉;

所述显示输入电路被配置为响应于显示输入信号对所述上拉节点进行充电;

所述输出电路被配置为在所述上拉节点的电平的控制下,将复合输出信号输出至输出端,

所述消隐上拉电路包括第二晶体管 and 第三晶体管;

所述第二晶体管的栅极和所述上拉控制节点连接,所述第二晶体管的第一极和第一时钟信号端连接以接收所述第一时钟信号,所述第二晶体管的第二极和所述第三晶体管的第一极连接;

所述第三晶体管的栅极和所述第一时钟信号端连接以接收所述第一时钟信号,所述第三晶体管的第二极和所述上拉节点连接,

所述消隐耦合电路包括第一耦合电容和第二耦合电容;

所述第一耦合电容的第一极和所述第一时钟信号端连接以接收所述第一时钟信号,所述第一耦合电容的第二极和所述上拉控制节点连接,

所述第二耦合电容的第一极和所述第二晶体管的第二极连接,所述第二耦合电容的第二极和所述上拉控制节点连接。

2. 根据权利要求1所述的移位寄存器单元,其中,所述消隐输入电路包括第一晶体管和第一电容;

所述第一晶体管的栅极和补偿选择控制端连接以接收所述补偿选择控制信号,所述第一晶体管的第一极和消隐输入信号端连接,所述第一晶体管的第二极和所述上拉控制节点连接;以及

所述第一电容的第一极和所述上拉控制节点连接,所述第一电容的第二极和第一电压端连接。

3. 根据权利要求1或2所述的移位寄存器单元,其中,所述显示输入电路包括第四晶体管;

所述第四晶体管的栅极和显示输入信号端连接以接收所述显示输入信号,所述第四晶体管的第一极和第二电压端连接以接收第二电压,所述第四晶体管的第二极和所述上拉节点连接。

4. 根据权利要求1或2所述的移位寄存器单元,其中,所述输出端包括移位信号输出端和像素扫描信号输出端,所述移位信号输出端和所述像素扫描信号输出端输出所述复合输出信号,所述输出电路包括第五晶体管、第六晶体管和第三电容;

所述第五晶体管的栅极和所述上拉节点连接,所述第五晶体管的第一极和第二时钟信号端连接以接收第二时钟信号并作为所述复合输出信号,所述第五晶体管的第二极和所述

移位信号输出端连接；

所述第六晶体管的栅极和所述上拉节点连接,所述第六晶体管的第一极和所述第二时钟信号端连接以接收所述第二时钟信号并作为所述复合输出信号,所述第六晶体管的第二极和所述像素扫描信号输出端连接;以及

所述第二电容的第一极和所述上拉节点连接,所述第二电容的第二极和所述第五晶体管的第二极连接。

5. 根据权利要求1所述的移位寄存器单元,还包括第一下拉控制电路和下拉电路;其中,

所述输出端包括移位信号输出端和像素扫描信号输出端,所述移位信号输出端和所述像素扫描信号输出端输出所述复合输出信号;

所述第一下拉控制电路被配置为在所述上拉节点的电平的控制下,对下拉节点的电平进行控制;

所述下拉电路被配置为在所述下拉节点的电平的控制下,对所述上拉节点、所述移位信号输出端和所述像素扫描信号输出端进行下拉复位。

6. 根据权利要求5所述的移位寄存器单元,其中,所述第一下拉控制电路包括第七晶体管、第八晶体管和第九晶体管;

所述第七晶体管的栅极和第一极连接且被配置为和第三电压端连接以接收第三电压,所述第七晶体管的第二极和所述下拉节点连接;

所述第八晶体管的栅极和第一极连接且被配置为和第四电压端连接以接收第四电压,所述第八晶体管的第二极和所述下拉节点连接;

所述第九晶体管的栅极和所述上拉节点连接,所述第九晶体管的第一极和所述下拉节点连接,所述第九晶体管的第二极和第五电压端连接以接收第五电压。

7. 根据权利要求5所述的移位寄存器单元,其中,所述下拉电路包括第十晶体管、第十一晶体管和第十二晶体管;

所述第十晶体管的栅极和所述下拉节点连接,所述第十晶体管的第一极和所述上拉节点连接,所述第十晶体管的第二极和第五电压端连接以接收第五电压;

所述第十一晶体管的栅极和所述下拉节点连接,所述第十一晶体管的第一极和所述移位信号输出端连接,所述第十一晶体管的第二极和所述第五电压端连接以接收所述第五电压;

所述第十二晶体管的栅极和所述下拉节点连接,所述第十二晶体管的第一极和所述像素扫描信号输出端连接,所述第十二晶体管的第二极和第六电压端连接以接收第六电压。

8. 根据权利要求5所述的移位寄存器单元,还包括第二下拉控制电路和第三下拉控制电路;其中,

所述第二下拉控制电路被配置为响应于所述第一时钟信号对所述下拉节点的电平进行控制;

所述第三下拉控制电路被配置为响应于所述显示输入信号对所述下拉节点的电平进行控制。

9. 根据权利要求8所述的移位寄存器单元,其中,所述第二下拉控制电路包括第十三晶体管,所述第三下拉控制电路包括第十四晶体管;

所述第十三晶体管的栅极和第一时钟信号端连接以接收所述第一时钟信号,所述第十三晶体管的第一极和所述下拉节点连接,所述第十三晶体管的第二极和第五电压端连接以接收第五电压;

所述第十四晶体管的栅极和显示输入信号端连接以接收所述显示输入信号,所述第十四晶体管的第一极和所述下拉节点连接,所述第十四晶体管的第二极和所述第五电压端连接以接收所述第五电压。

10. 根据权利要求8所述的移位寄存器单元,其中,所述第二下拉控制电路包括第十三晶体管和第十七晶体管,所述第三下拉控制电路包括第十四晶体管;

所述第十三晶体管的栅极和第一时钟信号端连接以接收所述第一时钟信号,所述第十三晶体管的第一极和所述下拉节点连接,所述第十三晶体管的第二极和第十七晶体管的第一极连接;

所述第十七晶体管的栅极和所述上拉控制节点电连接,所述第十七晶体管的第二极和第五电压端连接以接收第五电压;

所述第十四晶体管的栅极和显示输入信号端连接以接收所述显示输入信号,所述第十四晶体管的第一极和所述下拉节点连接,所述第十四晶体管的第二极和所述第五电压端连接以接收所述第五电压。

11. 根据权利要求5所述的移位寄存器单元,还包括显示复位电路和全局复位电路,其中,

所述显示复位电路被配置为响应于显示复位信号对所述上拉节点进行复位;

所述全局复位电路被配置为响应于全局复位信号对所述上拉节点进行复位。

12. 根据权利要求11所述的移位寄存器单元,其中,所述显示复位电路包括第十五晶体管,所述全局复位电路包括第十六晶体管;

所述第十五晶体管的栅极和显示复位信号端连接以接收所述显示复位信号,所述第十五晶体管的第一极和所述上拉节点连接,所述第十五晶体管的第二极和第五电压端连接以接收第五电压;

所述第十六晶体管的栅极和全局复位信号端连接以接收所述全局复位信号,所述第十六晶体管的第一极和所述上拉节点连接,所述第十六晶体管的第二极和所述第五电压端连接以接收所述第五电压。

13. 一种栅极驱动电路,包括多个级联的如权利要求1-12任一所述的移位寄存器单元。

14. 根据权利要求13所述的栅极驱动电路,还包括第一子时钟信号线、第二子时钟信号线、第三子时钟信号线和第四子时钟信号线;其中,

第 $4n-3$ 级移位寄存器单元和所述第一子时钟信号线连接以接收第二时钟信号,

第 $4n-2$ 级移位寄存器单元和所述第二子时钟信号线连接以接收第二时钟信号,

第 $4n-1$ 级移位寄存器单元和所述第三子时钟信号线连接以接收第二时钟信号,

第 $4n$ 级移位寄存器单元和所述第四子时钟信号线连接以接收第二时钟信号;

n 为大于零的整数。

15. 根据权利要求14所述的栅极驱动电路,还包括第五子时钟信号线和第六子时钟信号线;其中,

每一级移位寄存器单元和所述第五子时钟信号线连接以接收补偿选择控制信号;每一

级移位寄存器单元和所述第六子时钟信号线连接以接收全局复位信号。

16. 一种显示装置,包括如权利要求13-15任一所述的栅极驱动电路。

17. 一种如权利要求1-12任一所述的移位寄存器单元的驱动方法,包括用于一帧的显示时段和消隐时段,其中:

在所述显示时段,使得所述消隐输入电路响应于所述补偿选择控制信号对所述上拉控制节点进行充电并保持所述上拉控制节点的电平;

在所述消隐时段,使得所述消隐上拉电路在所述上拉控制节点的电平和所述第一时钟信号的控制下,利用所述第一时钟信号对所述上拉节点进行充电,以及使得所述消隐耦合电路响应于所述第一时钟信号对所述上拉控制节点进行耦合上拉。

移位寄存器单元、栅极驱动电路、显示装置及驱动方法

技术领域

[0001] 本公开的实施例涉及一种移位寄存器单元、栅极驱动电路、显示装置及驱动方法。

背景技术

[0002] 在显示领域特别是OLED (Organic Light-Emitting Diode, 有机发光二极管) 显示面板中, 栅极驱动电路目前一般集成在GATE IC中。IC设计中芯片的面积是影响芯片成本的主要因素, 如何有效地降低芯片面积是技术开发人员需要着重考虑的。

[0003] 目前用于OLED的栅极驱动电路通常要用三个子电路组合而成, 即检测电路、显示电路和输出两者复合脉冲的连接电路(或门电路), 这样的电路结构非常复杂, 无法满足显示面板的高分辨率窄边框的要求。

发明内容

[0004] 本公开至少一实施例提供一种移位寄存器单元, 包括消隐输入电路、消隐上拉电路、消隐耦合电路、显示输入电路和输出电路。所述消隐输入电路被配置为响应于补偿选择控制信号对上拉控制节点进行充电并保持所述上拉控制节点的电平; 所述消隐上拉电路被配置为在所述上拉控制节点的电平和第一时钟信号的控制下, 利用所述第一时钟信号对上拉节点进行充电; 所述消隐耦合电路与所述上拉控制节点电连接, 且被配置为响应于所述第一时钟信号对所述上拉控制节点进行耦合上拉; 所述显示输入电路被配置为响应于显示输入信号对所述上拉节点进行充电; 所述输出电路被配置为在所述上拉节点的电平的控制下, 将复合输出信号输出至输出端。

[0005] 例如, 在本公开一实施例提供的移位寄存器单元中, 所述消隐输入电路包括第一晶体管 and 第一电容。所述第一晶体管的栅极和补偿选择控制端连接以接收所述补偿选择控制信号, 所述第一晶体管的第一极和消隐输入信号端连接, 所述第一晶体管的第二极和所述上拉控制节点连接; 所述第一电容的第一极和所述上拉控制节点连接, 所述第一电容的第二极和第一电压端连接。

[0006] 例如, 在本公开一实施例提供的移位寄存器单元中, 所述消隐上拉电路包括第二晶体管 and 第三晶体管。所述第二晶体管的栅极和所述上拉控制节点连接, 所述第二晶体管的第一极和第一时钟信号端连接以接收所述第一时钟信号, 所述第二晶体管的第二极和所述第三晶体管的第一极连接; 所述第三晶体管的栅极和所述第一时钟信号端连接以接收所述第一时钟信号, 所述第三晶体管的第二极和所述上拉节点连接。

[0007] 例如, 在本公开一实施例提供的移位寄存器单元中, 所述消隐耦合电路包括第一耦合电容; 所述第一耦合电容的第一极和所述第一时钟信号端连接以接收所述第一时钟信号, 所述第一耦合电容的第二极和所述上拉控制节点连接。

[0008] 例如, 在本公开一实施例提供的移位寄存器单元中, 所述消隐耦合电路还包括第二耦合电容。所述第二耦合电容的第一极和所述第二晶体管的第二极连接, 所述第二耦合电容的第二极和所述上拉控制节点连接。

[0009] 例如,在本公开一实施例提供的移位寄存器单元中,所述显示输入电路包括第四晶体管。所述第四晶体管的栅极和显示输入信号端连接以接收所述显示输入信号,所述第四晶体管的第一极和第二电压端连接以接收第二电压,所述第四晶体管的第二极和所述上拉节点连接。

[0010] 例如,在本公开一实施例提供的移位寄存器单元中,所述输出端包括移位信号输出端和像素扫描信号输出端,所述移位信号输出端和所述像素扫描信号输出端输出所述复合输出信号,所述输出电路包括第五晶体管、第六晶体管和第二电容。所述第五晶体管的栅极和所述上拉节点连接,所述第五晶体管的第一极和第二时钟信号端连接以接收第二时钟信号并作为所述复合输出信号,所述第五晶体管的第二极和所述移位信号输出端连接;所述第六晶体管的栅极和所述上拉节点连接,所述第六晶体管的第一极和所述第二时钟信号端连接以接收所述第二时钟信号并作为所述复合输出信号,所述第六晶体管的第二极和所述像素扫描信号输出端连接;以及所述第二电容的第一极和所述上拉节点连接,所述第二电容的第二极和所述第五晶体管的第二极连接。

[0011] 例如,本公开一实施例提供的移位寄存器单元还包括第一下拉控制电路和下拉电路。所述输出端包括移位信号输出端和像素扫描信号输出端,所述移位信号输出端和所述像素扫描信号输出端输出所述复合输出信号;所述第一下拉控制电路被配置为在所述上拉节点的电平的控制下,对下拉节点的电平进行控制;所述下拉电路被配置为在所述下拉节点的电平的控制下,对所述上拉节点、所述移位信号输出端和所述像素扫描信号输出端进行下拉复位。

[0012] 例如,在本公开一实施例提供的移位寄存器单元中,所述第一下拉控制电路包括第七晶体管、第八晶体管和第九晶体管。所述第七晶体管的栅极和第一极连接且被配置为和第三电压端连接以接收第三电压,所述第七晶体管的第二极和所述下拉节点连接;所述第八晶体管的栅极和第一极连接且被配置为和第四电压端连接以接收第四电压,所述第八晶体管的第二极和所述下拉节点连接;所述第九晶体管的栅极和所述上拉节点连接,所述第九晶体管的第一极和所述下拉节点连接,所述第九晶体管的第二极和第五电压端连接以接收第五电压。

[0013] 例如,在本公开一实施例提供的移位寄存器单元中,所述下拉电路包括第十晶体管、第十一晶体管和第十二晶体管。所述第十晶体管的栅极和所述下拉节点连接,所述第十晶体管的第一极和所述上拉节点连接,所述第十晶体管的第二极和第五电压端连接以接收第五电压;所述第十一晶体管的栅极和所述下拉节点连接,所述第十一晶体管的第一极和所述移位信号输出端连接,所述第十一晶体管的第二极和所述第五电压端连接以接收所述第五电压;所述第十二晶体管的栅极和所述下拉节点连接,所述第十二晶体管的第一极和所述像素扫描信号输出端连接,所述第十二晶体管的第二极和第六电压端连接以接收第六电压。

[0014] 例如,本公开一实施例提供的移位寄存器单元还包括第二下拉控制电路和第三下拉控制电路。所述第二下拉控制电路被配置为响应于所述第一时钟信号对所述下拉节点的电平进行控制;所述第三下拉控制电路被配置为响应于所述显示输入信号对所述下拉节点的电平进行控制。

[0015] 例如,在本公开一实施例提供的移位寄存器单元中,所述第二下拉控制电路包括

第十三晶体管,所述第三下拉控制电路包括第十四晶体管。所述第十三晶体管的栅极和第一时钟信号端连接以接收所述第一时钟信号,所述第十三晶体管的第一极和所述下拉节点连接,所述第十三晶体管的第二极和第五电压端连接以接收第五电压;所述第十四晶体管的栅极和显示输入信号端连接以接收所述显示输入信号,所述第十四晶体管的第一极和所述下拉节点连接,所述第十四晶体管的第二极和所述第五电压端连接以接收所述第五电压。

[0016] 例如,在本公开一实施例提供的移位寄存器单元中,所述第二下拉控制电路包括第十三晶体管和第十七晶体管,所述第三下拉控制电路包括第十四晶体管。所述第十三晶体管的栅极和第一时钟信号端连接以接收所述第一时钟信号,所述第十三晶体管的第一极和所述下拉节点连接,所述第十三晶体管的第二极和第十七晶体管的第一极连接;所述第十七晶体管的栅极和所述上拉控制节点电连接,所述第十七晶体管的第二极和第五电压端连接以接收第五电压;所述第十四晶体管的栅极和显示输入信号端连接以接收所述显示输入信号,所述第十四晶体管的第一极和所述下拉节点连接,所述第十四晶体管的第二极和所述第五电压端连接以接收所述第五电压。

[0017] 例如,本公开一实施例提供的移位寄存器单元还包括显示复位电路和全局复位电路。所述显示复位电路被配置为响应于显示复位信号对所述上拉节点进行复位;所述全局复位电路被配置为响应于全局复位信号对所述上拉节点进行复位。

[0018] 例如,在本公开一实施例提供的移位寄存器单元中,所述显示复位电路包括第十五晶体管,所述全局复位电路包括第十六晶体管。所述第十五晶体管的栅极和显示复位信号端连接以接收所述显示复位信号,所述第十五晶体管的第一极和所述上拉节点连接,所述第十五晶体管的第二极和第五电压端连接以接收第五电压;所述第十六晶体管的栅极和全局复位信号端连接以接收所述全局复位信号,所述第十六晶体管的第一极和所述上拉节点连接,所述第十六晶体管的第二极和所述第五电压端连接以接收所述第五电压。

[0019] 本公开至少一实施例还提供一种栅极驱动电路,包括多个级联的如本公开的实施例提供的任一移位寄存器单元。

[0020] 例如,本公开一实施例提供的栅极驱动电路还包括第一子时钟信号线、第二子时钟信号线、第三子时钟信号线和第四子时钟信号线。第 $4n-3$ 级移位寄存器单元和所述第一子时钟信号线连接以接收第二时钟信号,第 $4n-2$ 级移位寄存器单元和所述第二子时钟信号线连接以接收第二时钟信号,第 $4n-1$ 级移位寄存器单元和所述第三子时钟信号线连接以接收第二时钟信号,第 $4n$ 级移位寄存器单元和所述第四子时钟信号线连接以接收第二时钟信号; n 为大于零的整数。

[0021] 例如,本公开一实施例提供的栅极驱动电路还包括第五子时钟信号线和第六子时钟信号线。每一级移位寄存器单元和所述第五子时钟信号线连接以接收补偿选择控制信号;每一级移位寄存器单元和所述第六子时钟信号线连接以接收全局复位信号。

[0022] 本公开至少一实施例还提供一种显示装置,包括如本公开的实施例提供的任一栅极驱动电路。

[0023] 本公开至少一实施例还提供一种移位寄存器单元的驱动方法,包括用于一帧的显示时段和消隐时段;在所述显示时段,使得所述消隐输入电路响应于所述补偿选择控制信号对所述上拉控制节点进行充电并保持所述上拉控制节点的电平;在所述消隐时段,使得

所述消隐上拉电路在所述上拉控制节点的电平和所述第一时钟信号的控制下,利用所述第一时钟信号对所述上拉节点进行充电,以及使得所述消隐耦合电路响应于所述第一时钟信号对所述上拉控制节点进行耦合上拉。

附图说明

[0024] 为了更清楚地说明本公开实施例的技术方案,下面将对实施例的附图作简单地介绍,显而易见地,下面描述中的附图仅仅涉及本公开的一些实施例,而非对本公开的限制。

[0025] 图1为本公开一实施例提供的一种移位寄存器单元的示意图;

[0026] 图2为本公开一实施例提供的另一种移位寄存器单元的示意图;

[0027] 图3为本公开一实施例提供的一种移位寄存器单元的电路图;

[0028] 图4为本公开一实施例提供的另一种移位寄存器单元的电路图;

[0029] 图5A和图5B为本公开实施例提供的显示输入电路的两种示例。

[0030] 图6为第二晶体管的第一极和第二电压端连接时移位寄存器单元的电路图;

[0031] 图7为本公开一实施例提供的再一种移位寄存器单元的电路图;

[0032] 图8为本公开一实施例提供的再一种移位寄存器单元的电路图;

[0033] 图9为本公开一实施例提供的再一种移位寄存器单元的电路图;

[0034] 图10为本公开一实施例提供的一种栅极驱动电路的示意图;

[0035] 图11为本公开一实施例提供的一种对应于图10所示的栅极驱动电路工作时的信号时序图;

[0036] 图12为由图6所示的移位寄存器单元形成的栅极驱动电路的信号仿真图;

[0037] 图13为由图4所示的移位寄存器单元形成的栅极驱动电路的信号仿真图;以及

[0038] 图14为本公开一实施例提供的一种显示装置的示意图。

具体实施方式

[0039] 为使本公开实施例的目的、技术方案和优点更加清楚,下面将结合本公开实施例的附图,对本公开实施例的技术方案进行清楚、完整地描述。显然,所描述的实施例是本公开的一部分实施例,而不是全部的实施例。基于所描述的本公开的实施例,本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例,都属于本公开保护的范围。

[0040] 除非另外定义,本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性,而只是用来区分不同的组成部分。同样,“一个”、“一”或者“该”等类似词语也不表示数量限制,而是表示存在至少一个。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同,而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接,而是可以包括电性的连接,不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系,当被描述对象的绝对位置改变后,则该相对位置关系也可能相应地改变。

[0041] 在对OLED显示面板中的子像素单元进行补偿时,除了在子像素单元中设置像素补偿电路进行内部补偿外,还可以通过设置感测晶体管进行外部补偿。在进行外部补偿时,由

移位寄存器单元构成的栅极驱动电路需要向显示面板中的子像素单元分别提供用于扫描晶体管和感测晶体管的驱动信号,例如,在一帧的显示时段提供用于扫描晶体管的扫描驱动信号,在一帧的消隐时段提供用于感测晶体管的感测驱动信号。

[0042] 在一种外部补偿方法中,栅极驱动电路输出的感测驱动信号是逐行顺序扫描的,例如,在第一帧的消隐时段输出用于显示面板中第一行的子像素单元的感测驱动信号,在第二帧的消隐时段输出用于显示面板中第二行的子像素单元的感测驱动信号,依次类推,以每帧输出对应一行子像素单元的感测驱动信号的频率逐行顺序输出,即完成对显示面板的逐行顺序补偿。

[0043] 但是,在采用上述逐行顺序补偿的方法时,可能会产生显示不良问题:一是在进行多帧的扫描显示过程中有一条逐行移动的扫描线;二是因为进行外部补偿的时间点的差异会造成显示面板不同区域的亮度差异比较大,例如,在对显示面板的第100行的子像素单元进行外部补偿时,显示面板的第10行的子像素单元虽然已经进行过外部补偿了,但此时第10行的子像素单元的发光亮度可能已经发生变化,例如发光亮度降低,从而会造成显示面板不同区域的亮度不均匀,在大尺寸的显示面板中这种问题会更加明显。

[0044] 另外,例如在一种移位寄存器单元中,由于晶体管可能存在阈值电压漂移,从而导致上拉控制节点可能会发生漏电或者充电不充分。例如在一帧的消隐时段中,在上拉控制节点发生漏电时,对上拉节点的充电不充分,从而可能导致该移位寄存器单元无法正常输出用于感测晶体管的感测驱动信号。

[0045] 针对上述问题,本公开的至少一实施例提供一种移位寄存器单元,该移位寄存器单元包括消隐输入电路、消隐上拉电路、消隐耦合电路、显示输入电路和输出电路。消隐输入电路被配置为响应于补偿选择控制信号对上拉控制节点进行充电并保持上拉控制节点的电平;消隐上拉电路被配置为在上拉控制节点的电平和第一时钟信号的控制下,利用第一时钟信号对上拉节点进行充电;消隐耦合电路与上拉控制节点电连接,且被配置为响应于第一时钟信号对上拉控制节点进行耦合上拉;显示输入电路被配置为响应于显示输入信号对上拉节点进行充电;输出电路被配置为在上拉节点的电平的控制下,将复合输出信号输出至输出端。本公开的实施例还提供对应于上述移位寄存器单元的栅极驱动电路、显示装置及驱动方法。

[0046] 本公开的实施例提供的移位寄存器单元、栅极驱动电路、显示装置及驱动方法,可以对上拉控制节点进行耦合上拉,从而在一帧的消隐时段中对上拉节点的充电更充分,以避免发生输出异常;同时,在兼顾逐行顺序补偿(例如在关机检测中需要进行逐行顺序补偿)的前提下,还可以实现随机补偿,从而可以避免由于逐行顺序补偿造成的扫描线以及显示亮度不均匀等显示不良问题。

[0047] 需要说明的是,在本公开的实施例中,随机补偿指的是区别于逐行顺序补偿的一种外部补偿方法,在某一帧的消隐时段可以随机输出对应于显示面板中任意一行的子像素单元的感测驱动信号,以下各实施例与此相同,不再赘述。

[0048] 另外,在本公开的实施例中,为了说明的目的,定义“一帧”、“每帧”或“某一帧”包括依次进行的显示时段和消隐时段,例如在显示时段中栅极驱动电路输出显示输出信号,该显示输出信号可以驱动显示面板从第一行到最后一行完成完整的一幅图像的扫描显示,在消隐时段中栅极驱动电路输出消隐输出信号,该消隐输出信号可以用于驱动显示面板中

的某一行子像素单元中的感测晶体管,例如进行电学参数提取(例如提取晶体管的阈值电压),然后根据该电学参数完成该行子像素单元的外部补偿。

[0049] 下面结合附图对本公开的实施例及其示例进行详细说明。

[0050] 本公开的至少一个实施例提供一种移位寄存器单元10,如图1所示,该移位寄存器单元10包括消隐输入电路110、消隐上拉电路120、消隐耦合电路130、显示输入电路200和输出电路300。消隐上拉电路120、显示输入电路200以及输出电路300通过上拉节点Q电连接。多个该移位寄存器单元10可以级联构建本公开一实施例的栅极驱动电路。

[0051] 该消隐输入电路110被配置为响应于补偿选择控制信号对上拉控制节点H进行充电并保持上拉控制节点H的电平。

[0052] 在一些实施例中,消隐输入电路110可以和消隐输入信号端STU1以及补偿选择控制端OE连接,从而可以在补偿选择控制端OE输入的补偿选择控制信号的控制下,利用消隐输入信号端STU1输入的消隐输入信号对上拉控制节点H进行充电,并保持上拉控制节点H的电平。例如,消隐输入电路110可以在一帧的显示时段对上拉控制节点H进行充电,从而将上拉控制节点H上拉至高电平,并可以将上拉控制节点H的高电平保持至该帧的消隐时段。

[0053] 例如,在多个移位寄存器单元10级联形成一栅极驱动电路时,除了第一级移位寄存器单元外,各级移位寄存器单元10的消隐输入信号端STU1可以和除了自身之外的其它级移位寄存器单元10(例如,前两级的移位寄存器单元或后三级的移位寄存器单元等)的输出端OP电连接,也可以和自身的输出端OP电连接。例如,在输出端OP包括移位信号输出端CR和像素扫描信号输出端OUT的情形下,消隐输入信号端STU1可以和移位信号输出端CR连接。

[0054] 该消隐上拉电路120被配置为在上拉控制节点H的电平和第一时钟信号的控制下,利用第一时钟信号对上拉节点Q进行充电。例如,在一些实施例中,消隐上拉电路120可以和第一时钟信号端CLKA连接以接收第一时钟信号,消隐上拉电路120还可以和上拉控制节点H连接以接收上拉控制节点H的电平的控制。例如,在上拉控制节点H和第一时钟信号均为高电平时,消隐上拉电路120可以利用高电平的第一时钟信号对上拉节点Q进行充电。例如,在一帧的消隐时段中,消隐上拉电路120对上拉节点Q进行充电。

[0055] 该消隐耦合电路130与上拉控制节点H电连接,且被配置为响应于第一时钟信号对上拉控制节点H进行耦合上拉。例如,在一些实施例中,消隐耦合电路130可以和第一时钟信号端CLKA连接以接收第一时钟信号。例如,当第一时钟信号从低电平变为高电平时,消隐耦合电路130可以通过耦合作用对上拉控制节点H进行耦合上拉,使得上拉控制节点H的电平被进一步拉高。例如,在一帧的消隐时段中,消隐耦合电路130对上拉控制节点H进行耦合上拉,可以避免上拉控制节点H发生漏电,从而使得在该帧的消隐时段中对上拉节点Q的充电更充分,以避免发生输出异常。

[0056] 该显示输入电路200被配置为响应于显示输入信号对上拉节点Q进行充电。例如,在一些实施例中,显示输入电路200可以和显示输入信号端STU2连接以接收显示输入信号,从而使得显示输入电路200在显示输入信号的控制下导通。例如,显示输入电路200还可以和第二电压端VDD连接以接收第二电压,例如该第二电压为直流高电平信号。例如,在一帧的显示时段中,显示输入电路200在显示输入信号的控制下导通,从而利用第二电压对上拉节点Q进行充电。需要说明的是,在本公开的实施例中第二电压端VDD例如可以被配置为提供直流高电平信号,以下各实施例与此相同,不再赘述。

[0057] 例如,在多个移位寄存器单元10级联形成一栅极驱动电路时,各级移位寄存器单元的显示输入信号端STU2可以和前两级移位寄存器单元的输出端OP电连接。例如,在输出端OP包括移位信号输出端CR和像素扫描信号输出端OUT的情形下,显示输入信号端STU2可以和移位信号输出端CR连接。

[0058] 需要说明的是,在本公开的实施例中,显示输入电路200还可以采用其他配置方式,只要可以实现相应的功能即可,本公开的实施例对此不作限定。

[0059] 该输出电路300被配置为在上拉节点Q的电平的控制下,将复合输出信号输出至输出端OP。例如,在一些实施例中,输出电路300可以和第二时钟信号端CLKB连接以接收第二时钟信号并作为复合输出信号。例如,复合输出信号可以包括显示输出信号和消隐输出信号,在一帧的显示时段中,输出电路300在上拉节点Q的电平的控制下将显示输出信号输出至输出端OP,例如在一些实施例中,输出端OP可以包括移位信号输出端CR和像素扫描信号输出端OUT,从移位信号输出端CR输出的显示输出信号可以用于上下级移位寄存器单元的扫描移位,而从像素扫描信号输出端OUT输出的显示输出信号可以用于驱动显示面板中的子像素单元进行扫描显示。在一帧的消隐时段中,输出电路300在上拉节点Q的电平的控制下将消隐输出信号输出至输出端OP,该消隐输出信号可以用于驱动感测晶体管。

[0060] 需要说明的是,在本公开的实施例中,在移位寄存器单元中设置消隐输入电路、消隐上拉电路以及消隐耦合电路是为了实现在一帧的消隐时段中可以输出消隐输出信号。消隐输入电路、消隐上拉电路以及消隐耦合电路中的“消隐”仅是表示这些电路和消隐时段有关,而并不限定这些电路仅工作在消隐时段中,以下各实施例与此相同,不再赘述。

[0061] 例如,在一些实施例中,可以采用多个本公开的实施例提供的移位寄存器单元10级联形成一栅极驱动电路,该栅极驱动电路可以驱动一显示面板实现逐行顺序补偿。例如,在第一帧中使得补偿选择控制信号和用于驱动第一行的子像素单元的显示输出信号相同,在第二帧中使得补偿选择控制信号和用于驱动第二行的子像素单元的显示输出信号相同,依次类推,从而完成对显示面板的逐行顺序补偿。

[0062] 例如,在另一些实施例中,可以采用多个本公开的实施例提供的移位寄存器单元10级联形成一栅极驱动电路,该栅极驱动电路可以实现随机补偿,即在某一帧中,该栅极驱动电路可以用于驱动任意一行的子像素单元中的感测晶体管,从而完成该行子像素单元的外部补偿。

[0063] 例如,在移位寄存器单元10的消隐输入信号端STU1和该移位寄存器单元10的输出端OP电连接的情形下,当需要对第五行的子像素单元进行外部补偿时,可以使得补偿选择控制信号和用于驱动第五行的子像素单元的显示输出信号相同。

[0064] 又例如,在移位寄存器单元10的消隐输入信号端STU1和前两级移位寄存器单元10的输出端OP电连接的情形下,当需要对第五行的子像素单元进行外部补偿时,可以使得补偿选择控制信号和用于驱动第三行的子像素单元的显示输出信号相同。

[0065] 又例如,在移位寄存器单元10的消隐输入信号端STU1和后三级移位寄存器单元10的输出端OP电连接的情形下,当需要对第五行的子像素单元进行外部补偿时,可以使得补偿选择控制信号和用于驱动第八行的子像素单元的显示输出信号相同。

[0066] 另外,在本公开的实施例提供的移位寄存器单元10中,通过设置消隐耦合电路130可以对上拉控制节点H进行耦合上拉,从而在一帧的消隐时段中对上拉节点Q的充电更充

分,以避免发生输出异常。

[0067] 需要说明的是,在本公开的实施例中,“前两级移位寄存器单元”表示本级移位寄存器单元往前数第二个移位寄存器单元,“后三级移位寄存器单元”表示本级移位寄存器单元往后数第三个移位寄存器单元,这里的“前”和“后”是相对的。以下各实施例与此相同,不再赘述。

[0068] 在一些实施例中,如图2所示,移位寄存器单元10还可以包括第一下拉控制电路400,第一下拉控制电路400被配置为在上拉节点Q的电平的控制下,对下拉节点QB的电平进行控制。例如,在一个示例中,第一下拉控制电路400和第三电压端VDD_A以及第五电压端VGL2连接。需要说明的是,在本公开的实施例中第五电压端VGL2例如可以被配置为提供直流低电平信号,以下各实施例与此相同,不再赘述。

[0069] 例如,当上拉节点Q处于高电平时,第一下拉控制电路400可以通过第五电压端VGL2将下拉节点QB下拉至低电平。又例如,当上拉节点Q的电位处于低电平时,第一下拉控制电路500可以利用第三电压端VDD_A输入的第三电压(例如为高电平)对下拉节点QB进行充电,以将下拉节点QB上拉至高电平。

[0070] 在另一个示例中,第一下拉控制电路400还可以和第四电压端VDD_B连接以接收第四电压(例如为高电平),例如,第三电压端VDD_A和第四电压端VDD_B可以被配置为交替输入高电平,即第三电压端VDD_A输入高电平时,第四电压端VDD_B输入低电平,而第三电压端VDD_A输入低电平时,第四电压端VDD_B输入高电平。

[0071] 在一些实施例中,如图2所示,移位寄存器单元10还可以包括下拉电路500,下拉电路500被配置为在下拉节点QB的电平的控制下,对上拉节点Q和输出端OP进行下拉复位。例如,在输出端OP包括移位信号输出端CR和像素扫描信号输出端OUT的情形下,下拉电路500可以对移位信号输出端CR和像素扫描信号输出端OUT同时进行下拉复位。

[0072] 例如,下拉电路500和第五电压端VGL2连接,下拉电路500在下拉节点QB的电平的控制下导通时,可以通过第五电压端VGL2对上拉节点Q、移位信号输出端CR以及像素扫描信号输出端OUT进行下拉,从而实现复位。需要说明的是,在本公开的实施例中的第五电压端VGL2例如可以被配置为提供直流低电平信号,即第五电压为低电平,以下各实施例与此相同,不再赘述。

[0073] 在一些实施例中,如图2所示,移位寄存器单元10还可以包括第二下拉控制电路600,第二下拉控制电路600被配置为响应于第一时钟信号对下拉节点QB的电平进行控制。例如,在一个示例中,第二下拉控制电路600可以和第一时钟信号端CLKA连接以接收第一时钟信号,同时和第五电压端VGL2连接以接收低电平的第五电压。例如,在一帧的消隐时段中,第二下拉控制电路600可以响应于第一时钟信号而导通,从而利用低电平的第五电压对下拉节点QB进行下拉。

[0074] 在一些实施例中,如图2所示,移位寄存器单元10还可以包括第三下拉控制电路700,第三下拉控制电路700被配置为响应于显示输入信号对下拉节点QB的电平进行控制。例如,第三下拉控制电路700可以和显示输入信号端STU2连接以接收显示输入信号,同时和第五电压端VGL2连接以接收低电平的第五电压。例如,在一帧的显示时段中,第三下拉控制电路700可以响应于显示输入信号而导通,从而利用低电平的第五电压对下拉节点QB进行下拉。将下拉节点QB下拉至低电位,可以避免下拉节点QB对上拉节点Q的影响,从而使得在

显示时段中对上拉节点Q的充电更充分。

[0075] 需要说明的是,关于显示输入信号端STU2可以参考上文中相应描述,这里不再赘述。

[0076] 在一些实施例中,如图2所示,移位寄存器单元10还可以包括显示复位电路800,显示复位电路800被配置为响应于显示复位信号对上拉节点Q进行复位。例如,在一个示例中,显示复位电路800可以和显示复位信号端STD连接以接收显示复位信号,同时和第五电压端VGL2连接以接收低电平的第五电压。例如,在一帧的显示时段中,显示复位电路800可以响应于显示复位信号而导通,从而可以通过第五电压端VGL2对上拉节点Q进行复位。例如,在多个移位寄存器单元10级联形成一栅极驱动电路时,各级移位寄存器单元的显示复位信号端STD可以和后三级移位寄存器单元的输出端OP(例如移位信号输出端CR)电连接。

[0077] 在一些实施例中,如图2所示,移位寄存器单元10还可以包括全局复位电路900,全局复位电路900被配置为响应于全局复位信号对上拉节点Q进行复位。例如,在一个示例中,全局复位电路900和全局复位信号端TRST连接以接收全局复位信号,同时和第五电压端VGL2连接以接收低电平的第五电压。例如,在多个移位寄存器单元10级联形成一栅极驱动电路时,在一帧的显示时段前,各级移位寄存器单元10中的全局复位电路900响应于全局复位信号而开启,通过第五电压端VGL2对上拉节点Q进行复位,从而实现对各级移位寄存器单元10的全局复位。

[0078] 需要说明的是,在本公开的实施例中,例如,第一电压端VGL1、第五电压端VGL2以及第六电压端VGL3输入的低电平信号可以相同,即可以将上述三个电压端连接到同一根信号线以接收相同的低电平信号;又例如,上述三个电压端可以分别连接到不同的信号线以分别接收不同的低电平信号。本公开的实施例对第一电压端VGL1、第五电压端VGL2以及第六电压端VGL3的设置方式不作限定。

[0079] 本领域技术人员可以理解,尽管图2中的移位寄存器单元10示出了第一下拉控制电路400、下拉电路500、第二下拉控制电路600、第三下拉控制电路700、显示复位电路800以及全局复位电路900,然而上述示例并不能限制本公开的保护范围。在实际应用中,技术人员可以根据情况选择使用或不使用上述各电路中的一个或多个,基于前述各电路的各种组合变型均不脱离本公开的原理,对此不再赘述。

[0080] 在本公开的实施例的一个示例中,图2中所示的移位寄存器单元10可以实现为图3所示的电路结构。如图3所示,该移位寄存器单元10包括:第一至第十六晶体管M1-M16、第一电容C1、第二电容C2以及第一耦合电容CST1。输出端OP包括移位信号输出端CR和像素扫描信号输出端OUT,移位信号输出端CR和像素扫描信号输出端OUT均可以输出复合输出信号。需要说明的是,在图3中所示的晶体管均以N型晶体管为例进行说明。

[0081] 如图3所示,消隐输入电路110可以实现为包括第一晶体管M1和第一电容C1。第一晶体管M1的栅极和补偿选择控制端OE连接以接收补偿选择控制信号,第一晶体管M1的第一极和消隐输入信号端STU1连接以接收消隐输入信号,第一晶体管M1的第二极和上拉控制节点H连接。例如,当补偿选择控制信号为高电平的导通信号时,第一晶体管M1导通,从而可以利用消隐输入信号对上拉控制节点H进行充电。

[0082] 第一电容C1的第一极和上拉控制节点H连接,第一电容C1的第二极和第一电压端VGL1连接。通过设置第一电容C1可以保持上拉控制节点H的电位,例如,在一帧的显示时段

中,消隐输入电路110将上拉控制节点H充电至高电位,第一电容C1可以将上拉控制节点H的高电位保持至该帧的消隐时段。需要说明的是,在本公开的实施例中,第一电容C1的第二极除了可以和第一电压端VGL1连接外,还可以与其他电压端连接,例如第一电容C1的第二极接地,本公开的实施例对此不作限定。

[0083] 如图3所示,消隐上拉电路120可以实现为包括第二晶体管M2和第三晶体管M3。第二晶体管M2的栅极和上拉控制节点H连接,第二晶体管M2的第一极和第一时钟信号端CLKA连接以接收第一时钟信号,第二晶体管M2的第二极和第三晶体管M3的第一极连接,第三晶体管M3的栅极和第一时钟信号端CLKA连接以接收第一时钟信号,第三晶体管M3的第二极和上拉节点Q连接。例如,在一帧的消隐时段中,第二晶体管M2在上拉控制节点H的控制下导通,当第一时钟信号为高电平时,第三晶体管M3在第一时钟信号的控制下导通,从而高电平的第一时钟信号可以通过第二晶体管M2和第三晶体管M3对上拉节点Q进行充电。

[0084] 如图3所示,消隐耦合电路130可以实现为第一耦合电容CST1。第一耦合电容CST1的第一极和第一时钟信号端CLKA连接以接收第一时钟信号,第一耦合电容CST1的第二极和上拉控制节点H连接。例如,当第一时钟信号从低电平变为高电平时,第一时钟信号通过第一耦合电容CST1的耦合作用可以对上拉控制节点H进行耦合上拉,使得上拉控制节点H的电平被进一步拉高。

[0085] 例如,在另一个示例中,如图4所示,消隐耦合电路130除了包括第一耦合电容CST1外,还可以包括第二耦合电容CST2。第二耦合电容CST2的第一极和第二晶体管M2的第二极连接,第二耦合电容CST2的第二极和上拉控制节点H连接。例如,当第一时钟信号从低电平变为高电平时,此时如果第二晶体管M2导通,则高电平的第一时钟信号可以通过第二晶体管M2传输至第二耦合电容CST2的第一极,使得第二耦合电容CST2的第一极的电位被拉高,通过自举作用,从而可以使得上拉控制节点H的电平被进一步拉高。

[0086] 在本公开的实施例提供的移位寄存器单元10中,通过设置消隐耦合电路130,可以对上拉控制节点H进行耦合上拉,避免上拉控制节点H发生漏电,从而使得例如在一帧的消隐时段中对上拉节点Q的充电更充分,以避免发生输出异常。

[0087] 如图3所示,显示输入电路200可以实现为第四晶体管M4,第四晶体管M4的栅极和显示输入信号端STU2连接以接收显示输入信号,第四晶体管M4的第一极和第二电压端VDD连接以接收第二电压,第四晶体管M4的第二极和上拉节点Q连接。例如,在一帧的显示时段中,第四晶体管M4在显示输入信号的控制下导通,从而利用第二电压对上拉节点Q进行充电。

[0088] 例如,在一个示例中,如图5A所示,第四晶体管M4的栅极和第一极还可以同时和显示输入信号端STU2连接,从而在显示输入信号为高电平时,利用高电平的显示输入信号对上拉节点Q进行充电。

[0089] 又例如,在一个示例中,如图5B所示,显示输入电路200除了包括第四晶体管M4外,还可以包括晶体管M4_b,晶体管M4_b的栅极以及第一极和第四晶体管M4的第二极连接,晶体管M4_b的第二极和上拉节点Q连接。由于晶体管M4_b采用二极管连接方式,所以电流只能从晶体管M4_b的第一极流向第二极,而不能从晶体管M4_b的第二极(即上拉节点Q)流向第一极,从而可以避免上拉节点Q通过第四晶体管M4发生漏电。

[0090] 如图3所示,输出电路300可以实现为包括第五晶体管M5、第六晶体管M6和第二电

容C2。第五晶体管M5的栅极和上拉节点Q连接,第五晶体管M5的第一极和第二时钟信号端CLKB连接以接收第二时钟信号作为复合输出信号,第五晶体管M5的第二极和移位信号输出端CR连接;第六晶体管M6的栅极和上拉节点Q连接,第六晶体管M6的第一极和第二时钟信号端CLKB连接以接收第二时钟信号并作为复合输出信号,第六晶体管M6的第二极和像素扫描信号输出端OUT连接;第二电容C2的第一极和上拉节点Q连接,第二电容C2的第二极和第五晶体管M5的第二极连接。例如,在上拉节点Q的电位为高电平时,第五晶体管M5和第六晶体管M6导通,从而可以将第二时钟信号作为复合输出信号输出至移位信号输出端CR和像素扫描信号输出端OUT。

[0091] 如图3所示,第一下拉控制电路400可以实现为包括第七晶体管M7、第八晶体管M8和第九晶体管M9。第七晶体管M7的栅极和第一极连接且被配置为和第三电压端VDD_A连接以接收第三电压,第七晶体管M7的第二极和下拉节点QB连接;第八晶体管M8的栅极和第一极连接且被配置为和第四电压端VDD_B连接以接收第四电压,第八晶体管M8的第二极和下拉节点QB连接;第九晶体管M9的栅极和上拉节点Q连接,第九晶体管M9的第一极和下拉节点QB连接,第九晶体管M9的第二极和第五电压端VGL2连接以接收第五电压。

[0092] 例如,第三电压端VDD_A和第四电压端VDD_B可以被配置为交替输入高电平,即第三电压端VDD_A输入高电平时,第四电压端VDD_B输入低电平,而第三电压端VDD_A输入低电平时,第四电压端VDD_B输入高电平,即第七晶体管M7和第八晶体管M8中只有一个晶体管处于导通状态,这样可以避免晶体管长期导通引起的性能漂移。当第七晶体管M7或第八晶体管M8导通时,第三电压或第四电压可以对下拉节点QB进行充电,从而将下拉节点QB上拉至高电平。当上拉节点Q的电位为高电平时,第九晶体管M9导通,例如在晶体管的设计上,可以将第九晶体管M9与第七晶体管M7(或第八晶体管M8)配置为(例如对二者的尺寸比、阈值电压等配置)在M9和M7(M8)均导通时,下拉节点QB的电平可以被下拉至低电平,该低电平可以使得第十晶体管M10、第十一晶体管M11以及第十二晶体管M12保持关闭。

[0093] 如图3所示,下拉电路500可以实现为包括第十晶体管M10、第十一晶体管M11和第十二晶体管M12。第十晶体管M10的栅极和下拉节点QB连接,第十晶体管M10的第一极和上拉节点Q连接,第十晶体管M10的第二极和第五电压端VGL2连接以接收第五电压;第十一晶体管M11的栅极和下拉节点QB连接,第十一晶体管M11的第一极和移位信号输出端CR连接,第十一晶体管M11的第二极和第五电压端VGL2连接以接收第五电压;第十二晶体管M12的栅极和下拉节点QB连接,第十二晶体管M12的第一极和像素扫描信号输出端OUT连接,第十二晶体管M12的第二极和第六电压端VGL3连接以接收第六电压。需要说明的是,在本公开的实施例中的第六电压端VGL3例如可以被配置为提供直流低电平信号,即第六电压为低电平,以下各实施例与此相同,不再赘述。

[0094] 例如,当下拉节点QB的电位为高电平时,第十晶体管M10、第十一晶体管M11以及第十二晶体管M12导通,从而可以利用第五电压和第六电压对上拉节点Q、移位信号输出端CR以及像素扫描信号输出端OUT进行下拉,以降低噪声。

[0095] 如图3所示,第二下拉控制电路600可以实现为第十三晶体管M13。第十三晶体管M13的栅极和第一时钟信号端CLKA连接以接收第一时钟信号,第十三晶体管M13的第一极和下拉节点QB连接,第十三晶体管M13的第二极和第五电压端VGL2连接以接收第五电压。例如,在一帧的消隐时段中,当第一时钟信号为高电平时,第十三晶体管M13导通,从而可以利

用低电平的第五电压对下拉节点QB进行下拉。

[0096] 例如,在另一个示例中,如图4所示,第二下拉控制电路600还可以包括第十七晶体管M17。第十七晶体管M17的栅极和上拉控制节点H电连接,第十七晶体管M17的第一极和第十三晶体管M13的第二极连接,第十七晶体管M17的第二极和第五电压端VGL2连接以接收第五电压。

[0097] 例如,在一帧的消隐时段,当第一时钟信号和上拉控制节点H均为高电平时,第十三晶体管M13和第十七晶体管M17均导通,使下拉节点QB与第五电压端VGL2电连接,从而将下拉节点QB下拉为低电平。

[0098] 例如,可以采用多个图4所示的移位寄存器单元10级联形成一栅极驱动电路,该栅极驱动电路可以实现随机补偿。例如,在某一帧的消隐时段中,需要对第五行的子像素单元进行外部补偿,则对应第五行的移位寄存器单元10中的上拉控制节点H为高电平(在时钟信号有交叠的情形下,对应第六行的移位寄存器单元10中的上拉控制节点H也为高电平),从而使得该移位寄存器单元10中的下拉节点QB被拉低,这样不会影响该移位寄存器单元10的输出;而对应其它行的移位寄存器单元10中的上拉控制节点H为低电平,从而使得该移位寄存器单元10中的下拉节点QB不会被拉低,以避免其他行的移位寄存器单元10的移位信号输出端CR和像素扫描信号输出端OUT处于浮置状态,从而减小移位信号输出端CR和像素扫描信号输出端OUT的噪声。

[0099] 如图3所示,第三下拉控制电路700可以实现为第十四晶体管M14。第十四晶体管M14的栅极和显示输入信号端STU2连接以接收显示输入信号,第十四晶体管M14的第一极和下拉节点QB连接,第十四晶体管M14的第二极和第五电压端VGL2连接以接收第五电压。例如,在一帧的显示时段中,第十四晶体管M14可以响应于显示输入信号而导通,从而利用低电平的第五电压对下拉节点QB进行下拉。将下拉节点QB下拉至低电位,可以避免下拉节点QB对上拉节点Q的影响,从而使得在显示时段中对上拉节点Q的充电更充分。

[0100] 例如,在多个移位寄存器单元10级联形成一栅极驱动电路时,各级移位寄存器单元的显示输入信号端STU2可以和前两级移位寄存器单元的移位信号输出端CR电连接。即,显示输入信号可以为前两级移位寄存器单元的移位信号输出端CR输出的信号。

[0101] 如图3所示,显示复位电路800可以实现为第十五晶体管M15。第十五晶体管M15的栅极和显示复位信号端STD连接以接收显示复位信号,第十五晶体管M15的第一极和上拉节点Q连接,第十五晶体管M15的第二极和第五电压端VGL2连接以接收第五电压。例如,在一帧的显示时段中,第十五晶体管M15可以响应于显示复位信号而导通,从而可以利用低电平的第五电压对上拉节点Q进行复位。例如,在多个移位寄存器单元10级联形成一栅极驱动电路时,各级移位寄存器单元的显示复位信号端STD可以和后三级移位寄存器单元的移位信号输出端CR电连接,即显示复位信号可以为后三级移位寄存器单元的移位信号输出端CR输出的信号。

[0102] 如图3所示,全局复位电路900可以实现为第十六晶体管M16。第十六晶体管M16的栅极和全局复位信号端TRST连接以接收全局复位信号,第十六晶体管M16的第一极和上拉节点Q连接,第十六晶体管M16的第二极和第五电压端VGL2连接以接收第五电压。例如,在多个移位寄存器单元10级联形成一栅极驱动电路时,在一帧的显示时段前,各级移位寄存器单元10中的第十六晶体管M16响应于全局复位信号而导通,通过低电平的第五电压对上拉

节点Q进行复位,从而实现对各级移位寄存器单元10的全局复位。

[0103] 如图7所示,本公开的另一个实施例还提供一种移位寄存器单元10,图7中所示的移位寄存器单元10和图4中所示的移位寄存器单元10相比,输出电路300还包括第十八晶体管M18和第三电容C3,相应地,下拉电路500还包括第十九晶体管M19。

[0104] 如图7所示,第十八晶体管M18的栅极和上拉节点Q连接,第十八晶体管M18的第一极和第三时钟信号端CLKC连接以接收第三时钟信号,第十八晶体管M18的第二极和另一个像素扫描信号输出端OUT2连接。第三电容C3的第一极和上拉节点Q连接,第三电容C3的第二极和第十八晶体管M18的第二极连接。例如,当上拉节点Q的电位为高电平时,第十八晶体管M18导通,从而将第三时钟信号输出至像素扫描信号输出端OUT2。例如,在一个示例中,第三时钟信号端CLKC输入的第三时钟信号可以配置为和第二时钟信号端CLKB输入的第二时钟信号相同;又例如,在另一个示例中,第三时钟信号可以与第二时钟信号不同,从而使得像素扫描信号输出端OUT和OUT2分别可以输出不同的信号,以提高驱动能力以及增加输出信号的多样性。

[0105] 需要说明的是,在图7所示的实施例中,通过设置第三电容C3可以提高上拉节点Q的电平的保持能力,当然,也可以不设置第三电容C3,本公开的实施例对此不作限定。

[0106] 如图7所示,第十九晶体管M19的栅极和下拉节点QB连接,第十九晶体管M19的第一极和像素扫描信号输出端OUT2连接,第十九晶体管M19的第二极和第六电压端VGL3连接。例如,当下拉节点QB的电位为高电平时,第十九晶体管M19导通,从而可以利用低电平的第六电压对像素扫描信号输出端OUT2进行下拉复位。需要说明的是,第十九晶体管M19的第二极还可以配置为和其它信号端连接,只要可以实现对像素扫描信号输出端OUT2下拉复位即可,本公开的实施例对此不作限定。

[0107] 尽管以上仅示出了移位寄存器单元包括两个、三个输出端的示例,本领域技术人员可以理解,根据本公开的描述,可以根据实际情况设置更多个输出端,上述示例不应构成对本公开保护范围的限制。

[0108] 如前所述,在本公开的实施例提供的移位寄存器单元10中,可以利用第一电容C1维持上拉控制节点H处的电位,利用第二电容C2维持上拉节点Q处的电位。第一电容C1和/或第二电容C2可以通过工艺制程制作的电容器件,例如通过制作专门的电容电极来实现电容器件,该电容的各个电极可以通过金属层、半导体层(例如掺杂多晶硅)等实现,或者在一些示例中,通过设计电路布线参数使得第一电容C1和/或第二电容C2也可以通过各个器件之间的寄生电容实现。第一电容C1和/或第二电容C2的连接方式不局限于上面描述的方式,也可以为其他适用的连接方式,只要能存储写入到上拉控制节点H或上拉节点Q的电平即可。

[0109] 当上拉节点Q和/或上拉控制节点H的电位维持在高电平时,存在一些晶体管(例如第一晶体管M1、第三晶体管M3、第十晶体管M10、第十五晶体管M15以及第十六晶体管M16)的第一极连接上拉节点Q或上拉控制节点H,而第二极连接低电平信号。即使当这些晶体管的栅极输入的是非导通信号的情况下,由于其第一极和第二极之间存在电压差,也可能出现漏电的情况,从而使得移位寄存器单元10中对于上拉节点Q和/或上拉控制节点H的电位维持的效果变差。

[0110] 例如,如图4所示,以上拉控制节点H为例,第一晶体管M1的第一极和消隐输入信号

端STU1连接,第二极和上拉控制节点H连接。当上拉控制节点H处于高电平,而消隐输入信号端STU1输入的信号为低电平时,上拉控制节点H可能会通过第一晶体管M1漏电。

[0111] 针对上述问题,如图8所示,本公开的另一个实施例提供了一种具有防漏电结构的移位寄存器单元10。该移位寄存器单元10与图4中的移位寄存器单元10的区别在于增加了第一防漏电晶体管M1_b、第三防漏电晶体管M3_b、第十防漏电晶体管M10_b、第十五防漏电晶体管M15_b、第十六防漏电晶体管M16_b、第二十晶体管M20以及第二十一晶体管M21。下面以第一防漏电晶体管M1_b为例对防漏电的工作原理进行说明。

[0112] 第一防漏电晶体管M1_b的栅极和第一晶体管M1的栅极连接,第一防漏电晶体管M1_b的第一极和第二十晶体管M20的第二极连接,第一防漏电晶体管M1_b的第二极和上拉控制节点H连接。第二十晶体管M20的栅极和上拉控制节点H连接,第二十晶体管M20的第一极和第七电压端VB连接以接收高电平的第七电压。当上拉控制节点H处于高电平时,第二十晶体管M20在上拉控制节点H的电平的控制下导通,从而可以将第七电压端VB输入的高电平输入到第一防漏电晶体管M1_b的第一极,使得第一防漏电晶体管M1_b的第一极和第二极都处于高电平,从而可以防止上拉控制节点H处的电荷通过第一防漏电晶体管M1_b漏电。此时,由于第一防漏电晶体管M1_b的栅极和第一晶体管M1的栅极连接,所以第一晶体管M1和第一防漏电晶体管M1_b的结合可以实现与前述第一晶体管M1相同的效果,同时还具有防漏电的效果。

[0113] 类似地,第三防漏电晶体管M3_b、第十防漏电晶体管M10_b、第十五防漏电晶体管M15_b以及第十六防漏电晶体管M16_b可以分别结合第二十一晶体管M21实现防漏电结构,从而可以防止上拉节点Q发生漏电。防止上拉节点Q发生漏电的工作原理和上述防止上拉控制节点H发生漏电的工作原理相同,这里不再赘述。

[0114] 如图9所示,本公开的另一个实施例还提供一种移位寄存器单元10,图9中所示的移位寄存器单元10和图8中所示的移位寄存器单元10相比,增加了第二下拉节点QB2;为了和第二下拉节点QB2配合工作,相应地增加了晶体管M22、M22_b、M9_b、M13_b、M17_b、M14_b、M11_b、M12_b以及M19_b。需要说明的是,第八晶体管M8的第二极不再和下拉节点QB连接,而是和第二下拉节点QB2连接;晶体管M22_b是为了防止上拉节点Q发生漏电而设置的防漏电晶体管。

[0115] 在图9所示的移位寄存器单元中,晶体管M22、M22_b以及M9_b分别和晶体管M10、M10_b以及M9的工作原理类似;晶体管M13_b、M17_b以及M14_b分别和晶体管M13、M17以及M14_b的工作原理类似;晶体管M11_b、M12_b以及M19_b分别和晶体管M11、M12以及M19的工作原理类似,这里不再赘述。

[0116] 在本公开的实施例提供的移位寄存器单元10中,通过设置第二下拉节点QB2以及相应的晶体管,可以进一步提高该移位寄存器单元10的性能。例如,在对上拉节点Q进行充电时,可以使得下拉节点Q和第二下拉节点QB更好地处于低电平,从而不会影响到上拉节点Q,使得上拉节点Q的充电更充分。又例如,在移位寄存器单元10不需要输出时,可以进一步降低上拉节点Q和输出端(CR、OUT、OUT2)的噪声,避免发生输出异常。

[0117] 需要说明的是,本公开的实施例中采用的晶体管均可以为薄膜晶体管或场效应晶体管或其他特性相同的开关器件,本公开的实施例中均以薄膜晶体管为例进行说明。这里采用的晶体管的源极、漏极在结构上可以是对称的,所以其源极、漏极在结构上可以是没有

区别的。在本公开的实施例中,为了区分晶体管除栅极之外的两极,直接描述了其中一极为第一极,另一极为第二极。此外,按照晶体管的特性区分可以将晶体管分为N型和P型晶体管。当晶体管为P型晶体管时,开启电压为低电平电压(例如,0V、-5V、-10V或其他合适的电压),关闭电压为高电平电压(例如,5V、10V或其他合适的电压);当晶体管为N型晶体管时,开启电压为高电平电压(例如,5V、10V或其他合适的电压),关闭电压为低电平电压(例如,0V、-5V、-10V或其他合适的电压)。

[0118] 另外,需要说明的是,本公开的实施例中提供的移位寄存器单元10中采用的晶体管均是以N型晶体管为例进行说明的,本公开的实施例包括但不限于此,例如移位寄存器单元10中的至少部分晶体管也可以采用P型晶体管。

[0119] 本公开的一个实施例提供一种栅极驱动电路20,如图10所示,该栅极驱动电路20包括多个级联的移位寄存器单元10,其中任意一个或多个移位寄存器单元10可以采用本公开的实施例提供的移位寄存器单元10的结构或其变型。需要说明的是,图10中仅示意性的示出了栅极驱动电路20的前四级移位寄存器单元(A1、A2、A3和A4),本公开的实施例包括但不限于此。

[0120] 如图10所示,栅极驱动电路20还包括第一子时钟信号线CLK_1、第二子时钟信号线CLK_2、第三子时钟信号线CLK_3和第四子时钟信号线CLK_4。第 $4n-3$ 级移位寄存器单元和第一子时钟信号线CLK_1连接以接收第二时钟信号,例如,通过第二时钟信号端CLKB和第一子时钟信号线CLK_1连接;第 $4n-2$ 级移位寄存器单元和第二子时钟信号线CLK_2连接以接收第二时钟信号,例如,通过第二时钟信号端CLKB和第二子时钟信号线CLK_2连接;第 $4n-1$ 级移位寄存器单元和第三子时钟信号线CLK_3连接以接收第二时钟信号,例如,通过第二时钟信号端CLKB和第三子时钟信号线CLK_3连接;第 $4n$ 级移位寄存器单元和第四子时钟信号线CLK_4连接以接收第二时钟信号,例如,通过第二时钟信号端CLKB和第四子时钟信号线CLK_4连接; n 为大于零的整数。

[0121] 如上所述,本公开的实施例提供的栅极驱动电路可以采用4CLK的时钟信号,这样可以使得该栅极驱动电路中相邻的移位寄存器单元输出的信号波形有交叠,例如可以增加预充电时间。本公开的实施例对采用的时钟信号的类型不作限定,例如还可以采用6CLK、8CLK等的时钟信号。

[0122] 如图10所示,栅极驱动电路20还可以包括第八子时钟信号线CLK_8、第九子时钟信号线CLK_9、第十子时钟信号线CLK_10和第十一子时钟信号线CLK_11。在移位寄存器单元10和第三时钟信号端CLKC连接的情形下,第 $4n-3$ 级移位寄存器单元和第八子时钟信号线CLK_8连接以接收第三时钟信号,例如,通过第三时钟信号端CLKC和第八子时钟信号线CLK_8连接;第 $4n-2$ 级移位寄存器单元和第九子时钟信号线CLK_9连接以接收第三时钟信号,例如,通过第三时钟信号端CLKC和第九子时钟信号线CLK_9连接;第 $4n-1$ 级移位寄存器单元和第十子时钟信号线CLK_10连接以接收第三时钟信号,例如,通过第三时钟信号端CLKC和第十子时钟信号线CLK_10连接;第 $4n$ 级移位寄存器单元和第十一子时钟信号线CLK_11连接以接收第三时钟信号,例如,通过第三时钟信号端CLKC和第十一子时钟信号线CLK_11连接; n 为大于零的整数。

[0123] 如图10所示,栅极驱动电路20还可以包括第五子时钟信号线CLK_5、第六子时钟信号线CLK_6和第七子时钟信号线CLK_7。在移位寄存器单元10和补偿选择控制端OE、全局复

位信号端TRST以及第一时钟信号端CLKA连接的情形下,每一级移位寄存器单元和第五子时钟信号线CLK_5连接以接收补偿选择控制信号,例如,通过补偿选择控制端OE和第五子时钟信号线CLK_5连接;每一级移位寄存器单元和第六子时钟信号线CLK_6连接以接收全局复位信号,例如,通过全局复位信号端TRST和第六子时钟信号线CLK_6连接;每一级移位寄存器单元和第七子时钟信号线CLK_7连接以接收第一时钟信号,例如,通过第一时钟信号端CLKA和第七子时钟信号端CLK_7连接。

[0124] 如图10所示,各级移位寄存器单元的显示输入信号端STU2和前两级移位寄存器单元的移位信号输出端CR连接,各级移位寄存器单元的消隐输入信号端STU1和本级移位寄存器单元的移位信号输出端CR连接,各级移位寄存器单元的显示复位信号端STD和后三级移位寄存器单元的移位信号输出端CR连接。

[0125] 需要说明的是,图10中所示的级联关系仅是一种示例,根据本公开的描述,还可以根据实际情况采用其它级联方式。例如,各级移位寄存器单元的消隐输入信号端STU1还可以和前两级或后三级移位寄存器单元的移位信号输出端CR连接。

[0126] 图11示出了图10所示的栅极驱动电路20工作时的信号时序图。在图11中,H<5>和H<6>分别表示栅极驱动电路20中第五级和第六级移位寄存器单元中的上拉控制节点H,Q<1>、Q<5>和Q<6>分别表示栅极驱动电路20中第一级、第五级和第六级移位寄存器单元中的上拉节点Q。OUT<1>(CR<1>)、OUT<5>(CR<5>)和OUT<6>(CR<6>)分别表示栅极驱动电路20中的第一级、第五级以及第六级移位寄存器单元中的像素扫描信号输出端OUT(移位信号输出端CR),OUT2<5>和OUT2<6>分别表示栅极驱动电路20中的第五级和第六级移位寄存器单元中的像素扫描信号输出端OUT2。1F表示第一帧,DS表示第一帧中的显示时段,BL表示第一帧中的消隐时段。需要说明的是,图11中的STU2表示第一级移位寄存器单元中的显示输入信号端。

[0127] 另外,需要说明的是,在图11中是以第三电压端VDD_A输入低电平而第四电压端VDD_B输入高电平为例进行示意的,但本公开的实施例不限于此。图11所示的信号时序图中的信号电平只是示意性的,不代表真实电平值。

[0128] 下面结合图11中的信号时序图,对图10中所示的栅极驱动电路20的工作原理进行说明,例如,图10中所示的栅极驱动电路20中的移位寄存器单元可以采用图7中所示的移位寄存器单元。

[0129] 在第一帧1F开始前,第五子时钟信号线CLK_5和第六子时钟信号线CLK_6提供高电平,由于每一级移位寄存器单元的补偿选择控制端OE均和第五子时钟信号线CLK_5连接,所以使得每一级移位寄存器单元中的第一晶体管M1导通,由于此时消隐输入信号端STU1接入的为低电平,从而可以对每一级移位寄存器单元中的上拉控制节点H进行复位;由于每一级移位寄存器单元的全局复位信号端TRST均和第六子时钟信号线CLK_6连接,所以使得每一级移位寄存器单元中的第十六晶体管M16导通,从而可以对每一级移位寄存器单元中的上拉节点Q进行复位。

[0130] 由于第四电压端VDD_B输入高电平,第八晶体管M8导通,使得下拉节点QB被充电至高电平。下拉节点QB的高电平使得第十晶体管M10导通,从而将上拉节点Q下拉至低电平。

[0131] 在第一帧1F的显示时段DS中,对第一级的移位寄存器单元的工作过程描述如下。

[0132] 在第一阶段1中,第一级移位寄存器单元的显示输入信号端STU2输入高电平,第四

晶体管M4导通,所以第二电压端VDD输入的高电平可以通过第四晶体管M4对上拉节点Q<1>进行充电,使得上拉节点Q<1>被上拉至高电平并被第二电容C2保持。第五晶体管M5和第六晶体管M6在上拉节点Q<1>的控制下导通,但由于第二时钟信号端CLKB(与第一子时钟信号线CLK1连接)在此阶段输入低电平信号,所以移位信号输出端CR<1>和像素扫描信号输出端OUT<1>均输出低电平信号。在此阶段,完成对上拉节点Q<1>的预充电。

[0133] 在第二阶段2中,第二时钟信号端CLKB输入高电平信号,上拉节点Q<1>的电位由于自举效应而进一步被拉高,所以第五晶体管M5和第六晶体管M6保持导通,从而移位信号输出端CR<1>和像素扫描信号输出端OUT<1>均输出高电平信号。例如,从移位信号输出端CR<1>输出的高电平信号可以用于上下级移位寄存器单元的扫描移位,而从像素扫描信号输出端OUT<1>输出的高电平信号可以用于驱动显示面板中的子像素单元进行显示。

[0134] 在第三阶段3中,第二时钟信号端CLKB输入低电平信号,由于此时上拉节点Q<1>保持高电平,所以第五晶体管M5和第六晶体管M6保持导通,从而移位信号输出端CR<1>和像素扫描信号输出端OUT<1>均输出低电平信号。由于第二电容C2的自举作用,所以上拉节点Q<1>的电位也会下降。

[0135] 在第四阶段4中,由于第一级移位寄存器单元的显示复位信号端STD和第四级移位寄存器单元的移位信号输出端连接,此时第四级移位寄存器单元的移位信号输出端输出高电平,所以第一级移位寄存器单元的显示复位信号端STD输入高电平,第十五晶体管M15导通,上拉节点Q<1>被下拉至低电平,完成对上拉节点Q<1>的复位。由于上拉节点Q<1>为低电平,第九晶体管M9关闭,同时第四电压端VDD_B输入的高电平可以对下拉节点QB进行充电,下拉节点QB被充电至高电平,所以第十晶体管M10导通,以进一步对上拉节点Q<1>进行复位。同时第十一晶体管M11和第十二晶体管M12也导通,从而可以对移位信号输出端CR<1>和像素扫描信号输出端OUT<1>进一步下拉复位。

[0136] 第一级移位寄存器单元驱动显示面板中第一行的子像素完成显示后,依次类推,第二级、第三级等移位寄存器单元逐行驱动显示面板中的子像素单元完成一帧的显示驱动。至此,第一帧的显示时段结束。

[0137] 同时,在第一帧1F的显示时段DS中还对上拉控制节点H进行充电,例如,当第一帧1F中需要对第五行子像素单元进行补偿时,则在第一帧1F的显示时段DS中还进行如下操作。

[0138] 在第五阶段5中,第五级移位寄存器单元的移位信号输出端CR<5>输出高电平,由于第五级移位寄存器单元的消隐输入信号端STU1和移位信号输出端CR<5>连接,所以消隐输入信号端STU1接收高电平信号。同时使得第五子时钟信号线CLK_5提供和移位信号输出端CR<5>相同的信号,即第五级移位寄存器单元的补偿选择控制端OE输入高电平,第一晶体管M1导通,消隐输入信号端STU1输入的高电平对上拉控制节点H<5>进行充电,从而将上拉控制节点H<5>的电位上拉至高电平。由于该栅极驱动电路输出波形有交叠,所以当第五子时钟信号线CLK_5提供高电平时,第六级移位寄存器单元的上拉控制节点H<6>也会被上拉至高电平。

[0139] 第五级移位寄存器单元的上拉控制节点H<5>的高电位可以一直保持到第一帧1F的消隐时段BL中。当第一帧1F中需要对第五行子像素单元进行补偿时,则在第一帧1F的消隐时段BL中进行如下操作。

[0140] 在第六阶段6中,第七子时钟信号线CLK_7提供高电平,由于第五级(第六级)移位

寄存器单元的第一时钟信号端CLKA和第七子时钟信号线CLK_7连接,所以在此阶段第一时钟信号为高电平,所以第五级(第六级)移位寄存器单元中的第三晶体管M3导通,从而高电平的第一时钟信号可以对第五级(第六级)移位寄存器单元的上拉节点Q<5>(Q<6>)进行充电,以将上拉节点Q<5>(Q<6>)上拉至高电平。

[0141] 同时,在第六阶段6中,由于第一时钟信号从低电平变为高电平,可以通过第一耦合电容CST1的耦合作用以及第二耦合电容CST2的自举作用,使得上拉控制节点H<5>以及上拉控制节点H<6>的电平被进一步拉高。

[0142] 在第七阶段7中,第二时钟信号端CLKB(与第一子时钟信号线CLK_1连接)输入高电平信号,上拉节点Q<5>的电位由于自举作用而进一步被拉高,第五级移位寄存器单元中的第五晶体管M5和第六晶体管M6导通,第二时钟信号端CLKB输入的高电平信号可以输出至移位信号输出端CR<5>和像素扫描信号输出端OUT<5>。例如,像素扫描信号输出端OUT<5>输出的信号可以用于驱动显示面板中的子像素单元中的感测晶体管,以实现外部补偿。同时第三时钟信号端CLKC输入的信号可以输出至像素扫描信号输出端OUT2<5>,如图11所示,OUT2<5>的信号可以和OUT<5>不同,从而可以提高栅极驱动电路的驱动能力,从而满足更多样化的需求。

[0143] 在第八阶段8中,第二时钟信号端CLKB(与第一子时钟信号线CLK_1连接)输入的信号从高电平变为低电平,上拉节点Q<5>的电位由于自举作用而被下拉。

[0144] 在第九阶段9中,第五子时钟信号线CLK_5和第六子时钟信号线CLK_6提供高电平,由于每一级移位寄存器单元的补偿选择控制端OE均和第五子时钟信号线CLK_5连接,每一级移位寄存器单元的全局复位信号端TRST均和第六子时钟信号线CLK_6连接,所以可以对每一级移位寄存器单元中的上拉控制节点H以及上拉节点Q进行复位,从而上拉控制节点H<5>、H<6>以及上拉节点Q<5>、Q<6>完成复位。

[0145] 至此,第一帧的驱动时序结束。后续在第二帧、第三帧等更多阶段中对栅极驱动电路的驱动可以参考上述描述,这里不再赘述。

[0146] 需要说明是,在上述对随机补偿的工作原理进行描述时,是以第一帧的消隐时段输出对应于显示面板的第五行子像素单元的驱动信号为例进行说明的,本公开对此不作限定。例如,当在某一帧的消隐时段中需要输出对应于显示面板的第n行子像素单元的驱动信号时,则需要控制使得提供至补偿选择控制端OE的信号和第n级移位寄存器单元的消隐输入信号端STU1的信号时序相同,n为大于零的整数。这里需要说明的是,两个信号时序相同指的是位于高电平的时间同步,而不要求两个信号的幅值相同。

[0147] 下面结合图12和图13所示的信号仿真图对本公开的实施例提供的栅极驱动电路20进行进一步说明。例如,为了进行对比,将图4所示的移位寄存器单元10中的第二晶体管M2的第一极和第二电压端VDD连接,从而得到图6所示的移位寄存器单元,图12为由多个如图6所示的移位寄存器单元级联形成的栅极驱动电路的信号仿真图;图13为由多个如图4所示的移位寄存器单元级联形成的栅极驱动电路的信号仿真图。需要说明的是,图12和图13所示的信号仿真图是在对第五行子像素单元进行补偿的情形下第五级移位寄存器单元的信号仿真图;图12和图13均是从一帧的消隐时段开始,然后持续到下一帧的显示阶段。

[0148] 如图12所示,当第二晶体管M2的第一极和第二电压端VDD连接时,由于没有第一时钟信号的耦合上拉作用,所以上拉控制节点H<5>的电位为12V,相应的上拉节点Q<5>完成充

电后的电位为2.2V,在这种情形下,像素扫描信号输出端OUT<5>输出的电位为-8.2V,会发生输出异常。

[0149] 而如图13所示,当第二晶体管M2的第一极和第一时钟信号端CLKA连接时,通过消隐耦合电路130的耦合上拉作用,可以使得上拉控制节点H<5>的电位被上拉至23V,从而使得上拉节点Q<5>的充电更充分,如图13所示,上拉节点Q<5>完成充电后的电位为11V,在这种情形下,像素扫描信号输出端OUT<5>输出的电位为24V,没有发生输出异常。

[0150] 如上所述,通过设置消隐耦合电路130对上拉控制节点H进行耦合上拉,可以避免上拉控制节点H发生漏电,从而在一帧的消隐时段中对上拉节点Q的充电更充分,以避免发生输出异常。

[0151] 本公开的实施例还提供一种显示装置1,如图14所示,该显示装置1包括本公开实施例提供的栅极驱动电路20。该显示装置1还包括显示面板40,显示面板40包括由多个子像素单元410构成的阵列。例如,该显示装置1还可以包括数据驱动电路30。数据驱动电路30用于提供数据信号至像素阵列;栅极驱动电路20用于提供驱动信号至像素阵列,例如该驱动信号可以驱动子像素单元410中的扫描晶体管和感测晶体管。数据驱动电路30通过数据线DL与子像素单元410电连接,栅极驱动电路20通过栅线GL与子像素单元410电连接。

[0152] 需要说明的是,本实施例中的显示装置1可以为:液晶面板、液晶电视、显示器、OLED面板、OLED电视、电子纸显示装置、手机、平板电脑、笔记本电脑、数码相机、导航仪等任何具有显示功能的产品或部件。

[0153] 本公开的实施例提供的显示装置1的技术效果可以参考上述实施例中关于栅极驱动电路20的相应描述,这里不再赘述。

[0154] 本公开的实施例还提供一种驱动方法,可以用于驱动本公开的实施例提供的移位寄存器单元10,多个该移位寄存器单元10可以级联构建本公开一实施例的栅极驱动电路,该栅极驱动电路用于驱动显示面板显示至少一帧画面。该驱动方法包括用于一帧的显示时段和消隐时段。在一帧的显示时段,使得消隐输入电路110响应于补偿选择控制信号对上拉控制节点H进行充电并保持上拉控制节点H的电平;在一帧的消隐时段,使得消隐上拉电路120在上拉控制节点H的电平和第一时钟信号的控制下,利用第一时钟信号对上拉节点Q进行充电;而且,在一帧的消隐时段,使得消隐耦合电路130响应于第一时钟信号对上拉控制节点H进行耦合上拉。

[0155] 需要说明的是,关于本公开的实施例提供的驱动方法的详细描述和技术效果可以参考本公开的实施例中对于移位寄存器单元10和栅极驱动电路20的工作原理的描述,这里不再赘述。

[0156] 以上,仅为本公开的具体实施方式,但本公开的保护范围并不局限于此,本公开的保护范围应以权利要求的保护范围为准。

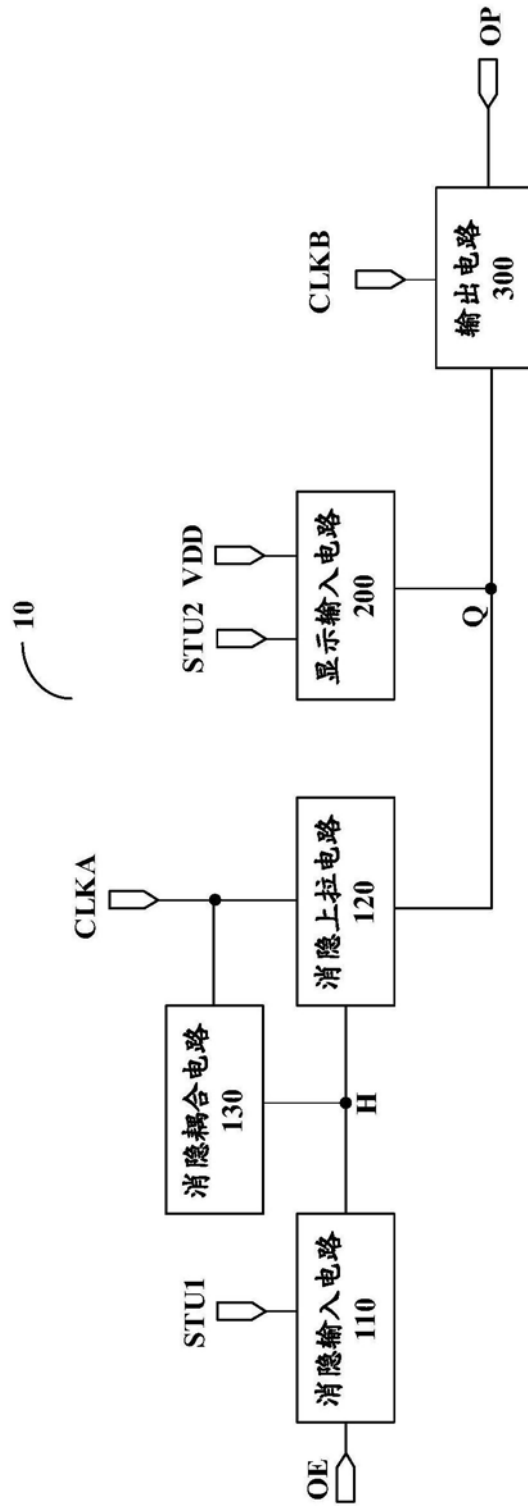


图1

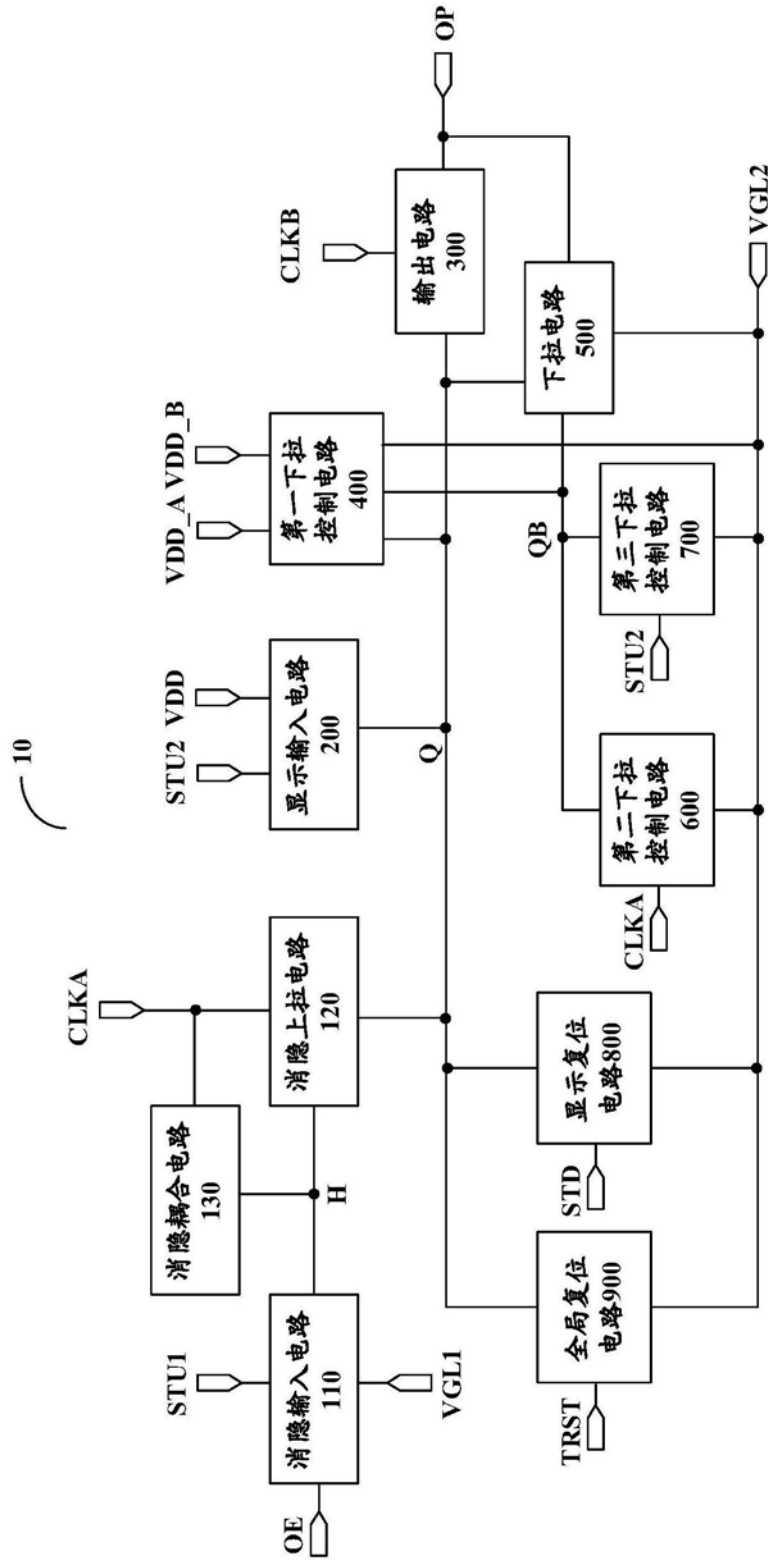
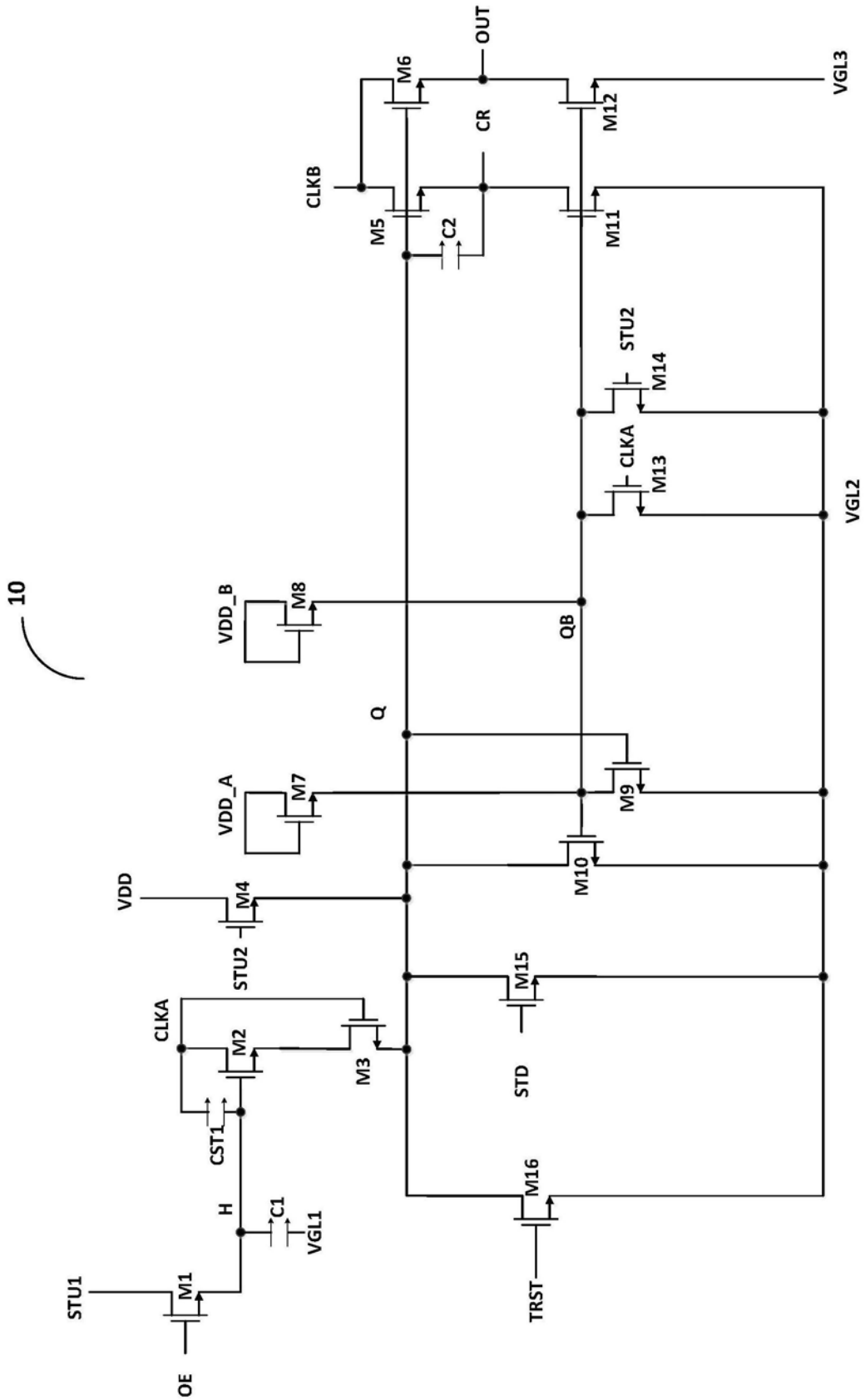


图2



10

图3

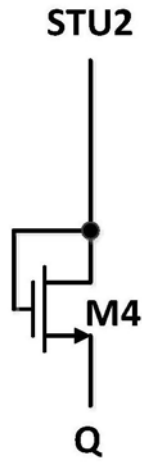


图5A

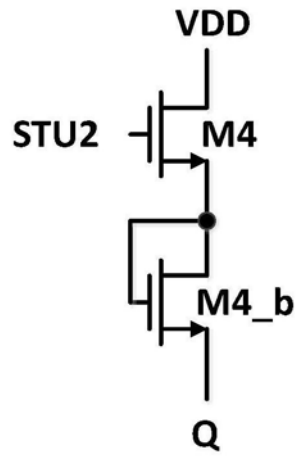
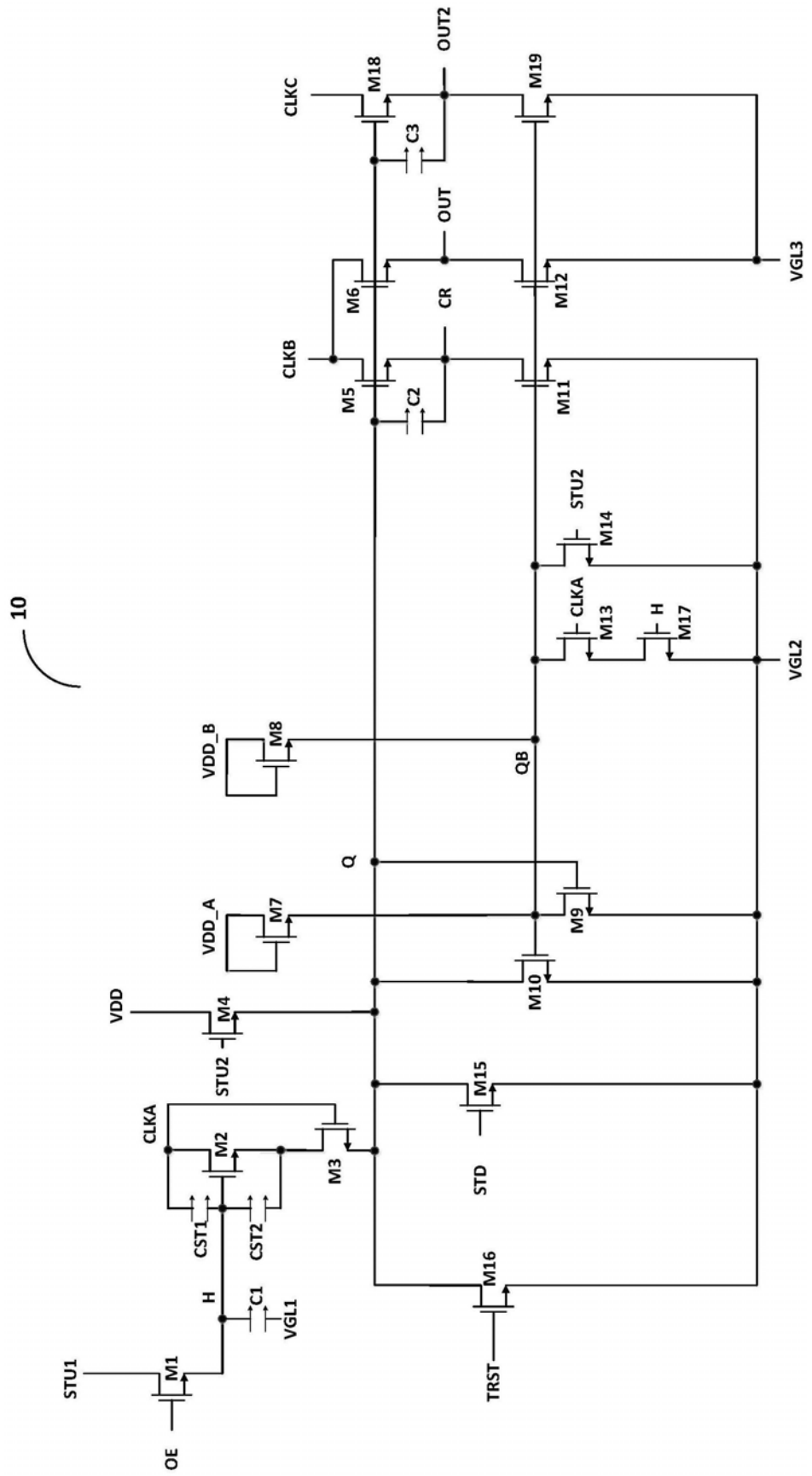


图5B



10

图7

10

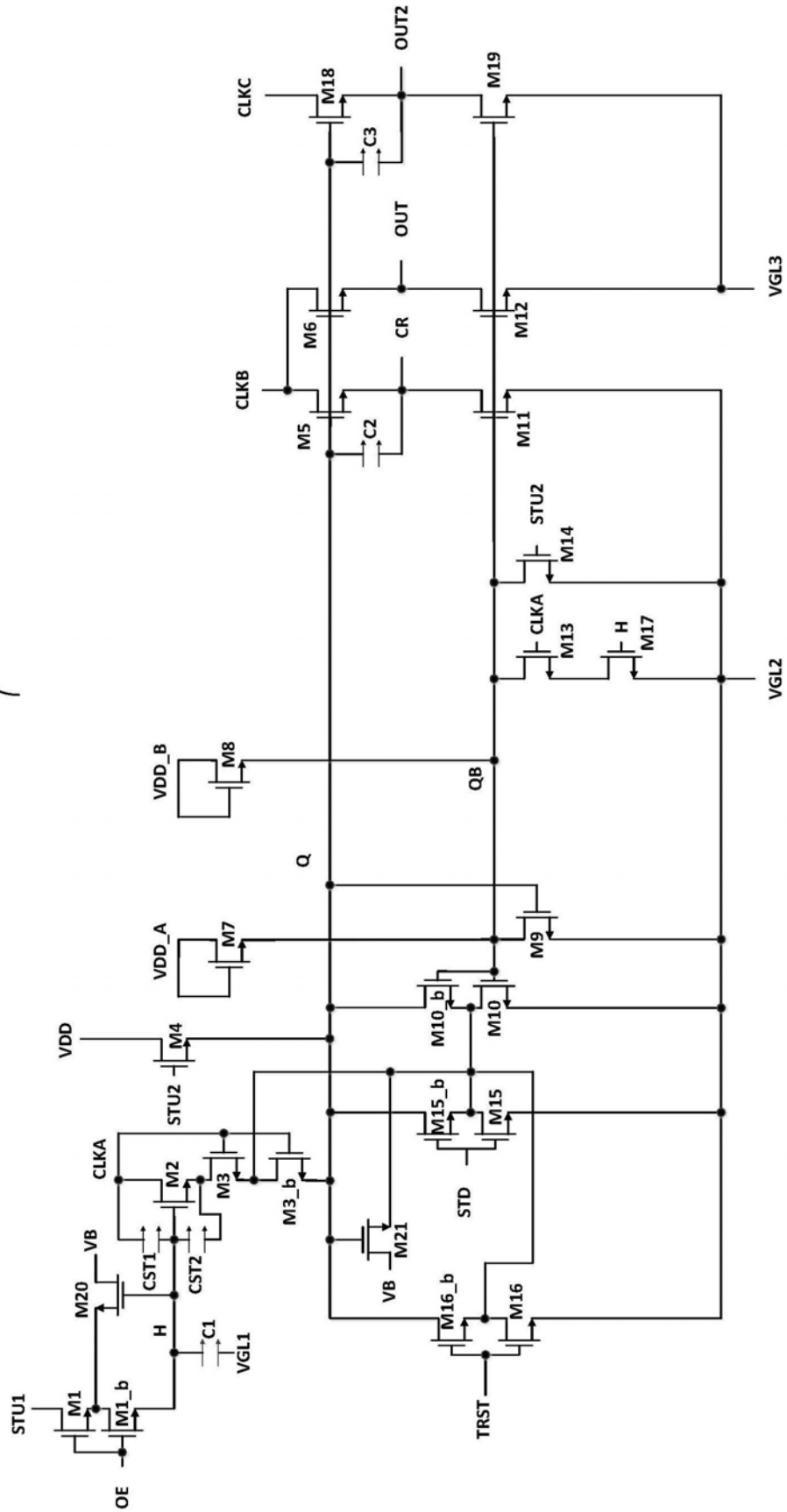
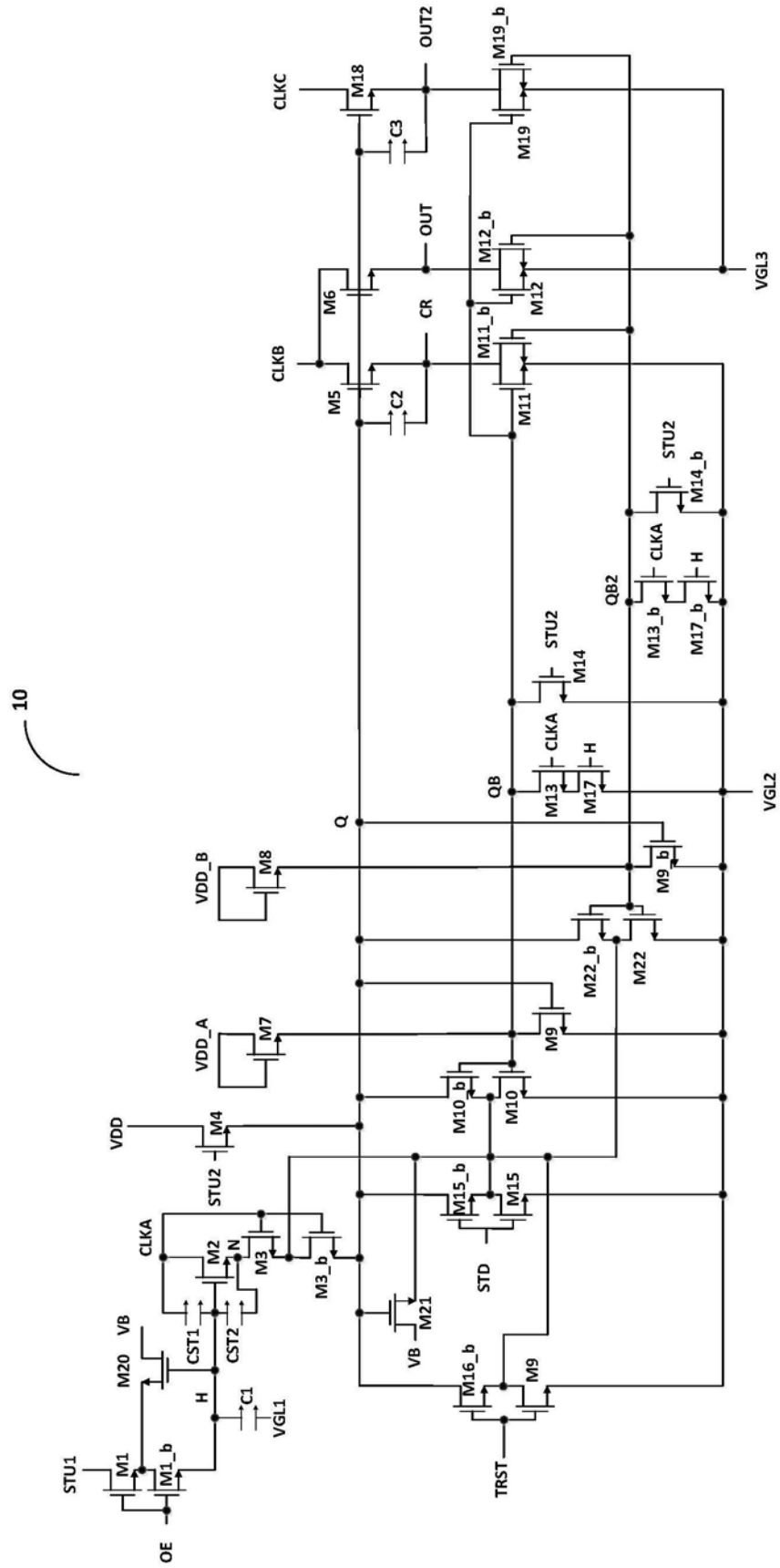


图8



10

图9

20

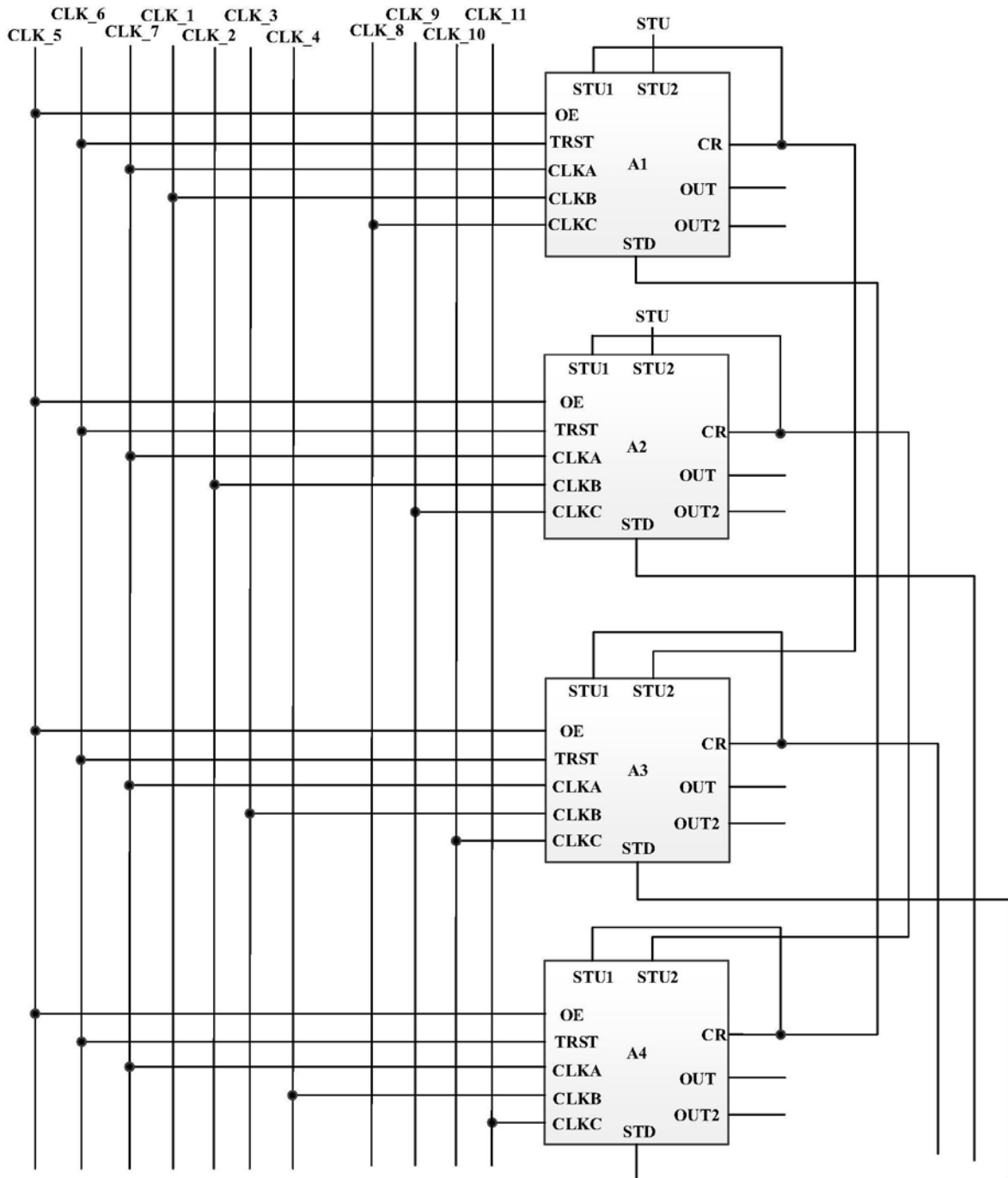


图10

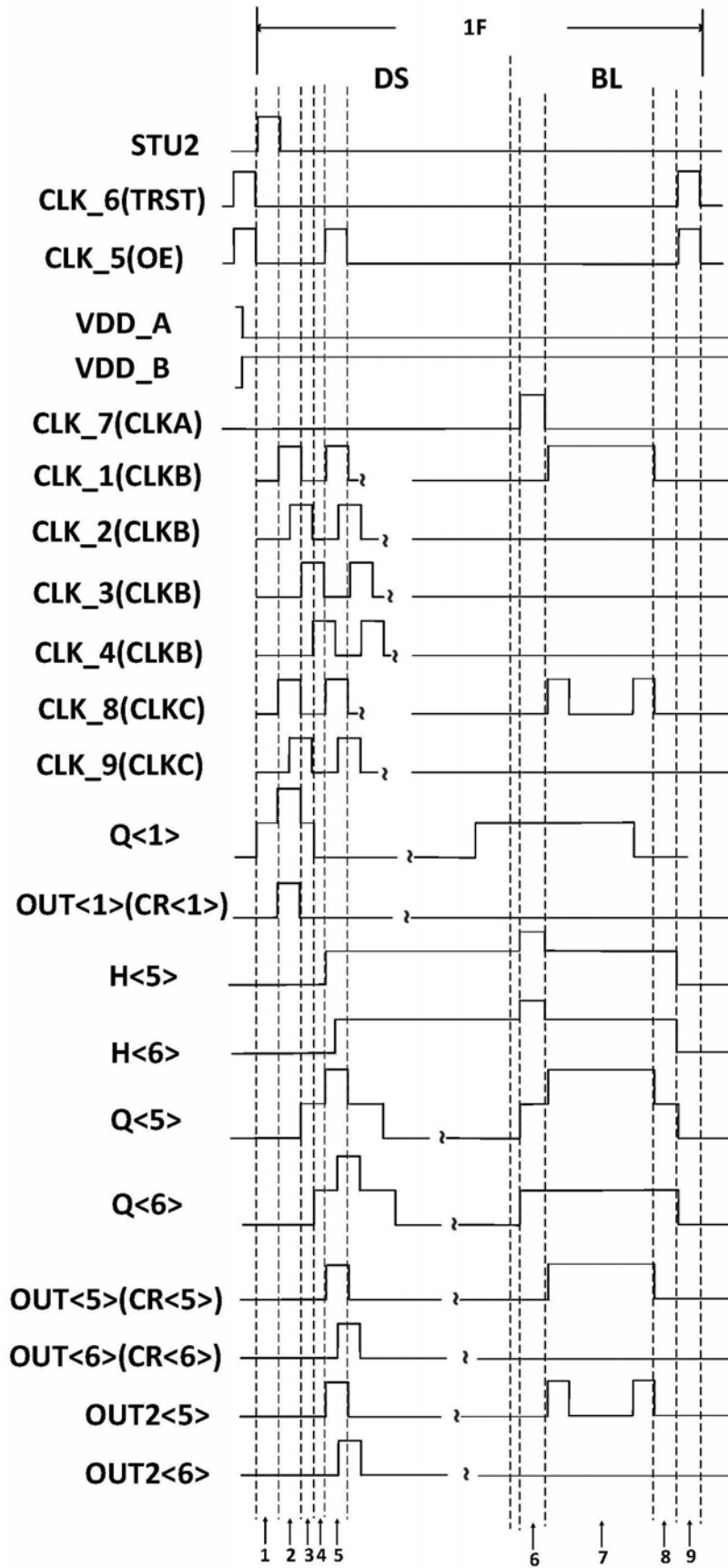


图11

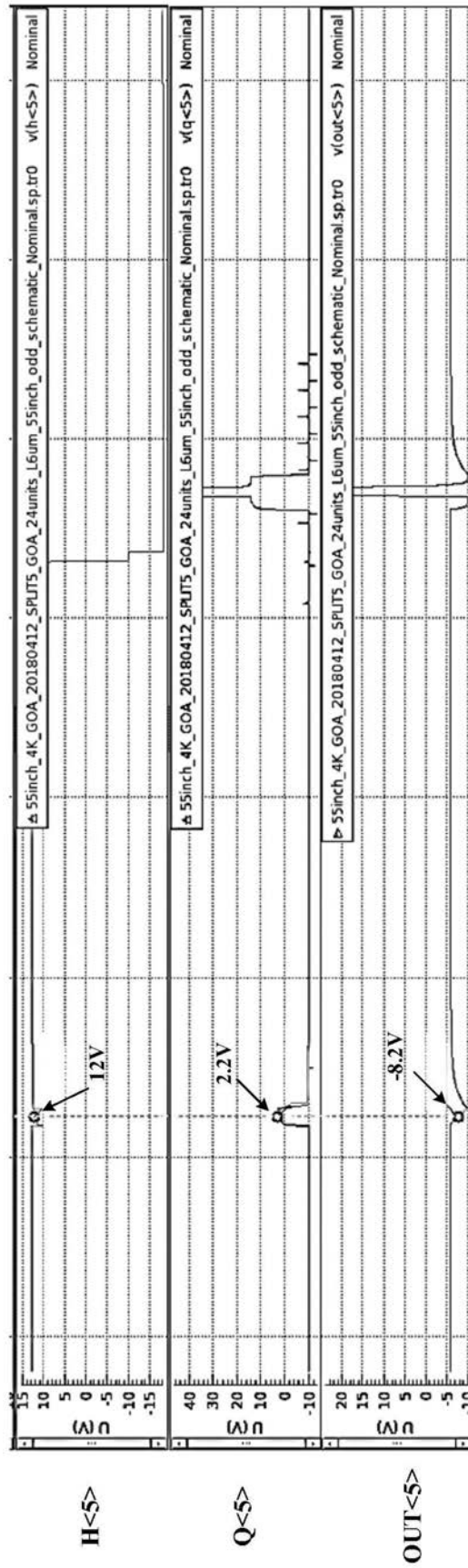


图12

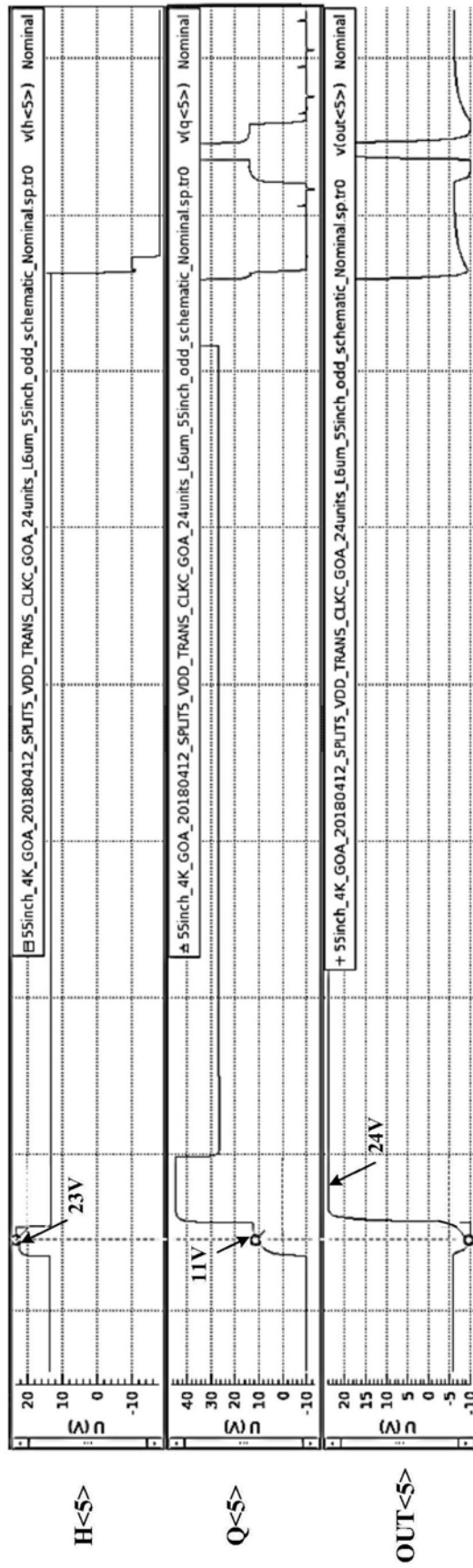


图13

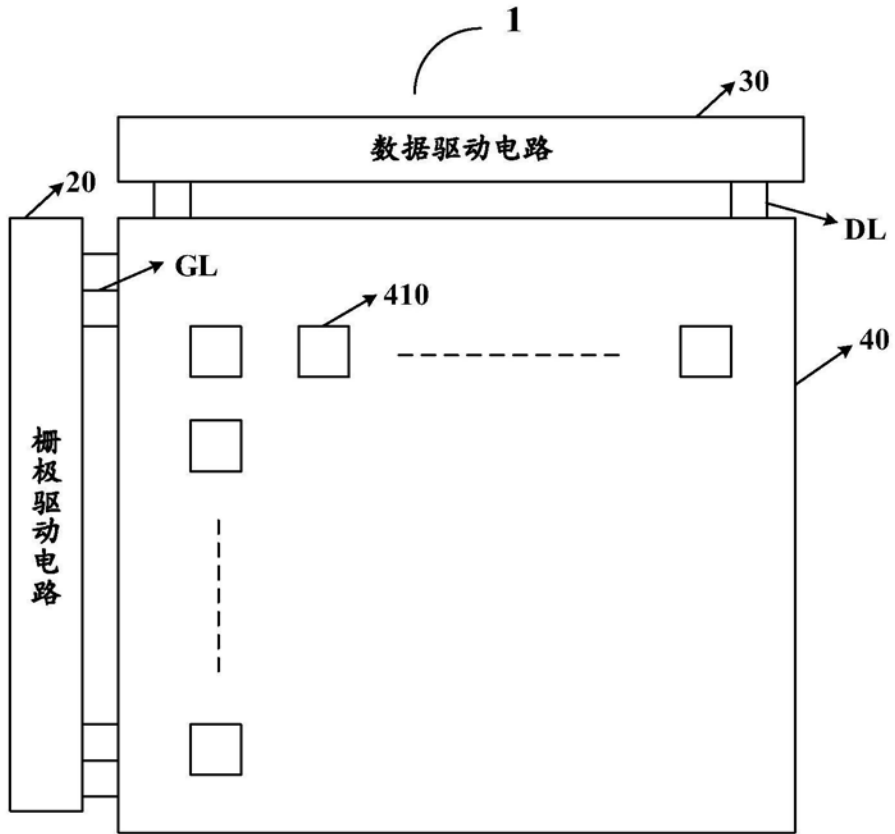


图14