



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0133593
(43) 공개일자 2014년11월19일

- (51) 국제특허분류(Int. Cl.)
G11C 29/42 (2006.01) G06F 11/10 (2006.01)
- (21) 출원번호 10-2014-7027762
- (22) 출원일자(국제) 2013년03월01일
심사청구일자 없음
- (85) 번역문제출일자 2014년10월01일
- (86) 국제출원번호 PCT/US2013/028644
- (87) 국제공개번호 WO 2013/134066
국제공개일자 2013년09월12일
- (30) 우선권주장
13/413,363 2012년03월06일 미국(US)

- (71) 출원인
마이크론 테크놀로지, 인크.
미국, 아이다호, 보이세, 사우스 페더럴 웨이 8000
- (72) 발명자
레이드키, 윌리엄, 헨리
미국 95030 캘리포니아주 로스 가토스 클릴랜드 에이브이이. 90
- (74) 대리인
양영준, 백만기

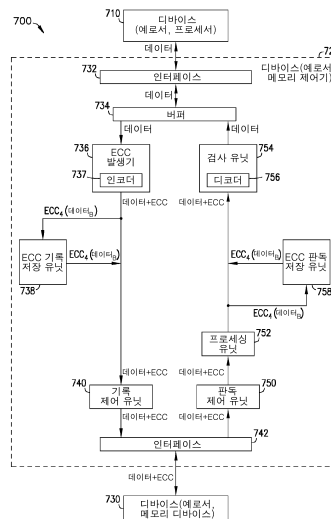
전체 청구항 수 : 총 45 항

(54) 발명의 명칭 **에러 정정 코드 조직화를 포함한 장치들 및 방법들**

(57) 요약

몇몇 실시예들은 제 1 메모리 셀들, 제 1 메모리 셀들을 액세스하도록 구성된 제 1 액세스 라인, 제 2 메모리 셀들, 및 제 2 메모리 셀들을 액세스하도록 구성된 제 2 액세스 라인을 갖는 장치들 및 방법들을 포함한다. 이러한 장치들 중 하나는 데이터가 제 1 메모리 셀들의 메모리 부분에 저장되게 하고, 데이터와 연관된 에러 정정 코드의 제 1 부분이 제 1 메모리 셀들의 또 다른 메모리 부분에 저장되게 하며, 에러 정정 코드의 제 2 부분이 제 2 메모리 셀들에 저장되게 하도록 구성된 제어기를 포함할 수 있다. 추가적인 장치들 및 방법들을 포함한 다른 실시예들이 설명된다.

대표도 - 도7



특허청구의 범위

청구항 1

장치에 있어서,

제 1 메모리 셀들;

상기 제 1 메모리 셀들을 액세스하도록 구성된 제 1 액세스 라인;

제 2 메모리 셀들;

상기 제 2 메모리 셀들을 액세스하도록 구성된 제 2 액세스 라인; 및

데이터가 상기 제 1 메모리 셀들의 제 1 메모리 부분에 저장되게 하고, 상기 데이터와 연관된 에러 정정 코드의 제 1 부분이 상기 제 1 메모리 셀들의 제 2 메모리 부분에 저장되게 하고, 및 상기 에러 정정 코드의 제 2 부분이 상기 제 2 메모리 셀들에 저장되게 하기 위해 사용되는 제어기를 포함하는, 장치.

청구항 2

청구항 1에 있어서, 상기 제어기는 부가적인 데이터가 상기 제 2 메모리 셀들의 제 1 메모리 부분에 저장되게 하며 상기 에러 정정 코드의 상기 제 2 부분이 상기 제 2 메모리 셀들의 제 3 메모리 부분에 저장되게 하도록 더 구성되는, 장치.

청구항 3

청구항 2에 있어서, 상기 제어기는 상기 부가적인 데이터와 연관된 에러 정정 코드의 적어도 일 부분이 상기 제 2 메모리 셀들의 제 2 메모리 부분에 저장되게 하도록 더 구성되는, 장치.

청구항 4

청구항 3에 있어서, 상기 제어기는 상기 데이터와 연관된 상기 에러 정정 코드의 부가적인 부분이 상기 제 1 메모리 셀들의 제 3 메모리 부분에 저장되게 하도록 더 구성되는, 장치.

청구항 5

청구항 1에 있어서, 상기 제 1 액세스 라인은 상기 제 2 액세스 라인 바로 옆에 위치되는, 장치.

청구항 6

제 1 항에 있어서, 상기 제 1 메모리 셀들은 상기 장치의 디바이스의 제 1 레벨 상에 위치되며, 상기 제 2 메모리 셀들은 상기 장치의 상기 디바이스의 제 2 레벨 상에 위치되는, 장치.

청구항 7

청구항 1에 있어서, 상기 제어기는 상기 에러 정정 코드의 상기 제 1 및 제 2 부분들을 생성하도록 구성된 에러 정정 코드 발생기를 포함하며, 상기 에러 정정 코드 발생기는 상기 장치의 제 1 디바이스 상에 위치되며, 상기 제 1 및 제 2 메모리 셀들은 상기 장치의 제 2 디바이스 상에 위치되는, 장치.

청구항 8

청구항 7에 있어서, 상기 제 1 디바이스는 메모리 제어기를 포함하며, 상기 제 2 디바이스는 메모리 디바이스를 포함하는, 장치.

청구항 9

청구항 1에 있어서, 상기 제어기는 상기 에러 정정 코드의 상기 제 1 및 제 2 부분들을 생성하도록 구성된 에러 정정 코드 발생기를 포함하며, 상기 에러 정정 코드 발생기는 상기 장치의 제 1 반도체 다이 상에 위치되며, 상기 제 1 및 제 2 메모리 셀들은 상기 장치의 제 2 반도체 다이 상에 위치되는, 장치.

청구항 10

청구항 1에 있어서, 상기 제 1 메모리 부분은 상기 제 1 메모리 셀들 중에서 제 1 수의 메모리 셀들을 포함하고, 상기 제 2 메모리 부분은 상기 제 2 메모리 셀들 중에서 제 2 수의 메모리 셀들을 포함하며, 상기 제 1 및 제 2 수들의 메모리 셀들은 동일하지 않은, 장치.

청구항 11

장치에 있어서,

제 1 메모리 셀들;

상기 제 1 메모리 셀들을 액세스하도록 구성된 제 1 액세스 라인;

제 2 메모리 셀들; 및

상기 제 2 메모리 셀들을 액세스하도록 구성된 제 2 액세스 라인; 및

제 1 데이터가 상기 제 1 메모리 셀들에 저장되게 하고, 제 2 데이터 및 제 3 데이터가 상기 제 2 메모리 셀들의 제 1 메모리 부분에 저장되게 하고, 상기 제 2 데이터와 연관된 에러 정정 코드 및 상기 제 3 데이터와 연관된 에러 정정 코드의 제 1 부분이 상기 제 2 메모리 셀들의 제 2 메모리 부분에 저장되게 하며, 상기 제 1 데이터와 연관된 에러 정정 코드의 일 부분 및 상기 제 3 데이터와 연관된 상기 에러 정정 코드의 제 2 부분이 상기 제 2 메모리 셀들의 제 3 메모리 부분에 저장되게 하도록 구성된 제어기를 포함하는, 장치.

청구항 12

청구항 11에 있어서, 상기 제 1, 제 2, 및 제 3 데이터는 동일한 수의 비트들을 포함하는, 장치.

청구항 13

청구항 11에 있어서, 상기 제 3 메모리 부분에서의 메모리 셀들의 수는 상기 제 2 메모리 부분에서의 메모리 셀들의 수보다 작은, 장치.

청구항 14

청구항 11에 있어서, 상기 제 3 메모리 부분에서의 메모리 셀들의 수는 상기 제 2 메모리 부분에서의 메모리 셀들의 수의 1/3과 같은, 장치.

청구항 15

청구항 11에 있어서, 상기 제 1, 제 2, 및 제 3 메모리 부분들은 상기 장치의 동일한 디바이스에 포함되는, 장치.

청구항 16

청구항 11에 있어서, 상기 제 1 메모리 셀들은 상기 제 2 메모리 셀들의 바로 옆에 위치되는, 장치.

청구항 17

청구항 11에 있어서, 상기 제어기는:

상기 제 1 데이터 및 제 4 데이터가 상기 제 1 메모리 셀들의 제 1 메모리 부분에 저장되게 하고;

상기 제 4 데이터와 연관된 에러 정정 코드의 적어도 일 부분 및 상기 제 1 데이터와 연관된 상기 에러 정정 코드의 제 1 부가적인 부분이 상기 제 1 메모리 셀들의 제 2 메모리 부분에 저장되게 하며;

상기 제 1 데이터와 연관된 상기 에러 정정 코드의 제 2 부가적인 부분이 상기 제 1 메모리 셀들의 제 3 메모리 부분에 저장되게 하도록 더 구성되는, 장치.

청구항 18

청구항 17에 있어서, 제어기는 제 5 데이터와 연관된 에러 정정 코드의 적어도 일 부분이 상기 제 1 메모리 셀

들의 상기 제 3 메모리 부분에 저장되게 하도록 더 구성되는, 장치.

청구항 19

청구항 11에 있어서, 상기 제 1 데이터는 정보의 제 1 페이지에 포함되며, 상기 제 2 데이터, 상기 제 2 데이터와 연관된 상기 에러 정정 코드, 및 상기 제 1 데이터와 연관된 상기 에러 정정 코드의 상기 부분은 정보의 제 2 페이지에 포함되는, 장치.

청구항 20

청구항 11에 있어서, 상기 제 2 데이터와 연관된 상기 ECC의 크기는 상기 제 3 데이터와 연관된 상기 ECC의 크기와 상이한, 장치.

청구항 21

장치에 있어서,

매트릭스의 층들의 수에 기초하여 제 1 데이터와 연관된 에러 정정 코드를 생성하도록 구성된 발생기;

상기 제 1 데이터 및 상기 에러 정정 코드를 포함한 정보를 전달하도록 구성된 인터페이스;

상기 에러 정정 코드의 제 1 부분을 상기 인터페이스에 전달하도록 구성된 유닛; 및

상기 에러 정정 코드의 상기 제 1 부분이 상기 인터페이스에 전달되는 동안 상기 에러 정정 코드의 제 2 부분을 저장하도록 구성된 저장 유닛을 포함하는, 장치.

청구항 22

청구항 21에 있어서, 상기 발생기는 상기 발생기 매트릭스의 보다 적은 층들의 수에 기초하여 제 2 데이터와 연관된 에러 정정 코드를 생성하도록 더 구성되며, 상기 제 1 데이터 및 상기 제 2 데이터는 동일한 크기를 갖는, 장치.

청구항 23

청구항 21에 있어서, 상기 에러 정정 코드의 상기 제 1 부분은 상기 에러 정정 코드의 상기 제 2 부분의 크기보다 큰 크기를 갖는, 장치.

청구항 24

청구항 21에 있어서, 상기 에러 정정 코드의 상기 제 1 부분은 상기 에러 정정 코드의 상기 제 2 부분의 크기보다 3배 더 큰 크기를 갖는, 장치.

청구항 25

청구항 21에 있어서, 상기 발생기는 준-순환(quasi-cyclic) 저-밀도 패리티-검사 인코더를 포함하는, 장치.

청구항 26

청구항 21에 있어서, 준-순환 저-밀도 패리티-검사 디코더를 더 포함하는, 장치.

청구항 27

청구항 21에 있어서, 상기 제 1 데이터와 연관된 상기 전체 에러 정정 코드를 저장하기 위해 추가적인 저장 유닛을 더 포함하는, 장치.

청구항 28

청구항 27에 있어서, 상기 추가적인 저장 유닛은 캐시 메모리를 포함하는, 장치.

청구항 29

방법에 있어서,

제 1 액세스 라인과 연관된 제 1 메모리 셀들에 제 1 데이터를 저장하는 단계;

제 2 액세스 라인과 연관된 제 2 메모리 셀들의 제 1 메모리 부분에 제 2 데이터를 저장하는 단계;

상기 제 2 메모리 셀들의 제 2 메모리 부분에 상기 제 2 데이터와 연관된 에러 정정 코드의 적어도 일 부분을 저장하는 단계;

상기 제 2 메모리 셀들의 상기 제 2 메모리 부분에 제 3 데이터와 연관된 에러 정정 코드의 적어도 일 부분을 저장하는 단계;

상기 제 2 메모리 셀들의 제 3 메모리 부분에 상기 제 3 데이터와 연관된 상기 에러 정정 코드의 추가적인 부분을 저장하는 단계; 및

상기 제 2 메모리 셀들의 상기 제 3 메모리 부분에 상기 제 1 데이터와 연관된 에러 정정 코드의 일 부분을 저장하는 단계를 포함하는, 방법.

청구항 30

청구항 29에 있어서, 상기 제 2 데이터와 연관된 상기 에러 정정 코드의 상기 적어도 일 부분은 상기 제 2 메모리 셀들의 상기 제 3 메모리 부분에 저장되는 상기 제 1 데이터와 연관된 상기 에러 정정 코드의 상기 부분과 동시에 상기 제 2 메모리 셀들의 상기 제 2 메모리 부분에 저장되는, 방법.

청구항 31

청구항 29에 있어서, 상기 제 1 데이터와 연관된 상기 에러 정정 코드의 상기 부분은 상기 제 3 데이터와 연관된 상기 에러 정정 코드의 상기 추가적인 부분이 상기 제 2 메모리 셀들의 상기 제 3 메모리 부분에 저장되기 전에 상기 제 2 메모리 셀들의 상기 제 3 메모리 부분에 저장되는, 방법.

청구항 32

방법에 있어서,

제 1 디바이스에서, 제 1 데이터와 연관된 에러 정정 코드를 생성하는 단계;

상기 제 1 데이터와 연관된 상기 에러 정정 코드의 제 1 부분을 제 2 디바이스에 전달하는 단계;

상기 제 1 디바이스의 저장 유닛에 상기 제 1 데이터와 연관된 상기 에러 정정 코드의 제 2 부분을 저장하는 단계;

제 2 데이터와 연관된 에러 정정 코드를 생성하는 단계; 및

상기 제 1 데이터와 연관된 상기 에러 정정 코드의 상기 제 2 부분 및 상기 제 2 데이터와 연관된 상기 에러 정정 코드의 적어도 일 부분을 상기 제 2 디바이스에 전달하는 단계를 포함하는, 방법.

청구항 33

청구항 32에 있어서,

제 3 데이터와 연관된 에러 정정 코드를 생성하는 단계;

상기 제 3 데이터와 연관된 상기 에러 정정 코드의 제 1 부분을 상기 제 2 디바이스에 전달하는 단계; 및

상기 저장 유닛에 상기 제 3 데이터와 연관된 상기 에러 정정 코드의 제 2 부분을 저장하는 단계를 더 포함하는, 방법.

청구항 34

청구항 33에 있어서,

제 4 데이터와 연관된 에러 정정 코드를 생성하는 단계;

상기 제 3 데이터와 연관된 상기 에러 정정 코드의 상기 제 2 부분 및 상기 제 4 데이터와 연관된 상기 에러 정정 코드의 적어도 일 부분을 상기 제 2 디바이스에 전달하는 단계를 더 포함하는, 방법.

청구항 35

청구항 32에 있어서, 상기 제 1 데이터와 연관된 상기 에러 정정 코드를 생성하는 단계는 발생기 매트릭스의 모든 층들에 기초하여 상기 에러 정정 코드를 생성하는 단계를 포함하는, 방법.

청구항 36

청구항 35에 있어서, 상기 제 2 데이터와 연관된 상기 에러 정정 코드를 생성하는 단계는 상기 발생기 매트릭스의 모두보다 적은 층들에 기초하여 상기 제 2 데이터와 연관된 상기 에러 정정 코드를 생성하는 단계를 포함하는, 방법.

청구항 37

청구항 32에 있어서, 상기 제 1 디바이스는 제어기이며 상기 제 2 디바이스는 메모리 어레이인, 방법.

청구항 38

청구항 37에 있어서, 상기 제어기 및 메모리 어레이는 동일한 반도체 다이 상에 있는, 방법.

청구항 39

청구항 37에 있어서, 상기 제어기 및 메모리 어레이는 상이한 반도체 다이 상에 있는, 방법.

청구항 40

청구항 35에 있어서,

제 1 데이터와 연관된 상기 에러 정정 코드를 생성하기 전에 상기 제 2 메모리 디바이스로부터 저장된 데이터를 검색하는 단계를 더 포함하며, 상기 제 1 데이터는 상기 저장된 데이터를 포함하는, 방법.

청구항 41

방법에 있어서,

제 1 메모리 셀들로부터 정보를 검색하는 단계;

상기 데이터와 연관된 에러 정정 코드의 제 1 부분을 사용하여 상기 정보로부터 데이터를 생성하는 단계로서, 상기 데이터와 연관된 에러 정정 코드의 상기 제 1 부분은 상기 정보에 포함되는, 단계;

상기 데이터가 상기 데이터와 연관된 에러 정정 코드의 상기 제 1 부분을 사용하여 상기 정보로부터 성공적으로 생성되지 않았다면 제 2 메모리 셀들로부터 상기 데이터와 연관된 상기 에러 정정 코드의 제 2 부분을 검색하는 단계; 및

상기 데이터와 연관된 에러 정정 코드의 상기 제 1 부분 및 상기 데이터와 연관된 에러 정정 코드의 상기 제 2 부분을 사용하여 데이터를 생성하는 단계를 포함하는, 방법.

청구항 42

청구항 41에 있어서, 상기 데이터와 연관된 상기 에러 정정 코드의 상기 제 1 부분 및 상기 데이터와 연관된 상기 에러 정정 코드의 상기 제 2 부분은 동일하지 않은 크기들을 갖는, 방법.

청구항 43

청구항 41에 있어서, 상기 정보를 검색하는 단계는 상기 정보를 검색하기 위해 상기 제 1 메모리 셀들에 결합된 제 1 액세스 라인을 액세스하는 단계를 포함하며, 상기 데이터와 연관된 상기 제 2 에러 정정 코드를 검색하는 단계는 상기 제 2 에러 정정 코드를 검색하기 위해 상기 제 2 메모리 셀들에 결합된 제 2 액세스 라인을 액세스하는 단계를 포함하는, 방법.

청구항 44

청구항 43에 있어서, 상기 정보로부터 데이터를 생성하는 단계는 상기 정보로부터 상기 데이터를 생성하기 위해

검사 유닛을 사용하는 단계를 포함하는, 방법.

청구항 45

청구항 44에 있어서, 상기 데이터와 연관된 에러 정정 코드의 상기 제 1 부분 및 상기 데이터와 연관된 에러 정정 코드의 상기 제 2 부분을 사용하여 데이터를 생성하는 단계는 상기 데이터와 연관된 에러 정정 코드의 상기 제 1 부분 및 상기 데이터와 연관된 에러 정정 코드의 상기 제 2 부분을 사용하여 상기 데이터를 생성하기 위해 상기 검사 유닛을 사용하는 단계를 포함하는, 방법.

명세서

배경 기술

- [0001] [우선권 출원]
- [0002] 본 출원은 여기에 전체적으로 참조로서 통합되는, 2012년 3월 6일에 출원된, 미국 출원 일련 번호 제13/413,363호의 이득을 주장한다.
- [0003] [배경기술]
- [0004] 플래시 메모리와 같은 메모리 디바이스들은 컴퓨터들 및 많은 전자 제품들에 광범위하게 사용된다. 이러한 메모리 디바이스들은 다수의 메모리 셀들을 가진다. 정보는 기록 동작에서 메모리 셀들에 저장될 수 있다. 저장된 정보는 판독 동작에서 검색될 수 있거나 또는 소거 동작에서 삭제될 수 있다. 메모리 셀 밀도가 주어질 디바이스 영역에 대해 증가할수록, 메모리 디바이스들에 저장된 정보의 신뢰성을 유지하는 것은 도전이 될 수 있다.

도면의 간단한 설명

- [0005] 도 1은 본 발명의 실시예에 따른, 메모리 디바이스의 형태에 있는 장치의 블록도를 도시한다.
- 도 2는 본 발명의 실시예에 따른, 메모리 디바이스의 일 부분의 개략도를 도시한다.
- 도 3은 본 발명의 실시예에 따른, 도 2의 메모리 디바이스의 메모리 셀들에 저장된 정보의 값들을 표현하도록 구성될 수 있는 임계 전압 범위들을 도시한 그래프이다.
- 도 4는 본 발명의 실시예에 따른, 도 2의 메모리 디바이스의 메모리 부분들에 대응하는 블록도를 도시한다.
- 도 5는 본 발명의 실시예에 따른, 도 4의 메모리 부분들에 저장될 수 있는 정보의 상이한 페이지들을 도시한다.
- 도 6은 본 발명의 실시예에 따른, 발생기 매트릭스의 구조를 도시한다.
- 도 7은 본 발명의 실시예에 따른, 시스템의 형태에 있는 장치의 블록도를 도시한다.
- 도 8은 본 발명의 실시예에 따라, 시스템을 동작시키는 방법을 도시한 흐름도이다.

발명을 실시하기 위한 구체적인 내용

- [0006] 도 1은 본 발명의 실시예에 따른, 메모리 디바이스(100)의 형태에 있는 장치의 블록도를 도시한다. 메모리 디바이스(100)는 라인들(예로서, 액세스 라인들)(WL0 및 WL1 내지 WLn) 및 라인들(예로서, 데이터 라인들)(BL0 및 BL1 내지 BLn)과 함께 로우들 및 컬럼들로 배열될 수 있는 메모리 셀들(103)을 가진 메모리 어레이(102)를 포함할 수 있다. 메모리 디바이스(100)는 메모리 셀들(103)과 정보를 교환(예로서, 전달)하기 위해 메모리 셀들(103) 및 라인들(105)을 액세스하기 위해 라인들(WL0 및 WL1 내지 WLn) 및 라인들을 사용할 수 있다.
- [0007] 로우 액세스(108) 및 컬럼 액세스(109) 회로는 라인들(110, 110), 또는 양쪽 모두 상에서의 로우 어드레스 및 컬럼 어드레스 신호들에 기초하여 메모리 셀들(103)을 액세스하기 위해 어드레스 레지스터(112)에 응답할 수 있다. 입력/출력 회로(114)는 메모리 셀들(103) 및 라인들(110) 사이에서 정보를 교환하도록 구성될 수 있다. 라인들(110, 111)은 메모리 디바이스(100) 내에 노드들 또는 메모리 디바이스(100)가 존재할 수 있는 패키지 상에 핀들(또는 솔더 볼들)을 포함할 수 있다.
- [0008] 제어 회로(116)는 라인들(110, 111) 상에 존재하는 신호들에 기초하여 메모리 디바이스(100)의 동작들을 제어할 수 있다. 메모리 디바이스(100)의 외부에 있는 디바이스(예로서, 프로세서 또는 메모리 제어기)는 라인들(110, 111) 또는 양쪽 모두 상에서의 신호들의 상이한 조합들을 사용하여 상이한 명령어들(예로서, 판독, 기록, 또는

소거 명령어들을 메모리 디바이스(100)에 전송할 수 있다. 상이한 명령어들을 메모리 디바이스(100)에 전송하는 디바이스(예로서, 프로세서 또는 메모리 제어기)는 메모리 디바이스(100)와 동일한 반도체 다이 상에 형성될 수 있거나, 또는 이러한 디바이스(예로서, 프로세서 또는 메모리 제어기)는 메모리 디바이스(100)를 형성하는 반도체 다이와 상이한 반도체 다이 상에 형성될 수 있다.

- [0009] 메모리 디바이스(100)는 메모리 셀들(103)에 (예로서, 프로그램) 정보를 저장하기 위한 기록(예로서, 프로그램) 동작 또는 메모리 셀들(103)로부터 저장된 정보를 검색하기 위한 판독 동작을 수행하는 것과 같이, 메모리 셀들(103) 상에서 메모리 동작들을 수행하기 위해 명령어들에 응답할 수 있다. 메모리 디바이스(100)는 또한 메모리 셀들(103) 중 몇몇 또는 모두로부터 정보를 삭제하기 위해 소거 동작을 수행할 수 있다.
- [0010] 메모리 셀들(103)에 저장된 정보는 데이터 및 데이터와 연관된 에러 정정 코드(ECC)를 포함할 수 있다. ECC는 데이터가 메모리 셀들(103)에 저장되기 전에 데이터에 기초하여 생성될 수 있다. ECC는 패리티 검사 비트들을 포함할 수 있다. 데이터 및 그것의 연관된 ECC가 메모리 셀들(103)로부터 검색될 때, ECC는 데이터에 발생할 수 있는 에러들을 정정하기 위해 사용될 수 있다. 데이터와 연관된 ECC는 메모리 디바이스(100)에 의해 내부적으로 생성되거나 또는 또 다른 디바이스(예로서, 메모리 제어기 또는 프로세서)에 의해 외부적으로 생성될 수 있다.
- [0011] 메모리 셀들(103)의 각각은 비트의 단편의 값, 단일 비트의 값, 또는 2, 3, 4, 또는 또 다른 수의 비트들과 같은 다중 비트들의 값을 표현한 정보를 저장하기 위해 프로그램될 수 있다. 예를 들면, 메모리 셀들(103)의 각각은 단일 비트의 이진 값("0" 또는 "1")을 표현한 정보를 저장하기 위해 프로그램될 수 있다. 셀 당 단일 비트는 때때로 단일 레벨 셀로 불리운다. 또 다른 예에서, 메모리 셀들(103)의 각각은 2 비트들의 4개의 가능한 값들("00", "01", "10", 및 "11") 중 하나, 3 비트들의 8개의 가능한 값들("000", "001", "010", "011", "100", "101", "110", 및 "111") 중 하나, 또는 또 다른 수의 다중 비트들의 다른 값들 중 하나와 같이, 다중 비트들의 값을 표현한 정보를 저장하기 위해 프로그램될 수 있다. 다중 비트들을 저장하기 위한 능력을 가진 셀은 때때로 다중-레벨 셀(또는 다중-상태 셀)로 불리운다.
- [0012] 메모리 디바이스(100)는 비-휘발성 메모리 디바이스를 포함할 수 있으며, 메모리 셀(103)은 비-휘발성 메모리 셀들을 포함할 수 있고, 따라서 메모리 셀들(103)은 전력이 메모리 디바이스(100)로부터 연결 해제될 때 그것 상에 저장된 정보를 보유할 수 있다. 예를 들면, 메모리 디바이스(100)는 NAND 플래시 또는 NOR 플래시 메모리 디바이스와 같은, 플래시 메모리 디바이스, 또는 가변 저항 메모리 디바이스(예로서, 상 변화 또는 저항성 RAM 디바이스)와 같은, 또 다른 종류의 메모리 디바이스일 수 있다.
- [0013] 메모리 디바이스(100)는 메모리 셀들(103)이 동일한 디바이스 상에서의 다중 레벨들에 물리적으로 위치될 수 있는 메모리 디바이스를 포함할 수 있으며, 따라서 메모리 셀들(103) 중 몇몇은 메모리 디바이스(100)의 기판(예로서, 반도체 기판) 위에서 다중 레벨들로 몇몇 다른 메모리 셀들(103) 위에 적층될 수 있다.
- [0014] 이 기술분야의 숙련자는 메모리 디바이스(100)가 여기에 설명된 예시적인 실시예를 모호하게 하지 않도록, 그 중 몇몇이 도 1에 도시되지 않는, 다른 요소들을 포함할 수 있다는 것을 인식할 것이다.
- [0015] 메모리 디바이스(100)의 적어도 일 부분은 도 2 내지 도 8을 참조하여 이하에 설명되는 메모리 디바이스들과 유사하거나 또는 그것과 동일한 구조들을 포함할 수 있다.
- [0016] 도 2는 본 발명의 실시예에 따른, 메모리 디바이스(200)의 일 부분의 개략도를 도시한다. 메모리 디바이스(200)는 도 1의 메모리 어레이(102)의 일부를 형성할 수 있는, 메모리 어레이(202)를 포함할 수 있다. 도 2에 도시된 바와 같이, 메모리 어레이(202)는 각각 라인들(WL0, WL1, WL2, WL3, 및 WL4)과 연관된 메모리 셀들(210, 211, 212, 213, 및 214)을 포함할 수 있다. 라인들(WL0, WL1, WL2, WL3, 및 WL4)의 각각은 메모리 동작(예로서, 판독 또는 기록 동작) 동안 메모리 셀들(210, 211, 212, 213, 및 214)을 액세스하기 위해 메모리 디바이스(200)의 액세스 라인의 일부를 형성할 수 있다. 메모리 디바이스(200)는 각각 라인들(BL0 내지 BL9)을 포함할 수 있다. 라인들(BL0 내지 BL9)의 각각은 메모리 디바이스(200)의 데이터 라인의 일부를 형성할 수 있다. 도 2는 일 예로서 5개의 라인들(WL0, WL1, WL2, WL3, 및 WL4) 및 10개의 라인들(BL0 내지 BL9)을 도시한다. 이들 라인들의 수는 변할 수 있다.
- [0017] 메모리 셀들(210, 211, 212, 213, 및 214)은 도 2에 도시된 바와 같이, NAND 구성으로 배열될 수 있다. 예를 들면, 메모리 셀들(210, 211, 212, 및 213)은 메모리 셀 스트링들(220 내지 229)과 같은, 메모리 셀 스트링들로서 배열될 수 있다. 메모리 셀 스트링들(220 내지 229)의 각각은 트랜지스터들(예로서, 선택 트랜지스터)(217) 중 하나를 통해 라인들(BL0 내지 BL9) 중 하나에 및 트랜지스터들(예로서, 선택 트랜지스터)(218) 중 하나를 통해 라인(SL)에 결합될 수 있다. 라인(SL)은 메모리 디바이스(200)의 소스(예로서, 소스 라인)의 일부를 형성할

수 있다.

- [0018] 메모리 동작(예로서, 판독 또는 기록 동작) 동안, 메모리 디바이스(200)는 메모리 셀 스트링들(220 내지 229)을 각각의 라인들(BL0 내지 BL9)에 결합하도록 트랜지스터들(217)을 턴 온하거나 또는 각각의 라인들(BL0 내지 BL9)로부터 메모리 셀 스트링들(220 내지 229)을 결합 해제하도록 트랜지스터들(217)을 턴 오프하기 위해 라인(SGD)을 사용할 수 있다. 메모리 디바이스(200)는 메모리 셀 스트링들(220 내지 229)을 라인(SL)에 결합하기 위해 트랜지스터들(218)을 턴 온하도록 또는 라인(SL)으로부터 메모리 셀 스트링들(220 내지 229)을 결합 해제하도록 트랜지스터들(218)을 턴 오프하기 위해 라인(SGS)을 사용할 수 있다.
- [0019] 메모리 셀들(210, 211, 212, 213, 및 214)은 다중 레벨들의 메모리 디바이스(200) 상에 물리적으로 위치될 수 있으며, 따라서 동일한 메모리 셀 스트링에서의 메모리 셀들은 다중 레벨들의 메모리 디바이스(200)에서 서로의 위에 적층될 수 있다. 예를 들면, 메모리 셀들(214)은 일 레벨의 메모리 디바이스(200) 상에 물리적으로 위치될 수 있다. 메모리 셀들(213)은 또 다른 레벨의 메모리 디바이스(200) 상에서 메모리 셀(214) 위에 물리적으로 위치될 수 있다. 도 2는 각각의 메모리 셀 스트링에서 12개의 메모리 셀 스트링들(220 내지 229) 및 4개의 메모리 셀들(210, 211, 212, 및 213)의 일 예를 도시한다. 메모리 셀 스트링들의 수 및 각각의 메모리 셀 스트링에서의 메모리 셀들의 수는 변할 수 있다.
- [0020] 메모리 셀들(210) 및 메모리 셀들(214)은 메모리 어레이(202)의 각각의 에지들에 물리적으로 위치될 수 있다. 예를 들면, 메모리 셀들(210)은 메모리 어레이(202)의 에지에 물리적으로 위치될 수 있으며, 따라서 메모리 셀들(210)은 메모리 어레이(202)의 다른 메모리 셀들(예로서, 211, 212, 213, 및 214)보다 트랜지스터들(217)에 더 가까울 수 있다. 또 다른 예에서, 메모리 셀들(214)은 메모리 어레이(202)의 또 다른 에지에 물리적으로 위치될 수 있으며, 따라서, 메모리 셀들(210)은 메모리 어레이(202)의 다른 메모리 셀들(예로서, 210, 211, 212, 및 213)보다 트랜지스터들(218)에 가장 가까울 수 있다.
- [0021] 메모리 동작에서, 메모리 디바이스(200)는 선택된 메모리 셀들에 정보를 저장하기 위해(예로서, 기록 동작에서) 또는 선택된 메모리 셀들로부터 정보를 검색하기 위해(예로서, 판독 동작에서) 메모리 셀들(210, 211, 212, 213, 및 214) 중에서 선택된 메모리 셀들을 선택적으로 액세스할 수 있다. 메모리 셀들(210, 211, 212, 213, 및 214)에 저장된 정보는 데이터 및 데이터와 연관된 ECC를 포함할 수 있다. 예를 들면, 메모리 셀들(212) 중에서 선택된 메모리 셀들에 정보를 저장하기 위해, 메모리 디바이스(200)는 단지 메모리 셀들(212)만이 액세스될 수 있도록 라인들(WL0 내지 WL4)을 활성화시킬 수 있다. 그 후 메모리 디바이스(200)는 예를 들면, 라인(WL2) 및 라인들(BL0 내지 BL9) 상에 적절한 전압(예로서, 프로그래밍 전압)을 인가함으로써, 선택된 메모리 셀들에 정보를 저장할 수 있다. 또 다른 예에서, 메모리 셀들(212) 중에서 선택된 메모리 셀들로부터 정보(예로서, 데이터 및 ECC)를 검색하기 위해, 메모리 디바이스(200)는 단지 메모리 셀들(212)만이 액세스될 수 있도록 라인들(WL0 내지 WL4)을 활성화시킬 수 있다. 그 후, 메모리 디바이스(200)는 예를 들면, 라인들(BL0 내지 BL9)을 통해 선택된 메모리 셀들로부터 저장된 정보를 감지함으로써, 선택된 메모리 셀들로부터 저장된 정보를 검색할 수 있다.
- [0022] 도 2에 도시된 바와 같이, 동일한 라인(WL0, WL1, WL2, WL3, 또는 WL4)과 연관된 메모리 셀들(210, 211, 212, 213, 또는 214)은 각각의 메모리 부분이 다수의(그룹의) 메모리 셀들을 포함할 수 있는 상이한 메모리 부분들로 조직될 수 있다. 예를 들면, 메모리 셀들(210)(라인(WL0)과 연관된)은 메모리 부분들(251, 252, 및 253)로 조직될 수 있다. 메모리 셀들(211)(라인(WL1)과 연관된)은 메모리 부분들(261, 262, 및 263)로 조직될 수 있다. 메모리 셀들(212)(라인(WL2)과 연관된)은 메모리 부분들(271, 272, 및 273)로 조직될 수 있다. 메모리 셀들(213)(라인(WL3)과 연관된)은 메모리 부분들(281, 282, 및 283)로 조직될 수 있다. 메모리 셀들(214)(라인(WL4)과 연관된)은 메모리 부분들(291, 292, 및 293)로 조직될 수 있다.
- [0023] 메모리 디바이스(200)의 메모리 부분들은 상이한 유형들의 정보를 저장할 수 있다. 예를 들면, 메모리 부분들(251, 261, 271, 281, 및 291)은 데이터를 저장할 수 있다. 메모리 부분들(252, 253, 262, 263, 272, 273, 282, 283, 292, 및 293)은 메모리 부분들(251, 261, 271, 281, 및 291)에 저장된 각각의 데이터와 연관된 ECC를 저장할 수 있다. 대안적으로 또는 부가적으로, 메모리 부분들(252, 253, 262, 263, 272, 273, 282, 283, 292, 및 293)은 또한 다른 유형들의 정보(예로서, 오버헤드 정보 또는 데이터 관리 정보)를 저장할 수 있다.
- [0024] 도 2는 일 예로서, 메모리 부분들(251, 261, 271, 281, 및 291), 메모리 부분들(252, 262, 272, 282, 및 292), 및 메모리 부분들(253, 263, 273, 283, 및 293)의 각각에서 특정한 수(예로서, 6, 3, 또는 1)의 메모리 셀들을 도시한다. 이들 메모리 부분들에서의 메모리 셀들의 수는 변할 수 있다.

- [0025] 단순함을 위해, 다음의 설명은 라인(WL3)과 연관된 메모리 셀들(213)과 같이, 라인들(WL0, WL1, WL2, WL3, 및 WL4) 중 하나와 연관된 메모리 셀들의 조직화들 및 기능들을 설명한다. 다른 메모리 셀들(210, 211, 212, 및 214)이 유사한 조직화들 및 기능들을 포함할 수 있다.
- [0026] 메모리 셀들(213)에서, 메모리 부분(271)은 메모리 부분들(272, 273)의 조합된 크기보다 상당히 더 큰 크기(예로서, 메모리 셀들의 수)를 가질 수 있다. 예를 들면, 메모리 부분(271)은 모든 메모리 셀들(213)의 수의 대략 97%(예로서, 96.875%)를 포함할 수 있으며, 메모리 부분들(272, 273)은 모든 메모리 셀들(213)의 수의 대략 3%(예로서, 3.125%)를 포함할 수 있다.
- [0027] 일 예로서, 메모리 부분(271)은 $8 \times 8 \times 210$ 비트들(8 킬로바이트들)의 데이터(예로서, 65,536 셀들의 각각이 1 비트의 데이터를 저장하도록 구성된다면)를 저장할 수 있거나 또는 $16 \times 8 \times 210$ 비트들(16 킬로바이트들)의 데이터(예로서, 65,536 셀들의 각각의 2 비트들의 데이터를 저장하도록 구성된다면)를 저장할 수 있는 $65,536 = 8 \times 8 \times 2^{10}$ 셀들을 포함할 수 있다. 메모리 부분들(272, 273)은 256 바이트들의 데이터(예로서, 2,048 셀들의 각각이 1 비트의 데이터를 저장하도록 구성된다면)를 저장할 수 있거나 또는 512 바이트들의 데이터(예로서, 2,048 셀들의 각각이 2 비트들의 데이터를 저장하도록 구성된다면)를 저장할 수 있는 $2,048 = 256 \times 8$ 셀들을 포함할 수 있다.
- [0028] 메모리 부분(272)은 메모리 부분(273)의 것보다 큰 크기(예로서, 메모리 셀들의 수)를 가질 수 있다. 예를 들면, 메모리 부분(272)은 메모리 부분(273)의 크기의 3배보다 큰 크기를 가질 수 있다. 따라서, 메모리 부분(272)은 메모리 부분(273)에 저장될 수 있는 ECC의 크기의 3배인 크기를 갖는 ECC를 저장할 수 있을 수 있다. 예를 들면, 메모리 부분(273)은 64 바이트들의 ECC를 저장할 수 있는 다수의 메모리 셀들을 포함할 수 있으며, 메모리 부분(272)은 192 바이트들의 ECC를 저장할 수 있는 다수의 메모리 셀들을 포함할 수 있다.
- [0029] 메모리 부분들(251, 261, 271, 281, 및 291)은 동일한 크기를 가질 수 있다. 예를 들면, 메모리 부분들(251, 261, 271, 281, 및 291)의 각각은 $65,536 = 8 \times 8 \times 2^{10}$ 셀들(예를 들면, 각각의 부분에서 8 킬로바이트들 또는 16 킬로바이트들의 데이터를 저장할 수 있는)을 포함할 수 있다. 메모리 부분들(252, 262, 272, 282, 및 292)은 동일한 크기를 가질 수 있다. 예를 들면, 메모리 부분들(252, 262, 272, 282, 및 292)의 각각은 $1,536 = 192 \times 8$ 셀들(예를 들면, 각각의 메모리 부분에서 192 바이트들 또는 384 바이트들의 ECC를 저장할 수 있는)을 포함할 수 있다. 메모리 부분들(253, 263, 273, 283, 및 293)은 동일한 크기를 가질 수 있다. 예를 들면, 메모리 부분들(253, 263, 273, 283, 및 293)의 각각은 $512 = 64 \times 8$ 셀들(예를 들면, 각각의 메모리 부분에서 64 바이트들 또는 128 바이트들의 ECC를 저장할 수 있는)을 포함할 수 있다.
- [0030] 메모리 셀들(210, 211, 212, 213, 및 214)은 순차적인 순서로 정보(예로서, 데이터 및 ECC)를 저장할 수 있다. 예를 들면, 정보는 정보가 메모리 부분들(261, 262, 및 263)(라인(WL1)과 연관된)의 메모리 셀들(211)에 저장될 수 있기 전에 메모리 부분들(251, 252, 및 253)(라인(WL0)과 연관된)의 메모리 셀들(예로서, 메모리 셀들(210)의 모두)에 저장될 수 있다. 정보는 정보가 메모리 부분들(271, 272, 및 273)(라인(WL2)과 연관된) 등의 메모리 셀들(212)에 저장될 수 있기 전에 메모리 부분들(261, 262, 및 263)(라인(WL1)과 연관된)의 메모리 셀들(211)(예로서, 메모리 셀들(211)의 모두)에 저장될 수 있다. 대안적으로, 다른 순서(예로서, 비-순차적인 순서)가 사용될 수 있다.
- [0031] 라인들(WL0, WL1, WL2, WL3, 및 WL4) 중에서 동일한 라인과 연관된 메모리 셀들(210, 211, 212, 213, 또는 214)의 메모리 부분들은 메모리 동작에서 데이터 및 ECC를 동시에 저장할 수 있다. 다시 말해서, 데이터 및 ECC는 동일한 라인(예로서, 라인(WL0, WL1, WL2, WL3, 또는 WL4) 중 하나)의 메모리 셀들에 병렬 방식으로 저장될 수 있다. 예를 들면, 메모리 부분들(271, 272, 및 273)에서의 메모리 셀들은 데이터 및 ECC를 동시에 저장할 수 있으며, 따라서 데이터가 기록 동작에서 메모리 부분(271)에 저장될 수 있는 동안, ECC는 동일한 기록 동작에서 메모리 부분들(272, 273)에 저장될 수 있다. 또 다른 예에서, 메모리 부분들(281, 282, 및 283)에서의 메모리 셀들(213)은 데이터 및 ECC를 동시에 저장할 수 있으며, 따라서 데이터가 기록 동작에서 메모리 부분(281)에 저장되는 동안, ECC는 동일한 기록 동작에서 메모리 부분들(282, 283)에 저장된다.
- [0032] 도 3은 본 발명의 실시예에 따라, 도 2의 메모리 셀들(210, 211, 212, 213, 및 214)에 저장된 정보(예로서, 데이터 또는 ECC)의 값들을 표현하도록 구성될 수 있는 임계 전압(VT) 범위들(301, 302, 303, 및 304)을 도시한 그래프이다. 도 3에 도시된 바와 같이, 하나의 VT 범위에서의 VT 값들(예로서, VT 축을 따라 볼트 단위에서의 값들)은 또 다른 VT 범위에서의 VT 값들과 상이하다. 예를 들면, VT 범위(301)는 VT 범위들(302, 303, 및 304)의 VT 값들에 대해 최저 VT 값들을 포함할 수 있다. VT 범위(304)는 VT 범위들(301, 302, 및 303)의 VT 값들

에 대해 최고 VT 값들을 포함할 수 있다.

- [0033] 도 3에 도시된 바와 같이, VT 범위들(301, 302, 303, 및 304)의 VT 값들은 2 비트들의 정보의 각각 4개의 가능한 값들("00", "01", "10", 및 "11")을 표현하도록 구성될 수 있다. 각각 VT 범위들(301, 302, 303, 및 304)에 대응하는 순서("11", "10", "00", 및 "01")는 예시적인 순서이다. 상이한 순서가 사용될 수 있다.
- [0034] 도 3은 일 예로서 4개의 VT 범위들을 도시한다. 상이한 수의 범위들이 사용될 수 있다. 예를 들면, 8개의 상이한 VT 범위들이 "000", "001", "010", "011", "100", "101", "110", 및 "111"을 포함하여, 3 비트들의 8개의 가능한 값들을 표현하기 위해 사용될 수 있다.
- [0035] 도 2에서, 메모리 셀들(210, 211, 212, 213, 및 214)의 각각은 2 비트들의 값("11", "10", "00, 또는 "01") 중 어떤 것이 선택된 메모리 셀에 저장되는지에 의존하여, 메모리 셀에 저장된 정보의 값에 대응하는 VT 범위들(301, 302, 303, 및 304)(도 3) 중 하나 내에 있는 VT 값(예로서, 기록 동작 후)을 유지할 수 있다. 예를 들면, 도 3에 기초하여, 선택된 메모리 셀(예로서, 도 2에서의 210, 211, 212, 213, 및 214 중 하나)에 값("10")을 저장하기 위해, 기록 동작은 선택된 메모리 셀이 VT 범위(302) 내에 VT 값을 유지하게 할 수 있다. 또 다른 예에서, 선택된 메모리 셀에 값("01")을 저장하기 위해, 기록 동작은 선택된 메모리 셀이 VT 범위(304) 내에 VT 값을 유지하게 할 수 있다.
- [0036] 판독 동작은 선택된 메모리 셀에 저장된 정보의 값(예로서, "00", "01", "10", 또는 "11")을 결정하기 위해 선택된 메모리 셀에 저장된 정보를 검색(예로서, 감지함으로써)할 수 있다. 예를 들면, 판독 동작에서, VT 범위(302)에 대응하는 VT 값이 선택된 메모리 셀로부터 감지된다면, "10"(도 3에 기초한)의 값은 감지된 VT 값으로부터 생성될 수 있다. 값("10")은 그 후 선택된 메모리 셀에 저장된 정보의 값으로서 제공될 수 있다(예로서, 출력).
- [0037] 도 2를 참조하여 상기 설명된 바와 같이, 메모리 셀들(210, 211, 212, 213, 및 214)(도 2)에 저장된 정보는 데이터 및 ECC를 포함할 수 있다. 따라서, 도 3에서, 값들("00", "01", "10", 및 "11")의 각각은 2 비트들의 데이터 또는 2 비트들의 ECC의 값들을 표현할 수 있다. 예를 들면, 도 2에서, 메모리 부분(281)에서의 메모리 셀들(213)이 데이터를 저장하기 때문에, 메모리 부분(281)에서의 특정한 메모리 셀(213)이 VT 범위(302) 내에서의 VT 값(예로서, 감지될 때)을 가진다면(도 3에서의 값("10")에 대응하는), 상기 특정한 메모리 셀에서의 저장된 정보는 2 비트들의 데이터의 값("10")을 표현할 수 있다. 또 다른 예에서, 도 2에서, 메모리 부분들(282, 283)에서의 메모리 셀들(213)은 ECC를 저장할 수 있기 때문에, 메모리 부분(282 또는 283)에서의 특정한 메모리 셀(213)이 VT 범위(302)(도 3에서의 값("10")에 대응하는) 내에서의 VT 값(예로서, 감지될 때)을 가진다면, 상기 특정한 메모리 셀에서의 저장된 정보는 2 비트들의 ECC의 값("10")을 표현할 수 있다.
- [0038] 도 3에 도시된 바와 같이, 2 비트들(값들("00", "01", "10", 및 "11")을 가진)의 정보는 비트 위치 MSB(예로서, 최상위 비트)에 하나의 비트 및 비트 위치 LSB(예로서, 최하위 비트)에 하나의 비트로서 지정될 수 있다.
- [0039] 메모리 디바이스(200)(도 2)는 정보의 페이지들에서 데이터의 비트들(저장될)을 조직하도록 구성될 수 있다. 정보의 각각의 페이지는 데이터 및 그것의 연관된 ECC를 포함할 수 있다. 1 페이지의 정보에서의 데이터의 크기(예로서, 8K 바이트들)는 또 다른 페이지의 정보에서의 데이터의 크기와 동일할 수 있다.
- [0040] 한 페이지의 정보에서의 데이터의 비트들은 동일한 비트 위치(예로서, MSB 또는 LSB)에 저장될 비트들을 포함할 수 있다. 예를 들면, 한 페이지의 정보는 동일한 비트 위치(MSB)에 저장될 비트들을 가진 데이터를 포함할 수 있다. 또 다른 예에서, 또 다른 페이지의 정보는 동일한 비트 위치(LSB)에 저장될 비트들을 가진 데이터를 포함할 수 있다.
- [0041] 도 3에 도시된 바와 같이, 비트 위치(MSB)에서의 비트들 중에서, 값들("1", "1", "0", 및 "0")은 이러한 순서로, VT 범위(302)에서의 "1"로부터 VT 범위(303)에서의 "0"으로 단지 한 번 변한다. 비트 위치(LSB)에서의 비트들 중에서, 값들("1", "0", "0", 및 "1")은 이러한 순서로, VT 범위(301)에서의 "1"로부터 VT 범위(302)에서의 "0"으로 변하는 것 및 VT 범위(303)에서의 "0"에서 VT 범위(304)에서의 "1"로 변하는 것과 같이, 두 번 변한다. 따라서, 비트 위치들(MSB)에서의 비트들 및 비트 위치(LSB)에서의 비트들 사이의 비교에서, 비트 위치(LSB)에서의 비트들은 비트 위치(MSB)에서의 비트들보다 보다 많이 변한다. 예러는 비트가 여전히 동일한 값에 있을 때보다 비트가 그것의 값들을 변경할 때(예로서, "0" 및 "1" 사이) 발생할 가능성이 더 높다. 따라서, 예러는 비트 위치(MSB)에서의 비트들보다 비트 위치(LSB)에서의 비트들에서 발생할 가능성이 더 높다(예로서, 두 배 더 높은).

- [0042] 따라서, 도 3에서의 값들("11", "10", "00", "01")의 순서에 기초하여, 보다 에러에 취약한 페이지의 정보는 비트 위치(LSB)에서의 비트들을 가진 데이터를 포함하는 정보의 페이지를 나타낼 수 있다. 덜 에러에 취약한 페이지의 정보는 비트 위치(MSB)에서의 비트들을 가진 데이터를 포함하는 정보의 페이지를 나타낼 수 있다.
- [0043] 몇몇 경우들에서, 도 3에서의 값들("11", "10", "00", 및 "01")은 도 3에 도시된 순서와 상이한 순서로 배열될 수 있다. 이러한 경우들에서, 값들("11", "10", "00", 및 "01")의 순서에 의존하여, 에러는 비트 위치(LSB)에서의 비트들에서보다 비트 위치(MSB)에서의 비트들에서 발생할 가능성이 더 높을 수 있다.
- [0044] 요컨대, 보다 에러에 취약한 페이지의 정보는 또 다른 비트 위치(예로서, 도 3에서의 값들의 순서에 기초한 MSB)에서의 비트들을 가진 데이터를 포함하는 정보의 페이지보다 에러들을 가질 가능성이 더 높은 비트 위치(예로서, 도 3에서의 값들의 순서에 기초한 LSB)에서의 비트들을 가진 데이터를 포함하는 정보의 페이지를 나타낼 수 있다. 덜 에러에 취약한 페이지의 정보는 또 다른 비트 위치(예로서, 도 3에서의 값들의 순서에 기초한 LSB)에서의 비트들을 가진 데이터를 포함하는 정보의 페이지보다 에러들을 가질 가능성이 덜 높은 비트 위치(예로서, 도 3에서의 값들의 순서에 기초한 MSB)에서의 비트들을 가진 데이터를 포함하는 정보의 페이지를 나타낼 수 있다.
- [0045] 따라서, 도 4 내지 도 8을 참조하여 이하에 설명되는 바와 같이, 데이터의 에러 정정을 개선하기 위해, 보다 많은 ECC(예로서, 보다 높은 수의 ECC 비트들)는 에러들을 가질 가능성이 덜한 비트 위치에서의 비트들을 가진 데이터에 보다 에러들을 가질 가능성이 더 높은 것으로 결정되는 비트 위치에서의 비트들을 가진 데이터에 할당될 수 있다. 메모리 셀들(210, 211, 212, 및 213)과 같은, 메모리 셀들로 기록되며 그로부터 검색된 비트 패턴들의 분석은 비트 위치들(예로서, MSB 또는 LSB) 중 어떤 것이 에러들을 가질 가능성이 더 높은 데이터의 비트들을 갖는지를 결정하기 위해 수행될 수 있다(예로서, 제조 동안).
- [0046] 도 4는 본 발명의 실시예에 따라, 도 2의 메모리 셀들(210, 211, 212, 213, 및 214)의 메모리 부분들의 대응하는 블록도를 도시한다. 도 4에서의 메모리 셀들(210, 211, 212, 213, 및 214)의 메모리 부분들의 참조 지정들은, 메모리 부분들(251, 252, 및 253)(라인(WL0)과 연관된), 메모리 부분들(261, 262, 및 263)(라인(WL1)과 연관된), 메모리 부분들(271, 272, 및 273)(라인(WL2)과 연관된), 메모리 부분들(281, 282, 및 283)(라인(WL3)과 연관된), 및 메모리 부분들(291, 292, 및 293)(라인(WL4)과 연관된)을 포함하여(도 4에 도시된 바와 같이), 도 2에서의 것들과 동일하다. 도 4에서의 도면은 일정한 비율로 그려지지 않는다.
- [0047] 도 4에 도시된 바와 같이, 메모리 부분들(252, 262, 272, 282, 및 292)의 각각은 메모리 부분(252)에서의 부분들(401, 402, 및 403), 메모리 부분(262)에서의 부분들(411, 412, 및 413), 메모리 부분(272)에서의 부분들(421, 422, 및 423), 메모리 부분(282)에서의 부분들(431, 432, 및 433), 메모리 부분(292)에서의 부분들(441, 442, 및 443)과 같은, 부분들(예로서, 서브부분들)을 포함할 수 있다.
- [0048] 부분들(401, 402, 및 403)은 동일한 크기(예로서, 동일한 수의 메모리 셀들)를 가질 수 있다. 부분들(401, 402, 및 403)의 각각은 또한 메모리 부분(253)의 크기와 동일한 크기를 가질 수 있다. 부분들(411, 412, 및 413)은 메모리 부분(263)의 크기와 동일할 수 있는 동일한 크기(예로서, 동일한 수의 메모리 셀들)를 가질 수 있다. 부분들(421, 422, 및 423)은 메모리 부분(273)의 크기와 동일할 수 있는 동일한 크기(예로서, 동일한 수의 메모리 셀들)를 가질 수 있다. 부분들(431, 432, 및 433)은 메모리 부분(283)의 크기와 동일할 수 있는 동일한 크기(예로서, 동일한 수의 메모리 셀들)를 가질 수 있다. 부분들(441, 442, 및 443)은 메모리 부분(293)의 크기와 동일할 수 있는 동일한 크기(예로서, 동일한 수의 메모리 셀들)를 가질 수 있다.
- [0049] 도 5는 본 발명의 실시예에 따라, 도 4의 메모리 부분들에 저장될 수 있는 정보의 상이한 페이지들(예로서, 데이터 및 ECC)을 도시한다. 도 4에서의 메모리 셀들(210, 211, 212, 213, 및 214)의 메모리 부분들의 참조 지정들은 메모리 부분들(251, 252, 및 253)(라인(WL0)과 연관된), 메모리 부분들(261, 262, 및 263)(라인(WL1)과 연관된), 메모리 부분들(271, 272, 및 273)(라인(WL2)과 연관된), 메모리 부분들(281, 282, 및 283)(라인(WL3)과 연관된), 및 메모리 부분들(291, 292, 및 293)(라인(WL4)과 연관된)을 포함하여, 도 2에서의 것들과 동일하다.
- [0050] 도 5에 도시된 바와 같이, 정보는 데이터(555) 및 연관된 ECC(557), 데이터(565) 및 연관된 ECC(567), 데이터(566) 및 연관된 ECC(568), 데이터(575) 및 연관된 ECC(577), 데이터(576) 및 연관된 ECC(578), 데이터(585) 및 연관된 ECC(587), 데이터(586) 및 연관된 ECC(588), 데이터(595) 및 연관된 ECC(597)와 같은, 데이터 및 그것들의 연관된 ECC를 포함할 수 있다.
- [0051] 특정한 데이터와 연관된 ECC는 상기 특정한 데이터에서 발생할 수 있는 에러들을 정정하기 위해 사용될 수

있다. 예를 들면, ECC(577)는 데이터(575)가 판독 동작에서 검색될 때 데이터(575)에서 발생할 수 있는 에러들을 정정하기 위해 사용될 수 있다. 또 다른 예에서, ECC(578)는 데이터(576)가 판독 동작에서 검색될 때 데이터(576)에서 발생할 수 있는 에러들을 정정하기 위해 사용될 수 있다.

[0052] 도 5에서, "데이터 WL_x", "데이터_AWL_x", 및 "데이터_BWL_x" (여기에서 x = 0, 1, 2, 3, 또는 4)는 각각 라인들(WL0, WL1, WL2, WL3, 및 WL4)과 연관된 메모리 부분들(251, 261, 271, 281, 및 291)에 저장된 데이터(555, 565, 575, 585, 및 595) 중에서 상이한 데이터(예로서, 데이터의 비트들)를 표현할 수 있다. 예를 들면, "데이터_AWL1"은 라인(WL1)과 연관된 메모리 부분(261)에 저장된 정보의 페이지에서의 데이터를 표현할 수 있다. 또 다른 예에서, "데이터_BWL1"은 라인(WL1)과 연관된 메모리의 메모리 부분(261)에 저장된 정보의 또 다른 페이지에서의 데이터를 표현할 수 있다. "데이터_AWL1" 및 "데이터_BWL1"은 라인(WL1)과 연관된 메모리 부분(261)의 동일한 메모리 셀들에 저장될 수 있다. "데이터_AWL2" 및 "데이터_BWL2"는 라인(WL2)과 연관된 메모리 부분(271)에 저장된 정보의 두 개의 상이한 페이지들에서의 데이터를 표현할 수 있다. "데이터_AWL3" 및 "데이터_BWL3"은 라인(WL3)과 연관된 메모리 부분(281)에 저장된 정보의 두 개의 상이한 페이지들에서의 데이터를 표현할 수 있다.

[0053] 정보의 상이한 페이지들에서의 데이터는 동일한 크기(예로서, 동일한 수의 비트들)를 가질 수 있다. 예를 들면, 데이터(555, 565, 566, 575, 576, 585, 586, 및 595)(예로서, "데이터WL_x", "데이터_AWL_x", 및 "데이터_BWL_x"에 의해 표현된)는 동일한 수의 비트들(예로서, 65,536 비트들 = 8 x 8 x 2¹⁰ = 8 킬로바이트들)을 가질 수 있다.

[0054] "ECC_Y (데이터 WL_x)", "ECC_Y (데이터_AWL_x)", 및 "ECC_Y (데이터_BWL_x)"(여기에서 Y = 0, 1, 2, 3, 또는 4)는 메모리 부분들(251, 261, 271, 281, 및 291)에 저장된 데이터와 연관된 상이한 세트들(예로서, 패리티 검사 비트들의 세트들)의 ECC들(557, 567, 577, 587, 588, 및 597)을 표현할 수 있다. 예를 들면, "ECC₀ (데이터_AWL2)", "ECC₁ (데이터_AWL2)", "ECC₂ (데이터_AWL2)"는 데이터("데이터_AWL2")와 연관된 3 세트들의 ECC를 표현할 수 있다. 또 다른 예에서, "ECC₀ (데이터_BWL2)", "ECC₁ (데이터_BWL2)", "ECC₂ (데이터_BWL2)", "ECC₃ (데이터_BWL2)" 및 "ECC₄ (데이터_BWL2)"는 데이터("데이터_BWL2")와 연관된 5 세트들의 ECC를 표현할 수 있다.

[0055] "ECC_Y (데이터 WL_x)", "ECC_Y (데이터_AWL_x)", 및 "ECC_Y (데이터_BWL_x)"는 동일한 크기(예로서, 512 비트들 = 64 바이트들과 같은, 동일한 수의 비트들)를 가질 수 있다.

[0056] 도 5에 도시된 데이터 및 ECC는 정보의 페이지들로 조직될 수 있다. 예를 들면, 라인(WL2)과 연관된 메모리 부분들에 저장된 정보의 페이지는 "데이터_AWL2", "ECC₀ (데이터_AWL2)", "ECC₁ (데이터_AWL2)", "ECC₂ (데이터_AWL2)", 및 "ECC₄ (데이터_BWL1)"을 포함할 수 있다. 라인(WL2)과 연관된 메모리 부분들에 저장된 정보의 또 다른 페이지는 "데이터_BWL2", "ECC₀ (데이터_BWL2)", "ECC₁ (데이터_BWL2)", "ECC₂ (데이터_BWL2)", 및 "ECC₃ (데이터_BWL2)"를 포함할 수 있다.

[0057] 도 5에 도시된 바와 같이, 상이한 페이지들의 정보로부터의 데이터는 동일한 라인(WL0, WL1, WL2, WL3, 또는 WL4)과 연관된 동일한 메모리 부분에 저장될 수 있다. 예를 들면, 2개의 상이한 페이지들의 정보로부터의 데이터("데이터_AWL2" 및 "데이터_BWL2")는 라인(WL2)과 연관된 동일한 메모리 부분(271)에 저장될 수 있다.

[0058] 특정한 데이터와 연관된 전체 ECC는 데이터와 동일한 페이지의 정보로 조직될 수 있으며, 동일한 라인(라인들(WL0, WL1, WL2, WL3, 및 WL4) 중 하나)과 연관된 메모리 부분들에 저장될 수 있다. 예를 들면, "데이터_AWL2"와 연관된 "ECC₀ (데이터_AWL2)", "ECC₁ (데이터_AWL2)", 및 "ECC₂ (데이터_AWL2)"는 동일한 페이지의 정보로 조직되며 동일한 라인(WL2)과 연관된 메모리 부분들에 저장될 수 있다.

[0059] 특정한 데이터와 연관된 ECC의 부분(예로서, 세트)은 상기 특정한 데이터를 포함하는 정보의 페이지와 상이한 정보의 페이지로 조직될 수 있다. 정보의 상이한 페이지들은 상이한 액세스 라인들과 연관된 메모리 부분들에 저장될 수 있다. 예를 들면, 데이터_BWL2와 연관된 ECC의 부분(예로서, ECC₄ (데이터_BWL2))은 데이터_BWL2를 포함하는 정보의 페이지와 상이한 "데이터_AWL3", "ECC₀ (데이터_AWL3)", "ECC₁ (데이터_AWL3)", 및 "ECC₂ (데이터_AWL3)"을 포함하는 정보의 페이지로 조직될 수 있다. 따라서, 데이터 및 그것의 연관된 ECC는 두 개의 상이한 페이지들의 정보로 조직될 수 있으며 라인들(WL0, WL1, WL2, WL3, 및 WL4) 중에서 두 개의 상이한 라인들과 연관된 메모리 부분들에 저장될 수 있다. 두 개의 상이한 라인들(예로서, WL2 및 WL3)은 물리적으로 서로의 바로 옆에

위치될 수 있다. 따라서, 상이한 라인들과 연관된 메모리 부분들은 물리적으로 서로의 바로 옆에 위치되는 메모리 셀들(예로서, 212 및 213)을 포함할 수 있다.

[0060] 도 5에 도시된 바와 같이, 라인들(WL0, WL2, WL2 WL3, 및 WL4) 중 몇몇(예로서, 라인들(WL0 및 WL4))과 연관된 메모리 부분들은 단지 한 페이지의 정보를 저장하도록 구성될 수 있다. 예를 들면, 라인(WL0)과 연관된 메모리 부분들(251, 252, 및 253)은 "데이터 WL0", "ECC₀ (데이터 WL0)", "ECC₁ (데이터 WL0)", "ECC₂ (데이터 WL0)", 및 "ECC₃ (데이터 WL0)"을 포함하는 단지 한 페이지의 정보만을 저장하도록 구성될 수 있다. 또 다른 예에서, 라인(WL4)과 연관된 메모리 부분들(291, 292, 및 293)은 "데이터 WL4", "ECC₀ (데이터 WL4)", "ECC₁ (데이터 WL4)", "ECC₂ (데이터 WL4)", 및 "ECC₄ (데이터_B WL3)"을 포함하는 단지 한 페이지의 정보만을 저장하도록 구성될 수 있다.

[0061] 도 5에 도시된 바와 같이, 라인들(WL0, WL2, WL2 WL3, 및 WL4) 중 몇몇(예로서, 라인들(WL1, WL2, 및 WL3))과 연관된 메모리 부분들은 다수의 페이지들의 정보를 저장하도록 구성될 수 있다. 예를 들면, 도 5에 도시된 바와 같이, 메모리 부분(271)은 데이터(575)를 포함하는 한 페이지의 정보 및 데이터(576)를 포함하는 또 다른 페이지의 정보를 저장하도록 구성될 수 있다. 이 예에서, 메모리 부분(217)이 $8 \times 8 \times 2^{10}$ 메모리 셀들을 포함하며 이들 메모리 셀들의 각각이 2 비트들의 데이터를 저장하도록 구성된다면, 총 16 킬로바이트들의 데이터에 대해, 메모리 부분(217)은 한 페이지의 정보에 포함된 데이터(575)의 $8 \times 8 \times 2^{10}$ 비트들 (8 킬로바이트들) 및 또 다른 페이지의 정보에 포함된 데이터(576)의 또 다른 $8 \times 8 \times 2^{10}$ 비트들 (8 킬로바이트들)을 저장할 수 있다.

[0062] 도 5는 두 페이지들의 정보가 메모리 부분들(261, 271, 및 281)의 각각에 저장될 수 있는 일 예를 도시한다. 메모리 부분들(261, 271, 및 281)의 각각에 저장될 수 있는 다수의 페이지들의 수는 변할 수 있다. 예를 들면, 메모리 부분들(261, 271, 및 281)의 메모리 셀들이 3 비트들의 정보를 저장하도록 구성된다면, 메모리 부분들(261, 271, 및 281)의 각각은 최대 3 페이지들의 정보까지 저장할 수 있다.

[0063] 상이한 데이터와 연관된 ECC들은 상이한 크기들(예로서, 상이한 수들의 세트들 및 상이한 수들의 비트들)을 가질 수 있다. 예를 들면, 도 5에 도시된 바와 같이, ECC들(557, 567, 568, 577, 578, 587, 588, 및 597)은 상이한 수들의 세트들의 ECC를 포함할 수 있다. ECC들(557 및 567)의 각각은 4 세트들의 ECC(예로서, 4개의 세트들에서 총 256 바이트들에 대해 각각의 세트에서 64 바이트들의 ECC)를 포함할 수 있다. ECC들(577, 587, 및 597)의 각각은 3 세트들의 ECC(예로서, 3개의 세트들에서 총 192 바이트들에 대해 각각의 세트에서 64 바이트들의 ECC)를 포함할 수 있다. ECC들(568, 578, 및 588)의 각각은 5 세트들의 ECC(예로서, 5개의 세트들에서 총 320 바이트들에 대해 각각의 세트에서 64 바이트들의 ECC)를 포함할 수 있다.

[0064] 보다 에러에 취약한 페이지의 정보에서의 데이터는 덜 에러에 취약한 페이지의 정보에서의 데이터보다 더 많은 세트들의 ECC와 연관될 수 있다. 예를 들면, 도 5에서, 데이터(566, 576, 및 586)의 각각은 5 세트들의 ECC와 연관되기 때문에, 데이터(566, 576, 및 586)를 포함하는 정보의 페이지들은 보다 에러에 취약한 페이지들의 정보로서 불리울 수 있다. 또 다른 예에서, 도 5에서, 데이터(555, 565, 575, 585, 및 595)이 각각은 5 세트들보다 적은 ECC와 연관되기 때문에, 데이터(555, 565, 575, 585, 및 595)를 포함하는 정보의 페이지들은 덜 에러에 취약한 페이지의 정보로서 불리울 수 있다.

[0065] ECC들(555, 565, 575, 585, 및 595)은 저-밀도 패리티-검사(LDPC) 코딩 기술을 포함한 기술들을 사용하여 생성될 수 있다. 예를 들면, 이 기술분야의 숙련자들에게 알려진 바와 같이, 발생기 매트릭스(예로서, G-매트릭스)는 LDPC 코드에 기초하여 생성될 수 있다. 이러한 발생기 매트릭스는 각각 데이터(555, 565, 566, 575, 576, 585, 586, 및 595)와 연관된 ECC들(557, 567, 568, 577, 578, 587, 588, 및 597)의 "ECC_Y (데이터 WL_X)", "ECC_Y (데이터_AWL_X)", 및 "ECC_Y (데이터_BWL_X)"를 생성하기 위해 사용될 수 있다.

[0066] 도 6은 본 발명의 실시예에 따른, 발생기 매트릭스(610)의 구조를 도시한다. 발생기 매트릭스(610)는 5개의 층들(601, 602, 603, 604, 및 605)을 포함할 수 있으며, 5-층 준-순환 LDPC 인코더 및 5-층 준-순환 LDPC 디코더와 같은, 준-순환 LDPC 코덱에서 구현될 수 있다. 도 6에 도시된 바와 같이, 층들(601, 602, 603, 604, 및 605)의 각각은 서브매트릭스들(620)과 같은 서브매트릭스들을 포함할 수 있어서, 데이터 부분(631) 및 패리티 검사 부분(632)을 형성한다. 서브매트릭스들(620)의 각각은 로우들 및 컬럼들로 배열된 다수의 이진 값("0" 및 "1") 엔트리들을 포함할 수 있다. 간소화를 위해, 엔트리들("0" 및 "1")은 서브매트릭스들(620)에 도시되지 않는다. 대신에, 서브매트릭스들(620)에서, 대각선들은 엔트리들("1")의 위치를 표현하며 공간들은 엔트리들("0")

0")의 위치들을 표현한다.

- [0067] 발생기 매트릭스(610)는 도 5를 참조하여 상기 설명된 ECC들(557, 567, 568, 577, 578, 587, 588, 및 597)과 같은 ECC를 생성하기 위해 사용될 수 있다(예로서, 데이터의 인코딩 동안). 특정한 데이터와 연관된 상이한 수들의 세트들(예로서, 5 세트들의 패리티 검사 비트들까지)의 ECC가 생성될 수 있다.
- [0068] 예를 들면, 특정한 데이터와 연관된 5 세트들의 ECC(예로서, ECC_0 , ECC_1 , ECC_2 , ECC_3 , 및 ECC_4)는 모든 5개의 층들(601, 602, 603, 604, 및 605)을 사용하여서와 같이, 발생기 매트릭스(610)의 모든 층들을 사용하여 생성될 수 있다. 따라서, 보다 에러에 취약한 페이지의 정보에 포함될 특정한 데이터에 대해, 상기 특정한 데이터와 연관된 5 세트들의 ECC는 발생기 매트릭스(610)의 모든 5개의 층들(601, 602, 603, 604, 및 605)을 사용하여 생성될 수 있다.
- [0069] 또 다른 예에서, 특정한 데이터와 연관된 5개보다 적은 세트들의 ECC(예로서, 3개의 세트들(ECC_0 , ECC_1 , 및 ECC_2), 또는 4개의 세트들(ECC_0 , ECC_1 , ECC_2 , 및 ECC_3))은 단지 3개의 층들(601, 602, 및 603)(3개의 세트들의 ECC를 생성하기 위해)만을 사용하여 또는 단지 4개의 층들(601, 602, 603, 및 604)(4개의 세트들의 ECC를 생성하기 위해)만을 사용하여서와 같이, 모두보다 적은 층들의 발생기 매트릭스(610)를 사용하여 생성될 수 있다. 따라서, 덜 에러에 취약한 페이지의 정보에 포함될 특정한 데이터에 대해, 상기 특정한 데이터와 연관된 3 또는 4 세트들의 ECC는 단지 3개의 층들(601, 602, 및 603) 또는 단지 4개의 층들(601, 602, 603, 및 604)을 사용하여 생성될 수 있다.
- [0070] 발생기 매트릭스(610)에 기초하여 생성된 ECC의 세트들(예로서, ECC_0 , ECC_1 , ECC_2 , ECC_3 , 및 ECC_4)은 도 5를 참조하여 상기 설명된 세트들("ECC_Y (데이터 WL_X)", "ECC_Y (데이터_AWL_X)", 및 "ECC_Y (데이터_BWL_X)")에 대응할 수 있다.
- [0071] 도 6에서의 발생기 매트릭스(610)는 또한 에러들이 데이터에 발생한다면 데이터와 연관된 ECC에 기초하여 데이터를 생성하기 위해 사용될 수 있다(예로서, 데이터의 디코딩 동안). 예를 들면, 5 세트들의 ECC(예로서, ECC_0 , ECC_1 , ECC_2 , ECC_3 , 및 ECC_4)가 특정한 데이터와 연관된다면(예로서, 데이터의 인코딩 동안), 발생기 매트릭스(610)의 4개의 층들(예로서, 601, 602, 603, 및 604)에 대응하는 4 세트들의 ECC는 처음에 상기 특정한 데이터를 재생하려고 시도하기 위해 사용될 수 있다. 데이터가 성공적으로 생성되지 않았다면, 모든 5 세트들의 ECC 및 발생기 매트릭스(610)의 모든 5개의 층들(예로서, 601, 602, 603, 604, 및 605)은 상기 특정한 데이터를 재생하려고 시도하기 위해 사용될 수 있다. 또 다른 예에서, 3 세트들의 ECC(예로서, ECC_0 , ECC_1 , 및 ECC_2)가 특정한 데이터와 연관된다면(예로서, 데이터의 인코딩 동안), 3 세트들의 ECC 및 발생기 매트릭스(610)의 대응하는 3개의 층들(예로서, 601, 602, 및 603)은 상기 특정한 데이터를 재생하려고 시도하기 위해 사용될 수 있다. 또 다른 예에서, 4 세트들의 ECC(예로서, ECC_0 , ECC_1 , ECC_2 , 및 ECC_3)가 특정한 데이터와 연관된다면(예로서, 데이터의 인코딩 동안), 4 세트들의 ECC 및 발생기 매트릭스(610)의 대응하는 4개의 층들(예로서, 601, 602, 603, 및 604)은 상기 특정한 데이터를 재생하려고 시도하기 위해 사용될 수 있다.
- [0072] 도 7은 본 발명의 실시예에 따른, 시스템(700)의 형태에서의 장치의 블록도를 도시한다. 시스템(700)은 디바이스들(710, 720, 및 730)을 포함할 수 있다. 디바이스(710)는 범용 프로세서 또는 애플리케이션 특정 집적 회로(ASIC)와 같은, 프로세서를 포함할 수 있다. 디바이스(720)는 디바이스들(710 및 730) 사이에서의 정보의 전달을 제어하기 위해 메모리 제어를 포함할 수 있다. 디바이스(720)는 또한 디바이스(710)로부터 전달된 데이터와 같은, 데이터와 연관된 ECC를 생성할 수 있다. 디바이스(730)는 도 1의 메모리 디바이스(100)와 같은, 메모리 디바이스를 포함할 수 있다. 디바이스들(710, 720, 및 730)의 각각은 물리적으로 별개의 반도체 다이 상에 위치될 수 있다. 대안적으로, 디바이스들(710, 720, 및 730) 중 임의의 두 개 또는 디바이스들(710, 720, 및 730)의 모두는 물리적으로 동일한 반도체 다이 상에 위치될 수 있다.
- [0073] 도 7에서, "데이터 + ECC"는 시스템(700)에서 데이터 및 그것의 연관된 ECC를 표현할 수 있다. 데이터는 도 5를 참조하여 상기 설명된 데이터(555, 565, 566, 575, 576, 585, 586, 및 595)에 포함된 "데이터 WL_X", "데이터_AWL_X", 또는 "데이터_BWL_X"에 대응할 수 있다. 도 7에서, ECC는 도 5를 참조하여 상기 설명된 ECC(557, 567, 568, 577, 578, 587, 588, 및 597)에 포함된 "ECC_Y (데이터 WL_X)", "ECC_Y (데이터_AWL_X)", 및 "ECC_Y (데이터_BWL_X)"에 대응할 수 있다. 도 7에서, ECC₄ (데이터_B)는 도 5를 참조하여 상기 설명된 "ECC₄ (데이터_BWL₁)", "ECC₄

(데이터_B WL2)", 또는 "ECC₄ (데이터_B WL3)"에 대응할 수 있다.

- [0074] 다음의 설명은 디바이스(730)에 정보를 저장하기 위해 시스템(700)에서의 예시적인 동작(예로서, 기록 동작)을 설명한다. 이러한 예시적인 동작에서, 디바이스(710)는 데이터(디바이스(730)에 저장될)를 디바이스(720)에 전달할 수 있다. 그 후, 디바이스(720)는 데이터와 연관된 ECC를 생성하며 데이터 및 그것의 연관된 ECC 양쪽 모두를 저장을 위해 디바이스(730)에 전달할 수 있다.
- [0075] 이러한 예시적인 동작에서, 디바이스(720)의 인터페이스(732)는 디바이스(710)로부터 데이터를 수신할 수 있으며 수신된 데이터를 버퍼(734)에 전달할 수 있다. 디바이스(720)는 버퍼(734)로부터 데이터를 수신하기 위해 ECC 발생기(736)를 포함하며 데이터와 연관된 ECC를 생성할 수 있다.
- [0076] ECC 발생기(736)는 ECC 발생기(736)에 구현된 발생기 매트릭스(예로서, 도 6의 발생기 매트릭스(610))에 적어도 부분적으로 기초하여 ECC를 생성하기 위해 인코더(737)를 포함할 수 있다. ECC 발생기(736)에 의해 생성된 ECC는 상이한 수들의 ECC 세트들(예로서, 패리티 검사 비트들의 세트들)을 포함할 수 있다. 예를 들면, ECC는 상기 정보의 페이지가 디바이스(730)에 전송되기 전에 정보의 어떤 페이지가 데이터를 포함할지에 의존하여, 3, 4, 또는 5 세트들을 포함할 수 있다. 예를 들면, 도 5 및 도 6을 참조하여 상기 설명된 바와 같이, 보다 에러에 취약한 페이지의 정보에서의 데이터와 연관된 ECC는 5 세트들의 ECC를 포함할 수 있다. 덜 에러에 취약한 페이지의 정보에서의 데이터와 연관된 ECC는 3 또는 4 세트들의 ECC를 포함할 수 있다.
- [0077] 도 7에서, 예를 들면, 데이터가 에러에 덜 취약한 페이지의 정보에 포함된다면, 상기 특정한 데이터에 대한 ECC 발생기(736)에 의해 생성된 ECC는 도 5의 ECC(577, 587, 및 597)의 각각에서의 3 세트들(ECC₀, ECC₁, 및 ECC₂) 또는 ECC(557 및 567)의 각각에서의 4 세트들(ECC₀, ECC₁, ECC₂, 및 ECC₃)과 유사하거나 또는 그와 동일할 수 있는 3 또는 4 세트들의 ECC를 포함할 수 있다. 또 다른 예에서, 디바이스(720)에 전달된 데이터가 보다 에러에 취약한 페이지의 정보에 포함된다면, 특정한 데이터에 기초하여 ECC 발생기(736)에 의해 생성된 ECC는 도 5의 ECC(568, 578, 및 588)의 각각에서 ECC 세트들(ECC₀, ECC₁, ECC₂, ECC₃, 및 ECC₄)과 유사하거나 또는 동일할 수 있는, 5 세트들을 포함할 수 있다.
- [0078] 도 7에서 디바이스(720)는 보다 에러에 취약한 페이지의 정보에서의 특정한 데이터와 연관된 ECC의 일 부분을 저장하기 위해 ECC 기록 저장 유닛(738)을 포함할 수 있다. ECC 기록 저장 유닛(738)에 저장된 ECC의 부분은 상기 특정한 데이터와 연관된 5 세트들의 ECC 중에서 단지 하나의 세트(예로서, ECC₄ (데이터_B))만을 포함할 수 있다.
- [0079] 디바이스(720)는 데이터 및 ECC를 정보의 페이지들로 조직하며 그것들을 저장을 위해 디바이스(730)로 전달할 수 있다. 정보의 각각의 페이지는 데이터 및 4 세트들의 ECC를 포함할 수 있다. 4 세트들의 ECC는 동일한 데이터 및/또는 상이한 데이터와 연관된 ECC일 수 있다. 예를 들면, 보다 에러에 취약한 페이지의 정보는 데이터(예로서, 도 5에서의 데이터(566, 576, 및 586)) 및 상기 동일한 데이터와 연관된 5 세트들 중 4개의 ECC(예로서, ECC₀, ECC₁, ECC₂, 및 ECC₃)를 포함할 수 있다. 덜 에러에 취약한 정보는 데이터(예로서, 도 5에서의 데이터(555, 556)) 및 모든 4개의 세트들의 그것의 연관된 ECC(예로서, ECC₀, ECC₁, ECC₂, 및 ECC₃)를 포함할 수 있다.
- [0080] 덜 에러에 취약한 페이지의 정보는 또한 데이터(예로서, 도 5에서의 데이터(575, 585, 및 595)) 및 모든 3 세트들의 그것의 연관된 ECC(예로서, ECC₀, ECC₁, 및 ECC₂)를 포함할 수 있다. 덜 에러에 취약한 페이지의 정보에서의 제 4 세트의 ECC는 ECC 기록 저장 유닛(738)에 저장되는 ECC 세트(예로서, ECC₄ (데이터_B))로부터 온다. 상기 설명된 바와 같이, ECC 기록 저장 유닛(738)에 저장된 ECC 세트(예로서, ECC₄ (데이터_B))는 보다 에러에 취약한 페이지의 정보에 포함된 데이터와 연관된다. 디바이스(720)는 이하에 설명되는 바와 같이, 보다 에러에 취약한 페이지의 정보에서의 데이터와 연관된 ECC의 나머지의 전달과 상이한 시간에 ECC 기록 저장 유닛(738)에 저장된 ECC 세트(예로서, ECC₄ (데이터_B))를 디바이스(730)에 전달할 수 있다.
- [0081] 보다 에러에 취약한 페이지의 정보에 포함될 특정한 데이터와 연관된 ECC(예로서, 5개의 ECC 세트들)의 생성 후, 디바이스(720)는 상기 특정한 데이터와 연관된 ECC(예로서, ECC₄ (데이터_B))의 일 부분을 저장하며 기록 제어 유닛(740)을 통해 인터페이스(742)로 상기 특정한 데이터 및 정보의 페이지에서의 그것의 연관된 ECC의 나머지(예로서, 4 세트들(ECC₀, ECC₁, ECC₂, 및 ECC₃))를 전달할 수 있다. ECC 기록 저장 유닛(738)에 저장된 ECC의 부분은 상기 특정한 데이터와 연관된 ECC의 다른 부분이 인터페이스(742)로 전달되는 동안 및 그 후 ECC 기록

저장 유닛(738)에 저장된 채로 있을 수 있다.

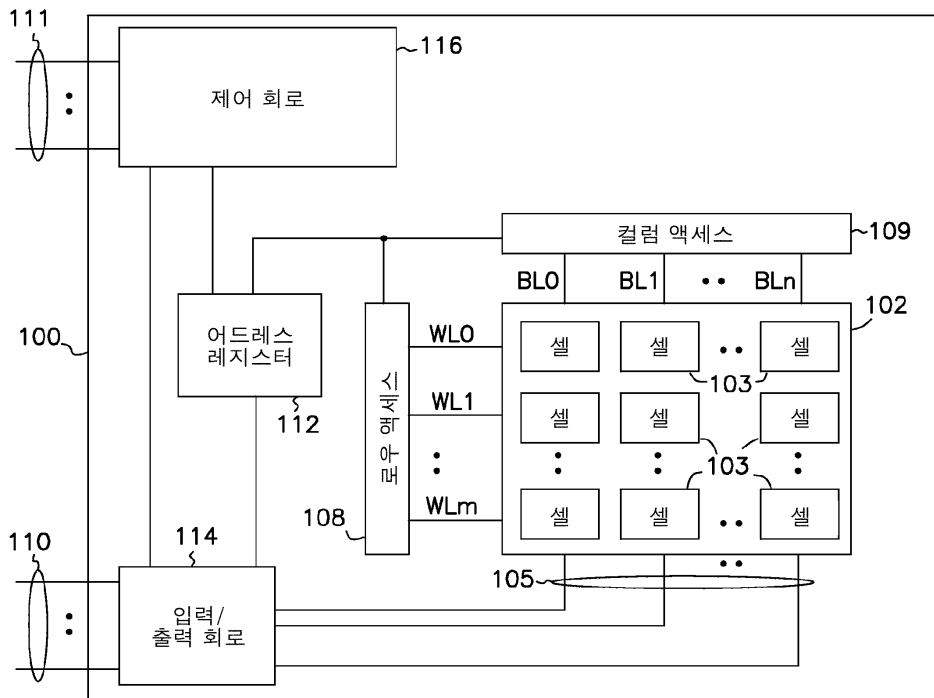
- [0082] 덜 에러에 취약한 페이지의 정보에 포함될 특정한 데이터와 연관된 ECC(예로서, 3개의 ECC 세트들)의 생성에 응답하여, 디바이스(720)는 ECC 기록 저장 유닛(738)에 저장된 ECC(예로서, ECC₄ (데이터_BWL))의 부분을 검색하며 그것을 덜 에러에 취약한 페이지의 정보에서의 데이터 및 연관된 ECC(예로서, 3개의 ECC 세트들)과 함께 인터페이스(742)로 전달할 수 있다.
- [0083] 디바이스(730)는 도 5를 참조하여 상기 설명된 것들과 유사하거나 또는 동일한 방식으로 정보(디바이스(720)로부터 수신된 데이터 및 ECC)의 페이지들을 저장하도록 구성될 수 있는 메모리 셀들(도 7에 도시되지 않음)을 포함할 수 있다.
- [0084] 다음의 설명은 디바이스(730)로부터 저장된 정보를 검색하기 위해 시스템(700)에서 또 다른 예시적인 동작(예로서, 판독 동작)을 설명한다. 이러한 예시적인 동작에서, 디바이스(720)는 인터페이스(742)에서의 디바이스(730)로부터 데이터 및 ECC를 포함한, 정보를 수신할 수 있다. 디바이스(720)는 정보를 프로세싱하기 위해 판독 제어 유닛(750) 및 프로세싱 유닛(752)을 포함할 수 있다. 디바이스(720)는 정보로부터 데이터를 생성하기 위해 검사 유닛(754)을 포함할 수 있다.
- [0085] 검사 유닛(754)은 ECC 발생기(736)에 구현된 발생기 매트릭스와 동일할 수 있는, 검사 유닛(754)에 구현된 발생기 매트릭스에 적어도 부분적으로 기초하여 데이터를 생성하기 위해 디코더(756)를 포함할 수 있다.
- [0086] 디바이스(720)는 발생기 매트릭스의 층들의 일 부분(예로서, 모두보다 적은 층들)에만 기초하여 데이터를 생성할 수 있다. 예를 들면, 덜 에러에 취약한 페이지의 정보에 대해, 디바이스(720)는 데이터를 생성하기 위해 발생기 매트릭스의 단지 3개(또는 4개)의 층들만을 사용할 수 있다. 보다 에러에 취약한 페이지의 정보에 대해, 디바이스(720)는 데이터를 생성하기 위해 모든 층들의 일 부분(예로서, 4개의 층들)만을 사용하거나 또는 발생기 매트릭스의 모든 층들(예로서, 5개)을 사용할 수 있다. 예를 들면, 디바이스(720)는 보통 보다 에러에 취약한 페이지의 정보로부터 데이터를 생성하기 위해 발생기 매트릭스의 모두보다 적은 층들을 사용하도록 구성될 수 있다. 디바이스(720)가 모두보다 적은 층들을 사용하여 데이터를 성공적으로 생성할 수 없다면, 그것은 데이터를 생성하기 위해 발생기 매트릭스의 모든 층들을 사용하며 상기 프로세스를 반복할 것이다.
- [0087] 다음의 설명은 그것이 디바이스(730)로부터 보다 에러에 취약한 페이지의 정보를 수신할 때 디바이스(720)가 데이터를 생성하는 예시적인 동작을 설명한다. 예를 설명하는 것을 용이하게 하기 위해, 도 5에 도시된 정보가 사용된다. 이러한 예시적인 동작에서, 디바이스(720)는 데이터(데이터_BWL2) 및 4 세트들의 그것의 연관된 ECC("ECC₀ (데이터_BWL2)", "ECC₁ (데이터_BWL2)", "ECC₂ (데이터_BWL2)", 및 "ECC₃ (데이터_BWL2)"(도 5))를 포함하는 정보의 페이지와 같은, 정보의 페이지를 디바이스(730)로부터 수신한다. 도 5에 도시된 바와 같이, 정보의 이러한 페이지는 라인(WL2)과 연관된 메모리 부분들(271, 272, 및 273)에 저장된다. 도 7에서, 디바이스(720)는 데이터(예로서, 데이터_BWL2)를 생성하기 위해 4 세트들의 ECC(ECC₀ (데이터_BWL2), ECC₁ (데이터_BWL2), ECC₂ (데이터_BWL2), 및 ECC₃ (데이터_BWL2)) 및 4개의 층들의 발생기 매트릭스를 사용한다. 디바이스(720)가 정보의 수신된 페이지(4 세트들의 ECC를 포함하여)로부터 데이터를 생성할 수 있다면, 그것은 데이터를 디바이스(710)로 전달할 것이다.
- [0088] 디바이스(720)가 정보의 수신된 페이지(4 세트들의 ECC를 포함하여)로부터 데이터(예로서, 데이터_BWL2)를 생성할 수 없다면, 그것은 데이터와 연관된 제 5 세트(예로서, 도 5에서의 ECC₄ (데이터_BWL2))의 ECC를 포함하여, 발생기 매트릭스의 모든 층들(예로서, 5) 및 데이터와 연관된 모든 세트들의 ECC(예로서, 5)를 사용하여 다시 시도할 것이다. 디바이스(720)는 데이터를 생성하려는 제 2 시도에서 보다 에러에 취약한 페이지의 정보에 포함된 데이터와 연관된 ECC의 일 부분(예로서, ECC₄ (데이터_BWL2))을 저장하기 위해 ECC 판독 저장 유닛(758)을 포함할 수 있다.
- [0089] 데이터를 생성하려는 제 2 시도 동안, 디바이스(720)는 메모리 부분(283)(도 5)으로부터 ECC₄ (데이터_BWL2)를 검색하며 ECC 판독 저장 유닛(758)에 ECC₄ (데이터_BWL2)를 저장한다. 그 후, 디바이스(720)는 디바이스(720)가 데이터를 생성할 수 없는 정보의 페이지로부터 데이터_BWL2 및 "ECC₀ (데이터_BWL2)", "ECC₁ (데이터_BWL2)", "ECC₂ (데이터_BWL2)", 및 "ECC₃ (데이터_BWL2)"를 검색한다. 이 때, 디바이스(720)는 데이터(예로서, 데이터_BWL2)를 생성하기 위해 모든 5 세트들의 ECC(ECC₀ (데이터_BWL2), ECC₁ (데이터_BWL2), ECC₂ (데이터_BWL2), ECC₃ (데이터

B_{WL2}), ECC_4 (데이터 B_{WL2})) 및 발생기 매트릭스의 5개의 층들을 사용할 수 있다.

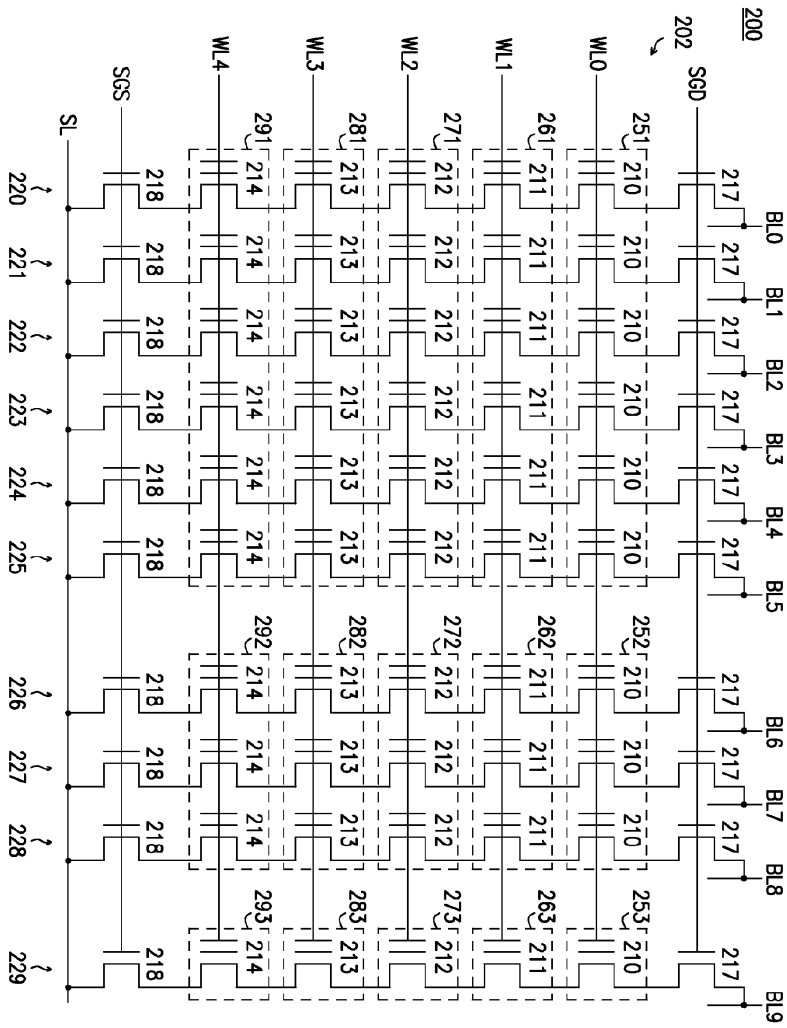
- [0090] 시스템(700)에서의 몇몇 상황들(예로서, 파워 다운)에서, 보다 에러에 취약한 페이지의 정보에서의 특정한 데이터와 연관된 ECC의 일 부분(예로서, ECC_4 데이터 B)은 상기 특정한 데이터가 디바이스(730)에 저장된 후 ECC 기록 저장 유닛(738)에 저장되지 않을 수 있다. 이러한 상황에서, 디바이스(730)에 새로운 데이터를 저장하기 위해 기록 동작을 수행하기 전에, 디바이스(720)는 디바이스(730)로부터 상기 특정한 데이터(이미 저장된 데이터)를 검색(예로서, 판독 동작에서)할 수 있다. 저장된 데이터가 검색된 후, 디바이스(730)는 상기 데이터와 연관된 전체 ECC(예로서, 모든 5 세트들의 ECC)를 생성(예로서, 재생)할 수 있다. 그 후, 디바이스(720)는 상기 설명된 바와 같이, ECC 기록 저장 유닛(736)에 ECC의 일 부분(예로서, ECC_4 데이터 B)을 저장하며 그 후 덜 에러에 취약한 페이지의 정보에서의 데이터 및 ECC와 함께 디바이스(730)의 상기 부분을 저장할 수 있다.
- [0091] 시스템(700)은 다수의 ECC를 유지(예로서, 저장)하기 위해 부가적인 저장 유닛(도 7에 도시되지 않음)을 포함할 수 있으며, 따라서 상기 설명된 바와 같은 몇몇 상황들(예로서, 파워 다운)에서 ECC(예로서, ECC_4 데이터 B)의 일 부분을 재생하는 것은 회피될 수 있다. 다수의 ECC는 하나 이상의 페이지들의 정보에서의 데이터와 연관된 모든 5 세트들의 ECC(예로서, 전체 ECC)를 포함할 수 있다. 시스템(700)에서의 부가적인 저장 유닛은 디바이스(720)에서의 대형 온-보드 캐시 메모리와 같은 대형 메모리(예로서, 비-휘발성 메모리)를 포함할 수 있다. 몇몇 경우들에서, 부가적인 저장 유닛은 ECC 기록 저장 유닛(738)의 일부로서 포함될 수 있다.
- [0092] 도 8은 본 발명의 실시예에 따라, 시스템을 동작시키는 방법(800)을 도시한 흐름도이다. 방법(800)은 활동들(810, 820, 및 830)을 포함할 수 있다. 활동들(810, 820, 및 830)의 모두 또는 일부는 도 1의 메모리 디바이스(100), 도 2의 메모리 디바이스(200), 또는 도 7의 시스템(700)과 같은, 장치에서 사용될 수 있다.
- [0093] 활동(810)은 데이터와 연관된 ECC를 생성하는 것을 포함할 수 있다. 활동(820)은 데이터 및 ECC를 저장하는 것을 포함할 수 있다. 활동(830)은 데이터 및 ECC를 검색하는 것을 포함할 수 있다. 활동들(810, 820, 및 830)은 도 1 내지 도 7을 참조하여 상기 설명된 장치(예로서, 메모리 디바이스들(100, 200) 및 시스템(700))에 의해 수행된 활동들 중 일부 또는 모두를 포함할 수 있다.
- [0094] 장치들(예로서, 메모리 디바이스들(100, 200) 및 시스템(700)) 및 방법들(예로서, 방법(800))의 예시들은 다양한 실시예들의 구조의 일반적인 이해를 제공하도록 의도되며 여기에 설명된 구조들을 사용할 수 있는 장치들의 요소들 및 특징들 모두의 완전한 설명을 제공하도록 의도되지 않는다. 여기에서의 장치는 예를 들면, 메모리 디바이스들(100, 200)과 같은 디바이스를 포함하는 디바이스(예로서, 메모리 디바이스들(100, 200)) 또는 시스템(예로서, 시스템(700))을 나타낸다.
- [0095] 메모리 디바이스들(100, 200) 및 시스템(800)은 고속 컴퓨터들, 통신 및 신호 프로세싱 회로, 단일 또는 다중-프로세서 모듈들, 단일 또는 다중 내장 프로세서들, 다중-코어 프로세서들, 메시지 정보 스위치들, 및 다중, 다중-칩 모듈들을 포함한 애플리케이션-특정 모듈들과 같은 장치들(예로서, 전자 회로)에 포함될 수 있다. 이러한 장치들은 또한 텔레비전들, 셀룰러 전화기들, 개인용 컴퓨터들(예로서, 랩탑 컴퓨터들, 데스크탑 컴퓨터들, 핸드헬드 컴퓨터들, 태블릿 컴퓨터들 등), 워크스테이션들, 라디오들, 비디오 플레이어들, 오디오 플레이어들(예로서, MP3(동화상 전문가 그룹), 오디오 계층 3) 플레이어들), 차량들, 의료 디바이스들(예로서, 심장 모니터, 혈압 모니터 등), 셋 탑 박스들, 및 기타와 같은 다양한 다른 장치들(예로서, 전자 시스템들) 내에서 서브-구성 요소들로서 포함될 수 있다.
- [0096] 도 1 내지 도 8을 참조하여 상기 설명된 실시예들은 제 1 메모리 셀들, 제 1 메모리 셀들을 액세스하도록 구성된 제 1 액세스 라인, 제 2 메모리 셀들, 및 제 2 메모리 셀들을 액세스하도록 구성된 제 2 액세스 라인을 가진 장치들 및 방법들을 포함한다. 이러한 장치들 중 하나는 데이터가 제 1 메모리 셀들의 메모리 부분에 저장되게 하고, 데이터와 연관된 에러 정정 코드의 제 1 부분이 제 1 메모리 셀들의 또 다른 메모리 부분에 저장되게 하며, 에러 정정 코드의 제 2 부분이 제 2 메모리 셀들에 저장되게 하도록 구성된 제어기를 포함할 수 있다. 부가적인 장치들 및 방법들을 포함한 다른 실시예들이 설명된다.
- [0097] 상기 설명 및 도면들은 이 기술분야의 숙련자들이 본 발명의 실시예들을 실시할 수 있게 하기 위해 본 발명의 몇몇 실시예들을 예시한다. 다른 실시예들은 구조적, 논리적, 전기적, 프로세스 및 다른 변화들을 통합할 수 있다. 예들은 단지 가능한 변화들을 특징짓는다. 몇몇 실시예들의 부분들 및 특징들은 다른 것들의 것들에 포함되거나 또는 그것을 위해 대체될 수 있다. 많은 다른 실시예들이 상기 설명을 판독 및 이해할 때 이 기술분야의 숙련자들에게 명백할 것이다.

도면

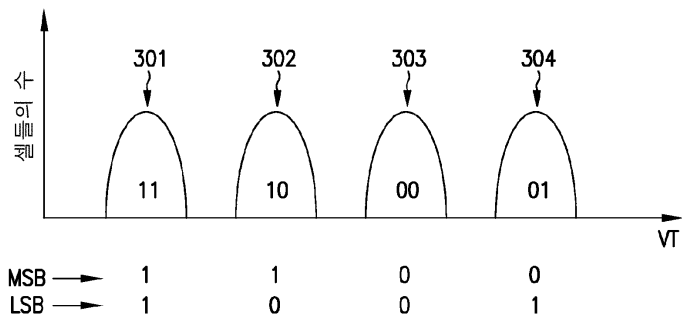
도면1

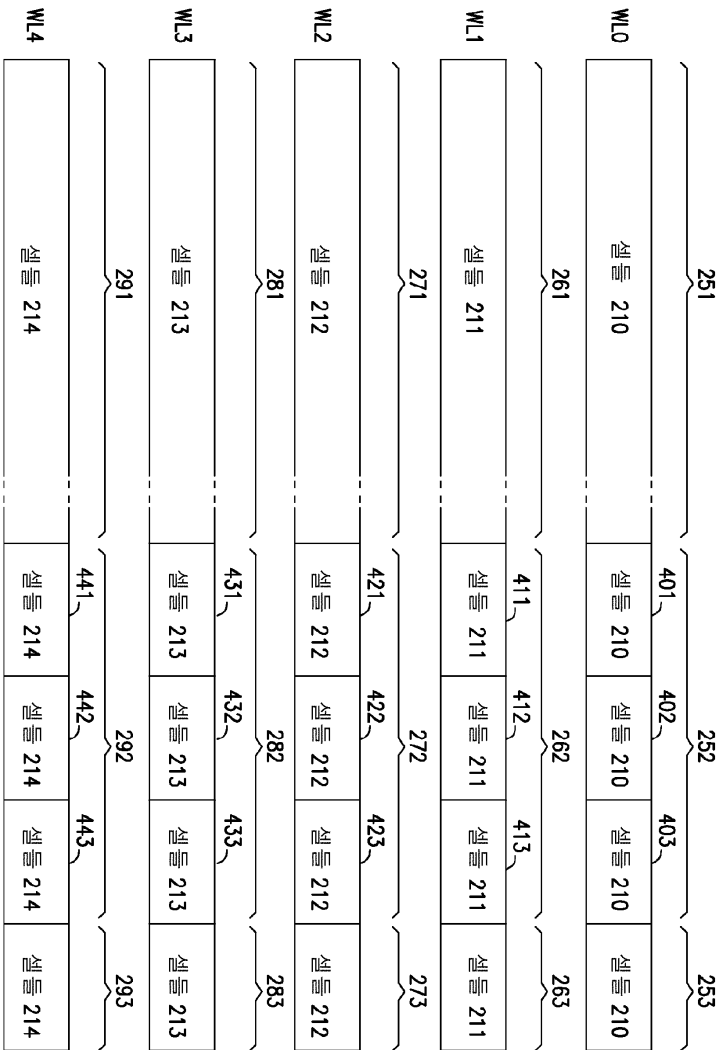


도면2

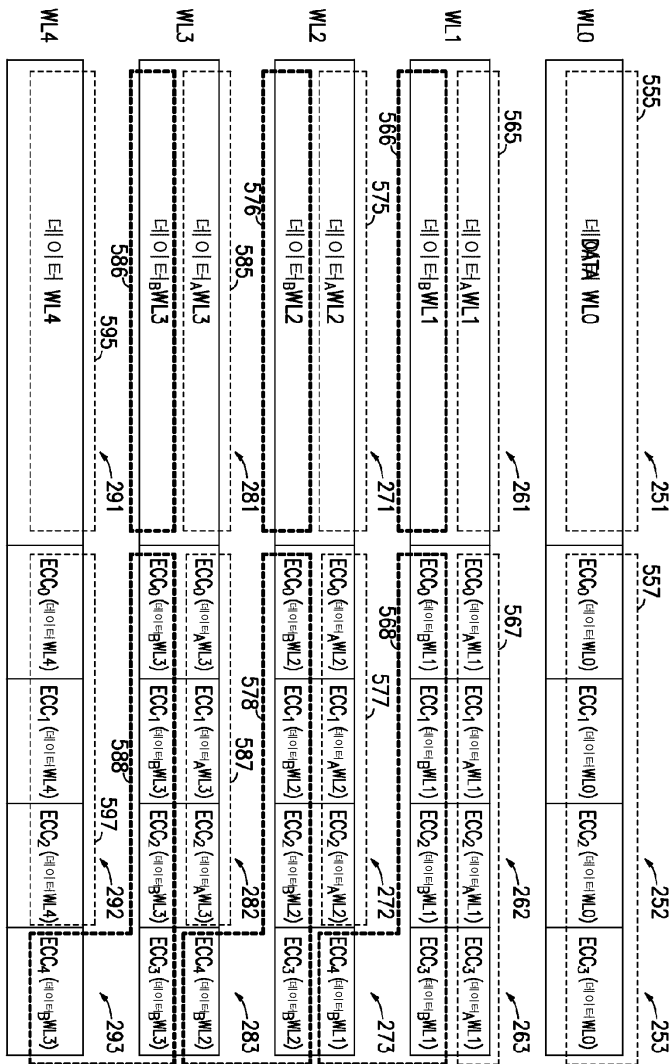


도면3

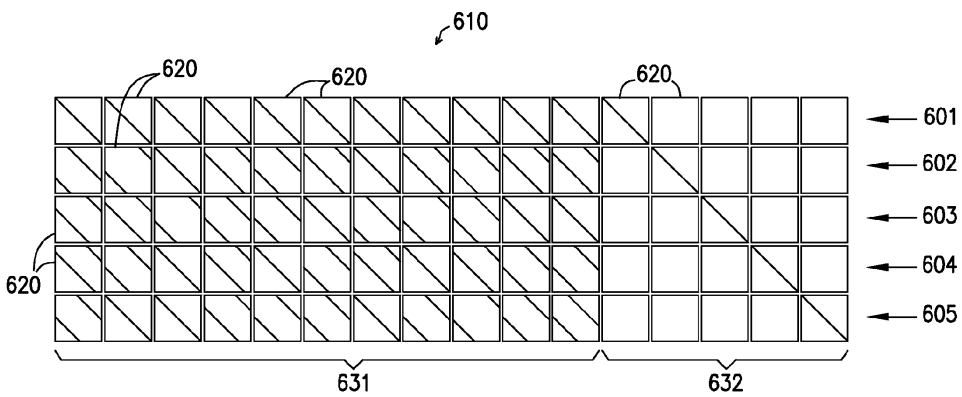




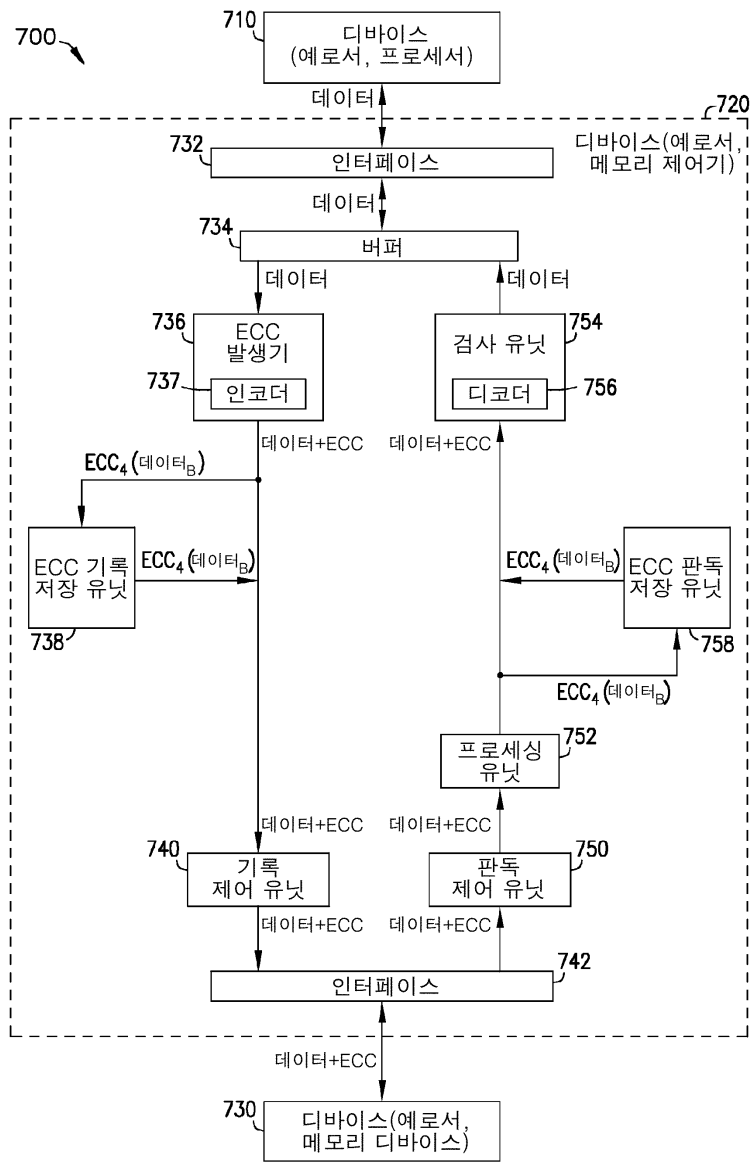
도면5



도면6



도면7



도면8

