(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2018 年 3 月 15 日 (15.03.2018)

WIPO | PCT

(10) 国际公布号
WO 2018/045613 A1

(51) 国际专利分类号:
H01L 27/12 (2006.01)

(21) 国际申请号: PCT/CN2016/101611

(22) 国际申请日: 2016 年 10 月 10 日 (10.10.2016)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201610807781.4 2016年9月7日 (07.09.2016) CN

(71) 申请人: 武汉华星光电技术有限公司(WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道666号生物城C5栋, Hubei 430070 (CN)。

(72) 发明人: 谢露露(XIE, Lulu); 中国湖北省武汉市东湖开发区高新大道666号生物城C5栋, Hubei 430070 (CN)。 熊彬(XIONG, Bin); 中国湖北省武汉市东湖开发区高新大道666号生物城C5栋, Hubei 430070 (CN)。 韩云(HAN, Yun); 中国湖北省武汉市东湖开发区高新大道666号生物城C5栋, Hubei 430070 (CN)。

(74) 代理人: 深圳市铭粤知识产权代理有限公司(MING & YUE INTELLECTUAL PROPERTY LAW FIRM); 中国广东省深圳市南山区登良路21号南油第二工业区206栋6层611室(恒裕中心B座), Guangdong 518054 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第21条(3))。

(54) **Title:** THIN FILM TRANSISTOR ARRAY SUBSTRATE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 薄膜晶体管阵列基板及其制造方法

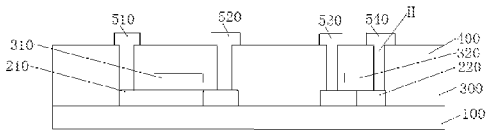


图 11

(57) **Abstract:** A thin film transistor array substrate and a manufacturing method therefor. The thin film transistor array substrate comprises: a substrate (100) comprising a display area (101) and a non-display area (102), the non-display area surrounding the display area and comprising a Schottky diode, and the Schottky diode comprising an anode layer (221) and a cathode layer (222) that are formed on the substrate; a gate insulating layer (300) formed on the substrate and covering the anode layer and the cathode layer; a first gate electrode (320) formed on the gate insulating layer and stacked on the anode layer and the cathode layer; an interlayer insulating layer (400) formed on the gate insulating layer, covering the first gate electrode, and comprising a contact hole (H) used for exposing the anode layer and the cathode layer; and a first external voltage (530) and a second external voltage (540) formed on the interlayer insulating layer and respectively connected to the anode layer and the cathode layer by means of the contact hole. A Schottky diode and a thin film transistor are together formed on a substrate, and therefore, an additional process is not needed, thereby simplifying the manufacturing process.

WO 2018/045613 A1

[见续页]

(57) 摘要：一种薄膜晶体管阵列基板及其制造方法。薄膜晶体管阵列基板包括：基底（100），包括显示区域（101）和非显示区域（102），非显示区域围绕显示区域并且包括肖特基二极管，其中，肖特基二极管包括：阳极层（221）和阴极层（222），形成基底上；栅极绝缘层（300），形成在基底上并且覆盖阳极层和阴极层；第一栅电极（320），形成在栅极绝缘层上并且与阳极层和阴极层叠置；层间绝缘层（400），形成在栅极绝缘层上并且覆盖第一栅电极，并且包括用于暴露阳极层和阴极层的接触孔（H）；第一外接电压（530）和第二外接电压（540），形成在层间绝缘层上，并且分别通过接触孔连接到阳极层和阴极层。肖特基二极管与薄膜晶体管一同形成在基底上，因此，不需要额外增加工序，从而简化了制造工艺。

薄膜晶体管阵列基板及其制造方法

技术领域

本发明属于晶圆制造和平板显示技术领域。具体地讲，涉及一种薄膜晶体管阵列基板及其制造方法。

背景技术

现有的面板制造业在面板出货的时候产品都是以模组的形式出货，如图 1 和 3 所示，液晶面板模组包括液晶面板、驱动集成电路（DIC, Driver Integrated Circuit）和柔性印刷电路板。其中，FPCA 起到连接手机主板与液晶面板模组的作用，将手机主板上 AP（Application Processor）的驱动信号、图像显示资料和电源电压传递到 DIC，然后 DIC 将这些输入的信号和图像显示资料通过复杂运算和数位转换，最终输出各种模拟电压到液晶面板，从而使得液晶面板能够呈现给用户不同的视觉图像。FPCA 作为桥梁起到连接传递的同时，还会根据 DIC 的需求放置一些被动电子元器件，例如电阻、电容、肖特基二极管等，电路图如图 2 所示。

目前在制造 FPCA 时通常需要放置肖特基二极管，其目的是防止 AVEE（VSN,系统板提供给 IC 的工作电压）与 VGL（IC 产生的，控制 TFT 关闭的电压）之间闩锁效应（Latch Up）。但是随着技术的发展和产品性能需求的提高，手机越来越倾向于纤薄化，从而在 FPC 上放置 Diode 时，不仅占用了 FPC 上的空间使 FPC 的外形足够大，Diode 的自身高度也影响了 FPCA 在手机模组里面安装时需求的空间，使得手机无法做到纤薄化。

发明内容

为了解决上述现有技术的不足，本发明提供一种新的液晶驱动走线架构，取代 FPCA 上的 Diode 使 FPCA 更加纤薄化，并且降低 FPCA 的制造成本的薄膜晶体管阵列基板及其制造方法。

根据本发明的一方面，提供一种薄膜晶体管阵列基板，包括基底，基底包

括显示区域和非显示区域，非显示区域围绕显示区域并且包括肖特基二极管，其中，所述肖特基二极管包括：阳极层和阴极层，形成基底上；栅极绝缘层，形成在基底上并且覆盖阳极层和阴极层；第一栅电极，形成在栅极绝缘层上并且与阳极层和阴极层叠置；层间绝缘层，形成在栅极绝缘层上并且覆盖第一栅电极，并且包括用于暴露阳极层和阴极层的接触孔；第一外接电压和第二外接电压，形成在层间绝缘层上，并且分别通过接触孔连接到阳极层和阴极层。

根据本发明的示例性实施例，显示区域包括薄膜晶体管，其中，所述薄膜晶体管包括：有源层，形成在基底上；第二栅电极，与有源层绝缘；源电极和漏电极，电连接到有源层。

根据本发明的示例性实施例，阳极层和阴极层与有源层设置在同一层上。

根据本发明的示例性实施例，第一栅电极与第二栅电极设置在同一层上。

根据本发明的示例性实施例，第一外接电压和第二外接电压与源电极和漏电极设置在同一层上。

根据本发明的示例性实施例，有源层包括源区、漏区和位于源区和漏区之间的沟道区，其中，阳极层包括与源区和漏区相同的材料，阴极层包括与沟道区相同的材料。

根据本发明的示例性实施例，所述薄膜晶体管阵列基板还包括焊盘，所述焊盘位于非显示区域中。

根据本发明的另一方面，提供一种制造薄膜晶体管阵列基板的方法，所述方法包括：在基底的显示区域中形成薄膜晶体管的有源层，并且在基底的非显示区域中形成肖特基二极管的阳极层和阴极层；在基底上形成栅极绝缘层以覆盖薄膜晶体管的有源层和肖特基二极管的阳极层和阴极层；

在栅极绝缘层上形成薄膜晶体管的第二栅电极和肖特基二极管的第一栅电极，第二栅电极与有源层叠置，第一栅电极与阳极层和阴极层叠置；在栅极绝缘层上形成层间绝缘层以覆盖第一栅电极和第二栅电极；在层间绝缘层和栅极绝缘层中形成用于暴露薄膜晶体管的有源层以及肖特基二极管的阳极层和阴极层的接触孔；在层间绝缘层上形成薄膜晶体管的源电极和漏电极以及肖特基二极管的第一外接电压和第二外接电压，源电极、漏电极、第一外接电压和第二外接电压分别通过接触孔连接到有源层、阳极层和阴极层。

根据本发明的示例性实施例，有源层包括源区、漏区和位于源区和漏区之间的沟道区，其中，阳极层包括与源区和漏区相同的材料，阴极层包括与沟道区相同的材料。

根据本发明的示例性实施例，形成第一栅电极和第二栅电极的步骤包括：使用同一工艺同时形成第一栅电极和第二栅电极。

根据本发明的薄膜晶体管阵列基板及其制造方法，能够节约购买二极管的物料成本和打件费用，而且还节约了 FPCA 的面积，大大降低了 FPCA 的厚度，能够实现液晶模组纤薄化，从而促进手机整机的纤薄化。此外，本发明的肖特基二极管与薄膜晶体管一同形成在基底上，因此，不需要额外增加工序，从而简化了制造工艺。

附图说明

图 1 示出了根据现有技术的包括肖特基二极管的液晶模组的结构示意图；

图 2 示出了根据现有技术的柔性印刷电路板的电路图；

图 3 示出了现有技术的肖特基二极管打件所处区域的驱动架构示意图；

图 4 示出了根据本发明的示例性实施例的薄膜晶体管阵列基板的驱动架构示意图；

图 5 至图 11 示出了根据本发明的示例性实施例的制造薄膜晶体管阵列基板的流程示意图。

具体实施方式

下面将参照附图详细地描述本发明的示例性实施例。

以下将结合附图来详细描述本发明的示例性实施例，然而，附图只是示意性地示出了本发明的具体示例，且不具有限制作用。然而，本领域技术人员应理解的是，在不脱离本发明的权利要求所限定的保护范围的情况下，可以对其进行各种修改和变形。

在下文中，将通过参照附图解释本发明的示例性实施例来详细描述本发明。

图4示出了根据本发明的示例性实施例的薄膜晶体管阵列基板的驱动架构示意图。图 5 至图 11 示出了根据本发明的示例性实施例的制造薄膜晶体管阵列基板的流程示意图。

如图 4 和图 5 中所示，在基底 100 上形成第一半导体 210 和与第一半导体 210 分隔开的第二半导体 220。第一半导体 210 可以形成在基底 100 的显示区域 101 中，第二半导体 220 可以形成在基底 100 的非显示区域 102 中。基底 100 可以由含有 SiO_2 作为主要成分的透明玻璃材料形成，但是不限于此。

通常，通过物理气相沉积（PVD）法形成第一半导体 210 和第二半导体 220。在本发明的非限制性实施例中，第一半导体 210 和第二半导体 220 的材料可以相同。

此外，还可以在第一半导体 210 和第二半导体 220 与基底之间形成缓冲层（未示出），然而本发明不限于此。

接着，如图 6 中所示，对第一半导体 210 和第二半导体 220 进行掺杂，以形成薄膜晶体管的有源层的源区 211、漏区 212 和位于源区 211 和漏区 212 之间的沟道区 213 以及肖特基二极管的阳极层 221 和阴极层 222。可以采用相同的杂质来掺杂第一半导体 210 和第二半导体 220，从而薄膜晶体管的有源层的源区 211 和漏区 212 与肖特基二极管的阳极层 221 相同，薄膜晶体管的沟道区 213 与肖特基二极管的阴极层 222 相同。此外，可以采用同一工艺执行掺杂第一半导体 210 和第二半导体 220 的步骤。在本发明中，由于在制造 TFT 时可以同时制造肖特基二极管，从而不需要额外增加工序，简化了制造工艺。

然后，如图 7 中所示，在基底 100 上形成栅极绝缘层 300，以覆盖第一半导体 210 和第二半导体 220。

接着，参照图 8，在栅极绝缘层 300 上形成薄膜晶体管的第二栅电极 310 和肖特基二极管的第一栅电极 320，并且第二栅电极 310 与沟道区 213 叠置，第一栅电极 320 与阳极层 221 和阴极层 222 的一部分叠置。在本发明的实施例中，可以通过同一工艺来形成第二栅电极 310 和第一栅电极 320。

然后，参照图 9，在栅极绝缘层 300 上形成层间绝缘层 400，以覆盖第二

栅电极 310 和第一栅电极 320。接着，如图 10 所示，在栅极绝缘层 300 和层间绝缘层 400 中形成用于暴露薄膜晶体管的源区 211 和漏区 212 以及肖特基二极管的阳极层 221 和阴极层 222 的接触孔 H。

最后，如图 11 所示，在层间绝缘层 400 上形成薄膜晶体管的源电极 510 和漏电极 520 以及肖特基二极管的第一外接电压（例如，VGL） 530 和第二外接电压（例如，AVEE） 540，并且源电极 510、漏电极 520、第一外接电压 530 和第二外接电压 540 分别通过接触孔 H 连接到源区 211、漏区 212、阳极层 221 和阴极层 222。

根据本发明，通过在形成薄膜晶体管（TFT）时同时形成肖特基二极管能够简化工艺以及制造成本。

此外，根据本发明提供的薄膜晶体管阵列基板及其制造方法，能够节约 FPCA 的面积，大大降低 FPCA 的厚度，能够实现液晶模组纤薄化，从而促进手机整机的纤薄化。

以上描述了根据本发明的示例性实施例的制造薄膜晶体管阵列基板的方法，但本发明的保护范围并不限制于上述特定实施例。

权利要求书

1、一种薄膜晶体管阵列基板，其中，所述薄膜晶体管阵列基板包括：

基底，包括显示区域和非显示区域，非显示区域围绕显示区域并且包括肖特基二极管，

其中，所述肖特基二极管包括：

阳极层和阴极层，形成基底上；

栅极绝缘层，形成在基底上并且覆盖阳极层和阴极层；

第一栅电极，形成在栅极绝缘层上并且与阳极层和阴极层叠置；

层间绝缘层，形成在栅极绝缘层上并且覆盖第一栅电极，并且包括用于暴露阳极层和阴极层的接触孔；

第一外接电压和第二外接电压，形成在层间绝缘层上，并且分别通过接触孔连接到阳极层和阴极层。

2、根据权利要求 1 所述的薄膜晶体管阵列基板，其中，所述显示区域包括薄膜晶体管，

其中，所述薄膜晶体管包括：

有源层，形成在基底上；

第二栅电极，与有源层绝缘；

源电极和漏电极，电连接到有源层。

3、根据权利要求 2 所述的薄膜晶体管阵列基板，其中，阳极层和阴极层与所述有源层设置在同一层上。

4、根据权利要求 2 所述的薄膜晶体管阵列基板，其中，第一栅电极与第二栅电极设置在同一层上。

5、根据权利要求 2 所述的薄膜晶体管阵列基板，其中，第一外接电压和

第二外接电压与源电极和漏电极设置在同一层上。

6、根据权利要求 2 所述的薄膜晶体管阵列基板，其中，有源层包括源区、漏区和位于源区和漏区之间的沟道区，

其中，阳极层包括与源区和漏区相同的材料，阴极层包括与沟道区相同的材料。

7、根据权利要求 2 所述的薄膜晶体管阵列基板，其中，所述薄膜晶体管阵列基板还包括焊盘，所述焊盘位于非显示区域中。

8、一种制造薄膜晶体管阵列基板的方法，其中，所述方法包括：

在基底的显示区域中形成薄膜晶体管的有源层，并且在基底的非显示区域中形成肖特基二极管的阳极层和阴极层；

在基底上形成栅极绝缘层以覆盖薄膜晶体管的有源层和肖特基二极管的阳极层和阴极层；

在栅极绝缘层上形成薄膜晶体管的第二栅电极和肖特基二极管的第一栅电极，第二栅电极与有源层叠置，第一栅电极与阳极层和阴极层叠置；

在栅极绝缘层上形成层间绝缘层以覆盖第一栅电极和第二栅电极；

在层间绝缘层和栅极绝缘层中形成用于暴露薄膜晶体管的有源层以及肖特基二极管的阳极层和阴极层的接触孔；

在层间绝缘层上形成薄膜晶体管的源电极和漏电极以及肖特基二极管的第一外接电压和第二外接电压，源电极、漏电极、第一外接电压和第二外接电压分别通过接触孔连接到有源层、阳极层和阴极层。

9、根据权利要求 8 所述的方法，其中，有源层包括源区、漏区和位于源区和漏区之间的沟道区，

其中，阳极层包括与源区和漏区相同的材料，阴极层包括与沟道区相同的材料。

10、根据权利要求 8 所述的方法，其中，形成第一栅电极和第二栅电极的

步骤包括：使用同一工艺同时形成第一栅电极和第二栅电极。

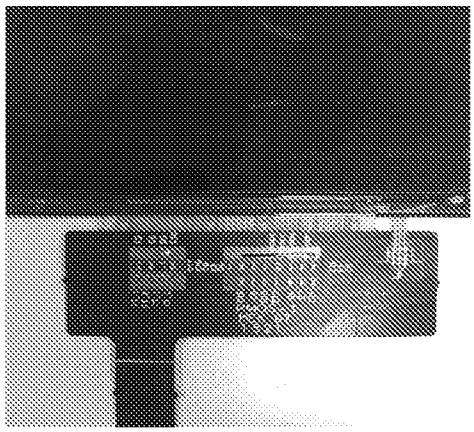


图 1

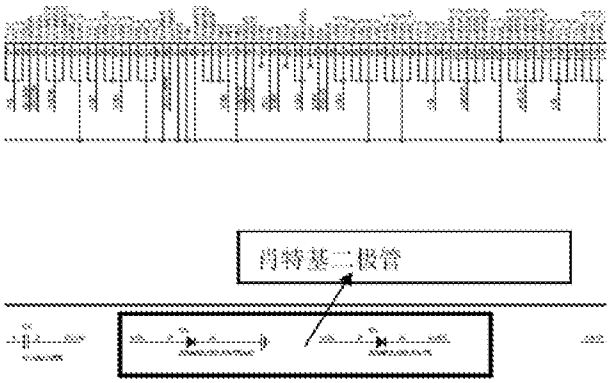


图 2

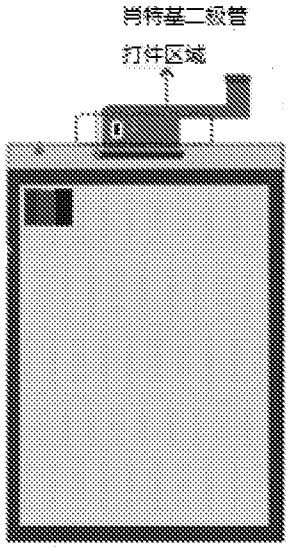


图 3

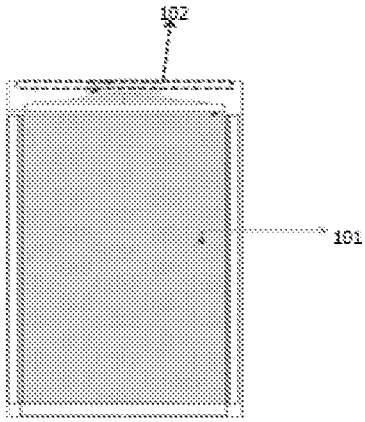


图 4

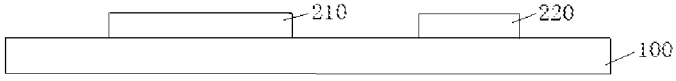


图 5

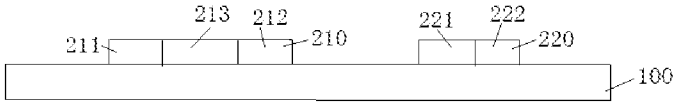


图 6



图 7



图 8

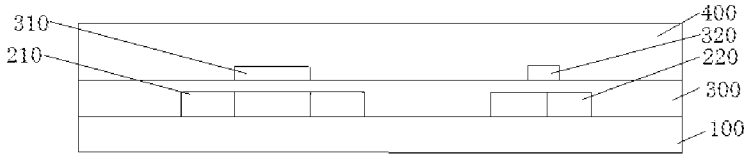


图 9

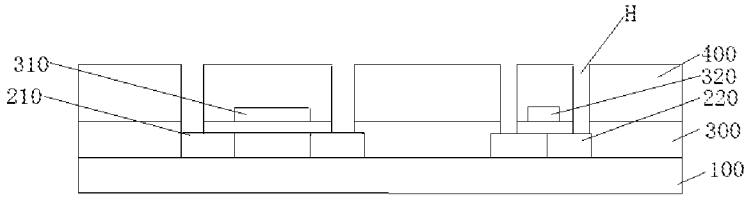


图 10

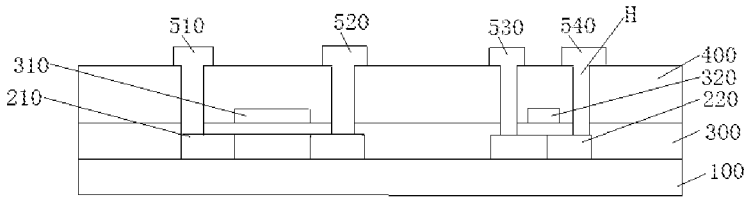


图 11

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2016/101611

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; DWPI: 栅, 绝缘层, 薄膜晶体管, 二极管, 阴极, 阳极, 漏, 源, 肖特基, gate, insulat+, thin film transistor, diode, cathode, anode, drain, source, schottky

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 103700707 A (BOE TECHNOLOGY GROUP CO., LTD.), 02 April 2014 (02.04.2014), description, paragraphs [0004]-[0031], and figure 1	1-10
A	CN 103928469 A (SHANGHAI TIANMA MICRO-ELECTRONICS CO., LTD. et al.), 16 July 2014 (16.07.2014), entire document	1-10
A	US 2002060322 A1 (TANABE et al.), 23 May 2002 (23.05.2002), entire document	1-10

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
18 May 2017	06 June 2017
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer SONG, Lin Telephone No. (86-10) 62411800

Form PCT/ISA/210 (second sheet) (July 2009)

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2016/101611

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103700707 A	02 April 2014	WO 2015089964 A1	25 June 2015
		US 2016035756 A1	04 February 2016
CN 103928469 A	16 July 2014	CN 103928469 B	28 December 2016
US 2002060322 A1	23 May 2002	US 7285809 B2	23 October 2007
		US 2006186475 A1	24 August 2006
		US 7138303 B2	21 November 2006
		US 2004185641 A1	23 September 2004

国际检索报告

国际申请号
PCT/CN2016/101611

A. 主题的分类

H01L 27/12(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNABS;DWPI:栅，绝缘层，薄膜晶体管，二极管，阴极，阳极，漏，源，肖特基，gate，insulat+，thin film transistor，diode，cathode，anode，drain，source，schottky

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 103700707 A (京东方科技集团股份有限公司) 2014年 4月 2日 (2014-04-02) 说明书第【0004】-【0031】段，附图1	1-10
A	CN 103928469 A (上海天马微电子有限公司 等) 2014年 7月 16日 (2014-07-16) 全文	1-10
A	US 2002060322 A1 (TANABE 等) 2002年 5月 23日 (2002-05-23) 全文	1-10

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2017年 5月 18日	2017年 6月 6日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 宋霖 电话号码 (86-10)62411800

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2016/101611

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103700707	A	2014年 4月 2日	WO	2015089964	A1	2015年 6月 25日
				US	2016035756	A1	2016年 2月 4日
CN	103928469	A	2014年 7月 16日	CN	103928469	B	2016年 12月 28日
US	2002060322	A1	2002年 5月 23日	US	7285809	B2	2007年 10月 23日
				US	2006186475	A1	2006年 8月 24日
				US	7138303	B2	2006年 11月 21日
				US	2004185641	A1	2004年 9月 23日