

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5771968号
(P5771968)

(45) 発行日 平成27年9月2日(2015.9.2)

(24) 登録日 平成27年7月10日(2015.7.10)

(51) Int.Cl.

F I

H O 1 L 33/32 (2010.01)

H O 1 L 33/00 1 8 6

請求項の数 38 (全 36 頁)

(21) 出願番号	特願2010-275893 (P2010-275893)	(73) 特許権者	000002130
(22) 出願日	平成22年12月10日(2010.12.10)		住友電気工業株式会社
(65) 公開番号	特開2011-233861 (P2011-233861A)		大阪府大阪市中央区北浜四丁目5番33号
(43) 公開日	平成23年11月17日(2011.11.17)	(74) 代理人	110001195
審査請求日	平成25年7月24日(2013.7.24)		特許業務法人深見特許事務所
(31) 優先権主張番号	特願2010-90804 (P2010-90804)	(72) 発明者	石原 邦亮
(32) 優先日	平成22年4月9日(2010.4.9)		大阪市此花区島屋一丁目1番3号 住友電
(33) 優先権主張国	日本国(JP)		気工業株式会社 大阪製作所内
前置審査		(72) 発明者	八郷 昭広
			兵庫県伊丹市昆陽北一丁目1番1号 住友
			電気工業株式会社 伊丹製作所内
		(72) 発明者	松原 秀樹
			大阪市此花区島屋一丁目1番3号 住友電
			気工業株式会社 大阪製作所内

最終頁に続く

(54) 【発明の名称】 半導体デバイスの製造方法、エピ成長用積層支持基板およびデバイス用積層支持基板

(57) 【特許請求の範囲】

【請求項1】

G a 含有透明支持基板上に光熱変換層を含む中間層を形成して積層支持基板を作製する工程と、

前記積層支持基板の前記中間層に G a N 基板を貼り合わせて積層貼り合わせ基板を作製する工程と、

前記積層貼り合わせ基板の前記 G a N 基板を、前記中間層との貼り合わせ面から所定の深さの面において分離することにより、前記積層支持基板の前記中間層上に G a N 層が形成されたエピ成長用積層支持基板を作製する工程と、

前記エピ成長用積層支持基板の前記 G a N 層上に少なくとも1層の透明半導体層をエピタキシャル成長させることにより、デバイス用積層支持基板を作製する工程と、

前記デバイス用積層支持基板に、前記 G a 含有透明支持基板および前記 G a N 層および前記透明半導体層のバンドギャップエネルギーのなかで最も低いバンドギャップエネルギーに対応する波長よりも長い波長でかつ前記光熱変換層が吸収しうる波長の光を照射し、照射された前記光が前記光熱変換層で吸収され熱に変換され、前記熱により前記 G a 含有透明支持基板の前記中間層に接する面が分解されて、前記 G a 含有透明支持基板と前記中間層とが分離されることにより、前記透明半導体層と前記 G a N 層と前記中間層とを含むデバイス用積層ウエハを作製する工程と、

前記デバイス用積層ウエハから前記中間層を除去して前記透明半導体層と前記 G a N 層とを含む透明半導体層積層ウエハを含む半導体デバイスを作製する工程と、を備え、

10

20

前記光熱変換層を含む前記中間層は1200以上の融点を有する、半導体デバイスの製造方法。

【請求項2】

前記Ga含有透明支持基板および前記透明半導体層は波長500nm以上600nm未満の光に対する光吸収係数が $1 \times 10^3 \text{ cm}^{-1}$ 未満であり、前記光熱変換層は波長500nm以上600nm未満の光に対する光吸収係数が $1 \times 10^3 \text{ cm}^{-1}$ 以上である請求項1に記載の半導体デバイスの製造方法。

【請求項3】

前記中間層は、前記中間層の前記光熱変換層と前記GaN基板との間に配置される第1の透明層をさらに含む請求項1または請求項2に記載の半導体デバイスの製造方法。

10

【請求項4】

前記第1の透明層は、波長500nm以上600nm未満の光に対する光吸収係数が $1 \times 10^3 \text{ cm}^{-1}$ 未満である請求項3に記載の半導体デバイスの製造方法。

【請求項5】

前記中間層は、前記中間層の前記光熱変換層と前記Ga含有透明支持基板との間に配置される第2の透明層をさらに含む請求項3または請求項4に記載の半導体デバイスの製造方法。

【請求項6】

前記第2の透明層は、波長500nm以上600nm未満の光に対する光吸収係数が $1 \times 10^3 \text{ cm}^{-1}$ 未満である請求項5に記載の半導体デバイスの製造方法。

20

【請求項7】

前記第2の透明層の厚さは、前記光熱変換層の厚さの0.3倍以上2.5倍以下である請求項5または請求項6に記載の半導体デバイスの製造方法。

【請求項8】

前記第1の透明層の厚さは、前記第2の透明層の厚さに比べて大きい請求項5から請求項7のいずれか1項に記載の半導体デバイスの製造方法。

【請求項9】

前記デバイス用積層支持基板に照射する光は、波長500nm以上600nm未満のレーザ光である請求項1から請求項8のいずれか1項に記載の半導体デバイスの製造方法。

【請求項10】

30

前記レーザ光は、Nd:YAGレーザ光またはNd:YVO₄レーザ光の第2高調波によるレーザ光である請求項9に記載の半導体デバイスの製造方法。

【請求項11】

前記デバイス用積層支持基板に光を照射して前記Ga含有透明支持基板と前記中間層とを分離する際に、前記Ga含有透明支持基板から前記Ga含有透明支持基板と前記中間層との界面に金属Gaが析出する請求項1から請求項10のいずれか1項に記載の半導体デバイスの製造方法。

【請求項12】

前記光熱変換層は、アモルファスシリコン層である請求項1から請求項11のいずれか1項に記載の半導体デバイスの製造方法。

40

【請求項13】

前記光熱変換層は、モリブデン、タングステン、タンタル、チタン、白金、パラジウム、炭素、およびこれらのケイ化物、およびこれらの窒化物からなる群から選ばれる少なくとも1つを含む層である請求項1から請求項11のいずれか1項に記載の半導体デバイスの製造方法。

【請求項14】

前記第1の透明層は、二酸化シリコン層、窒化シリコン層および酸窒化シリコン層のいずれかである請求項3から請求項8のいずれか1項に記載の半導体デバイスの製造方法。

【請求項15】

前記第2の透明層は、二酸化シリコン層、窒化シリコン層および酸窒化シリコン層のい

50

ずれかである請求項 5 から請求項 8 のいずれか 1 項に記載の半導体デバイスの製造方法。

【請求項 1 6】

前記透明半導体層は、III 族窒化物半導体層である請求項 1 から請求項 1 5 のいずれか 1 項に記載の半導体デバイスの製造方法。

【請求項 1 7】

前記 GaN 基板は、前記中間層との貼り合わせ面から前記所定の深さの面にイオンが注入されている請求項 1 から請求項 1 6 のいずれか 1 項に記載の半導体デバイスの製造方法。

【請求項 1 8】

半導体デバイスは、前記透明半導体層積層ウエハを支持するための透明半導体層積層ウエハ支持基板をさらに含み、

前記デバイス用積層支持基板を作製する工程の後でデバイス用積層ウエハを作製する工程の前に、前記デバイス用積層支持基板の前記透明半導体層側に前記透明半導体層積層ウエハ支持基板を貼り合わせる工程、および、前記半導体デバイスを作製する工程において、前記透明半導体層積層ウエハに前記透明半導体層積層ウエハ支持基板を貼り合わせる工程、のいずれかの工程をさらに備える請求項 1 から請求項 1 7 のいずれか 1 項に記載の半導体デバイスの製造方法。

【請求項 1 9】

前記透明半導体層は前記デバイス用積層支持基板に照射される光よりも短波長で波長 300 nm 以上 550 nm 以下のピーク波長を有する光を放出する発光層を含み、前記透明半導体層積層ウエハ支持基板は波長 300 nm 以上 550 nm 以下の光に対する光吸収係数が $1 \times 10^4 \text{ cm}^{-1}$ 未満である請求項 1 8 に記載の半導体デバイスの製造方法。

【請求項 2 0】

前記透明半導体層積層ウエハ支持基板は、サファイア、スピネル、石英、窒化アルミニウム、ダイヤモンドおよびガラスからなる群から選ばれる少なくとも 1 つを含む請求項 1 9 に記載の半導体デバイスの製造方法。

【請求項 2 1】

前記透明半導体層積層ウエハ支持基板は、比抵抗が $10 \text{ } \Omega \cdot \text{cm}$ 以下の導電性を有する請求項 1 8 に記載の半導体デバイスの製造方法。

【請求項 2 2】

前記透明半導体層積層ウエハ支持基板は、シリコン、ガリウムヒ素、インジウムリンおよび第 1 の金属からなる群から選ばれる少なくとも 1 つを含み、

前記第 1 の金属は、モリブデン、タングステン、銅、アルミニウムおよびこれらの合金の少なくともいずれかである請求項 2 1 に記載の半導体デバイスの製造方法。

【請求項 2 3】

前記透明半導体層は、前記デバイス用積層支持基板に照射される光よりも短波長で波長 300 nm 以上 550 nm 以下のピーク波長を有する光を放出する発光層を含み、

前記透明半導体層積層ウエハ支持基板は、波長 300 nm 以上 550 nm 以下の光に対する光吸収係数が $1 \times 10^4 \text{ cm}^{-1}$ 未満であり、比抵抗が $10 \text{ } \Omega \cdot \text{cm}$ 以下の導電性を有する請求項 1 8 に記載の半導体デバイスの製造方法。

【請求項 2 4】

前記透明半導体層積層ウエハ支持基板は、酸化ガリウム、炭化シリコン、セレン化亜鉛、窒化アルミニウムおよびダイヤモンドからなる群から選ばれる少なくとも 1 つを含む請求項 2 3 に記載の半導体デバイスの製造方法。

【請求項 2 5】

前記透明半導体層積層ウエハ支持基板と前記 GaN 層または前記透明半導体層との間に配置され、第 2 の金属および導電性酸化物のいずれかを含む比抵抗が $10 \text{ } \Omega \cdot \text{cm}$ 以下の導電性接着層をさらに含む請求項 2 1 から請求項 2 4 のいずれか 1 項に記載の半導体デバイスの製造方法。

【請求項 2 6】

前記第2の金属は、チタン、金、銀、ニッケル、アルミニウム、亜鉛、ゲルマニウムおよびこれらの合金からなる群から選ばれる少なくとも1つである請求項25に記載の半導体デバイスの製造方法。

【請求項27】

前記導電性酸化物は、酸化亜鉛、酸化ガリウム、酸化スズ、インジウム亜鉛酸化物、インジウムスズ酸化物およびアンチモンスズ酸化物からなる群から選ばれる少なくとも1つである請求項25に記載の半導体デバイスの製造方法。

【請求項28】

Ga含有透明支持基板と、前記Ga含有透明支持基板上に配置されている中間層と、前記中間層上に配置されているGaN層と、を含み、

10

前記中間層は光熱変換層を含み、

前記光熱変換層を含む前記中間層は1200以上の融点を有し、

前記光熱変換層が吸収しうる光の波長は、前記Ga含有透明支持基板および前記GaN層および前記透明半導体層のバンドギャップエネルギーのなかで最も低いバンドギャップエネルギーに対応する波長よりも長く、

前記光の照射により照射された前記光が前記光熱変換層で吸収され熱に変換され、前記熱により前記Ga含有透明支持基板の前記中間層に接する面が分解されて、前記Ga含有透明支持基板と前記中間層とが分離されるエピ成長用積層支持基板。

【請求項29】

前記光熱変換層は、アモルファスシリコン層である請求項28に記載のエピ成長用積層支持基板。

20

【請求項30】

前記光熱変換層は、モリブデン、タングステン、タンタル、チタン、白金、パラジウム、炭素、およびこれらのケイ化物、およびこれらの窒化物からなる群から選ばれる少なくとも1つを含む層である請求項28に記載のエピ成長用積層支持基板。

【請求項31】

前記中間層は、前記中間層の前記光熱変換層と前記GaN層との間に配置される第1の透明層をさらに含む請求項28から請求項30のいずれか1項に記載のエピ成長用積層支持基板。

【請求項32】

30

前記第1の透明層は、二酸化シリコン層、窒化シリコン層および酸窒化シリコン層のいずれかである請求項31に記載のエピ成長用積層支持基板。

【請求項33】

前記中間層は、前記中間層の前記光熱変換層と前記Ga含有透明支持基板との間に配置される第2の透明層をさらに含む請求項31または請求項32に記載のエピ成長用積層支持基板。

【請求項34】

前記第2の透明層は、二酸化シリコン層、窒化シリコン層および酸窒化シリコン層のいずれかである請求項33に記載のエピ成長用積層支持基板。

【請求項35】

40

前記第2の透明層の厚さは、前記光熱変換層の厚さの0.3倍以上2.5倍以下である請求項33または請求項34に記載のエピ成長用積層支持基板。

【請求項36】

前記第1の透明層の厚さは、前記第2の透明層の厚さに比べて大きい請求項33から請求項35のいずれか1項に記載のエピ成長用積層支持基板。

【請求項37】

請求項28から請求項36のいずれか1項に記載のエピ成長用積層支持基板と、前記エピ成長用積層支持基板の前記GaN層上にエピタキシャル成長された少なくとも1層の透明半導体層と、を含むデバイス用積層支持基板。

【請求項38】

50

前記透明半導体層は、Ⅲ族窒化物半導体層である請求項 37 に記載のデバイス用積層支持基板。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体デバイスの製造方法、ならびにその製造方法において製造されるエピ成長用積層支持基板およびデバイス用積層支持基板に関する。

【背景技術】

【0002】

青色発光デバイスなどのⅢ族窒化物系半導体デバイスを製造するための基板としては、発光層となる良質のⅢ族窒化物系半導体層をエピタキシャル成長させる観点から、格子定数および熱膨張係数がⅢ族窒化物系半導体層に近似しているGaN基板が好適に用いられる。

【0003】

かかるGaN基板は非常に高価であるため、特開2006-210660号公報（以下、引用文献1という）および特開2008-300562号公報（以下、引用文献2という）において、シリコン（Si）基板、サファイア基板などのGaN以外の支持基板上に膜厚の小さいGaN層を貼り合わせた基板およびその製造方法が提案されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2006-210660号公報

【特許文献2】特開2008-300562号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかし、上記の特開2006-210660号公報（引用文献1）および特開2008-300562号公報（引用文献2）で提案された上記貼り合わせ基板を用いても、GaN以外の支持基板とGaN層とは、熱膨張係数が異なるため、その貼り合わせ基板のGaN層上に良質のⅢ族窒化物半導体層をエピタキシャル成長させることは困難であった。

【0006】

そこで、熱膨張係数がGaN層と同一または近似の支持基板とGaN層との貼り合せ基板を用いて、良質の半導体層をエピタキシャル成長させて高品質の半導体デバイスが得られる半導体デバイスの製造方法、ならびにかかる製造方法において製造されるエピ成長用積層支持基板およびデバイス用積層支持基板を提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明にかかる半導体デバイスの製造方法は、Ga含有透明支持基板上に光熱変換層を含む中間層を形成して積層支持基板を作製する工程を備える。また、積層支持基板の中間層にGaN基板を貼り合わせて積層貼り合わせ基板を作製する工程を備える。また、積層貼り合わせ基板のGaN基板を、中間層との貼り合わせ面から所定の深さの面において分離することにより、積層支持基板の中間層上にGaN層が形成されたエピ成長用積層支持基板を作製する工程を備える。また、エピ成長用積層支持基板のGaN層上に少なくとも1層の透明半導体層をエピタキシャル成長させることにより、デバイス用積層支持基板を作製する工程を備える。また、デバイス用積層支持基板に、Ga含有透明支持基板およびGaN層および透明半導体層のバンドギャップエネルギーのなかで最も低いバンドギャップエネルギーに対応する波長よりも長い波長でかつ光熱変換層が吸収しうる波長の光を照射し、照射された光が光熱変換層で吸収され熱に変換され、その熱によりGa含有透明支持基板の中間層に接する面が分解されて、Ga含有透明支持基板と中間層とが分離される

10

20

30

40

50

ことにより、透明半導体層とGaN層と中間層とを含むデバイス用積層ウエハを作製する工程を備え、光熱変換層を含む中間層は1200以上の融点を有する。また、デバイス用積層ウエハから中間層を除去して透明半導体層とGaN層とを含む透明半導体層積層ウエハを含む半導体デバイスを作製する工程と、を備える。かかる方法によれば、良質の半導体層を有する高品質の半導体デバイスが得られる。

【0008】

本発明にかかる半導体デバイスの製造方法において、Ga含有透明支持基板および透明半導体層は波長500nm以上600nm未満の光に対する光吸収係数を $1 \times 10^3 \text{ cm}^{-1}$ 未満とし、光熱変換層は波長500nm以上600nm未満の光に対する光吸収係数を $1 \times 10^3 \text{ cm}^{-1}$ 以上とすることができる。これにより、Ga含有透明支持基板と中間層を分離するのに波長500nm以上600nm未満のレーザ光を使用することで、Ga含有透明支持基板、GaN層、透明半導体層は光が吸収されずに透過するため光吸収に伴う熱起因のダメージを回避できる一方で、光熱変換層で吸収させた光のエネルギーを熱として利用することでGa含有透明支持基板と中間層を分離させることができ、その結果良質の半導体層を維持したまま容易に透明支持基板を分離できる。

10

【0009】

また、本発明にかかる半導体デバイスの製造方法において、中間層は、中間層の光熱変換層とGaN基板との間に配置される第1の透明層をさらに含むことができる。これにより、光熱変換層中の原子のマイグレーションによるGaN層および透明半導体層への原子拡散を抑制できる。ここで、第1の透明層は、波長500nm以上600nm未満の光に対する光吸収係数を $1 \times 10^3 \text{ cm}^{-1}$ 未満とすることができる。これにより、光照射時のGaN層および透明半導体層に与えるダメージを低減し、また中間層と透明支持基板との間で選択的な分離が容易になる。

20

【0010】

また、本発明にかかる半導体デバイスの製造方法において、中間層は、中間層の光熱変換層とGa含有透明支持基板との間に配置される第2の透明層をさらに含むことができる。これにより、光熱変換層中の原子のマイグレーションによるGa含有透明支持基板への原子拡散を抑制し、また中間層とGa含有透明支持基板の接合強度を高めることができる。ここで、第2の透明層は、波長500nm以上600nm未満の光に対する光吸収係数を $1 \times 10^3 \text{ cm}^{-1}$ 未満とすることができる。これにより、光熱変換層における光吸収が阻害されない。

30

【0011】

また、本発明にかかる半導体デバイスの製造方法において、第2の透明層の厚さを、光熱変換層の厚さの0.3倍以上2.5倍以下にすることができる。中間層における光熱変換層と第2の透明層との界面での剥がれの発生を防止するとともに、Ga含有透明支持基板と中間層の第2の透明層との間のより選択的で効率のよい分離を確保することができる。

【0012】

また、本発明にかかる半導体デバイスの製造方法において、第1の透明層の厚さを、第2の透明層の厚さに比べて大きくすることができる。これにより、中間層とGa含有透明支持基板との貼り合せ面の温度を、中間層とGaN層との貼り合せ面の温度より高くすることができるため、中間層とGaN層との間の接合を保持しつつ、中間層とGa含有透明支持基板との間で選択的に分離できる。

40

【0013】

また、本発明にかかる半導体デバイスの製造方法において、デバイス用積層支持基板に照射する光を、波長500nm以上600nm未満のレーザ光とすることができる。これにより、Ga含有透明支持基板、GaN層および透明半導体層にダメージを与えることなく、Ga含有透明支持基板と中間層とを分離できる。ここで、レーザ光は、Nd:YAGレーザ光またはNd:YVO₄レーザ光の第2高調波によるレーザ光とすることができる。かかるレーザ光は、Ga含有透明支持基板、GaN層および透明半導体層にダメージを

50

与えることなく、Ga含有透明支持基板と中間層とを分離するのに極めて有効である。

【0014】

また、本発明にかかる半導体デバイスの製造方法においては、デバイス用積層支持基板に光を照射してGa含有透明支持基板と中間層とを分離する際に、Ga含有透明支持基板からGa含有透明支持基板と中間層との界面に金属Gaが析出する。この金属Ga層を利用することで、容易にGa含有透明支持基板と中間層とを分離することができる。

【0015】

また、本発明にかかる半導体デバイスの製造方法においては、光熱変換層を含む中間層は1200以上の融点を有することから、エピタキシャル成長（通常800～1100程度）や熱アニール（通常、～700）など高温プロセスにおいて、光熱変換層を含む中間層が熱により損なわれることを避けることができる。ここで、中間層の光熱変換層は、アモルファスシリコン層とすることができる。また、中間層の光熱変換層は、モリブデン、タングステン、タンタル、チタン、白金、パラジウム、炭素、およびこれらのケイ化物、およびこれらの窒化物からなる群から選ばれる少なくとも1つを含む層とすることができる。これらの材料は、波長500nm以上600nm未満の光に対する光吸収係数が $1 \times 10^3 \text{ cm}^{-1}$ 以上でかつ融点が1200以上であるため、光熱変換層として好適である。また、中間層の第1の透明層は、二酸化シリコン層、窒化シリコン層および酸窒化シリコン層のいずれかとするすることができる。中間層の第2の透明層は、二酸化シリコン層、窒化シリコン層および酸窒化シリコン層のいずれかとするすることができる。これらの層は、波長500nm以上600nm未満の光に対する光吸収係数が $1 \times 10^3 \text{ cm}^{-1}$ 未満でかつ融点が1200以上であるため、透明層として好適である。また、透明半導体層は、III族窒化物半導体層とすることができる。かかる層は波長500nm以上600nm未満の光に対する光吸収係数が $1 \times 10^3 \text{ cm}^{-1}$ 未満であるため、照射光によるダメージを受けることなく、高品質の半導体デバイスが得られる。

【0016】

また、本発明にかかる半導体デバイスの製造方法において、GaN基板は、中間層との貼り合わせ面から所定の深さの面にイオンが注入され得る。これにより、イオン注入により脆化された面で分離できる。

【0017】

また、本発明にかかる半導体デバイスの製造方法において、半導体デバイスは、透明半導体層積層ウエハを支持するための透明半導体層積層ウエハ支持基板をさらに含み、デバイス用積層支持基板を作製する工程の後でデバイス用積層ウエハを作製する工程の前に、デバイス用積層支持基板の透明半導体層側に透明半導体層積層ウエハ支持基板を貼り合わせる工程、および、半導体デバイスを作製する工程において、透明半導体層積層ウエハに透明半導体層積層ウエハ支持基板を貼り合わせる工程、のいずれかの工程をさらに備えることができる。これにより、製造工程中において透明半導体層積層ウエハの機械的強度を補強できる。

【0018】

また、本発明にかかる半導体デバイスの製造方法において、透明半導体層はデバイス用積層支持基板に照射される光よりも短波長でかつ波長300nm以上550nm以下のピーク波長を有する光を放出する発光層を含み、透明半導体層積層ウエハ支持基板は波長300nm以上550nm以下の光に対する光吸収係数が $1 \times 10^4 \text{ cm}^{-1}$ 未満とすることができる。かかる透明半導体層を用いることにより、紫外、青、緑の波長領域の少なくともいずれかにピーク波長を有する高品質の半導体デバイスが得られる。また、かかる透明半導体層積層ウエハ支持基板を用いることにより、光取り出し効率の高い半導体デバイスが得られる。ここで、透明半導体層積層ウエハ支持基板は、サファイア、スピネル、石英、窒化アルミニウム、ダイヤモンドおよびガラスからなる群から選ばれる少なくとも1つを含むことができる。これらの材料は、波長300nm以上550nm以下の光に対する光吸収係数が $1 \times 10^4 \text{ cm}^{-1}$ 未満であるため、半導体デバイスの基板として好適である。

【 0 0 1 9 】

また、本発明にかかる半導体デバイスの製造方法において、透明半導体層積層ウエハ支持基板は、比抵抗が 10^{-4} cm 以下の導電性を有することができる。かかる透明半導体層積層ウエハ支持基板を用いることにより、デバイスの作動面積を広くすることができ、輝度の高いデバイスが得られる。ここで、透明半導体層積層ウエハ支持基板は、シリコン、ガリウムヒ素、インジウムリンおよび第1の金属からなる群から選ばれる少なくとも1つを含むことができる。ここで、第1の金属は、モリブデン、タングステン、銅、アルミニウムおよびこれらの合金の少なくともいずれかとする事ができる。これらの材料は、比抵抗が 10^{-4} cm 以下の高い導電性を有するため、透明半導体層積層ウエハ支持基板として好適である。

10

【 0 0 2 0 】

また、本発明にかかる半導体デバイスにおいて、透明半導体層はデバイス用積層支持基板に照射される光よりも短波長でかつ波長 300 nm 以上 550 nm 以下のピーク波長を有する光を放出する発光層を含み、透明半導体層積層ウエハ支持基板は、波長 300 nm 以上 550 nm 以下の光に対する光吸収係数が $1 \times 10^4 \text{ cm}^{-1}$ 未満であり、比抵抗が 10^{-4} cm 以下の導電性を有することができる。かかる透明半導体層を用いることにより、紫外、青、緑の波長領域の少なくともいずれかにピーク波長を有する高品質の半導体デバイスが得られる。また、かかる透明半導体層積層ウエハ支持基板を用いることにより、光取り出し効率および導電性の高い半導体デバイスが得られる。ここで、透明半導体層積層ウエハ支持基板は、酸化ガリウム、炭化シリコン、セレン化亜鉛、窒化アルミニウムおよびダイヤモンドからなる群から選ばれる少なくとも1つとすることができる。これらの材料は、波長 300 nm 以上 550 nm 以下の光に対する光吸収係数が $1 \times 10^4 \text{ cm}^{-1}$ 未満の高い透明性と比抵抗が 10^{-4} cm 以下の高い導電性を有するため、透明半導体層積層ウエハ支持基板として好適である。

20

【 0 0 2 1 】

また、本発明にかかる半導体デバイスの製造方法において、透明半導体層積層ウエハ支持基板と GaN 層または透明半導体層との間に配置され、第2の金属および導電性酸化物のいずれかを含む比抵抗が 10^{-4} cm 以下の導電性接着層をさらに含むことができる。これにより、半導体デバイスの導電性を高くするとともに、透明半導体層積層ウエハ支持基板と GaN 層または透明半導体層との間の接着性を高くすることができる。ここで、第2の金属は、チタン、金、銀、ニッケル、アルミニウム、亜鉛、ゲルマニウムおよびこれらの合金からなる群から選ばれる少なくとも1つとすることができる。また、導電性酸化物は、酸化亜鉛、酸化ガリウム、酸化スズ、インジウム亜鉛酸化物、インジウムスズ酸化物およびアンチモンズ酸化物からなる群から選ばれる少なくとも1つとすることができる。これらの材料は、比抵抗が 10^{-4} cm 以下の高い導電性を有するため、導電性接着層として好適である。

30

【 0 0 2 2 】

本発明にかかるエピ成長用積層支持基板は、 Ga 含有透明支持基板と、 Ga 含有透明支持基板上に配置されている中間層と、中間層上に配置されている GaN 層と、を含み、中間層は光熱変換層を含み、光熱変換層を含む中間層は 1200°C 以上の融点を有し、光熱変換層が吸収しうる光の波長は、 Ga 含有透明支持基板および GaN 層および透明半導体層のバンドギャップエネルギーのなかで最も低いバンドギャップエネルギーに対応する波長よりも長く、上記光の照射により照射された光が光熱変換層で吸収され熱に変換され、その熱により Ga 含有透明支持基板の中間層に接する面が分解されて、 Ga 含有透明支持基板と中間層とが分離される。かかるエピ成長用積層支持基板は、 GaN 層上に品質のよい少なくとも1層の透明半導体をエピタキシャル成長させて、 Ga 含有透明支持基板と中間層とを分離させることにより、高品質の半導体デバイスを作製することができる。ここで、光熱変換層は、アモルファスシリコン層とすることができる。また、光熱変換層は、モリブデン、タングステン、タンタル、チタン、白金、パラジウム、炭素、およびこれらのケイ化物、およびこれらの窒化物からなる群から選ばれる少なくとも1つを含む層とす

40

50

ることができる。これらの材料は、波長500nm以上600nm未満の光に対する光吸収係数が $1 \times 10^3 \text{ cm}^{-1}$ 以上でかつ融点が1200以上であるため、光熱変換層として好適である。

【0023】

また、中間層は、中間層の光熱変換層とGaN層との間に配置される第1の透明層をさらに含むことができる。これにより、GaN層およびその上にエピタキシャル成長される透明半導体層に与えるダメージを低減し、また中間層と透明支持基板との間で選択的な分離が可能となる。ここで、第1の透明層は、二酸化シリコン層、窒化シリコン層および酸窒化シリコン層のいずれかとするることができる。これらの層は、波長500nm以上600nm未満の光に対する光吸収係数が $1 \times 10^3 \text{ cm}^{-1}$ 未満でかつ融点が1200以上

10

【0024】

また、中間層は、中間層の光熱変換層とGa含有透明支持基板との間に配置される第2の透明層をさらに含むことができる。これにより、光熱変換層中の原子のマイグレーションによる原子拡散およびそれによるGa含有透明支持基板へのダメージを抑制し、中間層とGa含有透明支持基板の接合強度を高めることができる。ここで、第2の透明層は、二酸化シリコン層、窒化シリコン層および酸窒化シリコン層のいずれかとするることができる。これらの層は、波長500nm以上600nm未満の光に対する光吸収係数が $1 \times 10^3 \text{ cm}^{-1}$ 未満でかつ融点が1200以上であるため、透明層として好適である。

【0025】

20

また、本発明にかかるエピ成長用積層支持基板において、第2の透明層の厚さを、光熱変換層の厚さの0.3倍以上2.5倍以下にすることができる。中間層における光熱変換層と第2の透明層との界面での剥がれの発生を防止するとともに、Ga含有透明支持基板と中間層の第2の透明層との間のより選択的で効率のよい分離を確保することができる。

【0026】

また、本発明にかかるエピ成長用積層支持基板において、第1の透明層の厚さを、第2の透明層の厚さに比べて大きくすることができる。これにより、中間層とGa含有透明支持基板との貼り合せ面の温度を、中間層とGaN層との貼り合せ面の温度より高くすることができるため、中間層とGaN層との間の接合を保持しつつ、中間層とGa含有透明支持基板との間で選択的に分離できる。

30

【0027】

本発明にかかるデバイス用積層支持基板は、上記のエピ成長用積層支持基板と、エピ成長用積層支持基板のGaN層上にエピタキシャル成長された少なくとも1層の透明半導体層と、を含む。かかるデバイス用積層支持基板は、GaN層上にエピタキシャル成長された品質のよい少なくとも1層の透明半導体を含み、中間層の光熱変換層は光を吸収することにより高温に加熱され、中間層に接するGa含有透明支持基板の面が分解して、中間層とGa含有透明支持基板との間で分離されるため、高品質の半導体デバイスが作製できる。ここで、透明半導体層は、III族窒化物半導体層とすることができる。かかる層は波長500nm以上600nm未満の光に対する光吸収係数が $1 \times 10^3 \text{ cm}^{-1}$ 未満であるため、照射光によるダメージを受けることなく、高品質の半導体デバイスが得られる。

40

【発明の効果】

【0028】

本発明によれば、熱膨張係数がGaN層と同一または近似の支持基板とGaN層との貼り合わせ基板を用いて、良質の半導体層をエピタキシャル成長させて高品質の半導体デバイスが得られる半導体デバイス製造方法、ならびにかかる製造方法において製造されるエピ成長用積層支持基板およびデバイス用積層支持基板が提供される。

【図面の簡単な説明】

【0029】

【図1】本発明にかかる半導体デバイスの製造方法の一例を示す概略断面図である。ここで、(A)は積層支持基板の作製工程を示し、(B)は積層貼り合せ基板の作製工程を示

50

し、(C)はエピ成長用積層支持基板の作製工程を示し、(D)はデバイス用積層支持基板の作製工程を示し、(E)および(F)はデバイス用積層ウエハの作製工程を示し、(G)および(H)は透明半導体層積層ウエハを含む半導体デバイスの作製工程を示す。

【図2】本発明にかかる半導体デバイスの製造方法の他の例を示す概略断面図である。ここで、(A)は二電極付のデバイス用積層支持基板の作製工程を示し、(B)および(C)は二電極付のデバイス用積層ウエハの作製工程を示し、(D)は二電極付の透明半導体層積層ウエハの作製工程を示し、(E)および(F)は半導体デバイスの作製工程を示す。

【図3】本発明にかかる半導体デバイスの製造方法のさらに他の例を示す概略断面図である。ここで、(A)は一電極付のデバイス用積層支持基板の作製工程を示し、(B)および(C)は一電極付のデバイス用積層ウエハの作製工程を示し、(D)は一電極付の透明半導体層積層ウエハの作製工程を示し、(D)、(E)および(F)は半導体デバイスの作製工程を示す。

【図4】本発明にかかる半導体デバイスの製造方法のさらに他の例を示す概略断面図である。ここで、(A)はデバイス用積層支持基板への透明半導体層積層ウエハ支持基板の貼り合せ工程を示し、(B)および(C)は支持基板付のデバイス用積層ウエハの作製工程を示し、(D)は支持基板付の透明半導体層積層ウエハの作製工程を示し、(E)は半導体デバイスの作製工程を示す。

【図5】本発明にかかる半導体デバイスの製造方法のさらに他の例を示す概略断面図である。ここで、(A)および(B)はデバイス用積層ウエハの作製工程を示し、(C)は透明半導体層積層ウエハの作製工程を示し、(D)、(E)、(F1)および(F2)は半導体デバイスの作製工程を示す。

【図6】本発明にかかる半導体デバイスの製造方法のさらに他の例を示す概略断面図である。ここで、(A)はデバイス用積層支持基板の作製工程を示し、(B)は一電極付のデバイス用積層支持基板の作製工程を示し、(C)および(D)は半導体デバイスの作製工程を示す。

【図7】本発明にかかる半導体デバイスの製造方法のさらに他の例を示す概略断面図である。ここで、(A)はデバイス用積層支持基板の作製工程を示し、(B)は一電極付のデバイス用積層支持基板の作製工程を示し、(C)および(D)は半導体デバイスの作製工程を示す。

【図8】本発明にかかる半導体デバイスの製造方法のさらに他の例を示す概略断面図である。ここで、(A)はデバイス用積層支持基板の作製工程を示し、(B)は二電極付のデバイス用積層支持基板の作製工程を示し、(C)は半導体デバイスの作製工程を示す。

【図9】本発明にかかる半導体デバイスの製造方法のさらに他の例を示す概略断面図である。ここで、(A)はデバイス用積層支持基板の作製工程を示し、(B)は三電極付のデバイス用積層支持基板の作製工程を示し、(C)は半導体デバイスの作製工程を示す。

【発明を実施するための形態】

【0030】

[実施形態1]

図1を参照して、本発明のある実施形態である半導体デバイスの製造方法は、Ga含有透明支持基板10上に光熱変換層21を含む中間層20aを形成して積層支持基板1を作製する工程を備える(図1(A))。また、積層支持基板1の中間層20aにGa_{0.5}N基板30を貼り合わせて積層貼り合わせ基板2を作製する工程を備える(図1(B))。積層貼り合わせ基板2のGa_{0.5}N基板30を、中間層20との貼り合わせ面から所定の深さの面Pにおいて分離することにより、積層支持基板1の中間層20上にGa_{0.5}N層30aが形成されたエピ成長用積層支持基板3を作製する工程を備える(図1(C))。また、エピ成長用積層支持基板3のGa_{0.5}N層30a上に少なくとも1層の透明半導体層40をエピタキシャル成長させることにより、デバイス用積層支持基板4を作製する工程を備える(図1(D))。また、デバイス用積層支持基板4に、Ga含有透明支持基板10およびGa_{0.5}N層30aおよび透明半導体層40のバンドギャップエネルギーのなかで最も低いバンドギ

10

20

30

40

50

ャップエネルギーに対応する波長よりも長い波長でかつ光熱変換層が吸収しうる波長の光 L を照射して、Ga含有透明支持基板10と中間層20とを分離することにより、透明半導体層40とGaN層30aと中間層20を含むデバイス用積層ウエハ5を作製する工程を備える(図1(E)および(F))。また、デバイス用積層ウエハ5から中間層を除去して透明半導体層40とGaN層30aを含む透明半導体層積層ウエハ6を含む半導体デバイス7を作製する工程を備える(図1(G)および(H))。これらの工程を備えることにより、GaN層30aおよび透明半導体層40にダメージを与えることなく透明半導体層積層ウエハ6を形成することができるため、良質の半導体層を有する高品質の半導体デバイスが得られる。

【0031】

(積層支持基板の作製工程)

図1(A)を参照して、積層支持基板1の作製工程は、Ga含有透明支持基板10上に光熱変換層21を含む中間層20aを形成することにより行われる。本工程により得られる積層支持基板1は、後述するように、本基板に照射される光が光熱変換層21に吸収されることにより、光熱変換層21を含む中間層20aは熱が蓄えられて高温となり、この熱によりGa含有透明支持基板10の中間層20aに接する面が分解されて、中間層20aとGa含有透明支持基板10とに分離することができる。

【0032】

Ga含有透明支持基板10上に中間層20aを形成する方法は、特に制限はなく、プラズマCVD(化学気相堆積)法、スパッタ法、真空蒸着法などが用いられる。

【0033】

光熱変換層21を含む中間層20aは、上記のように高温となる。また、透明半導体層40をエピタキシャル成長させる際に、800以上、場合によっては1100付近の高温に曝される。これらの理由から、光熱変換層21を含む中間層20aは高い耐熱性を有することが好ましく、たとえば1200以上の融点を有することが好ましい。また、中間層20aは、後述するように、光熱変換層21の片側または両側に透明層(たとえば、図1(A)において、第1の透明層23aおよび第2の透明層25)をさらに含むことができる。たとえば、中間層20aは、Ga含有透明支持基板10側から順に、第2の透明層25、光熱変換層21、および第1の透明層23aを含む。なお、第1の透明層23aは、後工程(図1(B))においてGaN基板30と貼り合わされて、第1の透明層23としてGaN基板30と光熱変換層21との間に位置することになる。かかる透明層(たとえば、第1の透明層23および第2の透明層25)は、後述するように、波長500nm以上600nm未満の光に対する光吸収係数が $1 \times 10^3 \text{ cm}^{-1}$ 以上未満であることが好ましく、たとえば、二酸化シリコン層、窒化シリコン層および酸窒化シリコン層のいずれかであることが好ましい。光熱変換層21は、後述するように、波長500nm以上600nm未満の光に対する光吸収係数が $1 \times 10^3 \text{ cm}^{-1}$ 以上であることが好ましく、たとえば、アモルファスシリコン層、または、モリブデン、タングステン、タンタル、チタン、白金、パラジウム、炭素、およびこれらのケイ化物、およびこれらの窒化物からなる群から選ばれる少なくとも1つを含む層であることが好ましい。

【0034】

Ga含有透明支持基板10は、後述するように、波長500nm以上600nm未満の光に対する光吸収係数が $1 \times 10^3 \text{ cm}^{-1}$ 以上未満であることが好ましく、たとえば、GaN支持基板であることが好ましい。

【0035】

(積層貼り合わせ基板の作製工程)

図1(B)を参照して、積層貼り合わせ基板2の作製工程は、積層支持基板1の中間層20aにGaN基板30を貼り合わせるにより行われる。ここで、積層支持基板1の中間層20aにGaN基板30を貼り合わせる方法には、特に制限はなく、貼り合わせる面の表面を洗浄して直接貼り合わせ、その後700~1000に昇温して接合する直接接合法、金属膜を形成し、接触させつつ昇温することで金属膜の金属を合金化させるこ

10

20

30

40

50

とにより接合する合金接合法、プラズマやイオンなどで貼り合わせ面を活性化させ接合する表面活性化法、などが好ましく用いられる。

【0036】

また、GaN基板30の貼り合わせ面には、光Lの照射時に光熱変換層からGaN基板30に伝わる熱を低減するとともに接合強度を高める観点から、積層支持基板1の中間層20aの最外層と化学的に同じ材質の層が形成されていることが好ましい。たとえば、積層支持基板1の中間層20aの最外層が第1の透明層23aである場合には、かかる第1の透明層23aと化学的に同一の材質の層である第1の透明層23bがGaN基板30の貼り合わせ面に形成されていることが好ましい。GaN基板30の第1の透明層23bを、積層支持基板1の中間層20aの第1の透明層23aに貼り合わせることにより、光熱変換層21とGaN基板30との間に第1の透明層23が形成される。こうして、光熱変換層21と、光熱変換層21とGaN基板30との間に配置される第1の透明層23と、光熱変換層21とGaN含有透明支持基板10との間に配置される第2の透明層25と、を含む中間層20が形成される。

10

【0037】

(エピ成長用積層支持基板の作製工程)

図1(C)を参照して、エピ成長用積層支持基板3の作製工程は、積層貼り合わせ基板2のGaN基板30を、中間層20との貼り合わせ面から所定の深さの面Pにおいて分離することにより行われる。かかる工程により、積層支持基板1の中間層20上にGaN層30aが形成されたエピ成長用積層支持基板3が得られる。

20

【0038】

GaN基板30を中間層20との貼り合わせ面から所定の深さの面Pにおいて分離する方法には、特に制限はなく、GaN基板30を上記の面Pにおいて切断する方法や、積層支持基板1に脆弱領域を形成させるため、積層支持基板1に貼り合わせる前に上記面Pにイオンを注入したGaN基板30を積層支持基板1に貼り合せた後、熱および/または応力を加えることにより、イオン注入により脆化された面Pにおいて分離する方法、などが用いられる。かかる方法により、積層支持基板1の中間層20上に厚さ0.05 μ m~100 μ mのGaN層30aを形成することができる。

【0039】

ここで、GaN含有透明支持基板10は、エピタキシャル成長やアニール処理時においてGaN層30aにクラックなどを発生させない観点から、その熱膨張係数がGaN層30aの熱膨張係数と同一または近似していることが好ましく、GaN層30aの主表面の面方位と同一の面方位の主表面を有するGaN支持基板であることが特に好ましい。

30

【0040】

(デバイス用積層支持基板の作製工程)

図1(D)を参照して、デバイス用積層支持基板4の作製工程は、エピ成長用積層支持基板3のGaN層30a上に少なくとも1層の透明半導体層40をエピタキシャル成長させることにより行われる。

【0041】

ここで、熱膨張係数がGaN層30aの熱膨張係数と同一または近似するGaN含有透明支持基板10を用いることにより、エピタキシャル成長やアニール処理時においてクラックなどを発生させることなく、品質のよい少なくとも1層の透明半導体層40を形成することができる。かかる観点から、GaN含有透明支持基板10は、たとえばGaN層30aの主表面の面方位と同一の面方位の主表面を有するGaN支持基板であることが好ましい。

40

【0042】

エピ成長用積層支持基板3のGaN層30a上に少なくとも1層の透明半導体層40をエピタキシャル成長させる方法には、特に制限はないが、品質のよい透明半導体層を成長させる観点から、MOCVD(有機金属化学気相堆積)法、MBE(分子線エピタキシ)法、HVPE(ハイドライド気相成長)法などの気相法などが好ましく用いられる。

50

【0043】

エピ成長用積層支持基板3上にエピタキシャル成長させる少なくとも1層の透明半導体層40は、クラックなどを発生させることなく品質のよい透明半導体層40を成長させる観点から、Ga_{0.9}N_{0.1}層30aと格子定数が同一または近似しており、また、Ga_{0.9}N_{0.1}層30aおよびGa含有透明支持基板10と熱膨張係数が同一または近似していることが好ましい。また、透明半導体層40は、後述のように、波長500nm以上600nm未満の光に対する光吸収係数が $1 \times 10^3 \text{ cm}^{-1}$ 未満であることが好ましい。また、中間層を透過した照射光を吸収しないという観点から、透明半導体層40は、デバイス用積層支持基板4に照射される光よりも短波長でかつ波長300nm以上550nm以下のピーク波長を有する光を放出する発光層45を含むことが好ましい。これらの観点から、透明半導体層40は、たとえば、III族窒化物半導体層であることが好ましい。

10

【0044】

(デバイス用積層ウエハの作製工程)

図1(E)および(F)を参照して、デバイス用積層ウエハ5の作製工程は、デバイス用積層支持基板4に、Ga含有透明支持基板10およびGa_{0.9}N_{0.1}層30aおよび透明半導体層40のバンドギャップエネルギーのなかで最も低いバンドギャップエネルギーに対応する波長よりも長い波長でかつ光熱変換層が吸収しうる波長の光Lを照射して、Ga含有透明支持基板10と中間層20とを分離することにより行われる。かかる工程により、透明半導体層40とGa_{0.9}N_{0.1}層30aと中間層20を含むデバイス用積層ウエハ5が得られる。ここで、図1(E)には、デバイス用積層支持基板4のGa含有透明支持基板10側から光Lが照射される場合が記載されているが、デバイス用積層支持基板4の透明半導体層40側から光Lが照射されてもよい。

20

【0045】

本工程において、デバイス用積層支持基板4に照射される光の光子1個あたりのエネルギーは、Ga含有透明支持基板10、Ga_{0.9}N_{0.1}層30aおよび透明半導体層40のバンドギャップエネルギーのなかで最も低いバンドギャップエネルギーよりも低いため、Ga含有透明支持基板10、Ga_{0.9}N_{0.1}層30aおよび透明半導体層40では光が吸収されずに透過する。これにより、Ga含有透明支持基板10、Ga_{0.9}N_{0.1}層30aおよび透明半導体層40では不要な光吸収に伴い発生する熱を起因とするダメージを回避できる。

【0046】

30

デバイス用積層支持基板4に照射された光は、光熱変換層21で吸収され熱に変換される。この熱により、Ga含有透明支持基板10の中間層20に接する面が分解されて、デバイス用積層支持基板4はGa含有透明支持基板10と中間層20との間で分離される。こうして、透明半導体層40とGa_{0.9}N_{0.1}層30aと中間層20を含むデバイス用積層ウエハ5が得られる。

【0047】

デバイス用積層支持基板4に照射される光は、その波長がGa含有透明支持基板10、Ga_{0.9}N_{0.1}層30aおよび透明半導体層40のバンドギャップエネルギーのなかで最も低いバンドギャップエネルギーに対応する波長よりも長ければ特に制限はないが、比較的低い投入エネルギーで効率よくGa含有透明支持基板10と中間層20とを分離するためには、波長500nm以上600nm未満のレーザ光であることが好ましく、たとえば波長808nmの半導体レーザで励起された波長1064nmのNd:YAGレーザ光(ここで、Nd:YAGとは、Nd(ネオジウム)を添加したY(イットリウム)・A(アルミニウム)・G(ガーネット)により形成される結晶をいう)またはNd:YVO₄レーザ光(ここで、Nd:YVO₄とは、Nd(ネオジウム)を添加したY(イットリウム)・V(バナジウム)・O₄(オキサイド)またはY(イットリウム)・VO₄(バナデート))により形成される結晶をいう)をLiB₃O₅などのいわゆるSHG(Second Harmonic Generation; 第2高調波)結晶で変換した波長532nmのレーザ光が好ましく用いられる。この波長の光は、Ga含有透明支持基板10、Ga_{0.9}N_{0.1}層30aおよび透明半導体層40を構成し得る、たとえば、Ga_{0.9}N_{0.1}、InGa_{0.9}N_{0.1}、AlGa_{0.9}N_{0.1}など

40

50

のⅢ族窒化物や、第1および第2の透明層23、25を構成し得るたとえば二酸化シリコン、窒化シリコンおよび窒化シリコンのいずれかには吸収されないが、光熱変換層21を構成し得るたとえばアモルファスシリコンには好適に吸収される。

【0048】

ここで、Ga含有透明支持基板10としてGaN支持基板を用いる場合は、上記光Lの照射により、GaN支持基板において中間層に接する面が金属Gaと窒素(N₂)ガスに分解され、GaN支持基板と中間層との間に金属Gaが析出する。金属Gaは29.8で融解するため、この温度以上に加熱されることにより、GaN支持基板と中間層とが分離される。

【0049】

デバイス用積層支持基板4においては、GaN層30a上に品質のよい透明半導体層40を形成させる観点から、Ga含有透明支持基板10はGaN支持基板であり、透明半導体層40はⅢ族窒化物半導体層であることが好ましい。かかる場合においては、GaN層30a、GaN支持基板(Ga含有透明支持基板10)およびⅢ族窒化物半導体層(透明半導体層40)は、通常波長500nm以上600nm未満の光に対する光吸収係数が $1 \times 10^3 \text{ cm}^{-1}$ 未満である。したがって、GaN支持基板と中間層との分離のために、デバイス用積層支持基板4に照射される光は、GaN層30a、GaN支持基板(Ga含有透明支持基板10)およびⅢ族窒化物半導体層(透明半導体層40)に与えるダメージを低減する観点から、波長500nm以上600nm未満のレーザ光であることが好ましい。

【0050】

中間層20は、Ga含有透明支持基板10と中間層20との間の分離に際して高温となる。また、透明半導体層40をエピタキシャル成長させる際に、800以上、場合によっては1100付近の高温に曝される。これらの理由から、中間層20は高い耐熱性を有することが好ましく、たとえば1200以上の融点を有することが好ましい。すなわち、光熱変換層21は、高い耐熱性を有していることが好ましく、たとえば1200以上の融点を有することが好ましい。また、デバイス用積層支持基板4に照射される光が波長500nm以上600nm未満のレーザ光である場合は、光熱変換層21は、その波長域の光を効率よく吸収することが好ましいため、波長500nm以上600nm未満の光に対する光吸収係数が $1 \times 10^3 \text{ cm}^{-1}$ 以上であることが好ましい。以上の要件を満たす材料からなる層として、光熱変換層21は、たとえばアモルファスシリコン層であることが好ましい。

【0051】

デバイス用積層支持基板4において、光熱変換層21を含む中間層20は、Ga含有透明支持基板10およびGaN層30aに接している。このため、上記の光Lの照射により、光熱変換層21が加熱されて高温になると、その熱がGa含有透明支持基板10だけでなく、GaN層30aおよびGaN層30aに接している透明半導体層40にも伝わり、GaN層30aおよび透明半導体層40にもダメージを与えるおそれがある。このようなGaN層30aおよび透明半導体層40に与えるダメージを低減し、また中間層20とGaN層30aとの接合は保持しつつ中間層20とGa含有透明支持基板10との間で確実に分離するため、中間層20は、中間層20の光熱変換層21とGaN層30aとの間に配置される第1の透明層23をさらに含むことが好ましい。また、第1の透明層23は、光熱変換層21中の原子(たとえばアモルファスシリコン層中のSi原子)のマイグレーションによるGaN層30aおよび透明半導体層40への原子拡散および、光照射時のGaN層30aおよび透明半導体層40へ与えられるダメージを低減するとともに中間層20とGaN層30aとの接合強度も高める。

【0052】

かかる第1の透明層23は、特に制限はないが、不要な光吸収に伴う発熱によるGaN層30aおよび透明半導体層40への熱ダメージおよび/または熱に伴う膨張による応力ダメージを生じさせないために、Ga含有透明支持基板10、GaN層30aおよび透明

10

20

30

40

50

半導体層 40 と同様の透明性、すなわち波長 500 nm 以上 600 nm 以下の光に対する光吸収係数が $1 \times 10^3 \text{ cm}^{-1}$ 未満であることが好ましい。また、第 1 の透明層 23 は、上記のように高温となる光熱変換層 21 に接する。また、透明半導体層 40 をエピタキシャル成長させる際に、800 以上、場合によっては 1100 付近の高温に曝される。これらの理由から、第 1 の透明層 23 は高い耐熱性を有することが好ましく、たとえば 1200 以上の融点を有することが好ましい。上記の要件を満たす材料として、第 1 の透明層は、たとえば、二酸化シリコン層、窒化シリコン層および酸窒化シリコン層のいずれかであることが特に好ましい。

【0053】

また、光熱変換層 21 中の原子（たとえばアモルファスシリコン層中の Si 原子）のマイグレーションによる原子拡散を抑制するとともに中間層 20 と Ga 含有透明支持基板 10 との接合強度を高める観点から、中間層 20 は、中間層 20 の光熱変換層 21 と Ga 含有透明支持基板 10 との間に配置される第 2 の透明層 25 をさらに含むことが好ましい。

【0054】

かかる第 2 の透明層 25 は、特に制限はないが、不要な光吸収に伴う発熱による GaN 層 30a および透明半導体層 40 への熱ダメージおよび / または熱に伴う膨張による応力ダメージを生じさせないために、Ga 含有透明支持基板 10、GaN 層 30a および透明半導体層 40 と同様の透明性、すなわち波長 500 nm 以上 600 nm 以下の光に対する光吸収係数が $1 \times 10^3 \text{ cm}^{-1}$ 未満であることが好ましい。また、第 2 の透明層 25 は、上記のように高温となる光熱変換層 21 に接する。また、透明半導体層 40 をエピタキシャル成長させる際に、800 以上、場合によっては 1100 付近の高温に曝される。これらの理由から、第 2 の透明層 25 は高い耐熱性を有することが好ましく、たとえば 1200 以上の融点を有することが好ましい。上記の要件を満たす材料として、第 2 の透明層は、たとえば、二酸化シリコン層、窒化シリコン層および酸窒化シリコン層のいずれかであることが特に好ましい。

【0055】

第 1 の透明層 23 および第 2 の透明層 25 の両方が存在する場合、第 1 の透明層 23 の厚さは第 2 の透明層 25 の厚さに比べて大きいことが好ましい。これにより、中間層 20 と Ga 含有 Ga 含有透明支持基板 10 との貼り合わせ面の温度を、中間層 20 と GaN 層 30a との貼り合わせ面の温度より高くできる。これを利用して、中間層 20 と Ga 含有透明支持基板 10 との貼り合わせ面の温度を金属 Ga が形成可能な温度以上に、中間層 20 と GaN 層 30a との貼り合わせ面の温度を金属 Ga が形成可能な温度未満にすることで、中間層 20 と GaN 層 30a の貼り合わせ面には金属 Ga を形成させずに、中間層 20 と Ga 含有透明支持基板 10 との貼り合わせ面にのみ金属 Ga60 を形成することができる。これにより、デバイス用積層ウエハ 5 を、デバイス用積層支持基板 4 の中間層 20 と Ga 含有透明支持基板 10 との貼り合わせ面の選択分離により、形成できるようになる。

【0056】

また、第 2 の透明層 25 の厚さは、特に制限はないが、中間層 20 における光熱変換層 21 と第 2 の透明層 25 との密着性を良好に担保するとともに、Ga 含有透明支持基板 10 と中間層 20 の第 2 の透明層 25 との界面において選択的で効率のよい分離を確保する観点から、第 2 の透明層 25 の厚さを光熱変換層 21 の厚さの 0.3 倍以上 2.5 倍以下にすることが特に好ましい。

【0057】

こうして、透明半導体層 40 と GaN 層 30a とを含むデバイス用積層ウエハ 5 が得られる。ここで、デバイス用積層ウエハ 5 は、Ga 含有透明支持基板 10 の分離の際に、Ga 含有透明支持基板 10 と中間層 20 と界面に形成される金属 Ga60 を中間層 20 の表面に有する。

【0058】

なお、本工程で得られるデバイス用積層ウエハ 5 および次工程で得られる透明半導体層

10

20

30

40

50

積層ウエハ 6 (GaN 層 30a と透明半導体層 40 との積層ウエハをいう。以下同じ。) は機械強度が極めて低い。このため、得られるデバイス用積層ウエハ 5 および透明半導体層積層ウエハ 6 の機械強度を補強するため、本工程の前に、デバイス用積層支持基板 4 の透明半導体層積層ウエハ 6 の機械強度を補強するために、仮支持基材または透明半導体層積層ウエハ支持基板を貼り合わせることが好ましい。

【 0059 】

たとえば、図 1 (E) を参照して、デバイス用積層支持基板 4 の透明半導体層 40 の最外層に接着剤 51 を介在させて仮支持基材 50 を貼り合わせることができる。仮支持基材 50 は、特に制限はないが、光 L の照射時に光熱変換層 21 を透過した照射光を吸収して不要な熱を発生させないようにする観点から、サファイア基板などが好ましく用いられる。また、接着剤 51 は、特に制限はないが、光 L の照射時に光熱変換層 21 を透過した照射光を吸収して不要な熱を発生させたり分解されたりせず、さらに後工程で仮支持基材 50 をデバイス用積層ウエハ 5 から分離することが容易な観点から、Brewer Science 社製 Waferbond HT-10, 10 などが好ましく用いられる。

【 0060 】

上記の仮支持基材 50 は、後の工程において、デバイス用積層支持基板 4 から Ga 含有透明支持基板 10 が分離されてデバイス用積層ウエハ 5 が形成され (図 1 (E) および (F))、次いでデバイス用積層ウエハ 5 から金属 Ga 60 および中間層 20 が分離除去されて透明半導体層積層ウエハ 6 が形成され (図 1 (G))、次いで透明半導体層積層ウエハ 6 の GaN 層 30a に透明半導体層積層ウエハ支持基板 70 が貼り合わされて透明半導体層 40 が機械強度的に支持された後に、除去される (図 1 (H))。

【 0061 】

また、図 4 (A) を参照して、本工程の前に、上記仮支持基材に替えて、透明半導体層積層ウエハ支持基板 70 をデバイス用積層支持基板 4 の透明半導体層 40 に貼り合わせることができる。かかる場合には、後の工程において、透明半導体層積層ウエハ支持基板 70 が貼り合わされたデバイス用積層支持基板 4C から Ga 含有透明支持基板 10 が分離されて支持基板付のデバイス用積層ウエハ 5C が形成され (図 4 (B) および (C))、次いで支持基板付のデバイス用積層ウエハ 5C から金属 Ga 60 および中間層 20 が分離除去されて支持基板付の透明半導体層積層ウエハ 6C が形成され (図 4 (D))、次いで支持基板付の透明半導体層積層ウエハ 6C に電極などが形成されて半導体デバイス 7 (図 4 (E)) が得られる。すなわち、仮支持基材に替えて、透明半導体層積層ウエハ支持基板をデバイス用積層支持基板の透明半導体層に貼り合わせる場合は、仮支持基材を貼り合わせる工程およびそれを除去する工程を必要としない。

【 0062 】

(透明半導体層積層ウエハの作製工程)

図 1 (G) を参照して、透明半導体層積層ウエハ 6 の作製工程は、デバイス用積層ウエハ 5 から中間層 20 を除去することにより行われる。かかる工程により、透明半導体層 40 と GaN 層 30a とを含む透明半導体層積層ウエハ 6 が得られる。デバイス用積層ウエハ 5 から中間層 20 を除去する方法は、特に制限はなく、半導体プロセスで一般的に用いられるウェットエッチング、ドライエッチングなどの方法を利用できる。

【 0063 】

(半導体デバイスの作製工程)

図 1 (H) を参照して、半導体デバイス 7 の作製工程は、透明半導体層積層ウエハ 6 に透明半導体層積層ウエハ支持基板 70 を貼り合わせることににより行われる。かかる工程により、半導体デバイス 7 が得られる。

【 0064 】

透明半導体層積層ウエハ 6 に透明半導体層積層ウエハ支持基板 70 を貼り合わせる方法には、特に制限はなく、貼り合わせる面の表面を洗浄して直接貼り合わせ、その後 700 ~ 1000 に昇温して接合することによる直接接合法、プラズマやイオンなどで貼り合わせ面を活性化させ接合することによる表面活性化法などが好ましく用いられる。

【0065】

ここで、図2(E)～(F)および図3(E)～(G)を参照して、本半導体デバイス7においては、透明半導体層40が波長300nm以上550nm以下のピーク波長を有する光を放出する発光層45を含む場合は、透明半導体層積層ウエハ支持基板は、波長が300nm以上550nm以下の光に対する光吸収係数が $1 \times 10^4 \text{ cm}^{-1}$ 未満であることが好ましい。これにより内部吸収を低減し、光取り出し効率の高い半導体光デバイスを作製できる。かかる観点から、透明半導体層積層ウエハ支持基板70は、たとえば、サファイア、スピネル、石英、窒化アルミニウム、ダイヤモンドおよびガラスからなる群から選ばれる少なくとも1つを含むことが好ましい。

【0066】

また、図3(E)～(G)および図4(A)～(E)を参照して、本半導体デバイス7においては、デバイスに積層方向の導電性を具備させる目的で、透明半導体層積層ウエハ支持基板70は、比抵抗が 10 cm 以下の導電性を有することが好ましい。デバイスに積層方向の導電性を具備させることができれば、半導体デバイス7はたとえば図3(G)に示すようにその両主表面にそれぞれp-電極80とn-電極90を形成できる。これにより、両電極を一主表面に形成しなければならない場合(たとえば、図2(F)参照)に比べて、透明半導体層40の一部を除去する必要がなくなるため、より広い面積をデバイスの動作(すなわち発光)に利用できるのも、より輝度の高いデバイスが実現できる。透明半導体層積層ウエハ支持基板70を構成する材料としては、たとえば、シリコン、ガリウムヒ素、インジウムリンおよび第1の金属からなる群から選ばれる少なくとも1つを含むことが好ましい。ここで、第1の金属とは、比抵抗が 10 cm 以下の導電性を有するものであれば特に制限はなく、たとえば、モリブデン、タングステン、銅、アルミニウムなどが好ましく用いられる。

【0067】

また、図3(E)～(G)および図4(A)～(E)を参照して、本半導体デバイス7においては、デバイスの導電性を高くするとともに透明半導体層積層ウエハ支持基板70とGaN層30a(図示せず)または透明半導体層40との間の接着性を高くする観点から、透明半導体層積層ウエハ支持基板70と透明半導体層40との間に配置され、第2の金属および導電性酸化物のいずれかを含む比抵抗が 10 cm 以下の導電性接着層85, 85a, 85b, 95, 95a, 95bをさらに含むことが好ましい。ここで、第2の金属は、特に制限はないが、上記観点からたとえば、チタン、金、銀、ニッケル、アルミニウム、亜鉛、ゲルマニウムおよびこれらの合金からなる群から選ばれる少なくとも1つであることが好ましい。また、導電性酸化物は、酸化亜鉛、酸化ガリウム、酸化スズ、インジウム亜鉛酸化物、インジウムスズ酸化物およびアンチモンズ酸化物からなる群から選ばれる少なくとも1つであることが好ましい。

【0068】

また、図3(E)～(G)を参照して、本半導体デバイス7においては、透明半導体層40が波長300nm以上550nm以下のピーク波長を有する光を放出する発光層45を含む場合は、透明半導体層積層ウエハ支持基板は、波長が300nm以上550nm以下の光に対する光吸収係数が $1 \times 10^4 \text{ cm}^{-1}$ 未満であることが好ましい。これにより内部吸収を低減し、光取り出し効率の高い半導体光デバイスを作製できる。また、デバイスに積層方向の導電性を具備させる目的で、透明半導体層積層ウエハ支持基板70は、比抵抗が 10 cm 以下の導電性を有することが好ましい。デバイスに積層方向の導電性を具備させることができれば、半導体デバイス7はたとえば図3(G)に示すようにその両主表面にそれぞれp-電極80とn-電極90を形成できる。これにより、両電極を一主表面に形成しなければならない場合(たとえば、図2(F)参照)に比べて、透明半導体層40の一部を除去する必要がなくなるため、より広い面積をデバイスの動作(すなわち発光)に利用できるのも、より輝度の高いデバイスが実現できる。透明半導体層積層ウエハ支持基板70を構成する材料としては、たとえば、酸化ガリウム、炭化シリコン、セレン化亜鉛、窒化アルミニウムおよびダイヤモンドからなる群から選ばれる少なくとも1つを

含むことが好ましい。

【0069】

[実施形態2]

図1を参照して、本発明にかかる他の実施形態であるエピ成長用積層支持基板3は、Ga含有透明支持基板10と、Ga含有透明支持基板10上に配置されている中間層20と、中間層20上に配置されているGaN層30aと、を含み、中間層20は光熱変換層21を含む。実施形態1に記載のように、本実施形態のエピ成長用積層支持基板3は、GaN層30a上にクラックなどを発生させることなく品質のよい少なくとも1層の透明半導体層40をエピタキシャル成長させることができる。また、本エピ成長用積層支持基板3は、中間層20の光熱変換層21が照射された光Lを吸収することにより高温に加熱され、この高熱により中間層20に接するGa含有透明支持基板10の面が分解することを利用して、中間層20とGa含有透明支持基板10との間で分離できる。

10

【0070】

また、実施形態1に記載のように、本エピ成長用積層支持基板3において、中間層20は、中間層20の光熱変換層21とGaN層30aとの間に配置される第1の透明層23をさらに含むことが好ましい。さらに、中間層20は、中間層20の光熱変換層21とGa含有透明支持基板10との間に配置される第2の透明層25をさらに含むことが好ましい。ここで、第1の透明層23の厚さは、第2の透明層25の厚さより大きいことが好ましい。中間層20の光熱変換層21は、アモルファスシリコン層、または、モリブデン、タングステン、タンタル、チタン、白金、パラジウム、炭素、およびこれらのケイ化物、およびこれらの窒化物からなる群から選ばれる少なくとも1つを含む層であることが好ましい。中間層20の第1の透明層23は、二酸化シリコン層、窒化シリコン層および酸窒化シリコン層のいずれかであることが好ましい。中間層20の第2の透明層25は、二酸化シリコン層、窒化シリコン層および酸窒化シリコン層のいずれかであることが好ましい。

20

【0071】

なお、図1(A)~(C)を参照して、実施形態1に記載のように、本エピ成長用積層支持基板3は、たとえば、積層支持基板1の作製工程(図1(A))、積層貼り合わせ基板2の作製工程(図1(B))およびエピ成長用積層支持基板3の作製工程(図1(C))により作製することができる。

30

【0072】

[実施形態3]

図1(A)~(D)を参照して、本発明のさらに他の実施形態であるデバイス用積層支持基板4は、実施形態2に記載のエピ成長用積層支持基板3と、エピ成長用積層支持基板3のGaN層30a上にエピタキシャル成長された少なくとも1層の透明半導体層40と、を含む。本デバイス用積層支持基板4は、中間層20の光熱変換層21が照射された光Lを吸収することにより高温に加熱され、この高熱により中間層20に接するGa含有透明支持基板10の面が分解することを利用して、中間層20とGa含有透明支持基板10との間で分離できる。実施形態1に記載のように、本デバイス用積層支持基板4の透明半導体層は、III族窒化物半導体層であることが好ましい。

40

【0073】

なお、図1(A)~(D)を参照して、実施形態1に記載のように、本デバイス用積層支持基板4は、積層支持基板1の作製工程(図1(A))、積層貼り合わせ基板2の作製工程(図1(B))、エピ成長用積層支持基板3の作製工程(図1(C))およびデバイス用積層支持基板4の作製工程により作製することができる。

【実施例】

【0074】

(実施例1)

1. 積層支持基板の作製

図1(A)を参照して、Ga含有透明支持基板10として、HVPE法により形成した

50

直径が2インチ(5.08cm)で厚さ500 μ mのGa₂N₃支持基板を準備した。かかるGa₂N₃支持基板は、一主表面が(0001)面であるGa原子表面であり、他主表面が(000-1)面であるN原子表面であり、両主表面が鏡面加工されていた。

【0075】

このGa₂N₃支持基板(Ga含有透明支持基板10)のGa原子表面に、中間層20として、プラズマCVD法により、厚さ10nmの二酸化シリコン層(第2の透明層25)、厚さ60nmのアモルファスシリコン層(光熱変換層21)、および厚さ130nmの二酸化シリコン層(第1の透明層23a)を順に堆積させて、積層支持基板1を得た。プラズマCVDの条件は、第1および第2の二酸化シリコン層の堆積においては、RFが50W、Arガスにより8体積%に希釈されたSiH₄ガスの流量が50sccm(1sccmは、標準状態に換算して1分間に1cm³のガスが流れる量をいう)、N₂Oガス流量が460sccm、チャンバ圧力が80Pa、ステージ温度が250℃であり、アモルファスシリコン層の堆積においては、RFが50W、Arガスにより8体積%に希釈されたSiH₄ガスの流量が200sccm、チャンバ圧力が80Pa、ステージ温度が250℃であった。

【0076】

また、Ga₂N₃層30aを形成するためのGa₂N₃基板30として、HVPE法により形成した直径2インチ(5.08cm)で厚さが500 μ mのGa₂N₃基板を準備した。かかるGa₂N₃基板30は、一主表面が(0001)面であるGa原子表面であり、他主表面が(000-1)面であるN原子表面であり、両主表面が鏡面加工されていた。まず、Ga₂N₃基板30のN原子表面に、プラズマCVD法により、厚さ100nmの二酸化シリコン層(第1の透明層23b)を堆積させた。この二酸化シリコン層の堆積におけるプラズマCVDの条件は、RFが50W、Arガスにより8体積%に希釈されたSiH₄ガスの流量が50sccm、N₂Oガス流量が460sccm、チャンバ圧力が80Pa、ステージ温度が250℃であった。次いで、Ga₂N₃基板30の二酸化シリコン層(第1の透明層23b)側から、水素イオンを注入した。水素イオンの注入条件は、加速電圧が50keV、ドーズ量が7×10¹⁷cm⁻²であった。こうして、水素イオンが注入されたGa₂N₃基板30は、そのN原子表面から約200nmの深さの面Pにドーズ量のピークがあった。このドーズ量はリファレンスとして同一バッチでイオン注入したGa₂N₃基板のイオン注入側から、SIMS(二次イオン質量分析計)分析を深さ方向に対して実施することで測定した。

【0077】

上記で得られた積層支持基板1のGa₂N₃支持基板(Ga含有透明支持基板10)と二酸化シリコン層(第2の透明層25)との密着性およびGa₂N₃基板30におけるGa₂N₃基板30と二酸化シリコン層(第1の透明層23b)との密着性を高めるために、窒素雰囲気中で700℃~1000℃で10分間アニールした後、両基板の二酸化シリコン層の主表面を洗浄した。具体的には、両基板をドライエッチング装置に入れて、酸素(O₂)ガスを原料としたプラズマに曝すことにより、二酸化シリコンの主表面を清浄にした。このときのプラズマ条件は、RFが100W、O₂ガス流量が50sccm、チャンバ圧力が6.7Paであった。

【0078】

2. 積層貼り合わせ基板の作製工程

次に、図1(B)を参照して、上記の積層支持基板1の中間層20の二酸化シリコン層(第1の透明層23a)とGa₂N₃基板30に堆積させた二酸化シリコン層(第1の透明層23b)とを、積層支持基板1のGa₂N₃支持基板(Ga含有透明支持基板10)の一主表面((0001)面)の結晶方位とGa₂N₃基板30の一主表面((0001)面)の結晶方位が一致するように重ね合わせて、プレス装置(ウエハボンダ)で7MPa(2インチ基板当たり1400kgf)の荷重で押しつけることで、二酸化シリコン層同士を接合させることにより、積層支持基板1とGa₂N₃基板30とを貼り合わせた。こうして得られた積層貼り合わせ基板2は、大気中で室温(25℃)から300℃まで3時間かけてゆっくり

と昇温することにより、接合界面の接合強度が増した。ここで、積層貼り合わせ基板 2 において、中間層 20 のアモルファスシリコン層（光熱変換層 21）と GaN 基板との間に配置される二酸化シリコン層（第 1 の透明層 23）の厚さは 230 nm であった。

【0079】

3. エピ成長用積層支持基板の作製工程

次に、図 1（C）を参照して、積層貼り合わせ基板 2 を 500℃ に加熱して基板の主表面に対して斜めに応力をかけた。積層貼り合わせ基板 2 の GaN 基板 30 において水素イオンが多く注入され脆化した N 原子表面からの深さが約 200 nm の面 P において熱応力がかかり、GaN 基板 30 は、上記の面 P において、積層支持基板 1 の中間層 20 に接合している厚さ 200 nm の GaN 層 30a と残部 GaN 基板 30b とに分離した。こうして、積層支持基板 1 の中間層 20 上に厚さ 200 nm の GaN 層 30a が形成されたエピ成長用積層支持基板 3 が得られた。ここで、GaN 層 30a から分離した残部 GaN 基板 30b は、分離面の表面状態（平坦性など）を研磨などの手法で整えた後、何度も再利用できる。これにより最終的に半導体デバイス 1 枚あたりのコストを低減できる。

【0080】

4. デバイス用積層支持基板の作製工程

次に、図 1（D）を参照して、エピ成長用積層支持基板 3 の GaN 層 30a 上に、MOCVD 法により、透明半導体層 40 として、厚さ 2 μm の GaN バッファ層 41、厚さ 0.5 μm の n-GaN 層 43、厚さ 70 nm の発光層 45 である 3 対の InGaIn 層および GaN 層からなる多重量子井戸層、厚さ 80 nm の p-GaN 層 47 をこの順に堆積させた。こうして、デバイス用積層支持基板 4 が得られた。

【0081】

ここで、上記の MOCVD 法による透明半導体層 40 のエピタキシャル成長においては、エピ成長用積層支持基板 3 の温度が 1000℃ 程度になった。また、エピ成長用積層支持基板 3 には、GaN 支持基板（Ga 含有透明支持基板 10）と GaN 層 30a との間に、中間層 20 として二酸化シリコン層（第 1 の透明層 23 と第 2 の透明層 25）およびアモルファスシリコン層（光熱変換層 21）が含まれ、かかる二酸化シリコン層およびアモルファスシリコン層は、GaN 支持基板および GaN 層 30a と熱膨張係数が異なった。しかし、本実施例における中間層 20 の総厚さは 300 nm であり、エピタキシャル成長された透明半導体層 40 は、X 線回折法により分析したところ、GaN 層 30a とほぼ同じ格子定数が得られており高い品質を有していると言える。中間層 20 の総厚さが 1 μm 以下であれば、発生する応力が小さいため、エピタキシャル成長された透明半導体層 40 の品質は高く維持される。次いで、得られたデバイス用積層支持基板 4 を、CVD 装置から取り出した後、全圧が 1 気圧で酸素が 16 体積%の窒素/酸素雰囲気中 700℃ でアニールした。

【0082】

5. 二電極付のデバイス用積層支持基板の作製工程

次に、図 2（A）を参照して、以下のようにして、デバイス用積層支持基板 4 に二電極を形成した。デバイス用積層支持基板 4 の透明半導体層 40 の p-GaN 層 47 上に、フォトリソグラフィ法により p-電極用レジストマスク（図示せず）を形成し、真空蒸着法により厚さ 5 nm の Ni 層および厚さ 11 nm の Au 層をこの順に形成した後、p-電極用レジストマスクを除去することにより不要部分の電極材料を除去することにより、p-電極 80 を形成した。

【0083】

次いで、p-電極 80 およびその周辺領域にフォトリソグラフィ法により p-電極保護用レジストマスク（図示せず）を形成し、塩素ガスを用いて透明半導体層 40 の p-GaN 層 47 側の主表面から 250 nm の深さまでメサエッチングをして、主表面の一部領域において、p-GaN 層 47、発光層 45 および n-GaN 層 43 を除去し、GaN バッファ層 41 を露出させた。その後、上記の p-電極保護用レジストマスクを除去した。露出された GaN バッファ層 41 上に、上記 p-電極の形成と同様の方法により、厚さ 20

nmのTi層および厚さ300nmのAu層で構成されるn-電極90を形成した。p-電極およびn-電極と半導体層とのオーミック接合を取るために、得られた基板を全圧が1気圧で酸素が0.4体積%の窒素/酸素雰囲気中500℃でアニールした。こうして、二電極付のデバイス用積層支持基板4Aが得られた。この後、図示しないが、p-電極およびn-電極のそれぞれの上に、リフトオフ法により、厚さ20nmのTi層および厚さ300nmのAu層で構成されるパッド電極層を形成してもよい。

【0084】

上記のように、半導体デバイスを形成するためには高温のアニールが必要となる。半導体デバイスを作製するためのデバイス用積層支持基板において、Ga含有透明支持基板10、Ga_{0.5}N層30aおよび透明半導体層40が、化学種が異なり熱膨張係数が異なる材料であれば接合界面での剥がれ、あるいはGa_{0.5}N層30aおよび透明半導体層40などにクラックなどが生じるおそれがあるが、Ga含有透明支持基板10（Ga_{0.5}N支持基板）および透明半導体層40（Ga_{0.5}Nバッファ層41、n-Ga_{0.5}N層43、3対のInGa_{0.5}N層およびGa_{0.5}N層からなる多重量子井戸層である発光層45、およびp-Ga_{0.5}N層47）が、Ga_{0.5}N層30aと同一または近似する化学種で構成され、それらの基板および層の熱膨張係数が互いに同一または近似しているため、接合界面での剥がれ、Ga_{0.5}N層30aおよび透明半導体層40などのクラックなどが防止できる。

【0085】

一方、Ga_{0.5}Nの基板は非常に高価であるため、最終製品としての半導体デバイスの単価を下げるためには、以下に説明するように、デバイス用積層支持基板からGa_{0.5}N支持基板（Ga含有透明支持基板10）を分離する必要がある。以下に説明する方法により、分離されたGa_{0.5}N支持基板（Ga含有透明支持基板10）は、その主表面の処理を行うことにより、再びGa_{0.5}N支持基板として利用できる。このように、1枚のGa_{0.5}N基板を繰り返し使用することにより、最終製品としての半導体デバイスの単価を下げる事が可能になる。

【0086】

6. 二電極付のデバイス用積層ウエハの作製工程

次に、図2(B)を参照して、二電極付のデバイス用積層支持基板4Aのp-電極80およびn-電極90の形成面に接着剤51をスピン塗布し、真空中で200℃に加熱された雰囲気下で、ウエハボンダを用いて、仮支持用サファイア板（仮支持基材50）を貼り付けた。かかる接着剤51には、後工程において、ウエハから仮支持用サファイア板を分離することを考慮して、200℃に加熱することで再度軟化させられるもの、たとえばBrewer Sciences社製Wafer Bond HT-10, 10などを選んだ。

【0087】

次いで、上記の仮支持用サファイア板（仮支持基材50）が貼り付けられた二電極付のデバイス用積層支持基板4Aをレーザアニール装置（図示せず）にセットした。このレーザアニール装置は、Nd:YAGレーザとLiB₃O₅SHG結晶を用いて、波長532nmの緑色レーザパルスを発生できる。このレーザアニール装置は元来、上記の波長の光を、アモルファスシリコンに吸収させることにより、アモルファスシリコンを数百～千数百℃程度まで急加熱し、ポリシリコンへと変化させるための装置である。

【0088】

上記のレーザアニール装置を用いて、出力が0.2W、繰り返し周期が10kHz、パルス幅が10ns、アモルファスシリコン層上のスポットサイズが直径25nm、スキャンスピードが100mm/sの条件で、二電極付のデバイス用積層支持基板4AのGa_{0.5}N支持基板（Ga含有透明支持基板10）側からレーザを照射し、直径2インチの二電極付のデバイス用積層支持基板4AのGa_{0.5}N支持基板上を順次スキャンした。上記の波長532nmの光は、Ga_{0.5}N支持基板（Ga含有透明支持基板10）、二酸化シリコン層（第1の透明層23および第2の透明層25）、Ga_{0.5}N層30a、透明半導体層40、接着剤51、および仮支持サファイア板（仮支持基材50）などでは吸収されず、アモルファスシ

リコン層（光熱変換層 21）でのみ効率よく吸収された。これにより、アモルファスシリコン層（光熱変換層 21）の温度は急激に上昇した。

【0089】

その結果、アモルファスシリコン層（光熱変換層 21）の近距離に位置する GaN 支持基板（Ga 含有透明支持基板 10）における中間層 20 との貼り合わせ面は、その面の温度が 900 を超え、金属 Ga と窒素（ N_2 ）ガスに熱分解された。一方、GaN 層 30 a における中間層 20 との貼り合わせ面においては、熱分解温度には至らなかった。これは、GaN 層 30 a とアモルファスシリコン層（光熱変換層 21）との間には、GaN（熱伝導率が約 $100 W \cdot m^{-1} \cdot K^{-1}$ ）に比べて熱伝導率の低い二酸化シリコン（熱伝導率が約 $10 W \cdot m^{-1} \cdot K^{-1}$ ）で形成された厚さ 230 nm の二酸化シリコン層（第 1 の透明層 23）が介在しているため、アモルファスシリコン層（光熱変換層 21）で発生した熱量の大半が GaN 支持基板（Ga 含有透明支持基板 10）側に拡散するため、GaN 層 30 a は熱分解温度には至らなかったものと考えられる。また、同様の理由から、接着剤 51 部分の温度は 100 以下に抑えられ、接着剤 51 の軟化ないし炭化などの変質は生じなかった。このようにして、GaN 支持基板（Ga 含有透明支持基板 10）における中間層 20 との貼り合わせ面にのみ金属 Ga 60 を析出させることができた。

【0090】

次いで、図 2（C）を参照して、上記の金属 Ga 60 が析出した二電極付のデバイス用積層支持基板 4A を、60 のホットプレート（図示せず）に置いて、金属 Ga（融点が 29.8）を融解させた状態で GaN 支持基板を滑らせる（スライドオフする）ことにより、中間層 20 から GaN 支持基板（Ga 含有透明支持基板 10）を分離した。こうして、透明半導体層 40、GaN 層 30 a および中間層 20 を含む二電極付のデバイス用積層ウエハ 5A が得られた。なお、分離された GaN 支持基板は、主表面を研磨およびエッチングなどの処理をすることにより、再度利用できる。

【0091】

7. 二電極付の透明半導体層積層ウエハの作製工程

次に、図 2（D）を参照して、二電極付のデバイス用積層ウエハ 5A の中間層 20 上の金属 Ga 60 を塩酸により洗浄し、中間層 20（二酸化シリコン層および一部がポリシリコン化したアモルファスシリコン層）を、フッ酸硝酸混合溶液を用いたウェットエッチングにより、除去した。こうして、透明半導体層 40 および GaN 層 30 a を含む二電極付の透明半導体層積層ウエハ 6A が得られた。

【0092】

8. 半導体デバイスの作製工程

次に、図 2（E）を参照して、以下のようにして、二電極付の透明半導体積層積層ウエハ 6A の GaN 層 30 a に、別途準備した透明半導体層積層ウエハ支持基板 70 を貼り合わせた。

【0093】

ここで、準備された透明半導体層積層ウエハ支持基板 70 としては、厚さ 150 μm のサファイア基板であった。貼り合わせは、二電極付の透明半導体層積層ウエハ 6A の GaN 層 30 a の主表面を洗浄した後に、プラズマエッチング装置にいて、窒素プラズマ（プラズマ条件は、RF が 100 W、 N_2 ガス流量が 50 sccm、チャンバ圧力 13.3 Pa であった）に曝して主表面を清浄にした。サファイア基板（透明半導体層積層ウエハ支持基板 70）も、その主表面を洗浄した後に、酸素プラズマ（プラズマ条件は、RF が 100 W、 O_2 ガス流量が 50 sccm、チャンバ圧力が 6.7 Pa であった）で主表面を清浄にした。二電極付の透明半導体層積層ウエハ 6A とサファイア基板（透明半導体層積層ウエハ支持基板 70）とを貼り合わせた後に、大気中でウエハボンドを用いて 7 MPa の荷重で押しつけて、接合させて貼り合わせた。

【0094】

次いで、図 2（F）を参照して、上記の貼り合わせ基板をホットプレートで接着剤の軟化温度である 200 まで加熱して、上記の貼り合わせ基板から仮支持用サファイア板（

仮支持基材 50) をスライドオフさせて取り除いた。透明半導体層 40 上の p - 電極 80 および n - 電極 90 側に残った接着剤は専用のリムーバで除去した。

【0095】

上記の工程により、LED (発光ダイオード) である半導体デバイス 7 が得られた。かかる半導体デバイスにおいて、以降は一般的な素子化工程 (スクライプ、ブレイク、ダイボンド、ワイヤボンドなどの諸工程) が適用できる。

【0096】

(実施例 2)

1. デバイス用積層支持基板までの作製工程

図 1 (A) ~ (D) を参照して、実施例 1 と同様にして、デバイス用積層支持基板 4 を得た。

10

【0097】

2. 一電極付のデバイス用積層支持基板の作製工程

次に、図 3 (A) を参照して、デバイス用積層支持基板 4 の透明半導体層 40 の p - GaN 層 47 上の全面に、真空蒸着法により、p - 電極 80 として、Ni / Au 電極 (具体的には、厚さ 5 nm の Ni 層および厚さ 11 nm の Au 層で構成される電極) を形成した。こうして、一電極付のデバイス用積層支持基板 4B が得られた。

【0098】

3. 一電極付のデバイス用積層ウエハの作製工程

次に、図 3 (B) ~ (C) を参照して、一電極付のデバイス用積層支持基板 4B の p - 電極 80 上に、接着剤 51 を介在させて仮支持基材 50 をさせた後、実施例 1 と同様にして、デバイス用積層支持基板 4B から GaN 支持基板 (Ga 含有透明支持基板 10) をスライドオフさせた。こうして、一電極付のデバイス用積層ウエハ 5B が得られた。

20

【0099】

4. 一電極付の透明半導体層積層ウエハの作製工程

次に、図 3 (D) を参照して、実施例 1 と同様にして、一電極付のデバイス用積層ウエハ 5B から金属 Ga 60 および中間層 20 を除去した。こうして、一電極付の透明半導体層積層ウエハ 6B が得られた。

【0100】

5. 半導体デバイスの作製方法

30

次に、図 3 (E) を参照して、一電極付の透明半導体層積層ウエハ 6B の Ga 層 30a の主表面 (N 原子表面) の全面に、真空蒸着法により、n - 電極 90 として Ti / Al 電極 (具体的には、厚さ 20 nm の Ti 層および厚さ 300 nm の Au 層で構成される電極) を形成した。次いで、n 電極の上に、真空蒸着法により、導電性接着層 95a として Ti / Al 層 (具体的には、厚さ 20 nm の Ti 層および厚さ 300 nm の Au 層) で構成される貼り合わせ用パッド電極層を形成した。

【0101】

次いで、透明半導体層積層ウエハ支持基板 70 として、導電性基板である P (リン) を $1 \times 10^{19} \text{ cm}^{-3}$ と高濃度にドーピングした n 型導電性 Si 基板を準備した。この n 型導電性 Si 基板の主表面に、真空蒸着法により、導電性接着層 95b として Ti / Al 層 (具体的には、厚さ 20 nm の Ti 層および厚さ 300 nm の Au 層で構成される層) で構成される貼り合わせ用パッド電極層を形成した。

40

【0102】

次に、図 3 (F) を参照して、一電極付の透明半導体層積層ウエハ 6B に形成された貼り合わせ用パッド電極層 (導電性接着層 95a) と、n 型導電性 Si 基板 (透明半導体層積層ウエハ支持基板 70) に形成された貼り合わせ用パッド電極層 (導電性接着層 95b) と、を重ね合わせて、真空状態に保ったウエハボンダで 3 MPa の荷重で押しつけながら、400 °C に加熱することにより、接合させて貼り合わせた。

【0103】

次いで、貼り合わせ後に、n 型導電性 Si 基板 (透明半導体層積層ウエハ支持基板 70

50

)の裏面を研磨および洗浄して露出させた清浄面に、真空蒸着法により、n - パッド電極層92としてTi / Auパッド電極層(具体的には、厚さ20nmのTi層および厚さ300nmのAu層で構成されるパッド電極層)を形成した。

【0104】

次いで、図3(G)を参照して、上記の貼り合わせ基板をホットプレートで接着剤の軟化温度である200℃まで加熱して、上記の貼り合わせ基板から仮支持用サファイア板(仮支持基材50)をスライドオフさせて取り除いた。透明半導体層40上のp - 電極80側に残った接着剤は専用のリムーバで除去した。

【0105】

さらに、p - 電極80、n - 電極90およびn - パッド電極層92のオーミック化のために、上記の貼り合わせ基板を全圧が1気圧で酸素が0.4体積%の窒素/酸素雰囲気中500℃でアニールした。

【0106】

上記の工程により、LED(発光ダイオード)である半導体デバイス7が得られた。かかる半導体デバイスにおいて、以降は一般的な素子化工程(スクライプ、ブレイク、ダイボンド、ワイヤボンドなどの諸工程)が適用できる。

【0107】

なお、本実施例においては、透明半導体層積層ウエハ支持基板70である導電性基板は透明基板であってもよい。かかる場合には、n - 電極、貼り合わせ用パッド電極層およびn - パッド電極層として、ITO(インジウムスズ酸化物)をはじめとする透明導電性材料を用いることにより、支持基板側から光を取り出す様な実装(いわゆる、p - down実装)も可能となる。

【0108】

(実施例3)

1. デバイス用積層支持基板までの作製工程

図1(A)~(D)を参照して、実施例1と同様にして、デバイス用積層支持基板4を得た。

【0109】

2. デバイス用積層支持基板への透明半導体層積層ウエハ支持基板を貼り合わせ工程

次に、図4(A)を参照して、デバイス用積層支持基板4の透明半導体層40のp - GaN層47上の全面に、真空蒸着法により、Ni / Au電極(具体的には、厚さ5nmのNi層および厚さ11nmのAu層で構成される電極)を形成し、この貼り合わせ基板を窒素/酸素雰囲気中500℃でアニールすることにより、p - 電極80を形成した。

【0110】

次いで、p - 電極80上に真空蒸着法により厚さ50nmのAg層83を形成し、その上にスパッタ法により厚さ200nmのITO(インジウムスズ酸化物)層84を形成し、その上に真空蒸着法により導電性接着層85aとして貼り合わせ用Ti / Auパッド電極層を形成した。

【0111】

一方で、主表面に貼り合わせ用Ti / Auパッド電極層(導電性接着層85b)を形成した透明半導体層積層ウエハ支持基板70を準備した。透明半導体層積層ウエハ支持基板70としては、導電性支持基板であるB(ホウ素)を $1 \times 10^{19} \text{ cm}^{-3}$ と高濃度にドーブしたp型導電型Si基板を用いた。

【0112】

次いで、デバイス用積層支持基板4に形成された貼り合わせ用Ti / Auパッド電極層(導電性接着層85a)と、透明半導体層積層ウエハ支持基板70に形成された貼り合わせ用Ti / Auパッド電極層(導電性接着層85b)と、を重ね合わせてウエハボンダで350℃で4MPaの条件で加熱加圧して接合して貼り合わせた。

【0113】

3. 支持基板付のデバイス用積層ウエハの作製工程

10

20

30

40

50

次に、図4(B)～(C)を参照して、透明半導体層積層ウエハ支持基板70が貼り合わされたデバイス用積層支持基板4Cから、実施例1と同様にして、Ga含有透明支持基板10を分離した。こうして、支持基板付のデバイス用積層ウエハ5Cが得られた。

【0114】

4．支持基板付の透明半導体層積層ウエハの作製工程

次に、図4(D)を参照して、支持基板付のデバイス用積層ウエハ5Cから、実施例1と同様にして、金属Ga60および中間層20が分離除去した。こうして、支持基板付の透明半導体層積層ウエハ6が得られた。

【0115】

5．半導体デバイスの作製工程

次に、図4(E)を参照して、支持基板付の透明半導体層積層ウエハ6のp型導電型Si基板(透明半導体層積層ウエハ支持基板)上に、真空蒸着法により、p-パッド電極層86としてTi/Auパッド電極層(具体的には、厚さ20nmのTi層および厚さ300nmのAu層で構成されるパッド電極層)を形成した。また、支持基板付の透明半導体層積層ウエハ6のGaN層30a上に、真空蒸着法およびリフトオフ法により、n-電極90としてTi/Au電極(具体的には、厚さ20nmのTi層および厚さ300nmのAu層で構成される電極)を形成した。p-パッド電極層86およびp-電極90と半導体層とのオーミック接合を取るために、これらの電極が形成された支持基板付の透明半導体層積層ウエハ6を、窒素雰囲気中500℃でアニールした。こうして、LEDである半導体デバイス7が得られた。以降は一般的な素子化工程(スクライプ、ブレイク、ダイボン

10

20

【0116】

(実施例4)

本実施例は、透明半導体層積層ウエハ支持基板の熱膨係数がGaNの熱膨張係数と同一または近似している場合に適用される。

【0117】

1．デバイス用積層支持基板までの作製工程

図1(A)～(D)を参照して、実施例1と同様にして、デバイス用積層支持基板4を得た。

【0118】

2．デバイス用積層ウエハの作製工程

次に、図5(A)および(B)を参照して、デバイス用積層支持基板4の中間層20のp-GaN層47上に、接着剤51を介在させて仮支持基材50をさせた後、実施例1と同様にして、デバイス用積層支持基板4からGaN支持基板(Ga含有透明支持基板10)をスライドオフさせた。こうして、デバイス用積層ウエハ5が得られた。

【0119】

3．透明半導体層積層ウエハの作製工程

次に、図5(C)を参照して、実施例1と同様にして、一電極付のデバイス用積層ウエハ5Bから金属Ga60および中間層20を除去した。こうして、透明半導体層積層ウエハ6が得られた。

40

【0120】

4．半導体デバイスの作製工程

次に、図5(D)を参照して、透明半導体層積層ウエハ6に透明半導体層積層ウエハ支持基板70として透明支持基板であるスピネル基板を貼り合わせた。

【0121】

上記の貼り合わせは、透明半導体層積層ウエハ6のGaN層30aの主表面を洗浄した後に、プラズマエッチング装置にいて、窒素プラズマ(プラズマ条件は、RFが100W、N₂ガス流量が50sccm、チャンバ圧力13.3Paであった)に曝して主表面を清浄にした。スピネル基板(透明半導体層積層ウエハ支持基板70)も、その主表面を洗浄した後に、酸素プラズマ(プラズマ条件は、RFが100W、O₂ガス流量が50scc

50

cm、チャンバ圧力が6.7Paであった。)で主表面を清浄にした。透明半導体層積層ウエハ6とスピネル基板(透明半導体層積層ウエハ支持基板70)とを貼り合わせた後に、大気中でウエハボンドを用いて7MPaの荷重で押しつけて、接合させて貼り合わせた。その後、この貼り合わせ基板をホットプレートで200℃までゆっくりと昇温させることにより、接合強度を増大させた。

【0122】

このとき、図5(E)を参照して、上記の貼り合わせ基板は接着剤の軟化温度である200℃まで加熱されているため、上記の貼り合わせ基板から仮支持用サファイア板(仮支持基材50)をスライドオフさせて取り除いた。透明半導体層40上のp-電極80側に残った接着剤は専用のリムーバで除去した。

10

【0123】

その後は、通常の電極形成工程、たとえば実施例1の5.二電極付のデバイス用積層支持基板の作製工程に記載されたようなp-電極およびn-電極の形成工程、を用いて、片側にp-電極80およびn-電極90を有する半導体デバイス(図5(F1)を参照)が得られた。

【0124】

なお、透明半導体層積層ウエハ支持基板70として透明でかつ導電性の基板を用いる場合は、通常の電極形成工程により、一方側にp-電極80を有し他方側にn-電極90を有する半導体デバイス(図5(F2)を参照)を形成することもできる。

20

【0125】

(実施例5)

中間層20の形成において、第2の透明層25として二酸化シリコン層の厚さを40nmとしたこと以外は、実施例1と同様にして、積層支持基板を作製し、その積層支持基板から積層貼り合わせ基板、エピ成長用積層支持基板、デバイス用積層支持基板、二電極付のデバイス用積層支持基板、二電極付のデバイス用積層ウエハ、二電極付の透明半導体層積層ウエハ、半導体デバイスを順次作製した。実施例1に比べて、透明半導体層40のエピタキシャル成長の際に厚さ60nmのアモルファスシリコン層(光熱変換層)と厚さ40nmの二酸化シリコン層(第2の透明層)との界面において高温によりもたらされる熱膨張係数の違いに起因した剥がれの発生が完全に防止された。レーザ照射による金属Ga60および中間層20の分離除去も問題なく実施できた。これにより、半導体デバイスの歩留まりが向上した。

30

【0126】

(実施例6)

中間層20の形成において、第2の透明層25として二酸化シリコン層の厚さを40nmとしたこと以外は、実施例2と同様にして、積層支持基板を作製し、その積層支持基板から積層貼り合わせ基板、エピ成長用積層支持基板、デバイス用積層支持基板、一電極付のデバイス用積層支持基板、一電極付のデバイス用積層ウエハ、一電極付の透明半導体層積層ウエハ、半導体デバイスを順次作製した。実施例2に比べて、透明半導体層40のエピタキシャル成長の際に厚さ60nmのアモルファスシリコン層(光熱変換層)と厚さ40nmの二酸化シリコン層(第2の透明層)との界面において高温によりもたらされる熱膨張係数の違いに起因した剥がれの発生が完全に防止された。レーザ照射による金属Ga60および中間層20の分離除去も問題なく実施できた。これにより、半導体デバイスの歩留まりが向上した。

40

【0127】

(実施例7)

中間層20の形成において、第2の透明層25として二酸化シリコン層の厚さを40nmとしたこと以外は、実施例3と同様にして、積層支持基板を作製し、その積層支持基板から積層貼り合わせ基板、エピ成長用積層支持基板、デバイス用積層支持基板、支持基板付のデバイス用積層支持基板、支持基板付のデバイス用積層ウエハ、支持基板付の透明半導体層積層ウエハ、半導体デバイスを順次作製した。実施例3に比べて、透明半導体層4

50

0のエピタキシャル成長の際に厚さ60nmのアモルファスシリコン層(光熱変換層)と厚さ40nmの二酸化シリコン層(第2の透明層)との界面において高温によりもたらされる熱膨張係数の違いに起因した剥がれの発生が完全に防止された。レーザ照射による金属Ga60および中間層20の分離除去も問題なく実施できた。これにより、半導体デバイスの歩留まりが向上した。

【0128】

(実施例8)

中間層20の形成において、第2の透明層25として二酸化シリコン層の厚さを40nmとしたこと以外は、実施例1と同様にして、積層支持基板を作製し、その積層支持基板から積層貼り合わせ基板、エピ成長用積層支持基板、デバイス用積層支持基板、デバイス用積層ウエハ、透明半導体層積層ウエハ、半導体デバイスを順次作製した。実施例1に比べて、透明半導体層40のエピタキシャル成長の際に厚さ60nmのアモルファスシリコン層(光熱変換層)と厚さ40nmの二酸化シリコン層(第2の透明層)との界面において高温によりもたらされる熱膨張係数の違いに起因した剥がれの発生が完全に防止された。レーザ照射による金属Ga60および中間層20の分離除去も問題なく実施できた。これにより、半導体デバイスの歩留まりが向上した。

【0129】

(実施例9)

本実施例は、本願技術を用いたパワーデバイスの一例としてSBD(ショットキーバリアダイオード)を作製した場合を例示する。

【0130】

1. エピ成長用積層支持基板までの作製工程

図1(A)~(C)を参照して、実施例1と同様にして、エピ成長用積層支持基板3を得た。

【0131】

2. デバイス用積層支持基板の作製工程

次に、図6(A)を参照して、エピ成長用積層支持基板3のGaN層30a上に、MOCVD法により、透明半導体層40として、キャリア濃度が $1 \times 10^{18} \text{ cm}^{-3}$ で厚さ0.5 μm の n^+ -GaNストップ層42と、キャリア濃度が $7 \times 10^{15} \text{ cm}^{-3}$ で厚さ5 μm の n -GaNドリフト層44と、を順次成長させた。こうして、デバイス用積層支持基板4が得られた。

【0132】

3. 一電極付のデバイス用積層支持基板の作製工程

次に、図6(B)を参照して、デバイス用積層支持基板4のうちの透明半導体層40の n -GaNドリフト層44上に、フォトリソグラフィ、10質量%塩酸水溶液による表面処理、Ni/Au層(具体的には厚さ50nmのNi層および厚さ300nmのAu層で構成される層)のEB蒸着、ならびにリフトオフにより、 n -GaNドリフト層44上に直径200 μm のショットキー電極81を形成した。こうして、一電極付のデバイス用積層支持基板4Dが得られた。

【0133】

4a. 半導体デバイスの作製工程

次に、一例目として、図6(B)~(C)を参照して、実施例1と同様にして、GaN支持基板(Ga含有透明支持基板10)を透明半導体層積層ウエハ支持基板70に置き換えたタイプのSBDを作製した。具体的には、一電極付のデバイス用積層支持基板4Dのショットキー電極81側を接着剤により仮支持基材に貼り付け、レーザアニール装置を用いてGaN支持基板(Ga含有透明支持基板10)側からレーザを照射して、GaN支持基板(Ga含有透明支持基板10)における中間層20との貼り合わせ面にのみ金属Ga60を析出させた。スライドオフにより、GaN支持基板(Ga含有透明支持基板10)を分離し、さらに中間層20を除去した後、一電極付の透明半導体層積層ウエハ6DのGaN層30aの主表面(N原子表面)の全面に、真空蒸着法により、 n -電極90として

10

20

30

40

50

Ti / Al 電極（具体的には、厚さ 20 nm の Ti 層および厚さ 300 nm の Al 層で構成される電極）を形成した。その後、透明半導体層積層ウエハ支持基板 70 としての P (リン) を $1 \times 10^{19} \text{ cm}^{-3}$ と高濃度にドーピングした n 型導電性 Si 基板の両主表面にオーミック電極 93 を形成したものを準備して、上記の n - 電極 90 と金属ハンダ 71 により接合させた。その後、仮支持基材を除去して、図 6 (C) に示す SBD を完成させた。

【0134】

なお、上記 SBD の作製と並行して、上記 SBD において n 型導電性 Si 基板（透明半導体層積層ウエハ支持基板 70）の両主面にオーミック電極 93 が形成されたものに替えて、n 型導電性 Ge 基板（透明半導体層積層ウエハ支持基板 70）の両主表面にオーミック電極 93 が形成されたもの、Mo 薄膜、W 薄膜および Ta 薄膜のそれぞれを用いた SBD も製作した。

10

【0135】

こうして得られた 5 種の SBD の特性は、いずれもオン抵抗が $1.1 \text{ m} \cdot \text{cm}^2$ と低く、電流密度が $500 \text{ A} / \text{cm}^2$ における順方向電圧 V_f は 1.3 V と低く、リーク電流密度が $1 \times 10^{-3} \text{ A} / \text{cm}^2$ における逆方向耐電圧は 350 V と高かった。

【0136】

4b. 半導体デバイスの作製工程

続いて二例目として、図 6 (B) および (D) を参照して、実施例 3 と同様にして、透明半導体層積層ウエハ支持基板 70 が透明半導体層 40 側に配置されたタイプの SBD を作製した。具体的には、一電極付のデバイス用積層支持基板 4D のショットキー電極 81 周りに、SiO₂ 絶縁層 82 を形成した後、金属ハンダ 71 により n 型導電性 Si 基板（透明半導体層積層ウエハ支持基板 70）の両主面にオーミック電極 73 が形成されたものを接合した。上記と同様に、n 型導電性 Si 基板（透明半導体層積層ウエハ支持基板 70）の両主面にオーミック電極 73 が形成されたものに替えて、n 型導電性 Ge 基板（透明半導体層積層ウエハ支持基板 70）の両主表面にオーミック電極 73 が形成されたもの、Mo 薄膜、W 薄膜および Ta 薄膜を接合させたものも作製した。その後、それぞれについて、接合レーザーアニール装置を用いて GaN 支持基板（Ga 含有透明支持基板 10）側からレーザを照射して、GaN 支持基板（Ga 含有透明支持基板 10）における中間層 20 との貼り合わせ面にのみ金属 Ga60 を析出させた。スライドオフにより、GaN 支持基板（Ga 含有透明支持基板 10）を分離し、さらに中間層 20 を除去した後、一電極付の透明半導体層積層ウエハ 6D の Ga 層 30a の主表面（N 原子表面）の全面に、真空蒸着法により、n - 電極 90 として Ti / Al 電極（具体的には、厚さ 20 nm の Ti 層および厚さ 300 nm の Au 層で構成される電極）を形成して、図 6 (C) に示す SBD を完成させた。

20

30

【0137】

こうして得られた 5 種の SBD の特性は、いずれもオン抵抗は $1.1 \text{ m} \cdot \text{cm}^2$ と低く、電流密度が $500 \text{ A} / \text{cm}^2$ における順方向電圧 V_f は 1.3 V と低く、リーク電流密度が $1 \times 10^{-3} \text{ A} / \text{cm}^2$ における逆方向耐電圧は 300 V と高かった。

【0138】

（実施例 10）

本実施例は、本願技術を用いたパワーデバイスの一例として PND（pn 接合ダイオード）を作製した場合を例示する。

40

【0139】

1. エピ成長用積層支持基板までの作製工程

図 1 (A) ~ (C) を参照して、実施例 1 と同様にして、エピ成長用積層支持基板 3 を得た。

【0140】

2. デバイス用積層支持基板の作製工程

次に、図 7 (A) を参照して、エピ成長用積層支持基板 3 の GaN 層 30a 上に、MOVPE 法により、透明半導体層 40 として、厚さ 0.5 μm の n⁺ - GaN ストップ層 4

50

2 (キャリア濃度: $1 \times 10^{18} \text{ cm}^{-3}$)、厚さ $7 \mu\text{m}$ の n-GaN 層 46 (キャリア濃度: $3 \times 10^{16} \text{ cm}^{-3}$)、厚さ $0.5 \mu\text{m}$ の p-GaN 層 48 (キャリア濃度: $7 \times 10^{17} \text{ cm}^{-3}$) および厚さ 75 nm の $\text{p}^+\text{-GaN}$ コンタクト層 49 (Mg 濃度: $1 \times 10^{19} \text{ cm}^{-3}$) を順次成長させた。こうして、デバイス用積層支持基板 4 が得られた。

【0141】

3. 一電極付のデバイス用積層支持基板の作製工程

次に、図 7 (B) を参照して、デバイス用積層支持基板 4 のうちの透明半導体層 40 の $\text{p}^+\text{-GaN}$ コンタクト層 49 上に、フォトリソグラフィ、10 質量%塩酸水溶液による表面処理、Ni/Au (具体的には厚さ 50 nm の Ni 層および厚さ 300 nm の Au 層で構成される層) の EB 蒸着およびリフトオフ、窒素ガス雰囲気中での 700°C 合金化熱処理により、 $\text{p}^+\text{-GaN}$ コンタクト層 49 上に直径 $200 \mu\text{m}$ の p-電極 80 を形成した。こうして、一電極付のデバイス用積層支持基板 4E が得られた。

【0142】

4a. 半導体デバイスの作製工程

次に一例目として、図 7 (B) ~ (C) を参照して、実施例 1 と同様にして、GaN 支持基板 (Ga 含有透明支持基板 10) を透明半導体層積層ウエハ支持基板 70 に置き換えたタイプの PND を作製した。具体的には、一電極付のデバイス用積層支持基板 4E の p-電極 80 側を接着剤により仮支持基材に貼り付け、レーザアニール装置を用いて GaN 支持基板 (Ga 含有透明支持基板 10) 側からレーザを照射して、GaN 支持基板 (Ga 含有透明支持基板 10) における中間層 20 との貼り合わせ面にのみ金属 Ga60 を析出させた。スライドオフにより、GaN 支持基板 (Ga 含有透明支持基板 10) を分離し、さらに中間層 20 を除去した後、一電極付の透明半導体層積層ウエハ 6E の Ga 層 30a の主表面 (N 原子表面) の全面に、真空蒸着法により、n-電極 90 として Ti/Al 電極 (具体的には、厚さ 20 nm の Ti 層および厚さ 300 nm の Al 層で構成される電極) を形成した。その後、透明半導体層積層ウエハ支持基板 70 としての P (リン) を $1 \times 10^{19} \text{ cm}^{-3}$ と高濃度にドーピングした n 型導電性 Si 基板の両主表面にオーミック電極 93 を形成したものを準備して、上記の n-電極 90 と金属ハンダ 71 にて接合させた。その後、仮支持基材を除去して、図 7 (C) に示す PND を完成させた。

【0143】

なお、上記 PND の作製と並行して、上記 PND においてとして、n 型導電性 Si 基板 (透明半導体層積層ウエハ支持基板 70) の両主表面にオーミック電極 93 を形成したものに替えて、n 型導電性 Ge 基板 (透明半導体層積層ウエハ支持基板 70) の両主表面にオーミック電極 93 を形成したもの、Mo 薄膜、W 薄膜、Ta 薄膜を用いたデバイスもそれぞれ作製した。

【0144】

こうして得られた 5 種の PND の特性は、いずれもオン抵抗は $0.60 \text{ m}\Omega \cdot \text{cm}^2$ と低く、電流密度が 500 A/cm^2 における順方向電圧 V_f は 4.1 V と低く、リーク電流密度が $1 \times 10^{-3} \text{ A/cm}^2$ における逆方向耐電圧は 830 V と高かった。

【0145】

4b. 半導体デバイスの作製工程

続いて二例目として、実施例 3 と同様にして、図 7 (B) および (D) を参照して、透明半導体層積層ウエハ支持基板 70 が透明半導体層 40 側に配置されたタイプの PND を作製した。具体的には、一電極付のデバイス用積層支持基板 4E の p-電極 80 周りに、 SiO_2 絶縁層 82 を形成した上で、金属ハンダ 71 により、p 型導電性 Si 基板 (透明半導体層積層ウエハ支持基板 70) の両主表面にオーミック電極 73 が形成されたものと接合した。上記と同様に、p 型導電性 Si 基板 (透明半導体層積層ウエハ支持基板 70) の両主表面にオーミック電極 73 を形成したものに替えて、p 型導電性 Ge 基板 (透明半導体層積層ウエハ支持基板 70) の両主表面にオーミック電極 73 を形成したもの、Mo 薄膜、W 薄膜、Ta 薄膜を接合させたものも作製した。その後、それぞれについて、レーザアニール装置を用いて GaN 支持基板 (Ga 含有透明支持基板 10) 側からレーザを照

射して、Ga N 支持基板 (Ga 含有透明支持基板 10) における中間層 20 との貼り合わせ面にのみ金属 Ga 60 を析出させた。スライドオフにより、Ga N 支持基板 (Ga 含有透明支持基板 10) を分離し、さらに中間層 20 を除去した後、一電極付の透明半導体層積層ウエハ 6E の Ga 層 30a の主表面 (N 原子表面) の全面に、真空蒸着法により、n - 電極 90 として Ti / Al 電極 (具体的には、厚さ 20 nm の Ti 層および厚さ 300 nm の Au 層で構成される電極) を形成して、図 7 (D) に示す PND を完成させた。

【0146】

こうして得られた 5 種の PND の特性は、オン抵抗は $0.60 \text{ m} \cdot \text{cm}^2$ と低く、電流密度が $500 \text{ A} / \text{cm}^2$ における順方向電圧 V_f は 4.1 V と低く、リーク電流密度が $1 \times 10^{-3} \text{ A} / \text{cm}^2$ における逆方向耐電は 800 V と高かった。

10

【0147】

(実施例 11)

本実施例は、本願技術を用いたパワーデバイスの一例として MIS トランジスタを作製した場合を例示する。

【0148】

1. エピ成長用積層支持基板までの作製工程

図 1 (A) ~ (C) を参照して、実施例 1 と同様にして、エピ成長用積層支持基板 3 を得た。

【0149】

2. デバイス用積層支持基板の作製工程

20

次に、図 8 (A) を参照して、エピ成長用積層支持基板 3 の Ga N 層 30a 上に、MOCVD 法により、透明半導体層 40 として、厚さ $0.5 \mu\text{m}$ の n^+ - Ga N 層 142 (キャリア濃度: $1 \times 10^{18} \text{ cm}^{-3}$)、厚さ $7 \mu\text{m}$ の n - Ga N 層 144 (キャリア濃度: $3 \times 10^{16} \text{ cm}^{-3}$)、厚さ $0.5 \mu\text{m}$ の p - Ga N 層 145 (Mg 濃度: $7 \times 10^{17} \text{ cm}^{-3}$) および厚さ $0.5 \mu\text{m}$ の n^+ - Ga N 層 146 (キャリア濃度: $1 \times 10^{18} \text{ cm}^{-3}$) を順次成長させた。こうして、デバイス用積層支持基板 4 が得られた。

【0150】

3. 二電極付のデバイス用積層支持基板の作製工程

次に、図 8 (B) を参照して、デバイス用積層支持基板 4 のうちの透明半導体層 40 上に、フォトリソグラフィ、10 質量%塩酸水溶液による表面処理、Ti 層 / Al 層 / Ti 層 / Au 層をそれぞれ $20 \text{ nm} / 100 \text{ nm} / 20 \text{ nm} / 300 \text{ nm}$ の厚さで EB 蒸着およびリフトオフ、窒素ガス雰囲気中 600°C で熱処理して合金化することにより、 n^+ - Ga N 層 146 上にソース電極 180 を形成した。

30

【0151】

さらに、ソース電極 180 が形成されていない透明半導体層 40 の一部分において、RIE により、 n^+ - Ga N 層 146、 p - Ga N 層 145 および n - Ga N 層 144 の一部をメサ状にエッチングした。そのエッチング部分 (メサ斜面) 上に、 p - CVD (プラズマ化学気相堆積) 法により、厚さ 100 nm の SiO_2 絶縁層 182 を形成した。次いで、窒素ガス雰囲気中 1000°C で 30 分間熱処理することにより、 SiO_2 絶縁層 182 と Ga N 層 (n^+ - Ga N 層 146、 p - Ga N 層 145 および n - Ga N 層 144) との界面欠陥を低減させた。次いで、 SiO_2 絶縁層 182 上に、Ni / Au 層 (厚さ 50 nm の Ni 層および厚さ 100 nm の Au 層で構成される層) を抵抗加熱蒸着およびリフトオフすることにより、ゲート電極 183 を形成した。こうして、二電極付のデバイス用積層支持基板 4F が得られた。

40

【0152】

4. 半導体デバイスの作製工程

次に、図 8 (B) ~ (C) を参照して、実施例 1 と同様にして、Ga N 支持基板 (Ga 含有透明支持基板 10) を透明半導体層積層ウエハ支持基板 70 に置き換えたタイプの MIS トランジスタを作製した。具体的には、二電極付のデバイス用積層支持基板 4F のソース電極 180 およびゲート電極 183 側を接着剤により仮支持基材に貼り付け、レーザ

50

アニール装置を用いてGa_{0.9}N支持基板（Ga含有透明支持基板10）側からレーザを照射して、Ga_{0.9}N支持基板（Ga含有透明支持基板10）における中間層20との貼り合わせ面にのみ金属Ga_{0.6}を析出させた。スライドオフにより、Ga_{0.9}N支持基板（Ga含有透明支持基板10）を分離し、さらに中間層20を除去した後、二電極付の透明半導体層積層ウエハ6FのGa層30aの主表面（N原子表面）の全面に、真空蒸着法により、ドレイン電極190としてTi/Al電極（具体的には、厚さ20nmのTi層および厚さ300nmのAl層で構成される電極）を形成した。その後、透明半導体層積層ウエハ支持基板70としてのP（リン）を $1 \times 10^{19} \text{ cm}^{-3}$ と高濃度にドーピングしたn型導電性Si基板の両主表面にオーミック電極93を形成したものを準備して、上記のドレイン電極190と金属ハンダ71にて接合させた。その後、仮支持基材を除去して、図8（C）に示すMISトランジスタを完成させた。

10

【0153】

なお、上記MISトランジスタの作製と並行して、上記MISトランジスタにおいてn型導電性Si基板（透明半導体層積層ウエハ支持基板70）の両主表面にオーミック電極93が形成されたものに替えて、n型導電性Ge基板（透明半導体層積層ウエハ支持基板70）の両主表面にオーミック電極93を形成したもの、Mo薄膜、W薄膜およびTa薄膜のそれぞれを用いたMISトランジスタも作製した。

【0154】

こうして得られた種のMISトランジスタの特性は、いずれも良好なトランジスタ特性を示すことが確認された。

20

【0155】

（実施例12）

本実施例は、本願技術を用いたパワーデバイスの一例としてHEMTトランジスタを作製した場合を例示する。

【0156】

1．エピ成長用積層支持基板までの作製工程

図1（A）～（C）を参照して、実施例1と同様にして、エピ成長用積層支持基板3を得た。

【0157】

2．デバイス用積層支持基板の作製工程

30

次に、図9（A）を参照して、エピ成長用積層支持基板3のGa_{0.9}N層30a上に、MOCVD法により、透明半導体層40として、厚さ1.5μmのアンダーブレイク - Ga_{0.9}N層244、厚さ30nmのアンダーブレイク - AlGa_{0.9}N層246（キャリア濃度： $3 \times 10^{16} \text{ cm}^{-3}$ ）を順次成長させた。こうして、デバイス用積層支持基板4が得られた。

【0158】

3．三電極付のデバイス用積層支持基板の作製工程

次に図9（B）を参照して、デバイス用積層支持基板4のうちの透明半導体層40上に、フォトリソグラフィ、10質量%塩酸水溶液による表面の前処理、Ti層/Al層/Ti層/Al層をそれぞれ20nm/100nm/20nm/300nmの厚さでEB蒸着およびリフトオフ、窒素ガス雰囲気中600℃で熱処理することにより、アンダーブレイク - AlGa_{0.9}N層246上に、ソース電極280電極とドレイン電極290を形成した。さらに、ソース電極280およびドレイン電極290が形成されていない透明半導体層40の一部において、アンダーブレイクAlGa_{0.9}N層256上に、Ni/Al層（厚さ50nmのNi層および厚さ300nmのAl層で構成される層）を抵抗加熱蒸着およびリフトオフすることにより、ゲート電極283を形成した。こうして、三電極付のデバイス用積層支持基板4Gが得られた。

40

【0159】

4．半導体デバイスの作製工程

次に、図9（B）～（C）を参照して、実施例1と同様にして、Ga_{0.9}N支持基板（Ga含有透明支持基板10）を透明半導体層積層ウエハ支持基板（70）に置き換えたタイプ

50

の H E M T トランジスタを作製した。具体的には、三電極付のデバイス用積層支持基板 4 G の 3 電極（ソース電極 2 8 0、ゲート電極 2 8 3 およびドレイン電極 2 9 0）側を接着剤により仮支持基材に貼り付け、レーザアニール装置を用いて G a N 支持基板（G a 含有透明支持基板 1 0）側からレーザを照射して、G a N 支持基板（G a 含有透明支持基板 1 0）における中間層 2 0 との貼り合わせ面にのみ金属 G a 6 0 を析出させた。スライドオフにより、G a N 支持基板（G a 含有透明支持基板 1 0）を分離し、さらに中間層 2 0 を除去した後、三電極付の透明半導体層積層ウエハ 6 G の G a 層 3 0 a を、ドライエッチング法により除去した。透明半導体層積層ウエハ支持基板 7 0 として、絶縁性かつ熱伝導性の良い基板である多結晶 A l N（窒化アルミニウム）支持基板および S i C（炭化シリコン）基板を準備した。透明半導体層積層ウエハ 6 G から G a 層 3 0 a されたものを 2 つ準備し、それらのアンドープ - G a N 層 2 4 4 上に、上記 2 種類の透明半導体層積層ウエハ支持基板 7 0 をそれぞれ真空接合させ、仮支持基材を除去して、図 9（C）に示す H E M T トランジスタを完成させた。こうして得られた 2 種の H E M T トランジスタは、いずれも良好なトランジスタ特性を示すことが確認された。

10

【 0 1 6 0 】

今回開示された実施の形態および実施例はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した説明でなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内のすべての変更が含まれることが意図される。

20

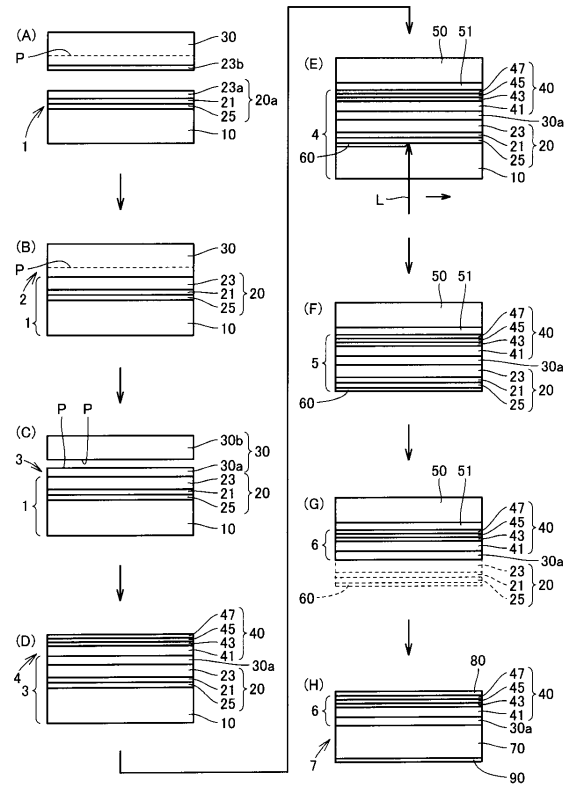
【 符号の説明 】

【 0 1 6 1 】

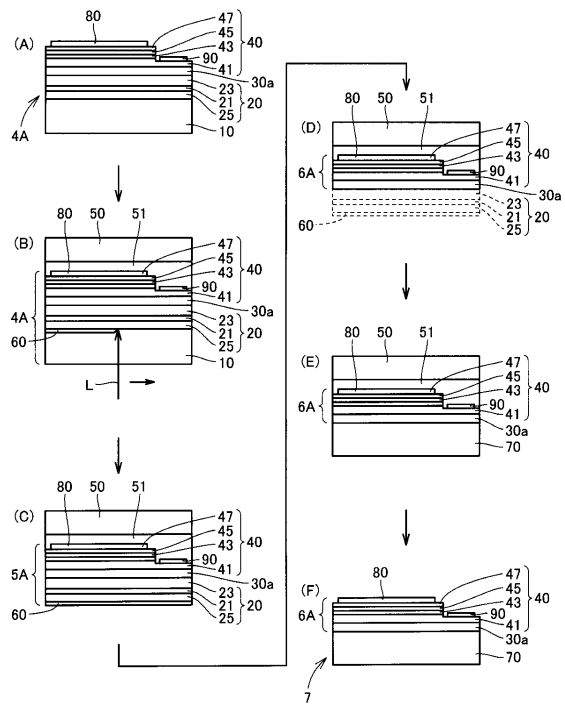
1 積層支持基板、2 積層貼り合わせ基板、3 エピ成長用積層支持基板、4 , 4 A , 4 B , 4 C , 4 D , 4 E , 4 F , 4 G デバイス用積層支持基板、5 , 5 A , 5 B , 5 C デバイス用積層ウエハ、6 , 6 A , 6 B , 6 C , 6 D , 6 E , 6 F , 6 G 透明半導体層積層ウエハ、7 半導体デバイス、1 0 G a 含有透明支持基板、2 0 , 2 0 a 中間層、2 1 光熱変換層、2 3 , 2 3 a , 2 3 b 第 1 の透明層、2 5 第 2 の透明層、3 0 G a N 基板、3 0 a G a N 層、3 0 b 残部 G a N 基板、4 0 透明半導体層、4 1 G a N バッファ層、4 2 n^+ - G a N ストップ層、4 3 , 4 6 n - G a N 層、4 4 , 1 4 4 n - G a N ドリフト層、4 5 発光層、4 7 , 4 8 , 1 4 5 p - G a N 層、4 9 p^+ - G a N コンタクト層、5 0 仮支持基材、5 1 接着剤、6 0 金属 G a , 7 0 透明半導体層積層ウエハ支持基板、7 1 金属ハンダ、7 3 , 9 3 オーミック電極、8 0 p - 電極、8 1 ショットキー電極、8 2 , 1 8 2 SiO_2 絶縁層、8 3 A g 層、8 4 I T O 層、8 5 , 8 5 a , 8 5 b , 9 5 , 9 5 a , 9 5 b 導電性接着層、8 6 p - パッド電極層、9 0 n - 電極、9 2 n - パッド電極層、1 4 2 , 1 4 6 n^+ - G a N 層、1 8 0 , 2 8 0 ソース電極、1 8 3 , 2 8 3 ゲート電極、1 9 0 , 2 9 0 ドレイン電極、2 4 4 アンドープ - G a N 層、2 4 6 アンドープ - A l G a N 層。

30

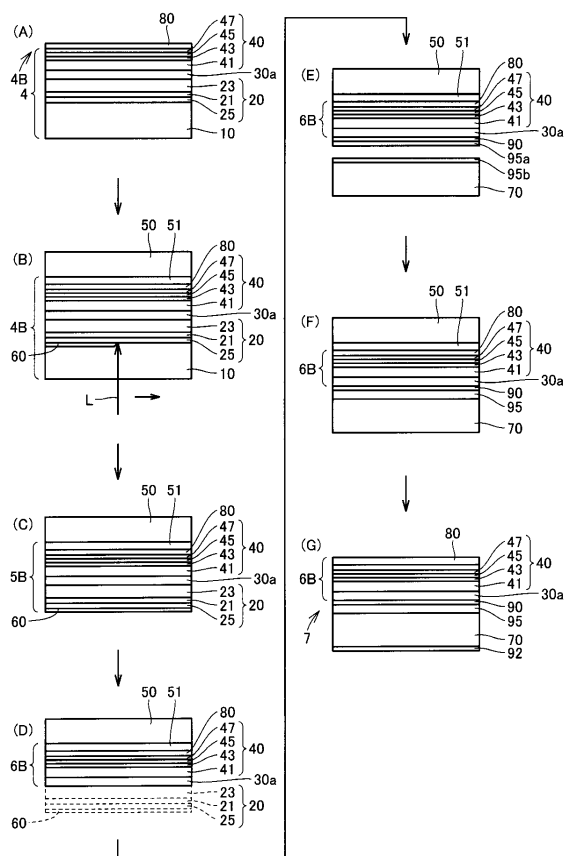
【図 1】



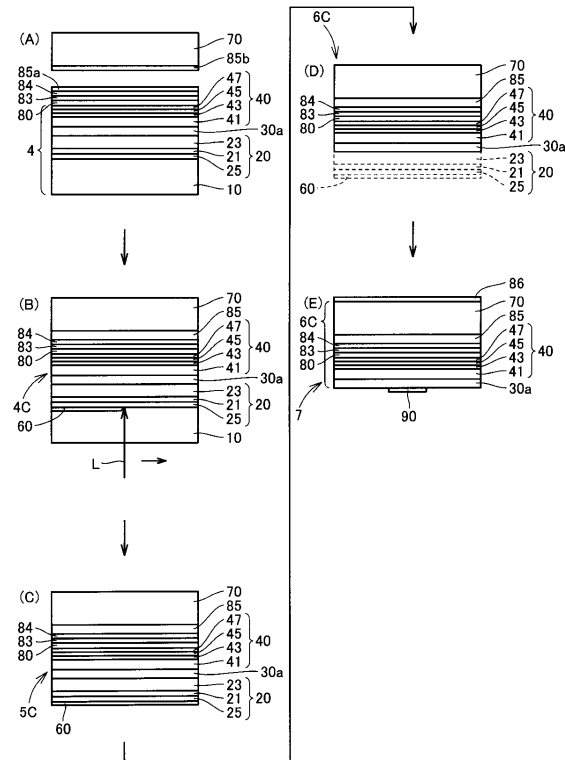
【図 2】



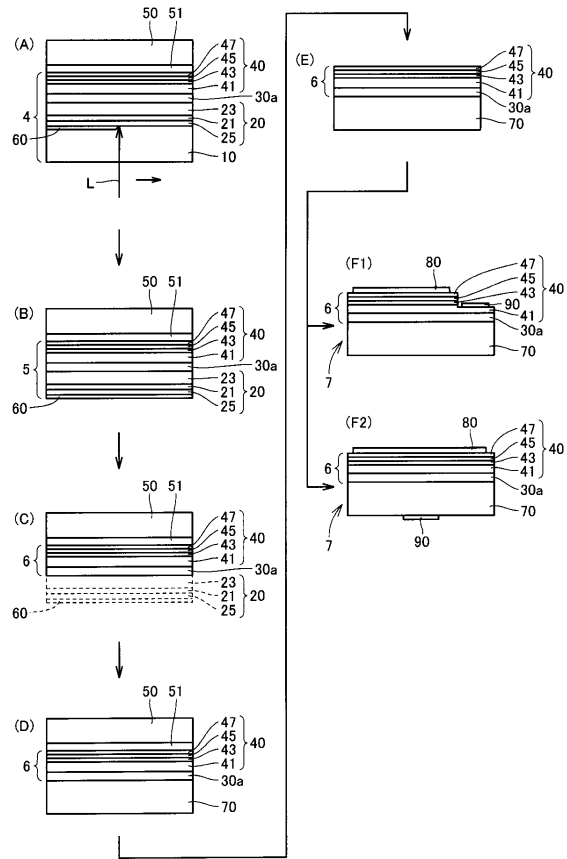
【図 3】



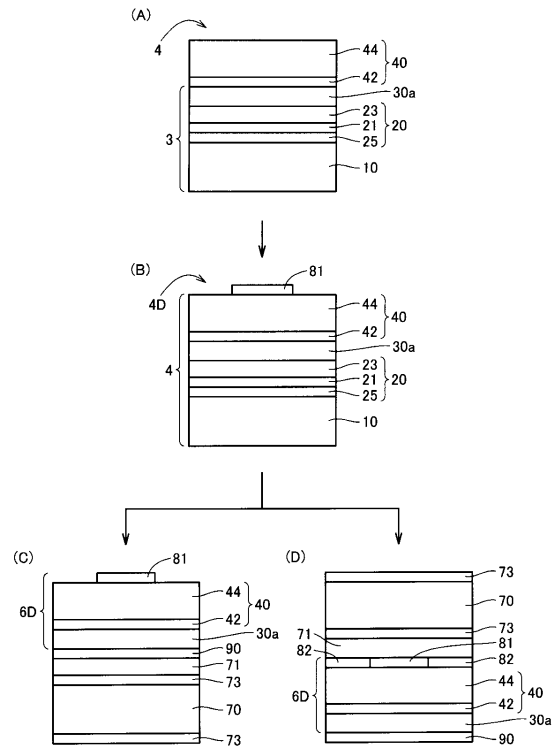
【図 4】



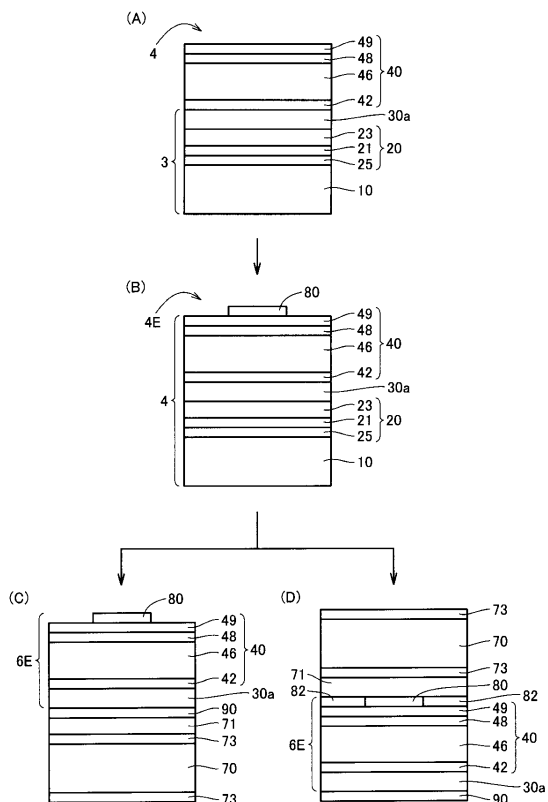
【図 5】



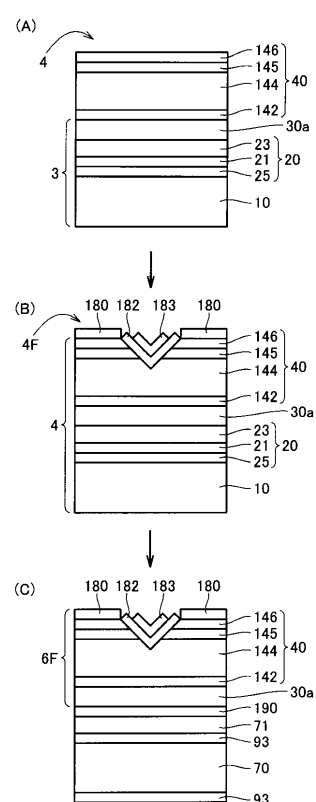
【図 6】



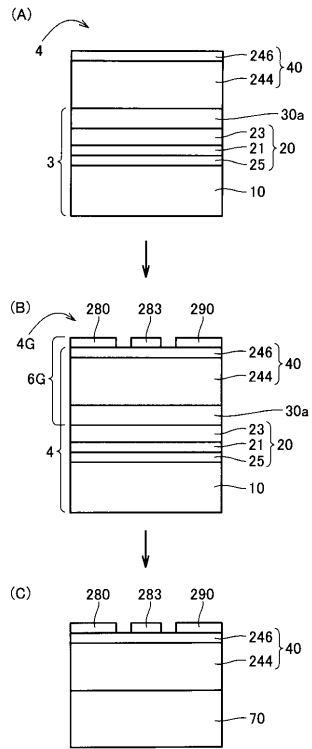
【図 7】



【図 8】



【図 9】



フロントページの続き

審査官 百瀬 正之

(56)参考文献 特開2008-300562(JP,A)
特開2007-116110(JP,A)
特開2009-010356(JP,A)
特開2009-182338(JP,A)
特開2005-203595(JP,A)
特開2005-277218(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 33/00-33/64
H01L 21/00