

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成20年1月10日(2008.1.10)

【公開番号】特開2001-203315(P2001-203315A)

【公開日】平成13年7月27日(2001.7.27)

【出願番号】特願2000-362327(P2000-362327)

【国際特許分類】

H 01 L 25/04 (2006.01)

H 01 L 25/18 (2006.01)

H 01 L 21/66 (2006.01)

【F I】

H 01 L 25/04 Z

H 01 L 21/66 A

【手続補正書】

【提出日】平成19年11月16日(2007.11.16)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】 完全に集積化されたチップのグループを1つのMCM(マルチチップ・モジュール)パッケージの中にパッケージングすることによって、半導体のマルチチップ・モジュールを製造するための方法であつて、前記完全に集積化されたチップのグループが正常に機能するチップ・サイトと正常に機能しないチップ・サイトとを含む多数のチップ・サイトを有する処理済みの半導体ウェーハからダイシングによって作られ、

a. 前記半導体ウェーハ上で前記チップ・サイトを電気的にテストするステップと、

b. 前記正常に機能するチップ・サイトを識別するステップと、

c. 前記半導体ウェーハ上の正常に機能するチップの空間的な場所を示しているウェーハ・マップを形成するステップと、

d. 前記ウェーハ・マップ上で互いに隣接して置かれている3つまたはそれ以上の正常に機能するチップ・サイトのクラスタを識別するステップと、

e. 前記クラスタの回りをカットすることによって前記ウェーハをダイシングし、各クラスタをチップの完全に集積化されたグループとして残すステップと、

f. 1つまたはそれ以上の完全に集積化されたチップのグループを、1つのMCMパッケージの中にパッケージングするステップとを含む方法。

【請求項2】 完全に集積化されたチップのグループを1つのMCM(マルチチップ・モジュール)パッケージの中にパッケージングすることによって、半導体のマルチチップ・モジュールを製造するための方法であつて、前記完全に集積化されたチップのグループが、正常に機能するチップ・サイトと正常に機能しないチップ・サイトとを含む多数のチップ・サイトを有する処理済みの半導体ウェーハからダイシングによって作られ、

a. 前記半導体ウェーハ上で前記チップ・サイトを電気的にテストするステップと、

b. 前記正常に機能するチップ・サイトを識別するステップと、

c. 前記半導体ウェーハ上の正常に機能するチップの空間的な場所を示しているウェーハ・マップを形成するステップと、

d. 隣接して置かれている3つまたはそれ以上の正常に機能するチップ・サイトのクラスタ基準を確立するステップと、

e. ステップdのクラスタ基準に合致する正常に機能するチップ・サイトのクラスタを

識別するステップと、

f . ステップ d の基準に合致しない正常に機能するチップ・サイトを識別するステップと、

g . 前記ウェーハを、

i . 各クラスタの回りをカットして完全に集積化された複数チップのグループを作るステップと、

i i . ステップ d の基準に合致しない正常に機能するチップ・サイトの回りをカットして単独のチップを作り出すステップとによってダイシングするステップと、

h . 1つまたはそれ以上の完全に集積化されたチップのグループを1つのMCMパッケージの中にパッケージングするステップと、

i . 1つまたはそれ以上の単独チップをパッケージングするステップとを含む方法。

【請求項3】 請求項2に記載の方法において、前記クラスタがメモリのチップ・サイトと論理回路のチップ・サイトとの両方を含む方法。

【請求項4】 請求項3に記載の方法において、前記半導体がシリコンである方法。

【請求項5】 請求項2に記載の方法において、前記半導体ウェーハがx軸およびy軸を有し、前記チップ・サイトのこれらの軸に沿っての寸法がxおよびyであり、xがyより大きく、そして前記クラスタがn<sub>1</sub>チップ・サイト×n<sub>2</sub>チップ・サイトであり、それぞれxおよびy方向の寸法で計った場合、そしてn<sub>2</sub>がn<sub>1</sub>より大きいか、あるいはそれに等しいようになっている方法。

【請求項6】 完全に集積化されたチップのグループを1つのMCM(マルチチップ・モジュール)パッケージの中にパッケージングすることによって、半導体のマルチチップ・モジュールを製造するための方法であって、前記完全に集積化されたチップのグループが、正常に機能するチップ・サイトと正常に機能しないチップ・サイトとを含む多数のチップ・サイトを有する処理済みの半導体ウェーハからダイシングによって作られ、

a . 前記半導体ウェーハ上で前記チップ・サイトを電気的にテストするステップと、

b . 前記正常に機能するチップ・サイトを識別するステップと、

c . 前記正常に機能しないチップ・サイトを識別するステップと、

d . 前記半導体ウェーハ上の正常に機能するチップ・サイトと正常に機能しないチップ・サイトの空間的な場所を示しているウェーハ・マップを形成するステップと、

e . 隣接して置かれている3つまたはそれ以上の、正常に機能するチップ・サイトと正常に機能しないチップ・サイトを含んでいるチップ・サイトのクラスタ基準を確立するステップと、

f . ステップeのクラスタ基準に合致する正常に機能するチップ・サイトのクラスタを識別するステップと、

g . ステップeの基準に合致しない正常に機能するチップ・サイトを識別するステップと、

h . 前記ウェーハを、

i . 各クラスタの回りをカットし、各クラスタを単独の半導体ボディとして残し、完全に集積化されたチップのグループを作るステップと、

i i . ステップdの基準に合致しない正常に機能するチップ・サイトの回りをカットして単独のチップを作り出すステップとによってダイシングするステップと、

i . 1つまたはそれ以上の完全に集積化されたチップのグループを1つのMCMパッケージの中にパッケージングするステップと、

j . 1つまたはそれ以上の単独チップをパッケージングするステップとを含む方法。

【請求項7】 完全に集積化されたチップのグループを1つのMCM(マルチチップ・モジュール)パッケージの中にパッケージングすることによって、半導体のマルチチップ・モジュールを製造するための方法であって、前記完全に集積化されたチップのグループが、正常に機能するチップ・サイトと正常に機能しないチップ・サイトとを含んでいる多数のチップ・サイトを有する処理済みの半導体ウェーハからダイシングによって作られ、

- a . 前記半導体ウェーハ上で前記チップ・サイトを電気的にテストするステップと、
- b . 前記正常に機能するチップ・サイトを識別するステップと、
- c . 前記半導体ウェーハ上の正常に機能するチップの空間的な場所を示しているウェーハ・マップを形成するステップと、
- d . 隣接して置かれている 3 より大きい数  $N_1$  個の正常に機能するチップ・サイトの第 1 のクラスタ基準を確立するステップと、
- e . 隣接して置かれている、 3 より大きく  $N_1$  より小さい数  $N_2$  個の正常に機能するチップ・サイトの第 2 のクラスタ基準を確立するステップと、
- f . ステップ d のクラスタ基準に合致する第 1 のグループのクラスタを識別するステップと、
- g . ステップ e のクラスタ基準に合致する第 2 のグループのクラスタを識別するステップと、
- h . ステップ d またはステップ e の基準のいずれにも合致しない正常に機能するチップ・サイトを識別するステップと、
- i . 前記ウェーハを、
  - i . 前記第 1 の各クラスタの回りをカットして完全に集積化された第 1 のグループのチップを作るステップと、
  - i i . 前記第 2 の各クラスタの回りをカットして完全に集積化された第 2 のグループのチップを作るステップと、
  - i i i . ステップ d またはステップ e の基準のいずれにも合致しない正常に機能するチップ・サイトの回りをカットして単独のチップを作り出すステップとによってダイシングするステップと、
  - j . 1 つまたはそれ以上の完全に集積化されたチップのグループを 1 つの MCM パッケージの中にパッケージングするステップと、
  - k . 1 つまたはそれ以上の単独チップをパッケージングするステップとを含む方法。

【請求項 8】 請求項 7 に記載の方法において、完全に集積化されたチップの前記グループがメモリ・チップおよび論理回路チップの両方を含む方法。

【請求項 9】 請求項 2 に記載の方法において、相互接続用基板が完全に集積化されたチップのグループに対して付加されている方法。