



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

203515

(11)

(B1)

(51) Int. Cl.³
H 03 K 5/19

(22) Přihlášeno 26 10 78

(21) (PV 6974-78)

(23) Právo přednosti od 13 09 78 Meziná-
rodní strojírenský veletrh Brno

(40) Zveřejněno 30 06 80

(45) Vydáno 15 01 83

(75)

Autor vynálezu

BARTŮNĚK IVAN ing., DRÁPAL STANISLAV ing.,
KRYŠKA JAN ing. a STRONER PETR ing.,
PRAHA

(54) Zapojení pro vyhodnocování změn dvouhodnotových signálů

1

Vynález se týká zapojení pro vyhodnocování změn dvouhodnotových signálů s časovým členem.

Při číslicovém řízení technologických i jiných procesů je nutné vyhodnocovat dvouhodnotové signály, které slouží pro vyhlášení poruchy. Jsou známa zapojení analogově-číslicová, která jsou vytvořena z filtračních vstupních obvodů a navazujících logických obvodů. Nevýhodou těchto zapojení je to, že nejsou schopny dostatečně rychle zpracovávat rychle se měnící vstupní údaje a dochází k chybným hlášením o změně, nebo v některých případech se změna signálu vůbec nevyhlásí.

Tyto nedostatky odstraňuje zapojení pro vyhodnocování změn dvouhodnotových signálů podle vynálezu, sestávající ze součinného obvodu, synchronizačního obvodu, směrového obvodu, komparátoru, paměťového obvodu, uvolňovacího obvodu, přerušovacího obvodu, součtového obvodu, invertoru, monostabilního obvodu a zpožďovacího obvodu. Jeho podstata spočívá v tom, že první vstup zapojení je spojen se synchronizačním vstupem synchronizačního obvodu, se zpožďujícím vstupem zpožďovacího obvodu a se vstupem monostabilního obvodu. Výstup monostabilního obvodu je spojen s rychlým vstupem zpožďo-

2

vacího obvodu. Výstup zpožďovacího obvodu je spojen s druhým vstupem zapojení, prvním vstupem součtového obvodu, s prvním nulovacím vstupem uvolňovacího obvodu, s nulovacím vstupem směrového obvodu a s nulovacím vstupem synchronizačního obvodu. Přímý výstup synchronizačního obvodu je spojen se synchronizovaným vstupem směrového obvodu a s prvním vstupem komparátoru. Výstup komparátoru je spojen s časovacím vstupem paměťového obvodu. Inversní výstup paměťového obvodu je spojen jednak se svým nastavovacím vstupem a jednak s nastavovacím vstupem uvolňovacího obvodu. Výstup uvolňovacího obvodu je spojen se synchronizovaným vstupem paměťového obvodu a s prvním vstupem součinného obvodu. Výstup součinného obvodu je spojen s časovacím vstupem směrového obvodu a s časovacím vstupem synchronizačního obvodu. Inversní výstup synchronizačního obvodu je spojen se čtvrtým vstupem komparátoru. Druhý vstup komparátoru je spojen s přímým výstupem směrového obvodu. Inversní výstup směrového obvodu je spojen s třetím vstupem komparátoru a s prvním vstupem zapojení. Pátý vstup zapojení je spojen s druhým vstupem prepisovacího obvodu. První vstup prepisovacího obvodu

je spojen s přímým výstupem paměťového obvodu. Nulovací vstup paměťového obvodu je spojen s výstupem součtového obvodu. Druhý vstup součtového obvodu je spojen se čtvrtým vstupem zapojení, druhý vstup zapojení je spojen s druhým vstupem součtového obvodu a se vstupem invertoru. Výstup invertoru je spojen s nulovacím vstupem přerušovacího obvodu. Výstup přerušovacího obvodu je spojen s třetím výstupem zapojení. Třetí vstup zapojení je spojen s druhým nulovacím vstupem uvolňovacího obvodu. Výstup prepisovacího obvodu je spojen s nastavovacím vstupem přerušovacího obvodu.

Výhodou zapojení podle vynálezu je, že umožňuje zpracovávat dvouhodnotové údaje i velmi vysokých frekvencí s jednoznačným vyhodnocením změny signálu. Další výhodou je, že vůči známým zařízením, která pracují v cyklickém adresním režimu, pracuje toto zapojení v přerušovacím režimu, čímž se umožňuje dosáhnout velmi rychlé odezvy zařízení na změnu signálu.

Příklad zapojení podle vynálezu je v blokovém schématu znázorněn na připojeném výkrese.

První vstup 13 zapojení je spojen se synchronizačním vstupem 21 synchronizačního obvodu 2, se zpožďujícím vstupem 58 zpožďovacího obvodu 12 a se vstupem 56 monostabilního obvodu 11, který je vytvořen jako běžný monostabilní klopný obvod. Výstup 57 monostabilního obvodu 11 je spojen s rychlým vstupem 59 zpožďovacího obvodu 12, který je vystaven z invertujících hradel a kondenzátoru. Výstup 60 zpožďovacího obvodu 12 je spojen s druhým výstupem 15 zapojení, prvním vstupem 51 součtového obvodu 9, s prvním nulovacím vstupem 45 uvolňovacího obvodu 6, s nulovacím vstupem 27 směrového obvodu 3 a s nulovacím vstupem 20 synchronizačního obvodu 2. Součtový obvod 9 je tvořen součtovým hradlem. Přímý výstup 23 synchronizačního obvodu 2 je spojen se synchronizovaným vstupem 2 směrového obvodu 3 a s prvním vstupem 30 komparátoru 4 vystaveného ze dvou vstupových hradel. Výstup 34 komparátoru 4 je spojen s časovacím vstupem 36 paměťového obvodu 5. Synchronizační obvod 2 a směrový obvod 3 jsou stejného typu a jsou vystaveny z D-klopných obvodů zapojených jako blokový posuvný registr. Inversní výstup 40 paměťového obvodu 5, který je tvořen D-klopným obvodem, je spojen jednak se svým nastavovacím vstupem 38 a jednak s nastavovacím vstupem 44 uvolňovacího obvodu 6 vystaveného z hradel, zapojených jako R—S klopný obvod. Výstup 47 uvolňovacího obvodu 6 je spojen se synchronizovaným vstupem 35 paměťového obvodu 5 a s prvním vstupem 17 součtového obvodu 1 tvořeného součtovým hradlem. Výstup 19 součtového obvodu 1 je spojen s časovacím vstupem 26 směrového

obvodu 3 a s časovacím vstupem 22 synchronizačního obvodu 2. Inversní výstup 24 synchronizačního obvodu 2 je spojen se čtvrtým vstupem 33 komparátoru 4. Druhý vstup 31 komparátoru 4 je spojen s přímým výstupem 28 směrového obvodu 3. Inversní výstup 29 směrového obvodu 3 je spojen s třetím vstupem 32 komparátoru 4 a s prvním vstupem 14 zapojení. Pátý vstup 63 zapojení je spojen s druhým vstupem 42 prepisovacího obvodu 8, který je tvořen dvou vstupovými hradlem. První vstup 41 prepisovacího obvodu 8 je spojen s přímým výstupem 39 paměťového obvodu 5. Nulovací vstup 37 paměťového obvodu 5 je spojen s výstupem 53 součtového obvodu 9. Druhý vstup 52 součtového obvodu 9 je spojen se čtvrtým vstupem 62 zapojení. Druhý vstup 16 zapojení je spojen s druhým vstupem 18 součtového obvodu 1 a se vstupem 54 invertoru 10, vytvořeného invertujícím hradlem. Výstup 50 přerušovacího obvodu 7, který je tvořen D-klopným obvodem, je spojen s třetím výstupem 64 zapojení. Třetí vstup 61 zapojení je spojen s druhým nulovacím vstupem 46 uvolňovacího obvodu 6. Výstup 43 prepisovacího obvodu 8 je spojen s nastavovacím vstupem 48 přerušovacího obvodu 7.

Zapojení pracuje tak, že na první vstup 13 zapojení přichází externí směrový signál, který se dále zpracovává v návazných logických obvodech. Tento signál přichází na synchronizační vstup 21 synchronizovaného obvodu 2, na vstup 56 monostabilního obvodu 11 a na zpožďující vstup 58 zpožďovacího obvodu 12. Na výstupu 60 zpožďovacího obvodu je signál, který je jednostranně zpožděn za vstupním externím signálem na prvním vstupu 13 zapojení. Při změně signálu z pasivního stavu do aktivního na prvním vstupu 13 zapojení, sleduje signál na výstupu 60 zpožďovacího obvodu 12 okamžitě tento vstupní signál. Při změně z aktivního do pasivního stavu signálu na prvním vstupu 13 zapojení je signál na výstupu 60 zpožďovacího obvodu zpožděn o dobu definovanou časovou konstantou monostabilního obvodu 11. Pasivní signál výstupu 60 zpožďovacího obvodu 11 nuluje synchronizační obvod 2 a směrový obvod 3 a současně hradluje spolu se signálem na třetím vstupu 61 zapojení uvolňovací obvod 6. Na druhý vstup 16 zapojení přichází časovací signál, který se přes součtinový obvod 1 přivádí na časovací vstupy 22 a 26 synchronizačního obvodu 2 a směrového obvodu 3. Výstup 23 synchronizačního obvodu 2 sleduje signál na synchronizačním vstupu 21 v závislosti na průběhu signálu na časovacím vstupu 22. Směrový obvod 3 i synchronizační obvod 2 je zapojen jako posuvný registr. Komparátor 4 aktivním signálem na výstupu 34 určuje neshodu stavů směrového obvodu 3 a synchronizačního obvodu 2. Změna signálu z pasivního do aktiv-

ního stavu na výstupu 34 komparátoru 4 se přivádí na časovací vstup 36 paměťového obvodu 5, který se překlápí do aktivního stavu a pasivním signálem na svém inverzním výstupu 40 před nastavovací vstup 44 uvolňovacího obvodu 6 pasivuje signál $n-a$ na výstupu 47 uvolňovacího obvodu 6. Pasivní signál na výstupu 47 uvolňovacího obvodu 6 blokuje přes první vstup 17 součinnového obvodu 1 časovací pulsy na výstupu 19 součinnového obvodu 1, čímž se nemůže dál stav synchronizačního obvodu 2 a směrového obvodu 3 změnit. Údaj o směru zůstává zapamatován stavem směrového obvodu 3 a je k dispozici na druhém výstupu 14 zapojení. Signál o změně stavu na výstupu 39 paměť-

ťového obvodu 5 se přivádí přes prepisovací obvod 8 na nastavovací vstup 48 přerušovacího obvodu 7. Tento signál se uvolňuje aktivním signálem na druhém vstupu 42 prepisovacího obvodu 8. Pasivním signálem na druhém nulovacím vstupu 46 uvolňovacího obvodu 6 se aktivují přes vstup 47 uvolňovacího obvodu 6 a přes první vstup 17 součinnového obvodu 1 časovací pulsy na výstupu 19 součinnového obvodu 1. Přes druhý vstup 52 součinnového obvodu 9 je paměťový obvod 5 vynulován a zapojení je uvedeno do počátečního stavu a může znova vyhlásit změnu stavu s udáním směru.

Vynálezu se využije v centrální části řídicí jednotky pro číslicové obráběcí stroje.

PŘEDMĚT VYNÁLEZU

Zapojení pro vyhodnocování změn dvouhodnotových signálů sestávající ze součinnového obvodu, synchronizačního obvodu, směrového obvodu, komparátoru, paměťového obvodu, uvolňovacího obvodu, přerušovacího obvodu, součtového obvodu, invertoru, monostabilního obvodu a zpožďovacího obvodu vyznačující se tím, že první vstup (13) zapojení je spojen se synchronizačním vstupem (21) synchronizačního obvodu (2), se zpožďujícím vstupem (58) zpožďovacího obvodu (12) a se vstupem (56) monostabilního obvodu (11), jehož výstup (57) je spojen s rychlým vstupem (59) zpožďovacího obvodu (12), jehož výstup (60) je spojen se druhým výstupem (15) zapojení, s prvním vstupem (51) součtového obvodu (9), s prvním nulovacím vstupem (45) uvolňovacího obvodu (6), s nulovacím vstupem (27) směrového obvodu (3) a s nulovacím vstupem (20) synchronizačního obvodu (2), jehož přímý výstup (23) je spojen se synchronizačním vstupem (25) směrového obvodu (3) a s prvním vstupem (30) komparátoru (4), jehož výstup (34) je spojen s časovacím vstupem (36) paměťového obvodu (5), jehož inverzní výstup (40) je spojen jednak se svým nastavovacím vstupem (38) a jednak nastavovacím vstupem (44) uvolňovacího obvodu (6), jehož výstup (47) je spojen se synchronizovaným

vstupem (35) paměťového obvodu (5) a s prvním vstupem (17) součinnového obvodu (1), jehož výstup (19) je spojen s časovacím vstupem (26) směrového obvodu (3) a s časovacím vstupem (22) synchronizačního obvodu (2), jehož inverzní výstup (24) je spojen se čtvrtým vstupem (33) komparátoru (4), jehož druhý vstup (31) je spojen s přímým výstupem (28) směrového obvodu (3), jehož inverzní výstup (29) je spojen s třetím vstupem (32) komparátoru (4) a s prvním vstupem (14) zapojení, jehož pátý vstup (63) je spojen s druhým vstupem (42) prepisovacího obvodu (8), jehož první vstup (41) je spojen s přímým výstupem (39) paměťového obvodu (5), jehož nulovací vstup (37) je spojen s výstupem (53) součtového obvodu (9), jehož druhý vstup (52) je spojen se čtvrtým vstupem (62) zapojení, jehož druhý vstup (16) je spojen se druhým vstupem (18) součinnového obvodu (1) a se vstupem (54) invertoru (10), jehož výstup (55) je spojen s nulovacím vstupem (49) přerušovacího obvodu (7), jehož výstup (50) je spojen se třetím výstupem (64) zapojení, jehož třetí vstup (61) je spojen se druhým nulovacím vstupem (46) uvolňovacího obvodu (6), přičemž výstup (43) prepisovacího obvodu (8) je spojen s nastavovacím vstupem (48) přerušovacího obvodu (7).

1 list výkresů

203515

