

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.<sup>6</sup>  
G11C 11/22

(45) 공고일자 2000년01월 15일  
(11) 등록번호 10-0237267  
(24) 등록일자 1999년10월07일

(21) 출원번호	10-1996-0000022	(65) 공개번호	특1996-0030237
(22) 출원일자	1996년01월04일	(43) 공개일자	1996년08월 17일
(30) 우선권주장	95-000063	1995년01월04일	일본(JP)

(73) 특허권자  
일본 덴기 가부시키키가이샤 가네꼬 히사시  
일본국 도쿄도 미나토구 시바 5쵸메 7방 1고  
키루마 토루

(72) 발명자  
일본국 도쿄도 미나토구 시바 5-7-1 닛폰 덴키주식회사 내  
코이케 히로키  
일본국 도쿄도 미나토구 시바 5-7-1 닛폰 덴키주식회사 내  
오쓰키 테쯔야  
일본국 도쿄도 미나토구 시바 5-7-1 닛폰 덴키주식회사 내  
다카다 마사히데  
일본국 도쿄도 미나토구 시바 5-7-1 닛폰 덴키주식회사 내  
이병호

(74) 대리인  
이병호

심사관 : 김용주

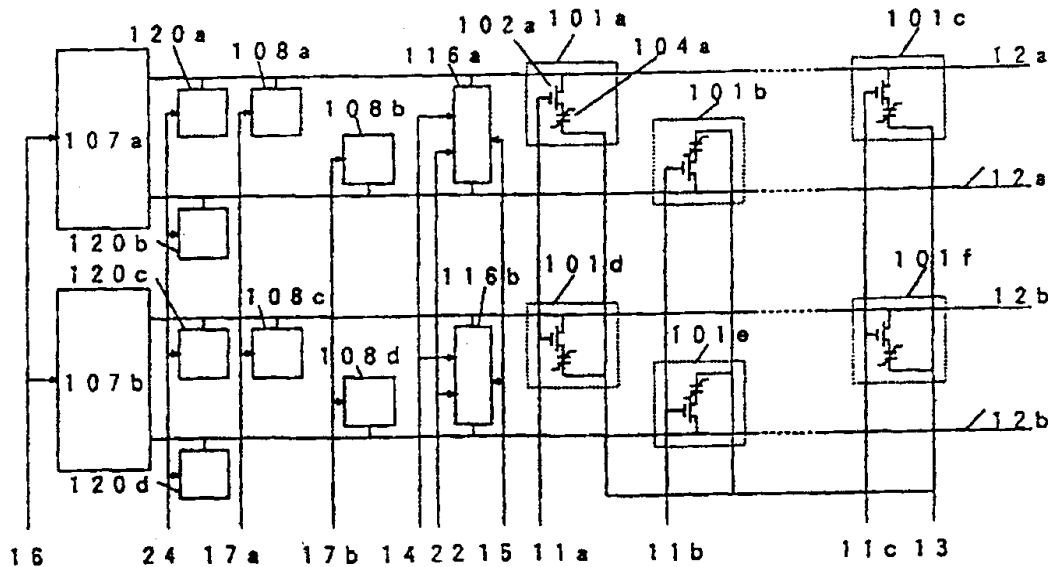
(54) 강유전체 메모리 장치 및 그 동작 제어 방법

요약

강유전체를 사용한 불휘발성 메모리에 있어서 종래 문제로 되어 있던 메모리 셀에서 데이터를 판독할때의 강유전체의 분극 반전 전하이외의 노이즈 전하에 의해서 강유전체 캐패시터 양전극간에 충분한 전압이 가해지지 않게 되는 문제를 해결한다.

메모리 셀(101)에서 데이터를 판독할 때 데이터 신호선(12, /12)의 전압 변동을 억제하고 강유전체 캐패시터(104)의 양전극간에 확실하게 항전압(coercive voltage) 이상의 전압을 가하는 수단을 구비하므로써 강유전체 메모리를 안정하게 동작시킨다.

대표도



명세서

[발명의 명칭]

## 강유전체 메모리 장치 및 그 동작 제어 방법

## [도면의 간단한 설명]

제1도는 본 발명의 제1의 실시예인 데이터 신호선의 전압 변동 억제 수단을 부가한 강유전체 메모리 장치의 회로도.

제2도는 본 발명의 제2의 실시예인 데이터 신호선에 커플링 캐패시터를 접속한 강유전체 메모리의 회로도.

제3도는 제2도의 동작 타이밍도.

제4도는 본 발명의 제3의 실시예인 데이터 신호선에 커플링 캐패시터를 접속한 강유전체 메모리의 회로도.

제5도는 제4도의 동작 타이밍도.

제6도는 본 발명의 제4의 실시예인 데이터 신호선 전압 변동 억제 회로로서 트랜지스터와 캐패시터를 조합한 회로를 사용한 강유전체 메모리의 회로도.

제7도는 제6도의 회로를 사용한 강유전체 메모리의 동작 타이밍도.

제8도는 본 발명의 제5의 실시예인 강유전체 메모리의 동작 타이밍도.

제9도는 본 발명의 제6의 실시예인 강유전체 메모리의 동작 타이밍도.

제10도는 본 발명의 제7의 실시예인 제6도의 트랜지스터 캐패시터를 조합한 회로에 프리차지 트랜지스터를 부가한 회로를 도시하는 도면.

제11도는 제10도의 회로를 사용한 강유전체 메모리의 동작 타이밍도.

제12도는 본 발명의 제8의 실시예인 데이터 신호선 전압 변동 억제 회로로서 트랜지스터와 다이오드를 조합한 회로를 사용한 강유전체 메모리의 회로도.

제13도는 본 발명의 제9의 실시예인 데이터 신호선에 정전압원 또는 정전류원을 접속한 강유전체 메모리의 회로도.

제14도는 제13도의 동작 타이밍도.

제15도는 본 발명의 제10의 실시예를 도시하는 제13도의 동작 타이밍도.

제16도는 본 발명의 제11의 실시예인 SRAM+ 강유전체 메모리의 회로도.

제17도는 본 발명의 제12의 실시예인 SRAM+ 강유전체 메모리의 회로도.

제18도는 제16 또는 제17도의 동작 타이밍도.

제19도는 본 발명의 제3의 실시예인 SRAM+ 강유전체 메모리의 회로도.

제20도는 제19도의 동작 타이밍도.

제21도는 2개의 트랜지스터와 2개의 강유전체 캐패시터로 되는 메모리셀 회로예를 도시하는 도면.

제22도는 제21도의 강유전체 캐패시터의 양전극간에 가하는 전압(V)과 자발분극 전하(Q)와의 관계를 도시하는 도면.

제23도는 제21도의 메모리 셀을 사용한 강유전체 메모리의 메모리 셀 어레이 회로예를 도시하는 도면.

제24도는 제23도의 동작 타이밍도.

제25도는 1개의 트랜지스터와 1개의 강유전체 캐패시터로 이루는 메모리셀 회로예를 도시하는 도면.

제26도는 제25도의 강유전체 캐패시터의 양전극간에 가하는 전압(V)과 자발분극전하(Q)와의 관계를 도시하는 도면.

제27도는 제25도의 메모리 셀을 사용한 강유전체 메모리의 메모리 에레이 회로예를 도시하는 도면.

제28도는 제27도의 동작 타이밍도.

제29도는 SRAM과 강유전체 캐패시터로 이루는 메모리셀 회로예를 도시하는 도면.

제30도는 제29도의 동작 타이밍도.

제31도는 플레이트 비구동형 강유전체 메모리의 메모리 셀 어레이 회로예를 도시하는 도면.

제32도는 제31도의 동작 타이밍도.

제33도는 데이터 신호선 프리차지 밸런스 제어 회로예를 도시하는 도면.

제34도는 플레이트 구동형 강유전체 메모리에 있어서 메모리 셀에서 데이터를 판독 출력할 때의 데이터 신호선의 전압 변동을 도시하는 도면.

제35도는 플레이트 비구동형 강유전체 메모리에 있어서 메모리 셀에서 데이터를 판독 출력할 때의 데이터 신호선의 전압 변동을 도시하는 도면.

제36도는 데이터 신호선 기생 용량값 및 강유전체 캐패시터의 상유전체 성분 용량값과 강유전체 메모리의



VPL0 : 플레이트 선전압 초기값

VPL : 플레이트 선전압 최종값

Qi : 메모리셀 어레이계의 초기 총 전하량

Qf : 메모리셀 어레이계의 최종 총 전하량

EC : 강유전체의 항전계

VC : 가유전체의 항전압

Vm : 플레이트선 중간 전압 설정값

VSIG : 메모리셀에서 판독 출력되는 신호 전압값

VSE : 센스 앰프가 정상으로 데이터 증폭가능한 최소 신호 전압값

CD : 데이터 신호선 기생 용량값

CS : 강유전체 캐패시터의 상유전체 성분 용량값

VCC : 전원전압

VB00T : 전원전압

GND : 접지전압

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 강유전체를 이용한 메모리 및 그 동작 제어 방법에 관한 것이다.

[종래의 기술]

근래, 지루쿰티타늄산염(PZT) 등의 히스테리시스 특성을 갖는 강유전체 재료를 메모리셀에 이용하여 전원을 차단해도 기억을 유지하는 기능을 갖는 불휘발성 메모리가 실현되고 있다.

이같은 메모리의 예로서 특개소 63-201998호 공보, 1988년 2월의 고체 소자 회로 국제회의(International Solid-State Circuits Conference, ISSCC) 예고집 130페이지에서 131페이지, 1994년 2월의 고체소자 회로 국제 회의 예고집 268페이지에서 269페이지에 보고되어 있는 것 등이 있다.

이들 보고를 기초로 종래의 불휘발성 강유전체 메모리의 회로구성 및 그 동작에 대해서 설명한다.

제21도에 특개소 63-201998호 공보에 기재되고 있는 2개의 트랜지스터 및 2개의 캐패시터에서 1개의 메모리셀을 구성하는 형(이하, 2T/2C 형이라 부르기로 한다)의 강유전체 메모리셀의 회로를 도시한다. 제21도에 있어서(11)은 메모리 셀의 선택 신호선(이하, 간단히 선택 신호선이라 부른다), (13)은 플레이트선, (12) (/12)는 데이터 신호선, (101)는 메모리셀, (102), (103)은 메모리 셀의 스위칭 트랜지스터, (104), (105)는 강유전체 캐패시터이다.

이같은 2T/2C 형 메모리셀에 있어서는, 강유전체 캐패시터(104)와 (105)에 항상 반대방향의 분극 방향을 갖도록 데이터가 기록된다. 이 반대 방향의 분극을 가진 캐패시터에서의 전하를 각각 데이터 신호선(12), (/12)상에 판독 출력하므로써 데이터 신호선에 차전압을 발생케하며 그것을 차동형 증폭 회로인 센스 앰프로 증폭한다.

제22도는 강유전체 캐패시터(104), (105)의 히스테리시스 특성 모델을 도시한 것으로서, 강유전체 캐패시터의 양전극간의 전압  $V_e$ 에 대한 자발분극 전하  $Q$ 의 관계를 도시하고 있다. 예컨대 강유전체 캐패시터(104), (105)의 분극이 각각 A, B의 상태에 있을 때를 데이터 "1", 역의 경우를 데이터 "0"으로 대응시킨다.

이때, 강유전체 캐패시터의 양 전극간에  $V_e$ 의 전압을 가하면 데이터 "1"의 경우, 캐패시터(104)에서  $Q_1$ 의 전하가 캐패시터(105)에서는  $Q_0$ 의 전하가 각각 대응하는 데이터 신호선(12), (/12)상에 출력되고 이 전하가 전술한 데이터 신호선쌍의 차전압을 발생시키는 것이다.

이같은 강유전체 캐패시터를 사용한 메모리에선 강유전체 캐패시터의 양 전극간에 가하는 외부전압이 0으로 되어도 강유전체의 내부에 발생하고 있는 자발분극이 데이터를 유지하고 있기 때문에 전원이 차단되어도 기억을 유지하는 소위 불휘발성 기억동작이 실현된다.

제23도에 제21도의 형의 메모리 셀을 쓴 강유전체 메모리의 메모리 셀에레이의 부분 회로예를 도시한다. 제23도에 있어서(11a 내지 11c)는 선택 신호선, (12a, 12b, /12a, /12b)은 데이터 신호선, (13a 내지 13c)는 플레이트선, (14)는 데이터 신호선 프리차지 제어신호선, (15)는 데이터 신호선 프리차지 전원선, (16)은 센스 앰프 제어 신호선이다. (101a 내지 101f)는 메모리 셀, (102a, 103a)는 메모리 셀의 스위칭 트랜지스터, (104a, 105a)는 강유전체 캐패시터, (106a, 106b)는 데이터 신호선 프리차지 회로, (107a, 107b)는 센스 앰프이다.

제24도에 제23도의 메모리의 동작 타이밍도 예를 도시한다. 이하, 제23도와 제24도를 참조하면서 메모리셀(101a)에 주목한 경우의 강유전체 메모리의 판독 출력 동작 및 기록 동작에 대해서 설명한다. 또한, 제24도 이하, 이 명세서 기재의 동작 타이밍도에 있어서, 특히 별도 지적이 없는 한 하이레벨 "H"에 상당한 레벨은 메모리 외부에서 공급되는 전원 전압, 또는 메모리내부에 설정된 전압 발생 회로에서 발생하는 전압중의 어느 하나이며, 로우레벨 "L"에 상당하는 레벨은 접지 전압이라고 본다. 이들 전압의 값은 경우에 따라서 5V나 3V 등 여러가지 값을 취할 수 있다. 또, 참고로서 데이터 "1"를 판독할 경우의 제24도의 (1) 내지 (6) 각 기간 종료 시점에서의 강유전체 캐패시터(104a), (105a)의 분극 상태를 타이밍도의

밑에 나타낸다.

제24도중 (1) 내지 (3)의 기간은 메모리셀에서 데이터를 판독 출력하는 동작이다. 우선, 기간(1)에서 데이터 신호선 프리차지 제어 신호(14)를 로우 레벨로 하므로서 데이터 신호선 프리차지 제어신호(14)를 로우 레벨로 하므로서 데이터 신호선 프리차지 상태를 해제한다. 여기에선, 데이터 신호선 프리차지 레벨은 접지 전압으로 하고 있다. 다음에 기간(2)에 있어서 선택 신호선(11a)과 플레이트선(13a)을 각각 하이레벨로 올리고 메모리셀(101a)에서 데이터 신호선(12a), (/12a)상에 데이터를 출력한다. 이때 출력되는 데이터 신호는 강유전체 캐패시터 내부의 분극 상태에 따라서 결정되고 제24도에선 앞서 말했듯이 데이터 "1"이 판독되고 있는 모양을 나타내고 있다. 그후, 기간(3)에 있어서 센스 앰프 제어 신호선(16)을 활성화하고 데이터 신호선(12a)과 (/12a)간의 전압을 센스 증폭한다.

그 다음의 기간(4) 내지 (6)은 판독 출력한 데이터를 메모리 셀에 재차 되돌려 기록하는 동작이다. 기간(2)의 시점에서 판독된 메모리 셀의 데이터는 파괴되고 있으므로 이같이 재기록 동작이 필요로 된다. 또한, 메모리 외부에서 입력되는 데이터를 메모리셀에 기록하는 경우엔(3)의 기간에 데이터 신호선 쌍(12a), (/12a)상에 소량의 데이터에 대응하는 전압을 설정하고나서 다음의 기간(4) 이후의 동작을 행한다.

기간(4)에 있어서 플레이트선(13a)을 로우레벨로 한다. 다음의 기간(5)에 있어서 센스 앰프 제어 신호선(16)을 로우 레벨로 하므로서 센스 앰프를 비활성으로 하고 다시 프리차지 제어 신호선(14)를 하이 레벨로 하고 데이터 신호선 레벨을 접지 전압으로 한다. 이같이 하므로서 메모리 캐패시터의 분극을 데이터 판독 출력전의 (1)의 상태로 되돌릴 수 있다. 마지막으로 기간(6)에 있어서 선택 신호선(11a)을 로우레벨로 내리고 메모리 셀 트랜지스터를 비도통으로 하고 메모리 셀로의 액세스 동작을 완료한다.

여기에서 상기의 회로 동작과 강유전체 캐패시터의 특성과의 관계에 대해서 설명한다. 예컨대, 제24도의 (2)의 기간에서 선택 신호선(11a)을 하이레벨로 하고 스위칭 트랜지스터(102a), (103)를 도통시키고 플레이트선(13a)을 하이레벨로 상승시킨 상태에선 제21도에 있어서 강유전체 캐패시터에 (-Ve)의 전압을 가한 상태에 상당한다. 이때,  $Q_1$  또는  $Q_0$ 의 전하가 데이터 신호선(12a)상에 출력된다.

그런데, 이대로의 상태에선 "1", "0" 중의 어느것이 기억되고 있는 경우에도 강유전체 캐패시터의 분극 상태는 제22도에 도시하는 h점에 있고 "1" 또는 "0"의 구별이 되지 않는다. 그래서, 판독 출력된 "1", "0" 데이터에 따라서 강유전체 캐패시터에  $+V_e$ , 0의 전압을 가하고 데이터를 되돌려 기록하는 동작이 필요하다. 이것이 제24도의 (4)-(5)이 동작에 상당한다. 이같이 강유전체 메모리 셀을 써서 불휘발성 기억 동작을 실현하기 위해선 강유전체 캐패시터의 양전극간에 정부 양방향의 전압을 가할 필요가 있다는 것에 주의한다.

또한, 메모리 기억용량의 고밀도화를 목적으로 1개의 트랜지스터와 1개의 강유전체 캐패시터로 메모리 셀을 구성하는 것(이하, 1T/1C 형이라 부른다)도 있으며 이같은 강유전체 메모리의 예로서 1994년 2월의 고체 소자 회로 국제 회로 예고집 268페이지에서 269페이지에 보고되어 있는 것이 있다.

제25도에 1T/1C 형의 강유전체 메모리 셀 회로를 도시한다. (11)은 선택 신호선, (12)는 데이터 신호선, (13)은 플레이트선, (101)은 강유전체 메모리 셀, (102)는 메모리셀 스위칭 트랜지스터, (104)는 강유전체 캐패시터이다. 이하, 이미 설명한 도면에 사용한 회로 요소에 대응하는 것은 같은 기호를 사용하며 그 설명을 생략한다.

제26도에는 제25도의 강유전체 캐패시터(104)의 히스테리시스 특성 모델을 도시한다. 1T/1C형 메모리셀에선 2T/2C형 메모리셀과 다르며 강유전체의 2개의 안정상태 "A" / "B"를 각각 데이터 "1" / "0"에 대응시킨다.

제25도에 도시하는 1T/1C 형의 메모리셀을 사용한 메모리셀 어레이의 부분회로예를 제27도에 도시한다. 이 경우는 메모리셀에서의 신호 전압은 예컨대 메모리셀(101a)이 선택된 경우엔 데이터 신호선(12a)상만에 나타낸다. 이같이 1T/1C형 메모리셀을 사용할 때는 2T/2C형의 경우와 다르며 센스 증폭 동작을 행할 때의 기준 레벨을, 특별히 수단을 두고, 쌓이되는 데이터 신호선(/12a)상에 발생시킬 필요가 있다. 제27도에선 그 기준 레벨을 발생시키는 회로(108a 내지 108d)와 그 제어 신호선(17a-17b)이 부가되어 있다. 기준 레벨의 구체적인 발생방법은 예컨대 상술의 문헌, 1994년 2월의 고체소자 회로 국제회의 예원고집 268페이지에 기재되어 있다. 기준레벨 발생 방법의 요점은 메모리셀에서 "1"에 대응하는 신호를 판독 출력했을 때의 데이터 신호 전압과 "0"에 대응하는 신호를 판독 출력했을 때의 데이터 신호선 전압과의 중간의 전압을 발생하는데 있다.

제28도에 제27도의 회로의 메모리 셀(101a)에 주목했을 때의 동작 타이밍도 예를 도시한다. 참고로서 데이터 "1"을 판독 출력하는 경우의 제28도에 있어서의 (1)내지 (6)의 각 기간 종료시점에서의 강유전체 캐패시터 (104a)의 분극상태를 타이밍도의 밑에 도시한다.

데이터 신호선(12a)에 신호를 판독 출력하는 경우 쌓이 되는 데이터 신호선(/12a)상에 기준 레벨을 발생시키기 위해 기준 레벨 발생 회로(108b)의 제어 동작이 행해지고 회로(108b)에서 발생되는 기준 레벨이 데이터 신호선(/12a)상에 판독 출력되고 있다. 이점을 제외하면 동작은 제24도에 도시한 2T/2C 형 메모리 셀의 동작과 마찬가지로다.

또, 스택틱 랜덤 액세스 메모리(SRAM)에 쓰이는 형의 플립플롭과 강유전체 캐패시터를 조합해서 불휘발성 메모리를 실현하는 예(이하, SRAM + 강유전체 메모리 셀이라 부른다)가 1988년 2월의 고체 소자 회로 국제회의 예고집 130페이지에서 131페이지에 보고되고 있다.

제29도에 SRAM + 강유전체형의 강유전체 메모리 셀 회로를 도시한다. 도면에 있어서(18)은 SRAM 부에 대한 선택 신호선, (19), (/19)는 SRAM부에 대한 데이터 신호선, (20), (21)은 플립플롭 전원선이다. 또, (109)는 플립플롭, (110), (111)은 플립플롭을 구성하는 N 채널형 트랜지스터, (112), (113)은 플립플롭을 구성하는 P 채널형 트랜지스터(114, 115)는 메모리셀 선택 트랜지스터이다.

이 형의 메모리 셀을 사용한 메모리는, 주로, 전원을 상승시킨 후에 강유전체 캐패시터에서 플립플롭에

데이터를 판독 출력하고 통전중은 SRAM으로서 사용한다. 전원을 하강시킬 때, SRAM에서 강유전체 캐패시터에 데이터를 전송하므로써 전원을 차단한 후에도 기억을 유지할 수 있는 기능을 갖는다.

이 예에서 제29도 중의 각 요소를 제21도, 제25도 등과 대응시키면 제29도의 SRAM+강유전체형의 메모리로서의 메모리 셀 선택 신호선 및 데이터 신호선은 각각 (18), (19), (/19)인데 강유전체 메모리로서의 동작성에 있어서의 메모리셀 선택 신호선 및 데이터 신호선은 각각 도면중에 도시하는 (11), (12), (/12)로 되며 또, 강유전체 캐패시터에서 데이터 신호선으로의 데이터 거래를 행하는 트랜스퍼 게이트는 (102), (103)으로 된다. 즉, 제29도에서는 강유전체 메모리로서의 동작에 의거해서 도면중의 각 구성요소의 번호를 제21도, 제25도 등과 대응하고 있음에 주의한다.

제30도에 강유전체 캐패시터(104, 105)로의 기록 입력시, 및 캐패시터(104, 105)에서 플립플롭(109)으로의 데이터 판독시의 동작 타이밍도 예를 도시한다. 캐패시터(104, 105)의 분극상태와 데이터 "0", "1"의 대응관계는 제22도와 마찬가지로 본다. 이때, 데이터 "1"의 기록 입력 및 판독 출력인 경우의 (1) 내지 (10)의 각 기간 종료 시점에서의 강유전체 캐패시터(104, 105)의 분극 상태를 타이밍도의 밑에 나타낸다.

우선, 플립플롭에서 강유전체 캐패시터로의 데이터 기록 입력은 플립플롭이 데이터를 유지하고 있는 상태(도면에서는 데이터 신호선(12)이 "H", 데이터 신호선(/12)이 "L"로 하고 있다)이다. 다음에 (2)-(3)의 기간에서 플레이트선(13)을 로우 레벨에서 하이레벨로, 또, 하이레벨로, 또, 하이레벨에서 로우레벨로 구동한다. 그후, (4)의 기간에 플립플롭 전원선(21)을 로우레벨로 떨어뜨리므로써 플립플롭(109)의 전원을 차단하고 마지막으로 기간(5)에서 선택 신호선(11)을 로우 레벨로 한다. 그러면 캐패시터(104, 105)로 플립플롭(109)에 기억되어 있던 데이터에 대응하는 분극 상태가 설정되고, 이후 메모리의 전원을 차단해도 기억을 유지할 수 있다.

강유전체 캐패시터에서 플립플롭으로의 데이터 판독 출력은, 우선, 기간(6)에서 선택 신호선(11)을 하이레벨로 하고, 이어서 기간(7)에서 플레이트선(13)을 로우레벨에서 하이레벨로 구동하므로써 캐패시터(104, 105)의 양 전극간에 전압을 가하고 분극상태에 대응하는 전하를 데이터 신호선(12), (/12)상으로 판독한다.

그후, 기간(8)에서 플립플롭 전원선(21)을 하이레벨로 상승시키고 플립플롭(109)을 활성화하고 기간(7)에서 판독 출력한 신호 전압을 증폭한다. 다음에 기간(9)에서 플레이트선(13)을 로우레벨로 되돌리고 다시 기간(10)에서 선택 신호선(11)을 로우레벨로 되돌리고 데이터 판독 출력 동작을 완료한다. 이후, 통상의 SRAM으로서 메모리 동작을 행하는 것이 가능하다.

제30도에 있어서 (1)의 기간 종료시점에서는 캐패시터(105)의 분극 상태는 부정인데, 기간(5)이 종료된 최종시점에서는 분극 상태가 결정되고 있으므로 지장이 없다. 또 (10)의 기간 종료 시점에서는 캐패시터(104)의 양 전극간에는 전압이 가해지고 있으며 분극상태는 전압 0에 대응하는 점에는 없으나, 이것도 다음에 데이터를 기록하는 시점에서 분극 상태가 결정되므로 문제는 없다.

또, 이 예에 있어서 제29도의 플립플롭(109)내부의 P채널형 트랜지스터(112, 113) 대신에 저항 등의 수동소자를 쓰는 것도 가능하다.

이상의 예에 있어서 모두 플레이트선(13)을 로우 레벨에서 하이레벨로 구동하므로써 강유전체 캐패시터의 양전극 간에 정부 양방향의 전압을 가하고 데이터를 판독 출력하는 방식을 취하고 있다. 한편으로는 플레이트선을 어떤 중간 전압으로 설정하므로써 강유전체 캐패시터의 양 전극간에 정부 양방향의 전압을 가하고 데이터를 판독 출력하는 방식을 취할 수 있다. 제31도에 이와 같은 메모리의 메모리셀 어레이 부분 회로예를 도시한다. 제31도에 있어서, (116a, 116b)는 데이터신호선 프리차지 밸런스 제어 회로, (22)는 데이터 신호선 밸런스 제어 신호선을 나타내며, 나머지는 제27도와 마찬가지다.

제32도는 제31도의 동작 타이밍도 예이다. 플레이트선(13)이 하이레벨 전압과 로우레벨 전압과 중간의 전압으로 고정되고 있는 것에 주의한다. 제31도와 제32도를 참조하면서 메모리셀(101a)을 주목했을 경우의 판독 출력 동작 및 기록 동작에 대해서 설명한다. 참고로서 (1) 내지 (7)의 각 기간 종료시점에서의 강유전체 캐패시터(104a)의 분극 상태를 동작 타이밍도의 밑에 나타내었다.

우선, 기간(1)에서 데이터 신호선 프리차지 제어신호(14)를 로우레벨로 하므로써 데이터 신호선 프리차지 상태를 해제한다. 여기에서도 데이터 신호선 프리차지 레벨은 접지 전압으로 하고 있다. 다음에 기간(2)에 있어서 선택 신호선 (11a)을 하이 레벨로 올리고 메모리셀(101a)에서 데이터 신호선(12a)상에 데이터를 출력한다. 여기에서 제28도의 동작과 상이한 것은 플레이트선(13)을 구동하지 않는 것이다. 데이터 신호선 프리차지 레벨이 접지 전압, 플레이트선이 중간 전압( $V_m$ 로 한다)이기 때문에 기간(2)에서 메모리 셀 트랜지스터(102a)가 도통 상태로 되었을 때 강유전체 캐패시터(104a)의 양전극간에 플레이트선에서 데이터 신호선으로의 방향을 전압의 정의 방향으로서 거의 ( $-V_m$ )의 전압이 가해진다. 그러면 강유전체 캐패시터(104a)에서 분극의 상태에 따른 신호 전압이 데이터 신호선(12a)상에 판독 출력된다. 동시에 쌍이 되는 데이터 신호선(/12a)상에 회로(108b)에 의해서 기준 레벨을 발생시킨다. 그 다음의 기간(3)에 있어서, 센스 앰프 제어 신호(16)를 활성화하고 데이터 신호선 쌍(12a)와 (/12a)간의 차전압을 센스 증폭한다.

메모리 외부에서 입력한 데이터를 메모리 셀에 기록하는 경우에는 기간(4)에 있어서 소망의 데이터에 대응하는 전압을 데이터 신호선쌍 (12a), (/12a)에 설정해둔다.

기간(5)에 있어서 센스 앰프 제어 신호선(16)을 로우 레벨로 하므로써 센스 앰프를 비활성으로 하고 또한, 데이터 신호선 밸런스 제어 신호선(22)을 하이레벨로 하고 데이터 신호선 레벨을 플레이트선과 같은 중간 전압  $V_m$ 으로 한다. 이렇게 하므로써 메모리 셀 캐패시터의 분극을 데이터 판독 출력전(1)의 상태로 되돌릴 수 있다.

기간(6)에서 선택 신호선(11a)을 로우 레벨로 내리고 메모리셀 트랜지스터를 비도통으로 한 후, 기간(7)에서 데이터 신호선쌍(12a, /12a)을 접지 전압으로 프리 차지한 상태로 하고 메모리셀로의 액세스 동작의 1사이클을 완료한다.

강유전체 캐패시터에서 판독 출력되는 신호 전압은 강유전체 캐패시터의 양전극간에 가해지는 전압값에 의존하며, 일반적으로 양전극간에 가해지는 전압값이 클수록 신호 전압도 크다. 전술한 예와 같은 강유전체 메모리의 동작에서는 강유전체 캐패시터의 양전극간에 가해지는 전압은 플레이트선 설정 전압과 데이터 신호선의 전압 진폭에 관계한다. 따라서 플레이트선 설정 전압 및 데이터 신호선의 전압 진폭은 강유전체에서 판독 출력되는 신호 전압을 센스 앰프가 정상으로 데이터를 센스 증폭할 수 있는 값이면 어떻게 설정해도 좋다. 예컨대, 플레이트선의 설정 전압을 전원 전압의 1/2로 데이터 신호선의 전압을 접지 전압과 전압 전압간으로 하는 방법이 있다. 전원 전압은 메모리 외부에서 공급되는 것이어도 좋으며 메모리 내부의 전압 발생 회로에서 발생된 전압이어도 좋다.

또, 상기 예에서는, 데이터 신호선의 프리차지 레벨을 접지 전압으로 하지만, 이 전압은, 플레이트선 설정 전압  $V_m$ 과 다른 전압으로 되면, 즉, 선택 신호(11a)를 하이 레벨로 할때에, 강유전체 캐패시터의 양전극간에 0이 아닌 전압이 걸리면, 어느 전압이라도 좋다.

제33도에 데이터 신호선 프리차지 밸런스 제어 회로(116a, b)의 구체적 회로를 도시한다. 데이터 신호선 프리차지용 트랜지스터(117, 118)는 제23도나 제27도와 마찬가지로 그것에 덧붙여서 데이터 신호선 밸런스용 트랜지스터(119)가 설치되어 있다. 데이터 신호선 쌍(12, /12)이 각각 전원 전압과 접지 전압으로 되어 있는 상태에서 트랜지스터(119)를 도통시키면 데이터 신호선 쌍(12, /12)은 거의 동등한 기생 용량값을 갖기 때문에 데이터 신호선 전압은 전압 전압의 1/2로 된다. 플레이트선 설정 전압이 전원 전압의 1/2인 경우에는 이같은 회로가 유효하다.

제31도에서는, IT/IC형의 메모리 셀을 사용하여 설명하지만, 플레이트 선을 구동시키지 않고 동작시키는 강유전체 메모리는, 메모리 셀의 형에 따르지 않는다. 상술한 2T/2C 형과 SRAM+ 강유전체 형에도 같은 동작이 가능하다.

[발명이 해결하려고 하는 과제]

그렇지만, 종래의 강유전체 메모리에서는, 메모리 셀에서 데이터를 판독하는 경우에, 다음에 기술하는 사항에 따른, 강유전체 캐패시터의 양 전극간에 충분한 전압이 걸리지 않는 문제점이 있었다.

제24도, 제28도 제30도에서 설명한 것 같이, 플레이트 선을 구동시켜 동작시키는 형(이하, 플레이트 구동 형이라 함)의 강유전체 메모리에 있어서, 메모리 셀로부터 데이터를 판독하는 때는, 비트선이 플로팅이다. 그러므로, 플레이트선을 로우 레벨에서 하이레벨로 구동시킨 때에, 메모리 셀의 강유전체 캐패시터를 매개로한 커플링에 따라 데이터 신호선 전압이 변동하고, 강유전체 캐패시터의 양전극간에 항전계(EC)에 상기 강유전체의 막 두께를 곱하여 전압으로 환산한 항 전압(VC)이상의 전압이 걸리지 않도록 해서, 강유전체의 분극 반전이 일어나지 않게 되는 경우가 일어난다.

이 경우를 제34도를 참고로 상세히 설명한다.

데이터 신호선의 기생 용량 값을 CD, 강유전체 캐패시터의 상유전체 성분의 용량 값을 CS로 한다. 선택 신호선(11)을, 메모리 셀 스위칭 트랜지스터(102)가 비도통, 즉 메모리 셀(101)이 선택되지 않은 상태에서 트랜지스터(102)가 도통한 전압  $V_{BOOT}$ 를 선택 신호선(11)에 인가한 상태로 한다. 그리고, 플레이트선(13)을 초기상태의 전압  $V_{PLO}$ 로부터 최종 상태의 전압  $V_{PL}$ 로 구동시킨 때, 데이터 신호선(12)의 초기 전압을  $V_{DLO}$ , 최종 전압을  $V_{DL}$ , 트랜지스터(102)와 강유전체 캐패시터(104)가 접속되고 있는 절점(23)의 초기 전압을  $V_{S0}$ , 최종 전압은 트랜지스터(102)가 도통 되고 있기 때문에  $V_{DL}$ 로 된다고 하면, 초기 상태의 제34도의 전전하  $Q_i$ 는

$$Q_i = CS \times (V_{S0} - V_{PLO}) + CD \times V_{DLO} \dots (1)$$

이고, 최종 상태의 계의 전전하  $Q_f$ 는

$$Q_f = CS \times (V_{DL} - V_{PL}) + CD \times V_{DL} \dots (2)$$

이며,  $Q_i = Q_f$  여야 한다는 조건에서 최종 상태에 있어서의 강유전체 캐패시터의 양 전극간에 가하는 전압의 절대값  $|V_{PL} - V_{DL}|$ 을 구하면

[식 1]

$$|V_{PL} - V_{DL}| = \left| \frac{CS \times (V_{PLO} - V_{S0}) + CD \times (V_{PL} - V_{DLO})}{CD + CS} \right| \dots (3)$$

이 된다. 한편 이  $|V_{PL} - V_{DL}|$ 은 강유전체 캐패시터의 항전압(coercive voltage) 보다 크게해야 되므로

$$|V_{PL} - V_{DL}| \geq VC \dots (4)$$

여기서, 데이터 신호선이 접지 전압 GND 프리차지, 즉  $V_{DLO} = 0$ 이고, 또한,  $V_{S0}, V_{PLO}$ 이 모두 GND 였다고 하면 (3), (4)식은 다음 같이 된다.

[식 2]

$$\left| \frac{CD \times V_{PL}}{CD + CS} \right| \geq VC \dots (5)$$

만약  $V_C=1.5V$ ,  $V_{PL}=3.3V$ 라 하면, (5)식은

$$CD \geq 0.833 \dots \times CS \dots (6)$$

로 된다.

(6)식은 데이터 신호선의 기생용량  $CD$ 에 하한이 있으며,  $CD$ 가 그 하한 값 이상이 아니면 강유전체 캐패시터의 양 전극간에  $V_C$  이상의 전압이 가해지지 않는다는 것을 나타내고 있다. 이같이 플레이트선을 구동함으로써 강유전체 캐패시터를 통한 커플링에 의해서 데이터 신호선의 전압이 변동하기 때문에 일반적으로 (3),(4)식에 나타낸 조건을 만족하지 않으면, 메모리셀에서 충분한 판독 출력 신호 전압이 얻어지지 않는다.

한편, 제32도에서 설명한 바와 같은 플레이트선을 구동시키지 않고 동작시키는 형(이하, 플레이트 비구동형이라 부른다)의 강유전체 메모리에 있어서도 메카니즘은 상기의 플레이트 구동형과 다르나 그 경우와 마찬가지로의 문제가 발생한다.

플레이트 비구동형의 강유전체 메모리에 있어서는 메모리셀에 액세스하고 있지 않는 상태에서는 기억 데이터를 파괴하지 않기 위해 강유전체 캐패시터의 양전극간에 가하는 전압을 0으로 해 둘 필요가 있다. 즉, 플레이트선을 중간 전압으로 설정하면, 강유전체 캐패시터의 양 극의 절점, 즉, 메모리셀 스위칭 트랜지스터와 강유전체 캐패시터를 접속한 절점도 마찬가지로 중간 전압으로 된다. 이 상태에서 메모리셀에서 데이터를 판독 출력하기 위해선 선택 신호선을 하이레벨로 올리면 우선, 데이터 신호선상에 강유전체 캐패시터와 메모리셀의 스위칭 트랜지스터와의 접속 절점에 저장되어 있는 전하가 데이터 신호선상에 출력되기 때문에 데이터 신호선 전압이 그 프리차지 레벨에서 변동한다. 이 때문에 강유전체 캐패시터의 양 전극간에 항전압  $V_C$  이상의 전압이 가해지지 않게 되며 강유전체의 분극 반전이 일어나지 않게 되는 경우도 일어날 수 있다.

제34도와 마찬가지로 제35도를 참고로 이 문제에 대해서 상세하게 설명한다. 제35도가 제34도와 상이한 점은 플레이트선(13)의 전압이 일정값  $V_{PLC}$ 라는 것이다.

여기에서 선택 신호선(11)을 메모리셀 스위칭 트랜지스터 (102)가 비도통, 즉 메모리셀(101)이 비선택으로 되어 있는 초기 상태에서, (102)가 도통하는 전압  $V_{BOOT}$ 를 선택 신호선(11)에 부여한 최종 상태로 이동하는 경우에 대해서 생각한다.

제34도와 동일한 기호를 사용하면, 초기 상태의 제35도의 시스템의 총전하량  $Q_i$ 는

$$Q_i = CS \times (V_{S0} - V_{PLC}) + CD \times V_{DL0} \dots (7)$$

최종 상태의 시스템의 총 전하량  $Q_f$ 는,

$$Q_f = CS \times (V_{DL} - V_{PLC}) + CD \times V_{DL} \dots (8)$$

이 된다.

$Q_i=Q_f$  여야 한다는 조건에서 최종 상태에 있어서의 강유전체 캐패시터의 양 전극간에 가해지는 전압의 절대값  $|V_{PLC} - V_{DL}|$ 을 구하면

[식 3]

$$|V_{PLC} - V_{DL}| = \left| \frac{CS \times (V_{PLC} - V_{S0}) + CD \times (V_{PLC} - V_{DL0})}{CD + CS} \right| \dots (9)$$

로 된다. 플레이트 구동형의 경우와 마찬가지로 이  $|V_{PLC} - V_{DL}|$ 는 강유전체 캐패시터의 항전압 보다 커야되므로

$$|V_{PLC} - V_{DL}| \geq V_C \dots (10)$$

로 표현할 수 있다. 여기서, 데이터 신호선을 접지 전압 GND 프리차지, 즉  $V_{DL0} = 0$ 이고, 또한  $V_{S0}$ ,  $V_{PLC}$  어느것도 전원 전압  $V_{CC}$  의 1/2 이었다고 하면 (10),(11)식은 다음과 같이 된다.

[식 4]

$$\frac{1}{2} \times \frac{CD \times V_{CC}}{CD + CS} \geq V_C \dots (11)$$

만약,  $V_C = 1.5V$ ,  $V_{CC}=3.3V$  라 하면 (11)식은

$$CD \geq 10 \times CS \dots (12)$$

가 된다.

(12)식도 (6)식과 같이, 데이터 신호의 기생용량 값  $CD$ 에 하한치가 있다는 것을 나타낸다. 이와 같이, 플

레이트선 비구동형의 강유전체 메모리에 있어서도, 일반적으로(9),(10)식에 나타낸 조건을 만족시키지 못하면, 메모리 셀로부터 충분히 판독된 신호 전압이 얻어지지 않는다.

이상은 데이터 신호선의 기생 용량값 CD 의 하한값에 대한 논의였다. 그런데, 메모리 셀에서 판독 출력되는 신호 전압을 데이터 신호선상에 출력하고 신호 전압으로 하는 판독 출력 방식의 경우에는 신호 전압 VSIG은, 예컨대, (1T/1C)형의 메모리 셀을 사용한 경우, 제26도에 있어서의 전하  $Q_0$  및  $Q_1$  또는 전하  $Q_r$ 를 이용하여,

[식 5]

$$VSIG = \frac{1}{2} \times \left| \frac{Q_1 - Q_0}{CD + CS} \right| = \frac{Q_r}{CD + CS} \dots (13)$$

로 된다. 인자(1/2)는 기준 레벨이 데이터 “0” 판독 출력시의 데이터 신호선의 전압과 데이터 “1” 판독 출력시의 데이터 신호선의 전압의 바로 중간의 전압으로 설정된 경우를 의미하고 있다. 기준 레벨이 그 중간의 값에서 어긋날 때는 인자가 1/2이 아니고 0보다 크고 1보다 작은 어느 값으로 된다.

VSIG는 센스앰프가 정상으로 데이터 증폭할 수 있는 최소 전압값 VSE 이상 이어야 한다.

$$VSIG \geq VSE \dots (14)$$

즉, (13), (14)식은 기생 용량값 CD가 어느 정도 이상으로 되면 VSIG가 과도하게 작아지고 센스앰프가 정상으로 데이터를 증폭할 수 있는 최소 전압값 이하가 되어 동작 불가능하게 됨을 의미하고 있다. 이로부터 기생 용량값 CD에는 상한값도 있다는 것을 알 수 있다.

이상을 종합해보면, 일반적으로 강유전체 메모리에 있어서, 기생 용량값 CD와 용량값 CS 사이에는 제36도에 도시된 바와 같은 관계가 있다. 제36도에서 일정 쇄선은 플레이트 구동형 유전체 메모리에 있어서의 기생 용량값 CD의 하한값을, 점선은 플레이트 비구동형 강유전체 메모리에 있어서의 기생 용량값 CD의 하한값을 각각 나타내며 또한, 실선은 센스앰프가 정상으로 데이터 증폭가능으로 되는 신호 전압을 메모리 셀에서 얻기 위해서 필요한 기생 용량값 CD 상한값을 나타내고 있다. 해칭이 가해진 부분이 플레이트 구동형 및 비구동형 각각의 동작 모드에 있어서의 동작 가능 범위로 된다.

이상, 말한바와 같이 강유전체 메모리에 있어서, 메모리 셀에서 데이터를 판독할때 그 동작 방식에 의해서 메카니즘의 차이는 있다고 해도 데이터 신호선의 전압 변동이 일어나기 때문에 어떤 조건하에서는 강유전체 캐패시터의 양전극 간에 분극이 반전하는 전압인 항전압이 가해지지 않으며 정상 데이터 판독 동작이 행해지지 않는다는 문제점이 있었다.

본 발명의 목적은 상기 문제점을 해결하고 안정된 동작이 가능한 강유전체 메모리 및 그 동작 제어 방법을 제공하는데 있다.

[과제를 해결하기 위한 수단]

본 발명의 강유전체 메모리는 강유전체 재료를 사용한 강유전체 캐패시터, 데이터의 입출력을 행하는 데이터 신호선, 어드레스 신호에 대응해서 선택되는 선택 신호선, 상기 강유전체 캐패시터와 상기 데이터 신호선 간에 설치되며 또한, 상기 선택 신호선에 의한 선택 제어되는 스위치 수단으로 이루어지며 상기 강유전체의 분극 상태를 기억 데이터를 대응시키고 상기 강유전체 캐패시터의 양전극간에 0이 아닌 제1의 전압을 가했을때, 상기 강유전체 캐패시터와 상기 데이터 신호선간에 흐르는 전류가 상기 강유전체 캐패시터의 분극의 상태에 의해서 상이하게 된다는 것을 이용하여 상기 전류의 상기 기억 데이터에 의한 차이를 검지하거나, 또는 상기 전류의 차이에 따라 상기 데이터 신호선 상에 나타나는 전압의 차이를 검지하여 기억된 데이터의 판독을 행하는 메모리 셀, 상기 복수의 메모리 셀이 접속된 상기 데이터 신호선을 상기 기억되었던 데이터에 의한 전류의 차이를 검지하는 회로인 전류형 센스앰프 또는 상기 전압의 차이를 검지하는 회로인 전압형 센스앰프에 입력한 단위 메모리 셀 어레이, 상기 단위 메모리 셀 어레이를 복수 배열한 메모리 셀 어레이를 가지며, 상기 신호 선택선을 상기 메모리 셀이 선택 상태로 되는 제2의 전압으로 설정하고 상기 메모리 셀에서 데이터를 데이터 신호선상에 판독할때 상기 강유전체 캐패시터의 분극에 의한 전류이외의 요인에 의해서 상기 데이터 신호선에 대해서 흘러들어가는 전하를 흡수하는 수단을 구비하고, 상기 강유전체 캐패시터의 양전극간에 상기 강유전체 캐패시터의 항전계이상의 전계를 가하는 것을 특징으로 한다.

또한, 본 발명은 상기 강유전체 메모리의 동작 제어 방법에 있어서, 상기 강유전체 캐패시터에 기억되어 있는 데이터를 판독할 때 데이터 신호선의 전압을 제3의 전압으로 설정하고 플레이트선의 전압을 데이터 판독 동작전의 전압인 제4의 전압에서 제3의 전압과 상이한 제5의 전압으로 구동하고 선택 신호선의 전압을 메모리 셀이 선택 상태로 되는 제2의 전압으로 설정하고 강유전체 캐패시터의 제1 및 제2의 단자간에 전압차를 발생시키므로써 상기 데이터 신호선상에 상기 메모리셀이 기억하고 있는 데이터에 대응하는 신호를 출력시키는 것을 특징으로 한다.

또한, 본 발명은 상기 강유전체 메모리의 동작 제어 방법에 있어서, 상기 메모리 셀에 기억되고 있는 데이터를 판독할때 데이터 신호선의 전압을 제3의 전압으로 설정하고 플레이트선의 전압을 일정 전압이자 제3의 전압과 상이한 제6의 전압으로 설정하고 선택 신호선의 전압을 상기 메모리 셀이 선택 상태로 되는 제2의 전압으로 설정하고 강유전체 캐패시터의 제1 및 제2의 단자간에 전압차를 발생시키므로써 상기 데이터 신호선상에 상기 메모리 셀이 기억하고 있는 데이터에 대응하는 신호를 출력시키는 것을 특징으로 한다.

[작용]

본 발명에서는 메모리 셀에서 데이터를 판독할 때, 데이터 신호선의 전압 변동을 억제하고 강유전체 캐패

시터의 양전극간에 확실하게 항전압 이상의 전압을 가하는 수단을 구비함으로써 강유전체 메모리를 안정하게 동작시키는 것을 특징으로 한다.

[실시예]

본 발명의 실시예에 대해서 도면을 참고로 설명한다.

제1도에 본 발명의 제1의 실시예를 도시한다. 이 실시예는 예컨대 제31도에 도시된 강유전체 메모리의 데이터 신호선에 데이터 신호선 전압 변동 억제 수단 제어 신호선(24)에서 제어되는 전압 변동 억제 수단(120a 내지 120d)을 구비한 것이다. 메모리 셀(101a 내지 101f)에서 데이터를 판독할 때의 데이터 신호선(12a), (/12a), (12b), (/12b)의 전압 변동을 억제하는 수단으로서, 메모리 셀로부터 나오는 강유전체의 분극 반전에 의한 전하 이외의 노이즈 분의 전하를 흡수하는 수단이 전압 변동 억제 수단(120a 내지 120d)에 상당한다.

제2도에 제27도 및 제28도에 도시한 플레이트 구동형 강유전체 메모리의 데이터 신호선(12a, 12b, /12a, /12b)에 노이즈 흡수 수단(125a 내지 125d), 구체적으로는 데이터 신호선 전압 변동 억제 회로 제어 신호선(28a, 28b)을 한쪽의 단자에 접속한 캐패시터를 접속한 본 발명의 제2의 실시예를 나타낸다. 그 동작 타이밍도를 제3도에 도시한다. 신호선(28a, 28b)은 대기시엔 하이 레벨로 되어 있으며, 선택 신호선(11a, 13a)을 상승하기전 내지는 동시에 로우 레벨로 하강하고 메모리 셀에서 출력되는 노이즈에 대해서 역커플링시키므로써 노이즈를 흡수하고 있다. 상기 캐패시터의 치수의 조절, 또는 신호선(28a, 28b)의 로우 레벨과 하이레벨의 전압값의 조절에 의해서 흡수되는 노이즈 전하량을 바꿀 수 있고, 메모리 셀에서의 노이즈의 크기에 대응해서 그것들을 적당한 값으로 설정할 수도 있다. 신호선(28a)의 상승 타이밍은 센스 앰프의 활성화중(도면중 실선으로 도시)으로부터, 판독 동작 사이클링의 종료시(도면중, 일정 쇄선으로 도시)까지의 언체라도 좋다. 여기서는 메모리 셀(101a)이 선택되던 경우에 대한 동작이 나타나있는데 메모리 셀(101b, 101e) 등이 선택된 경우에는 신호선(28a, 28b)의 동작이 역으로 된다.

이 실시예에 있어서 상기 캐패시터로서 메모리 셀에 사용되는 강유전체 캐패시터를 이용하는 것도 가능하며 또, 경우에 따라서 캐패시터를 복수개 사용하는 것도 가능하다.

제4도 및 제5도는 제31도 및 제32도에 도시한 플레이트 비구동형 강유전체 메모리에 제2도의 데이터 신호선 전압 변동 억제 회로(125a 내지 125d)를 적용한 본 발명이 제3의 실시예의 회로 및 동작 타이밍도이다. 데이터 신호선 전압 변동 억제 회로 제어 신호선(28a, 28b)의 제어 방법은 제3도와 같다.

제2도 또는 제4도의 노이즈 흡수 수단(125a-125d)으로서 제6도에 도시하는 트랜지스터와 캐패시터로 이루어진 회로를 사용하는 것도 가능하다. 제6도의 회로를 제4도의 플레이트 비구동형 강유전체 메모리에 적용한 본 발명의 제4의 실시예의 동작 타이밍 차트 예를 제7도에 도시한다. 제어 신호선(28a)의 제어 방식은 제3도, 제5도와 같다. 또한 상기 트랜지스터의 게이트 단자에 데이터 신호선 전압 변동 억제 회로 게이트 제어 신호선(29)을 접속하고, 이 제어신호선(29)에 의해서 캐패시터와 데이터 신호선을 접속/분리하는 동작이 추가된다.

도면중, 신호선(28a) 및 (29)의 실선과 일정 쇄선은 각 신호선의 상승 및 하강이 실선과 일정 쇄선 간의 타이밍에 있으면 충분하다는 것을 나타내고 있다.

제6도의 캐패시터로서 강유전체 캐패시터를 사용하는 것도 가능하다. 또, 노이즈 흡수 수단(125)으로서 1개 또는 복수의 메모리 셀을 사용하는 것이 가능하다.

본 발명에 있어서 노이즈 흡수 수단(125)의 동작은 메모리 셀에서 데이터를 판독 출력할 때 필요한 것이며 데이터 기록시에는 특히 필요치 않다. 따라서, 기록 동작을 행할 경우에는 본 발명의 제5의 실시예인 제8도에 도시하듯이 제어 신호(29)를 로우 레벨로 한채 노이즈 흡수 수단(125)을 비활성으로 해도어도 좋다.

이 경우, 도면의(2)의 기간에서 데이터의 판독 출력 동작이 행해지고 있으며, 이때의 판독 출력 데이터는 정상치 아닐 가능성이 있는데, 그 판독 출력 데이터는 사용되지 않으며, 그 메모리 셀에 대해서는 그 후의 데이터를 기록하므로 지장이 없다. 또한, 본 발명의 제6의 실시예인 제9도에 도시하듯이, 동작 사이클의 최초에 데이터 신호선(12a, /12a)에 기록 데이터에 대응하는 전압을 설정해 둘 수도 있다.

제10도는 제6도의 트랜지스터와 캐패시터와의 접속 절점의 전압을, 데이터 신호선 전압 변동 억제 회로 프리 차지 제어 신호선(30)을 게이트에 접속한 트랜지스터에 의해서 데이터 신호선 전압 변동 억제 회로 프리차지 전원선(31)의 전압으로 프리세트 가능한 형식의 회로이다. 이것에 의해 접속절점의 전압을 대기시로 설정해둘 수 있고, 흡수가능한 노이즈 전압의 가변성이 증가하게 된다. 제11도는 제10도의 회로를 사용한 본 발명의 제7의 실시예의 동작 타이밍도이다. 제7도의 경우에 덧붙여서 신호선(30)의 제어 동작이 추가되어 있다.

제2도, 제5도, 제6도, 제10도에서 사용한 캐패시터 대신에 다이오드 소자를 사용해도 좋다. 제12(a), 제12(b)도에 상기 노이즈 흡수 수단(125)으로서 다이오드를 사용하는 본 발명의 제8의 실시예의 회로를 도시한다.

또한, 일반적으로는 제13도에 도시하듯이 데이터 신호선(12a, 12b, /12a, /12b)에 데이터 신호선 전압 변동 제어 회로 게이트 제어 신호선(29a, 29b)으로 제어되는 정전압원 내지는 정전류원선(32a, 32b)을 접속하고, 상기 노이즈를 흡수하는 본 발명의 제9의 실시예의 방법이 있다. 그 동작 타이밍도를 제14도에 도시한다. 제7도에 신호선(29)등과 마찬가지로 정전압원 또는 정전류원(126a 내지 126d)을 신호선(29a, 29b)으로 제어한다.

또한, 본 발명의 제10의 실시예로서 제15도에 도시하듯이, 제13도의 회로를 사용하고 정전압원 또는 정전류원(126a 내지 126d)이 활성화되어 있는 시간을 제어 신호선(29a)의 하이 레벨의 기간  $\Delta t$ 에서 조절하므로써, 바로 데이터 신호선에 출력된 노이즈 전하를 흡수하도록 설정할 수 있다.

제16도엔 SRAM+ 강유전체형 메모리 셀에 대해서 본 발명을 적용한 제11의 실시예를 도시한다. 메모리 셀 내의 절점(12, /12)에 제6도와 마찬가지로 트랜지스터(122a, 122b)와 캐패시터(123a, 123b)로 되는 노이즈

흡수 수단(121)을 접속한 예이다. 노이즈 흡수 수단(121)은 본 발명의 제12의 실시예에 있어서 제17도에 도시한 단자에 접속할 수도 있다.

제16도 및 제17도의 회로의 동작 타이밍도 예를 제18도에 도시한다.

제29도 및 제30도에 설명한 종래의 SRAM+ 강유전체형 메모리 셀의 동작에 노이즈 흡수 수단(121)의 제어 신호 단자(25), (26)의 동작이 추가된다. 이 (25, 26)의 동작 타이밍은 제7도와 같다.

노이즈 흡수 수단(121)을 각 메모리 셀마다 접속하지 않고 본 발명의 제13의 실시예인 제19도에 도시하듯이 SRAM 으로서의 데이터 신호선(19, /19)에 접속하는 것도 가능하다. 이같이 하므로서 면적을 줄일수 있다. 그 동작 타이밍도를 제20도에 도시한다. 강유전체 캐패시터(104, 105)에서 플립플롭(109)에 데이터를 판독 출력할때, SRAM부에 대한 선택 신호선(18)을 하이 레벨로 상승시키고, 또한 데이터 신호선 용량값 조절 회로 제어 신호선(25), 데이터 신호선 용량값 조절 회로 내부 캐패시터 단자선(26)을 지금까지 설명한 바와 같은 동작을 하도록 하므로서 노이즈를 흡수할 수 있다.

이상, 설명한 본 발명의 실시예에서는 메모리 셀로서 주로 1T/1C 형과 SRAM+ 강유전체형을 예로 들어서 설명했는데, 본 발명의 적용은 그것들의 메모리 셀에 한정되는 것은 아니다. 데이터 판독 출력시에 강유전체 캐패시터의 양전극간에 전압을 가할때, 강유전체 캐패시터의 양전극에 접속되는 절점의 전압 변동이 문제가 되는 동작방식을 취하는 강유전체 메모리 모두에 본 발명은 상기의 실시예와 마찬가지로 해서 적용 가능하다. 또, 전술한 각각의 실시예들을 조합해서 본 발명의 메모리를 실현하는 것도 가능하다.

#### [발명의 효과]

본 발명의 강유전체 메모리를 이용하므로서 데이터 판독 출력시의 데이터 신호선의 전압 변동에 의해서 강유전체 캐패시터의 양전극간에 항전압 이상의 전압이 가해지지 않은 채, 충분한 판독 출력 신호 전압을 얻을 수 없다는 사태를 회피할 수 있고 안정된 강유전체 메모리 동작을 행할 수 있다.

### (57) 청구의 범위

#### 청구항 1

강유전체 메모리에 있어서, 데이터를 입출력하는 복수의 데이터 신호선 쌍과, 어드레스 신호에 따라서 선택된 복수의 선택 신호선과, 상기 복수의 데이터 신호선 쌍들 중 대응하는 한 쌍의 데이터 신호선을 따라서 각각 배열되어 있는 복수의 단위 메모리 셀 어레이를 포함하고, 상기 단위 메모리 셀 어레이는 각각 마주보는 한 쌍의 전극 사이에 삽입되어 있는 강유전체 재료로 이루어진 캐패시터 유전체와, 상기 강유전체 캐패시터와 상기 대응하는 데이터 신호선 쌍의 한 신호선 사이에 접속되어 있으며 상기 선택 신호선들 중 대응하는 하나의 선택 신호선에 의해 제어되는 스위칭 수단을 각각 포함하며, 따라서 상기 강유전체 캐패시터의 상이한 분극 상태들이 기억된 데이터의 상이한 상태들에 각각 대응하고, 0이 아닌 제1전압이 상기 강유전체 캐패시터의 마주보는 전극들 사이에 인가될 때, 상기 강유전체 캐패시터와 상기 대응하는 데이터 신호선 사이를 흐르는 전류가 상기 강유전체 캐패시터의 분극 상태에 따라서 상이하므로, 상기 기억된 데이터를 판독하기 위해 상기 전류가 검출되거나 또는 상기 전류로 인해 상기 대응하는 데이터 신호선 쌍에 나타나는 전압이 검출되는 복수의 메모리 셀과, 상기 대응하는 한 쌍의 데이터 신호선에 접속되어, 상기 대응하는 데이터 신호선 쌍 사이에 나타나는 전류 또는 전압차를 검출하는 수단과, 하나 이상의 상기 대응하는 데이터 신호선 쌍에 접속되어 있으며, 상기 선택 신호선을 상기 메모리 셀이 선택된 상태로 되는 전압으로 설정함으로써 데이터가 메모리 셀로부터 판독될 때, 상기 강유전체 캐패시터의 분극에 의한 전류 이외의 요인 때문에 상기 하나 이상의 대응하는 데이터 신호선 쌍으로 흐르는 전하를 흡수하여, 상기 강유전체 캐패시터의 항전압(coercive voltage) 이상의 전압이 상기 강유전체 캐패시터의 마주보는 전극들 사이에 인가될 수 있는 수단을 포함하는 강유전체 메모리.

#### 청구항 2

제1항에 있어서, 상기 메모리 셀은 1개 이상의 강유전체 캐패시터와 1개 이상의 트랜지스터를 포함하는 강유전체 메모리.

#### 청구항 3

제1항에 있어서, 상기 메모리 셀은 1개 이상의 강유전체 캐패시터와 1개 이상의 트랜지스터를 포함하며, 상기 1개 이상의 강유전체 캐패시터의 마주보는 제1 및 제2의 전극은 상기 1개 이상의 트랜지스터의 소스 단자 및 플레이트선에 접속되고, 상기 1개 이상의 트랜지스터의 드레인 단자는 상기 대응하는 데이터 신호선 쌍 중 하나의 데이터 신호선에 접속되고, 상기 1개 이상의 트랜지스터의 게이트 단자는 상기 선택 신호선들 중 상기 대응하는 하나의 선택 신호선에 접속되는 강유전체 메모리.

#### 청구항 4

제1항에 있어서, 상기 메모리 셀은 제1 및 제2강유전체 캐패시터와 제1 및 제2트랜지스터를 포함하고, 상기 제1 강유전체 캐패시터의 제1 및 제2의 마주보는 전극은 상기 제1 트랜지스터의 소스 및 플레이트선에 접속되고, 상기 제1트랜지스터의 드레인은 상기 대응하는 데이터 신호선 쌍 중 하나의 데이터 신호선에 접속되고, 상기 제1 트랜지스터의 게이트는 상기 선택 신호선들 중 상기 대응하는 하나의 선택 신호선에 접속되고, 상기 제2 강유전체 캐패시터의 마주보는 제1 및 제2전극은 상기 제2 트랜지스터의 소스 및 상기 플레이트선에 접속되고, 상기 제2트랜지스터의 드레인은 상기 대응하는 데이터 신호선 쌍 중 다른 데이터 신호선에 접속되고, 상기 제2트랜지스터의 게이트는 상기 선택 신호선들중 상기 대응하는 하나의 선택 신호선에 접속되는 강유전체 메모리.

#### 청구항 5

제1항에 있어서, 상기 메모리 셀은 1개의 강유전체 캐패시터와 제1및 제2트랜지스터를 포함하고, 상기 강유전체 캐패시터의 마주보는 제1 및 제2전극은 상기 제1트랜지스터의 소스 및 상기 제2트랜지스터의 소스

에 각각 접속되고, 상기 제1트랜지스터의 드레인은 상기 대응하는 데이터 신호선 쌍 중 상기 하나의 데이터 신호선에 접속되고 상기 제1트랜지스터의 게이트는 상기 선택 신호선들 중 상기 대응하는 하나의 선택 신호선에 접속되고, 상기 제2트랜지스터의 드레인은 상기 대응하는 데이터 신호선 쌍 중 다른 데이터 신호선에 접속되고, 상기 제2트랜지스터의 게이트는 상기 선택 신호선들 중 상기 대응하는 하나의 선택 신호선에 접속되는 공유전체 메모리.

#### 청구항 6

제1항에 있어서, 상기 메모리 셀은 플립플롭 및 하나 이상의 공유전체 캐패시터를 포함하고, 상기 플립플롭은 복수의 트랜지스터 또는 복수의 트랜지스터와 수도 회로 소자들의 조합으로 구성되는 공유전체 메모리.

#### 청구항 7

제1항에 있어서, 상기 메모리 셀은 플립플롭 및 제1 및 제2공유전체 캐패시터를 포함하고, 상기 플립플롭은 복수의 트랜지스터 또는 복수의 트랜지스터 및 수동 회로 소자들의 조합으로 구성되고, 상기 플립플롭의 두 개의 데이터 신호 단자는 각각 제1 및 제2트랜스퍼 게이트를 통하여 센스 증폭기에 연결되는 한쌍의 신호선에 접속되고, 상기 플립플롭의 데이터 신호 단자들은 각각 제3 및 제4트랜스퍼 게이트를 통하여 상기 제1 및 제2공유전체 캐패시터의 제1전극에 접속되고, 상기 제1 및 제2 전송 게이트의 제어 단자는 상기 선택 신호선들 중 상기 대응하는 하나의 선택 신호선에 접속되고, 상기 제3 및 제4트랜스퍼 게이트의 제어 단자는 제어 신호선에 접속되고, 상기 제1 및 제2 공유전체 캐패시터의 제2전극은 플레이트선에 접속되는 공유전체 메모리.

#### 청구항 8

데이터를 임출력하는 복수의 데이터 신호선 쌍과, 어드레스 신호에 따라서 선택된 복수의 선택 신호선과, 상기 복수의 데이터 신호선 쌍들 중 대응하는 한쌍의 데이터 신호선을 따라서 각각 배열되어 있는 복수의 단위 메모리 셀 어레이를 포함하고, 상기 단위 메모리 셀 어레이는 각각 마주보는 한 쌍의 전극 사이에 삽입되어 있는 공유전체 재료로 이루어진 캐패시터 유전체와, 상기 공유전체 캐패시터와 상기 대응하는 데이터 신호선 쌍의 한 신호선 사이에 접속되어 있으며 상기 선택 신호선들 중 대응하는 하나의 선택 신호선에 의해 제어되는 스위칭 수단을 각각 포함하며, 따라서 상기 공유전체 캐패시터의 상이한 분극 상태들이 기억된 데이터의 상이한 상태들에 각각 대응하고, 0이 아닌 제1 전압이 상기 공유전체 캐패시터의 마주보는 전극들 사이에 인가될 때, 상기 공유전체 캐패시터와 상기 대응하는 데이터 신호선 사이를 흐르는 전류가 상기 공유전체 캐패시터의 분극 상태에 따라서 상이하므로, 상기 기억된 데이터를 판독하기 위해 상기 전류가 검출되거나 또는 상기 전류로 인해 상기 대응하는 데이터 신호선 쌍에 나타나는 전압이 검출되는 복수의 메모리 셀과, 상기 대응하는 한 쌍의 데이터 신호선에 접속되어, 상기 대응하는 데이터 신호선 쌍 사이에 나타나는 전류 또는 전압차를 검출하는 수단과, 하나 이상의 상기 대응하는 데이터 신호선 쌍에 접속되어 있으며, 상기 선택 신호선을 상기 메모리 셀이 선택된 상태로 되는 전압으로 설정함으로써 데이터가 메모리 셀로부터 판독될 때, 상기 공유전체 캐패시터의 분극에 의한 전류 이외의 요인 때문에 상기 하나 이상의 대응하는 데이터 신호선 쌍으로 흐르는 전하를 흡수하여, 상기 공유전체 캐패시터의 항전압 이상의 전압이 상기 공유전체 캐패시터의 마주보는 전극들 사이에 인가될 수 있도록 하는 수단을 포함하는 공유전체 메모리의 동작 제어 방법에 있어서, 판독될 상기 메모리 셀에 접속된 상기 대응하는 데이터 신호선을 제2 전압으로 설정하고, 판독될 상기 메모리 셀에 접속된 플레이트선을 상기 제2전압과 상이하며 상기 데이터 판독 동작 전의 제4전압과도 상이한 제3전압으로 설정하고, 판독될 상기 메모리 셀에 접속된 상기 선택 신호선을 판독될 상기 메모리 셀을 선택하기 위한 제5전압으로 설정함으로써, 상기 공유전체 캐패시터의 마주보는 전극 사이에 전압차가 발생하도록 하여 판독될 상기 메모리 셀에 기억된 데이터에 대응하는 신호가 상기 대응 데이터 신호선으로 출력되어, 판독될 상기 메모리 셀로부터 데이터 판독을 행하는 공유전체 메모리의 동작 제어 방법.

#### 청구항 9

제8항에 있어서, 캐패시터의 한 단자가 상기 데이터 신호선에 접속되고, 상기 캐패시터의 다른 단부가 제어 신호선에 접속되어, 상기 메모리 셀로부터 데이터가 판독되는 경우, 상기 제어 신호선은 상기 데이터 신호선 상의 전압 변동을 억제하도록 구동되어, 따라서 상기 항전압 이상의 전압이 상기 공유전체 캐패시터의 마주보는 전극 사이에 인가될 수 있는 공유전체 메모리의 동작 제어 방법.

#### 청구항 10

제9항에 있어서, 상기 제어 신호선은 상기 플레이트선의 전압 방향과 반대의 전압 방향으로 구동되는 공유전체 메모리의 동작 제어 방법.

#### 청구항 11

제9항에 있어서, 상기 제어 신호선은 상기 제4전압으로부터 상기 제3전압으로 구동되는 공유전체 메모리의 동작제어 방법.

#### 청구항 12

제9항에 있어서, 상기 캐패시터는 하나 이상의 공유전체 캐패시터로 구성되는 공유전체 메모리의 동작 제어 방법.

#### 청구항 13

제8항에 있어서, 상기 데이터 신호선은 제1 제어 신호에 의해 제어된 제1스위치 수단을 통하여 캐패시터의 한 단자에 접속되고, 상기 캐패시터의 다른 단자는 제2제어 신호를 수신하도록 접속되고, 데이터가 상기 메모리 셀로부터 판독되는 경우, 상기 스위치 수단은 상기 제1제어 신호에 의해 닫히고 상기 제2제어 신호는 상기 데이터 신호선 상의 전압 변동을 억제하도록 구동되어, 상기 항전압 이상의 전압이 상기 강

유전체 캐패시터의 마주보는 전극 사이에 인가될 수 있는 강유전체 메모리의 동작 제어 방법.

#### 청구항 14

제13항에 있어서, 상기 제어 신호선은 상기 플레이트선의 전압 방향과 반대방향으로 구동되는 강유전체 메모리의 동작 제어 방법.

#### 청구항 15

제13항에 있어서, 상기 제어 신호선은 상기 제4전압으로부터 상기 제3전압으로 구동되는 강유전체 메모리의 동작 제어 방법.

#### 청구항 16

제13항에 있어서, 상기 캐패시터는 하나 이상의 강유전체 캐패시터로 구성되는 강유전체 메모리의 동작 제어 방법.

#### 청구항 17

제13항에 있어서, 상기 캐패시터 및 상기 제1스위치 수단의 조합은 하나 이상의 메모리 셀로 구성되는 강유전체 메모리의 동작 제어 방법.

#### 청구항 18

제8항에 있어서, 상기 데이터 신호선은 제1 제어 신호에 의해 제어된 제1 스위치 수단을 통하여 캐패시터의 한 단자에 접속되고, 상기 캐패시터의 다른 단자는 고정된 전압에 접속되고, 데이터가 상기 메모리 셀로부터 판독되는 경우, 상기 스위치 수단은 상기 제1제어 신호에 의해 닫히며, 상기 데이터 신호선으로부터 상기 캐패시터와 상기 스위치 수단 사이의 접속 노드로부터 상기 데이터 신호선으로 전류가 흘러 상기 캐패시터와 상기 스위치 수단 사이의 접속 노드로부터 상기 데이터 신호선으로 전류가 흘러 상기 데이터 신호선 상의 전압 변동을 억제하고, 상기 항전압 이상의 전압이 상기 강유전체 캐패시터의 마주보는 전극 사이에 인가될 수 있는 강유전체 메모리의 동작 제어 방법.

#### 청구항 19

제18항에 있어서, 상기 캐패시터는 하나 이상의 강유전체 캐패시터로 구성되는 강유전체 메모리의 동작 제어 방법.

#### 청구항 20

제18항에 있어서, 상기 캐패시터와 상기 제1스위치 수단의 조합은 하나 이상의 메모리 셀로 구성되는 강유전체 메모리의 동작 제어 방법.

#### 청구항 21

제8항에 있어서, 상기 데이터 신호선은 제1제어 신호에 의해 제어된 스위치 수단을 통하여 정전류원 또는 정전압원에 접속되고, 데이터가 상기 메모리 셀로부터 판독되는 경우에, 상기 스위치 수단은 상기 데이터 신호선 상의 전압 변동을 억제하도록 상기 제1제어 신호에 의해 닫히며, 따라서 상기 항전압 이상의 전압이 상기 강유전체 캐패시터의 마주보는 전극 사이에 인가될 수 있는 강유전체 메모리의 동작 제어 방법.

#### 청구항 22

데이터를 입출력하는 복수의 데이터 신호선 쌍과, 어드레스 신호에 따라서 선택된 복수의 선택 신호선과, 상기 복수의 데이터 신호선 쌍들 중 대응하는 한쌍의 데이터 신호선을 따라서 배열되어 있는 복수의 단위 메모리 셀 어레이를 포함하고, 상기 단위 메모리 셀 어레이는 각각 마주보는 한 쌍의 전극 사이에 삽입되어 있는 강유전체 재료로 이루어진 캐패시터 유전체와, 상기 강유전체 캐패시터와 상기 대응하는 데이터 신호선 쌍의 한 신호선 사이에 접속되어 있으며 상기 선택 신호선들 중 대응하는 하나의 선택 신호선에 의해 제어되는 스위칭 수단을 각각 포함하며, 따라서 상기 강유전체 캐패시터의 상이한 분극 상태들이 기억된 데이터의 상이한 상태들에 각각 대응하고, 0이 아닌 제1전압이 상기 강유전체 캐패시터의 마주보는 전극들 사이에 인가될 때, 상기 강유전체 캐패시터와 상기 대응하는 데이터 신호선 사이를 흐르는 전류가 상기 강유전체 캐패시터의 분극 상태에 따라서 상이하므로, 상기 기억된 데이터를 판독하기 위해 상기 전류가 검출되거나 또는 상기 전류로 인해 상기 대응하는 데이터 신호선 쌍에 나타나는 전압이 검출되는 복수의 메모리 셀과, 상기 대응하는 한 쌍의 데이터 신호선에 접속되어, 상기 대응하는 데이터 신호선 쌍 사이에 나타나는 전류 또는 전압차를 검출하는 수단과, 하나 이상의 상기 대응하는 데이터 신호선 쌍에 접속되어 있으며, 상기 선택 신호선을 상기 메모리 셀이 선택된 상태로 되는 전압으로 설정함으로써 데이터가 메모리 셀로부터 판독될 때, 상기 강유전체 캐패시터의 분극에 의한 전류 이외의 요인 때문에 상기 하나 이상의 대응하는 데이터 신호선 쌍으로 흐르는 전하를 흡수하여, 상기 강유전체 캐패시터의 항전압 이상의 전압이 상기 강유전체 캐패시터의 마주보는 전극들 사이에 인가될 수 있도록 하는 수단을 포함하는 강유전체 메모리의 동작 제어 방법에 있어서, 판독될 상기 메모리 셀에 접속된 상기 대응하는 데이터 신호선을 제2전압으로 설정하고, 판독될 상기 메모리 셀에 접속된 플레이트선을 상기 제2전압과 상이한 고정된 전압인 제3전압으로 설정하고, 판독될 상기 메모리 셀에 접속된 상기 선택 신호선을 판독될 상기 메모리 셀을 선택하기 위한 제4전압으로 설정함으로써, 상기 강유전체 캐패시터의 마주보는 전극 사이에 전압차가 발생하도록 하여 판독될 상기 메모리 셀에 기억된 데이터에 대응하는 신호가 상기 대응 데이터 신호선으로 출력되어, 판독될 상기 메모리 셀로부터의 데이터 판독을 행하는 강유전체 메모리의 동작 제어 방법.

#### 청구항 23

제22항에 있어서, 캐패시터의 한 단자는 상기 데이터 신호선에 접속되고, 상기 캐패시터의 다른 단자는

제어 신호선에 접속되어, 데이터가 상기 메모리 셀로부터 판독될 때, 상기 제어 신호선이 상기 데이터 신호선 상의 전압 변동을 억제하도록 구동되어, 항전압 이상의 전압이 상기 강유전체 캐패시터의 마주보는 전극 사이에 인가될 수 있는 강유전체 메모리의 동작 제어 방법.

#### 청구항 24

제23항에 있어서, 상기 제어 신호는 상기 플레이트선의 전압 방향과 반대의 전압 방향으로 구동되는 강유전체 메모리의 동작 제어 방법.

#### 청구항 25

제23항에 있어서, 상기 제어 신호선은 상기 제4전압으로부터 상기 제3전압으로 구동되는 강유전체 메모리의 동작 제어 방법.

#### 청구항 26

제23항에 있어서, 상기 캐패시터는 하나 이상의 강유전체 캐패시터로 구성되는 강유전체 메모리의 동작 제어 방법.

#### 청구항 27

제22항에 있어서, 상기 데이터 신호선은 제1 제어 신호에 의해 제어된 제1 스위치 수단을 통하여 캐패시터의 한 단자에 접속되고, 상기 캐패시터의 다른 단자는 제2 제어 신호를 수신하도록 접속되고, 데이터가 상기 메모리 셀로부터 판독되는 경우, 상기 스위치 수단은 상기 제1 제어 신호에 의해 닫히고 상기 제2 제어 신호는 상기 데이터 신호선 상의 전압 변동을 억제하도록 구동되어, 상기 항 전압 이상의 전압이 상기 강유전체 캐패시터의 마주보는 전극 사이에 인가될 수 있는 강유전체 메모리의 동작 제어 방법.

#### 청구항 28

제27항에 있어서, 상기 제어 신호선은 상기 플레이트선의 전압 방향과 반대 방향으로 구동되는 강유전체 메모리의 동작 제어 방법.

#### 청구항 29

제30항에 있어서, 상기 제어 신호선은 상기 제4전압으로부터 상기 제3전압으로 구동되는 강유전체 메모리의 동작 제어 방법.

#### 청구항 30

제29항에 있어서, 상기 캐패시터는 하나 이상의 강유전체 캐패시터로 구성되는 강유전체 메모리의 동작 제어 방법.

#### 청구항 31

제29항에 있어서, 상기 캐패시터 및 상기 제1 스위치 수단의 조합은 하나 이상의 메모리 셀로 구성되는 강유전체 메모리의 동작 제어 방법.

#### 청구항 32

제22항에 있어서, 상기 데이터 신호선은 제1 제어 신호에 의해 제어된 제1 스위치 수단을 통하여 캐패시터의 한 단자에 접속되고, 상기 캐패시터의 다른 단자는 고정된 전압에 접속되고, 데이터가 상기 메모리 셀로부터 판독되는 경우, 상기 스위치 수단은 상기 제1 제어 신호에 의해 닫히며, 상기 데이터 신호선으로부터 상기 캐패시터와 상기 스위치 수단 사이의 접속 노드가 전류가 흐르거나 또는 상기 캐패시터와 상기 스위치 수단 사이의 상기 접속 노드로부터 상기 데이터 신호선으로 전류가 흘러 상기 데이터 신호선상의 전압 변동을 억제하고, 상기 항전압 이상의 전압이 상기 강유전체 캐패시터의 마주보는 전극 사이에 인가될 수 있는 강유전체 메모리의 동작 제어 방법.

#### 청구항 33

제32항에 있어서, 상기 캐패시터는 하나 이상의 강유전체 캐패시터로 구성되는 강유전체 메모리의 동작 제어 방법.

#### 청구항 34

제18항에 있어서, 상기 캐패시터와 상기 제1스위치 수단의 조합은 하나 이상의 메모리 셀로 구성되는 강유전체 메모리의 동작 제어 방법.

#### 청구항 35

제22항에 있어서, 상기 데이터 신호선은 제1 제어 신호에 의해 제어된 스위치 수단을 통하여 정전류원 또는 정전압원에 접속되고, 데이터가 상기 메모리 셀로부터 판독되는 경우에, 상기 스위치 수단은 상기 데이터 신호선 상의 전압 변동을 억제하도록 상기 제1 제어 신호에 의해 닫히며, 따라서 상기 항전압 이상의 전압이 상기 강유전체 캐패시터의 마주보는 전극 사이에 인가될 수 있는 강유전체 메모리의 동작 제어 방법.

#### 청구항 36

제1항에 있어서, 상기 전하 흡수 수단은 상기 하나 이상의 대응하는 데이터 신호선 쌍에 접속된 캐패시터로 구성되는 강유전체 메모리.

청구항 37

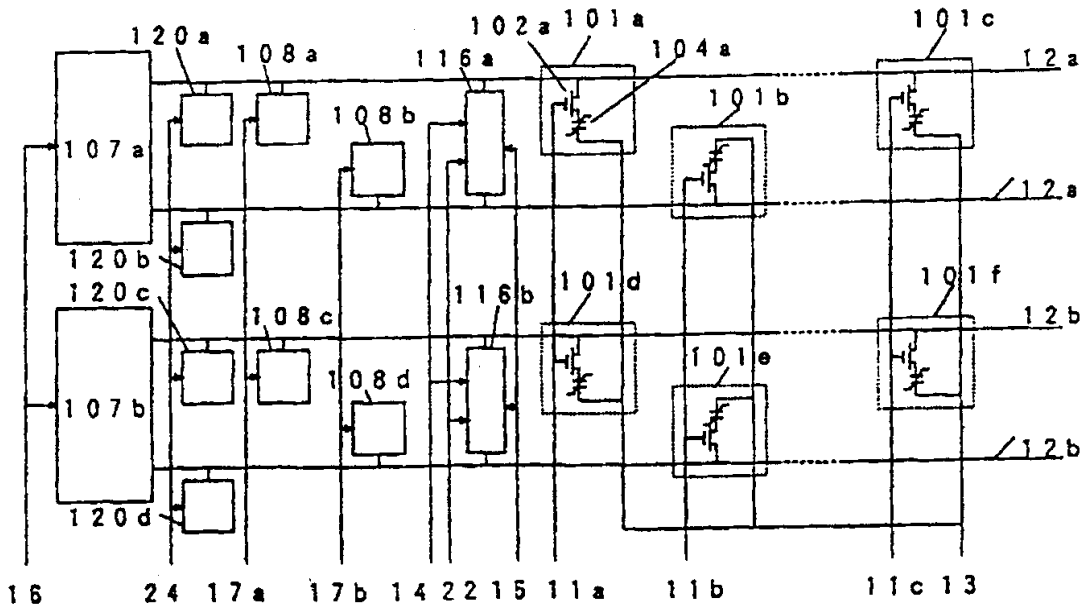
제1항에 있어서, 상기 전하 흡수 수단은 제어 신호에 의해 제어된 트랜지스터를 통해 상기 하나 이상의 대응하는 데이터 신호선 쌍에 접속된 캐패시터로 구성되는 강유전체 메모리.

청구항 38

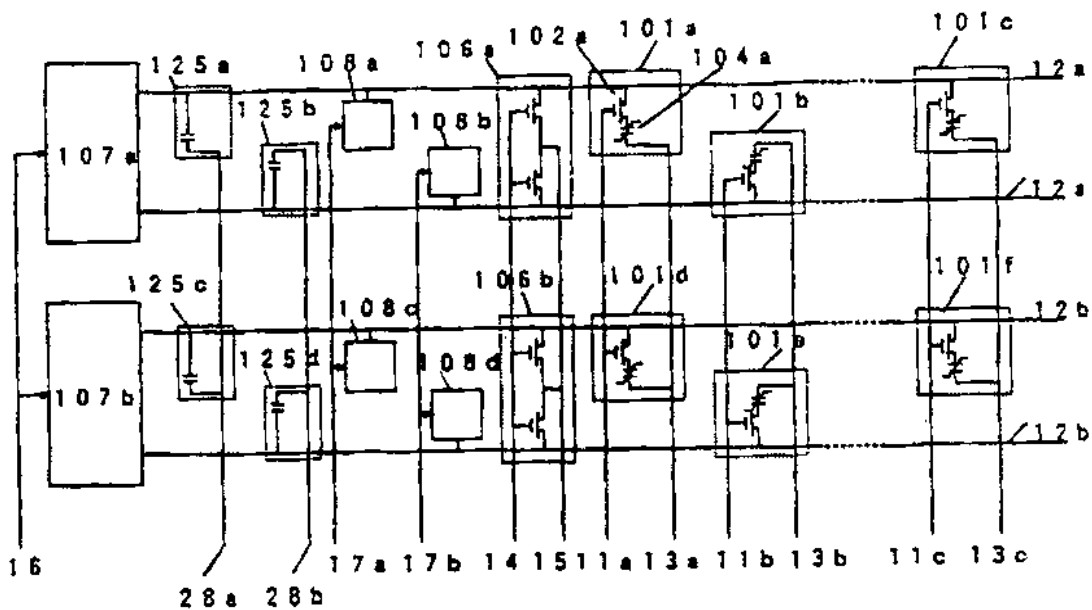
제37항에 있어서, 상기 캐패시터와 상기 트랜지스터 사이의 접속 노드는 프리차지 제어 신호에 의해 제어된 다른 트랜지스터를 통해 프리차지선에 접속되는 강유전체 메모리.

도면

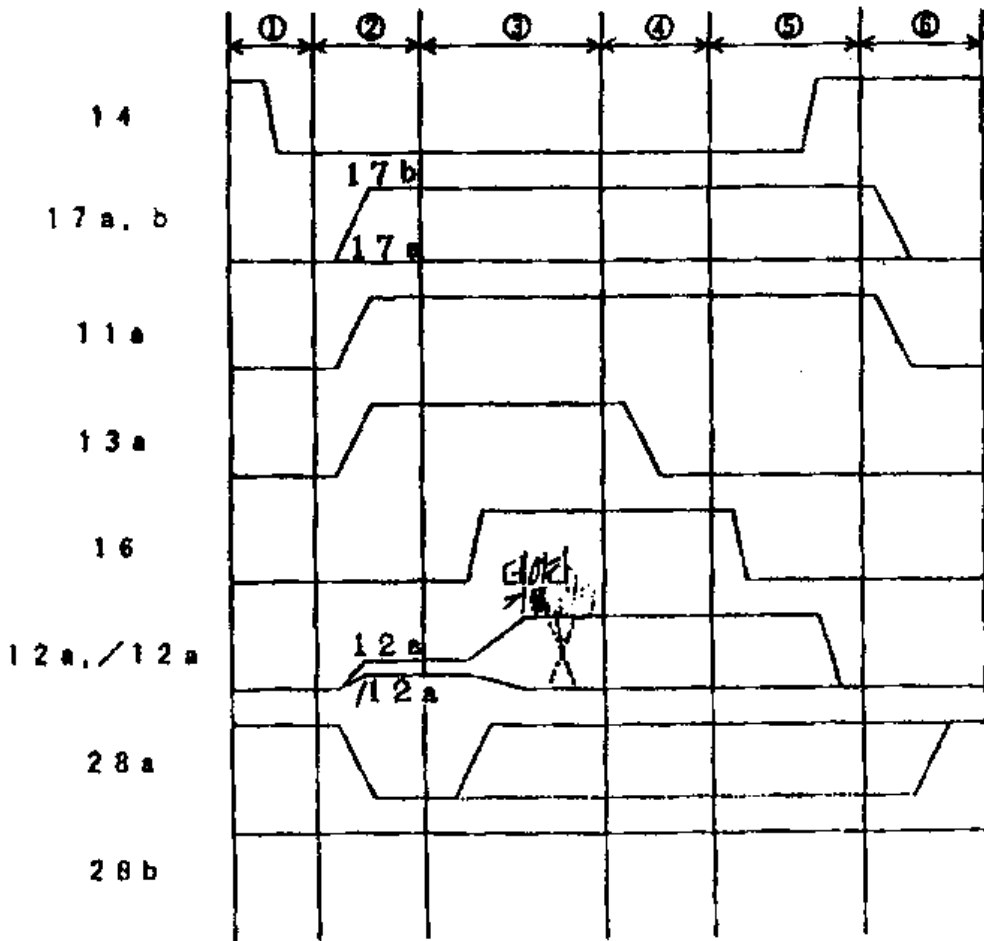
도면1



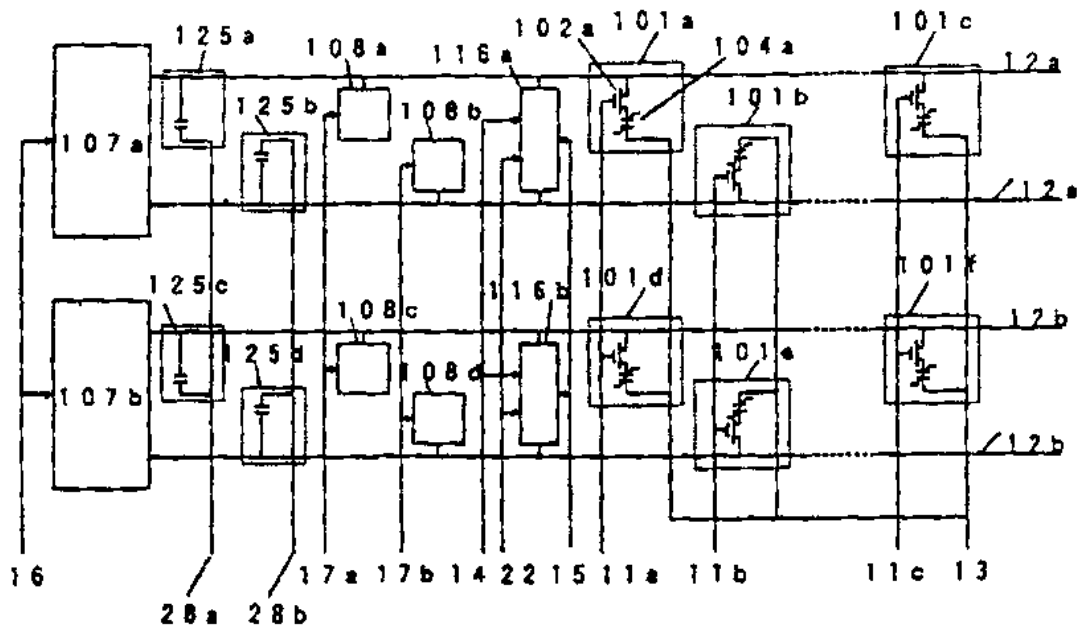
도면2



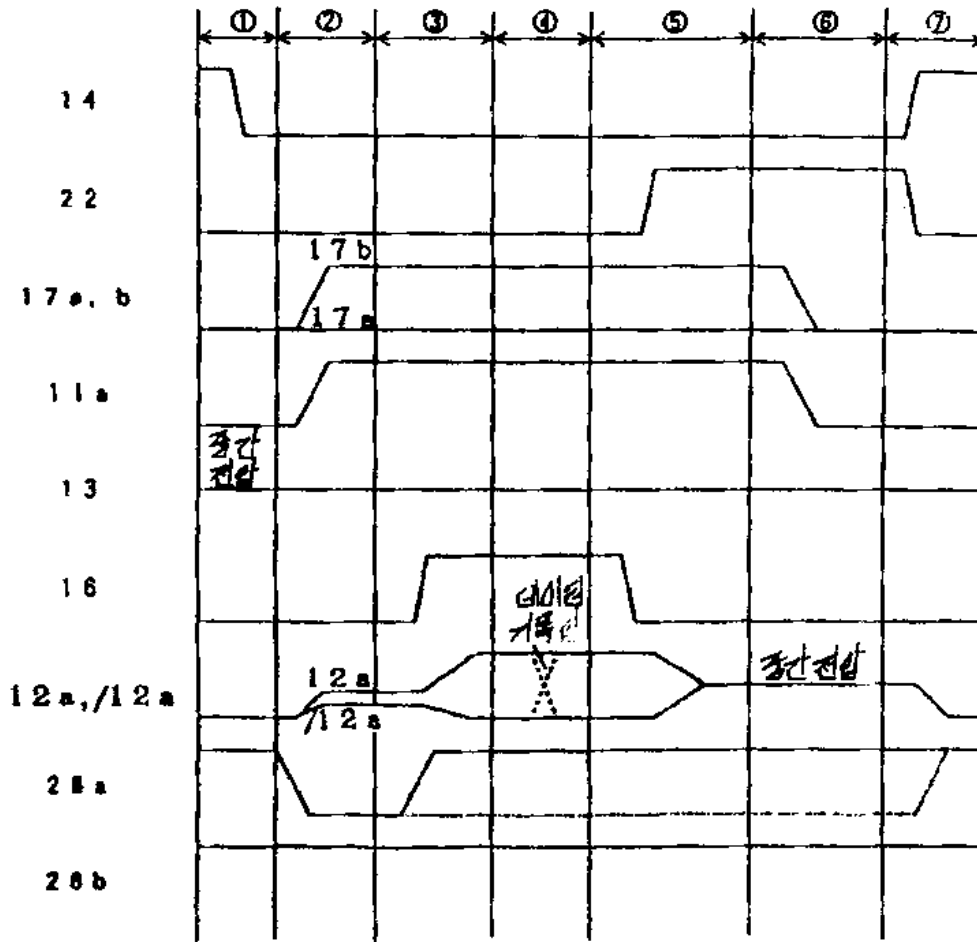
도면3



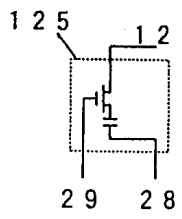
도면4



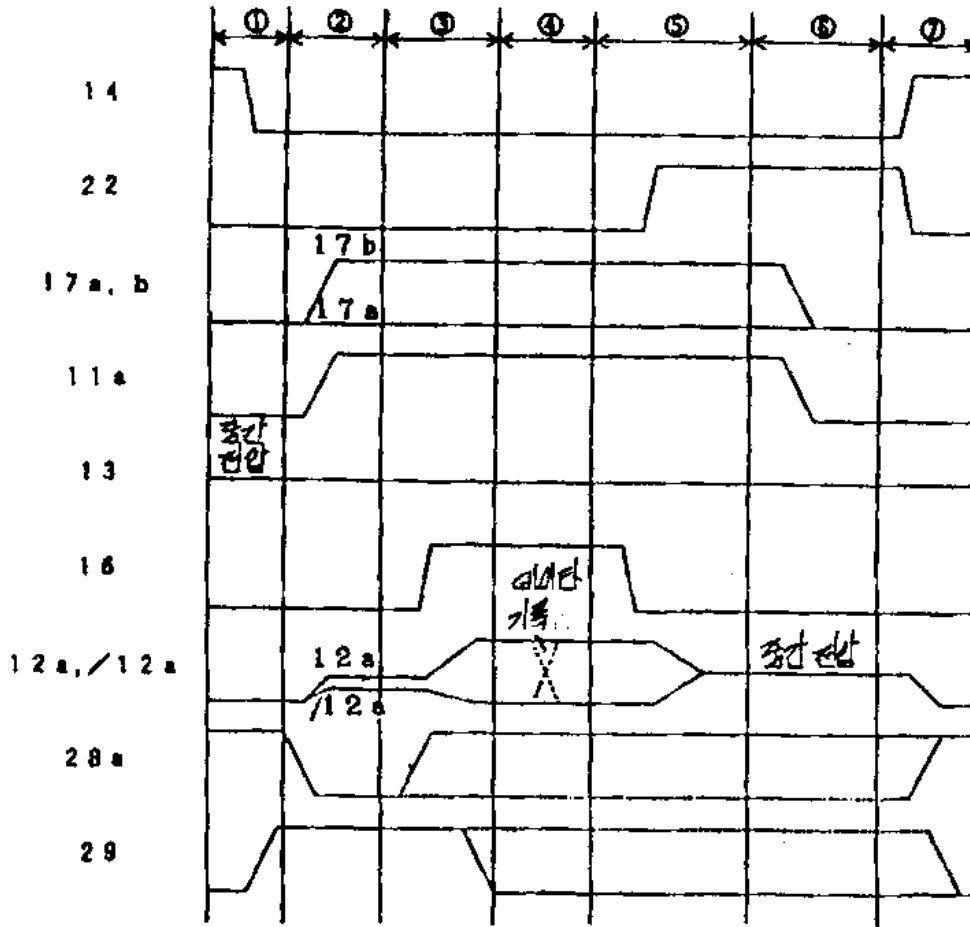
도면5



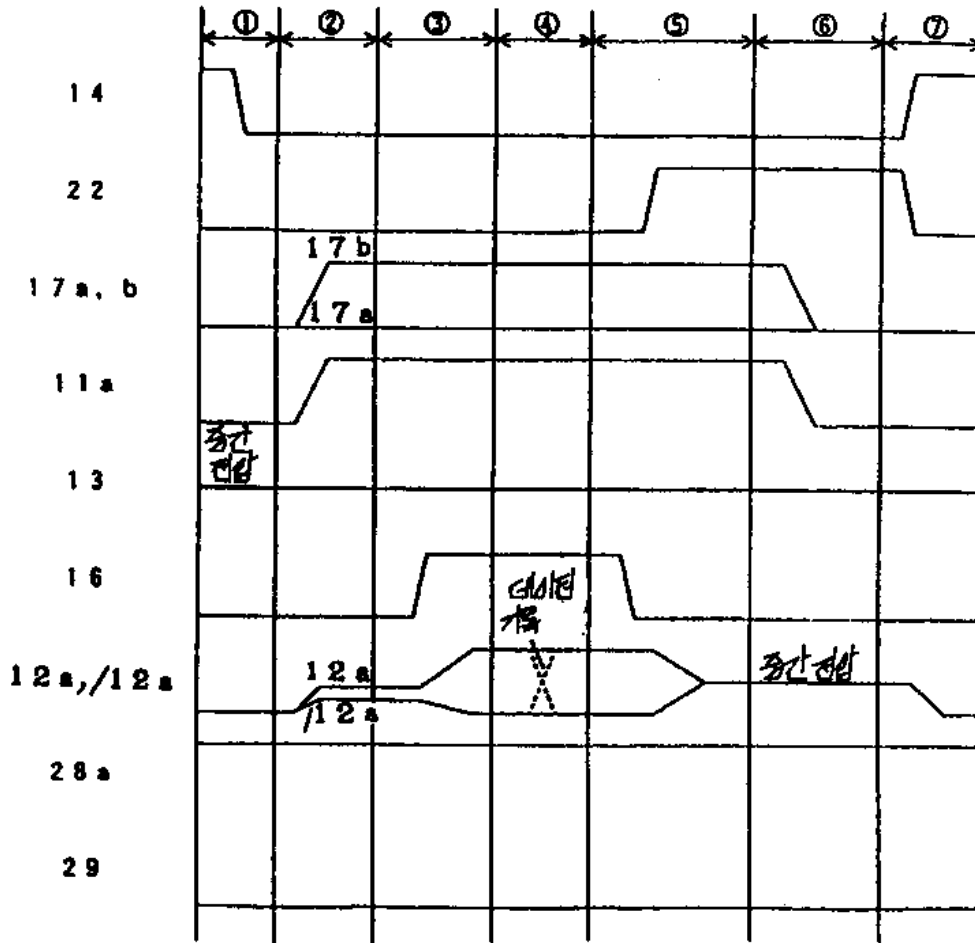
도면6



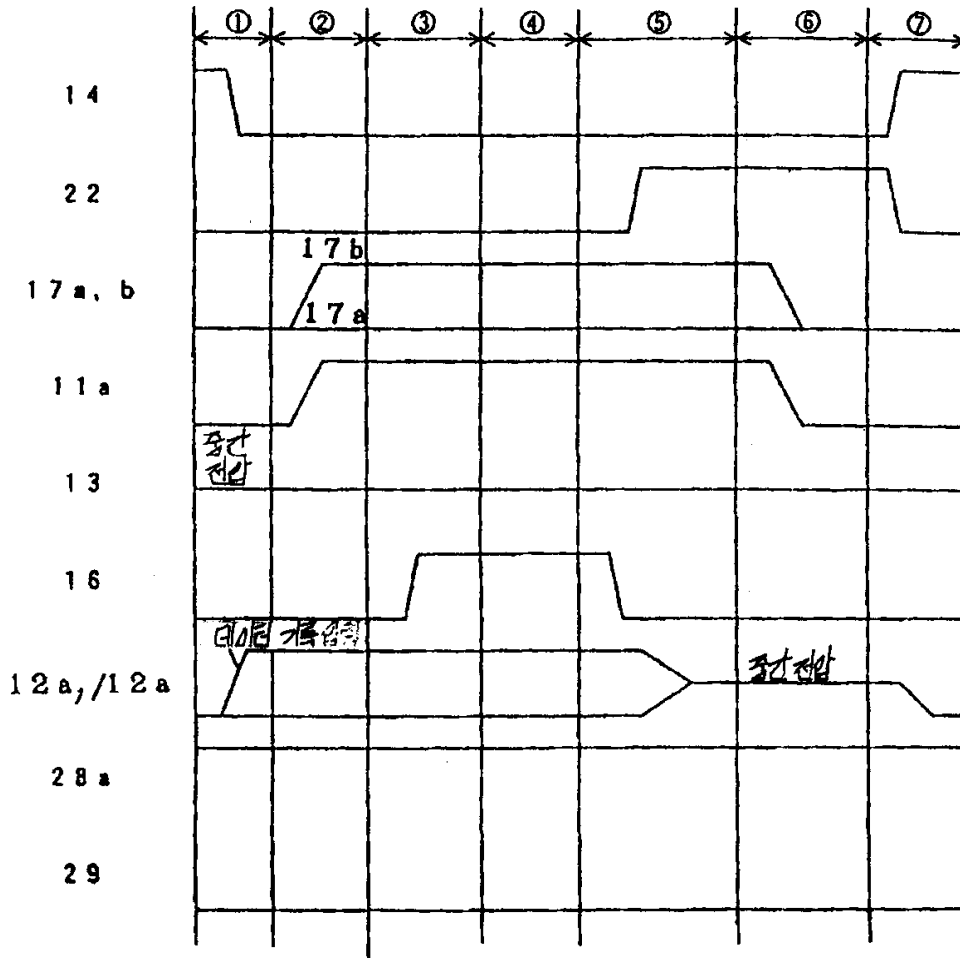
도면7



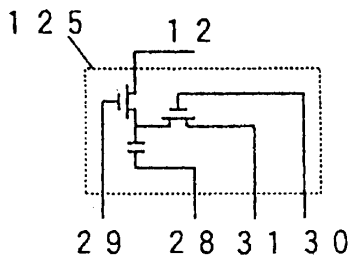
도면8



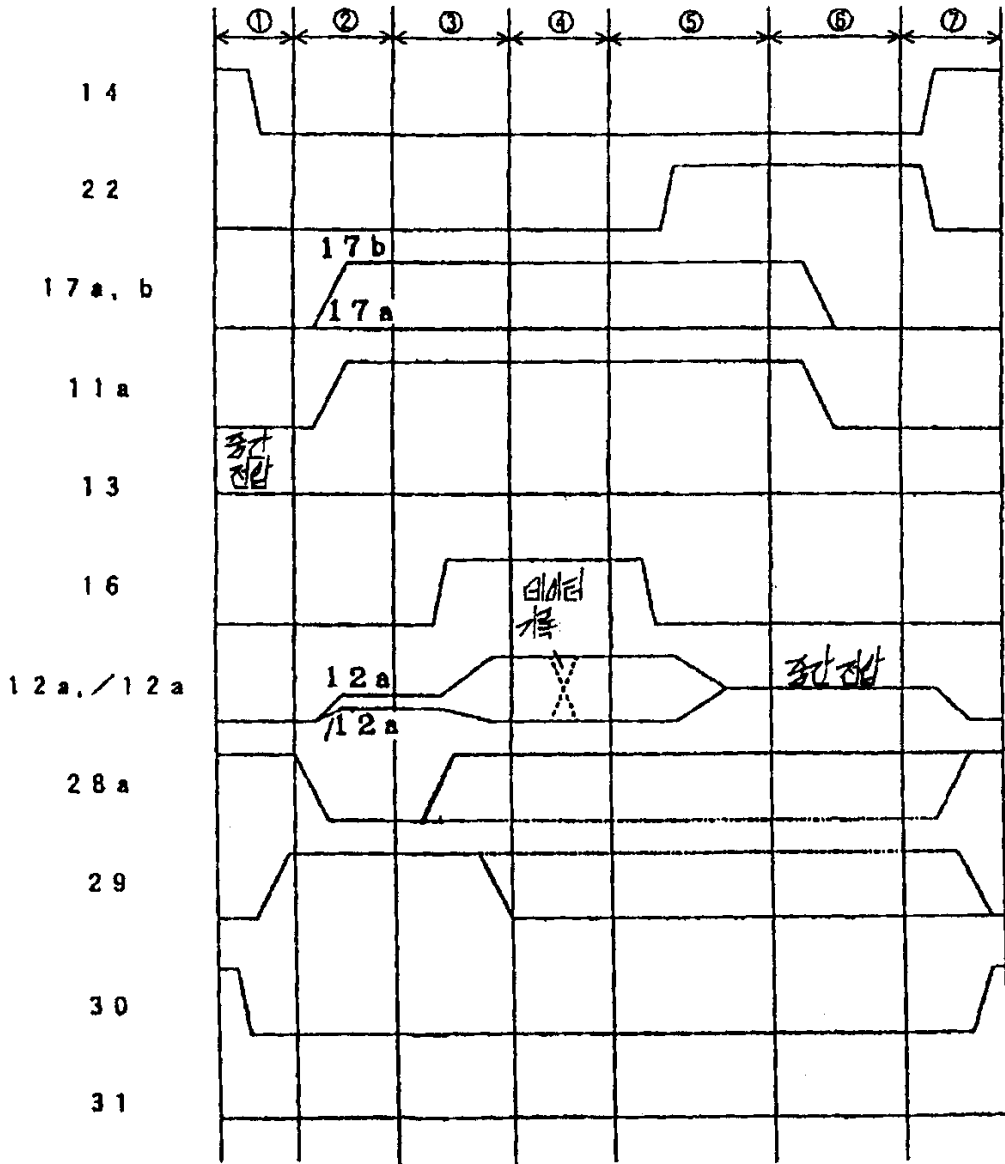
도면9



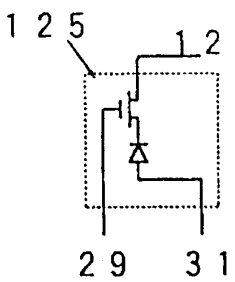
도면10



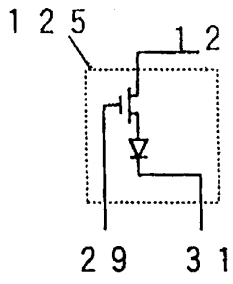
도면11



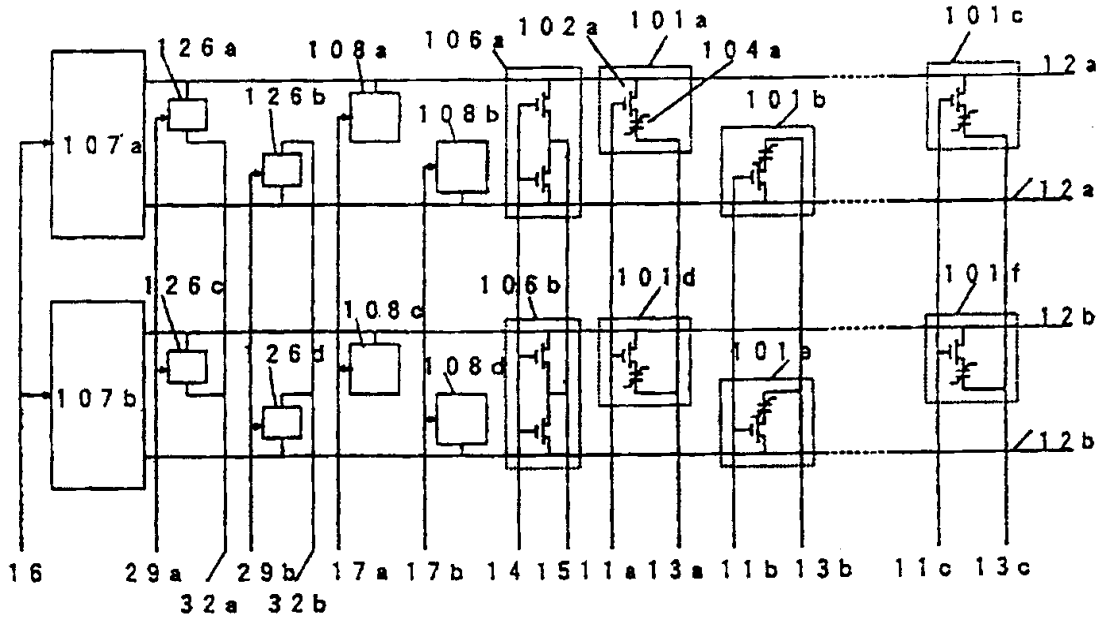
도면12a



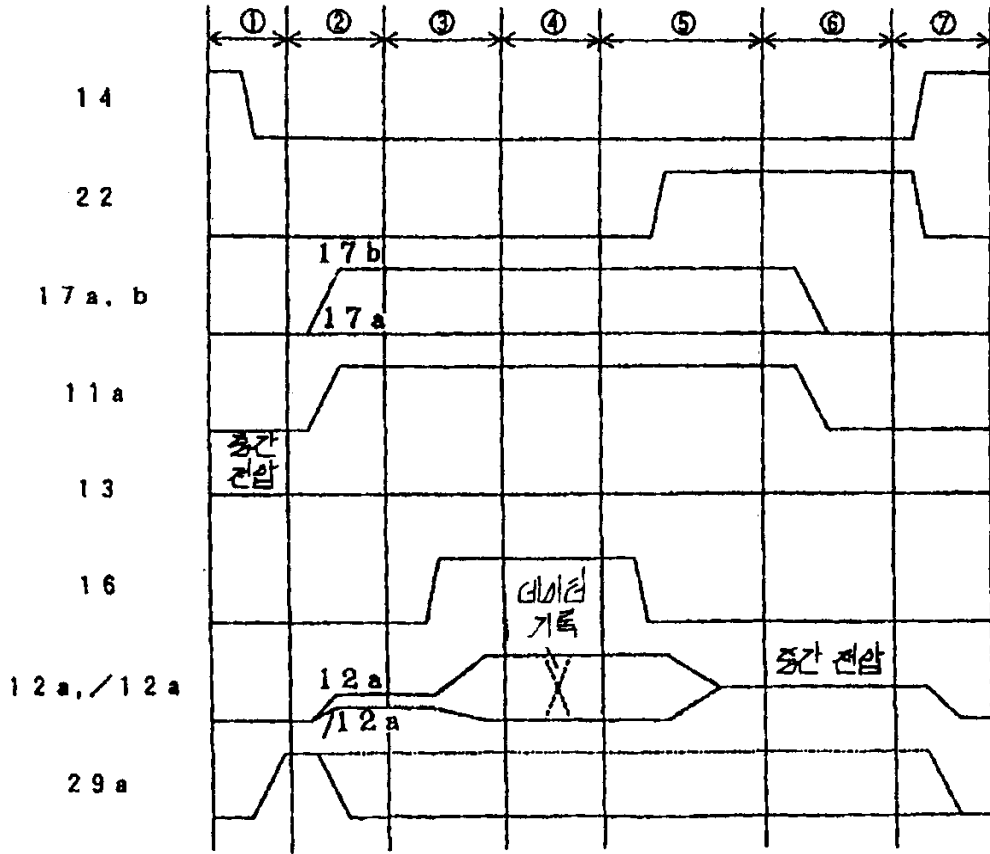
도면 12b



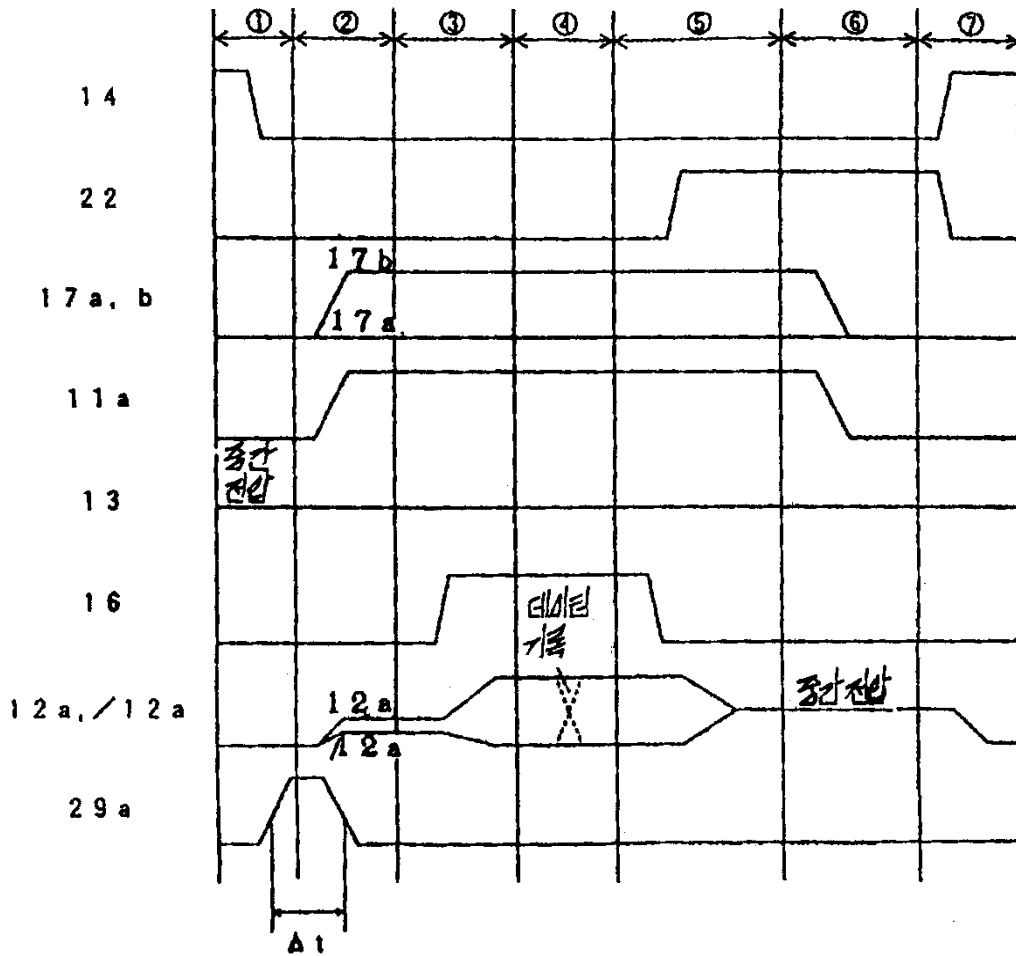
도면 13



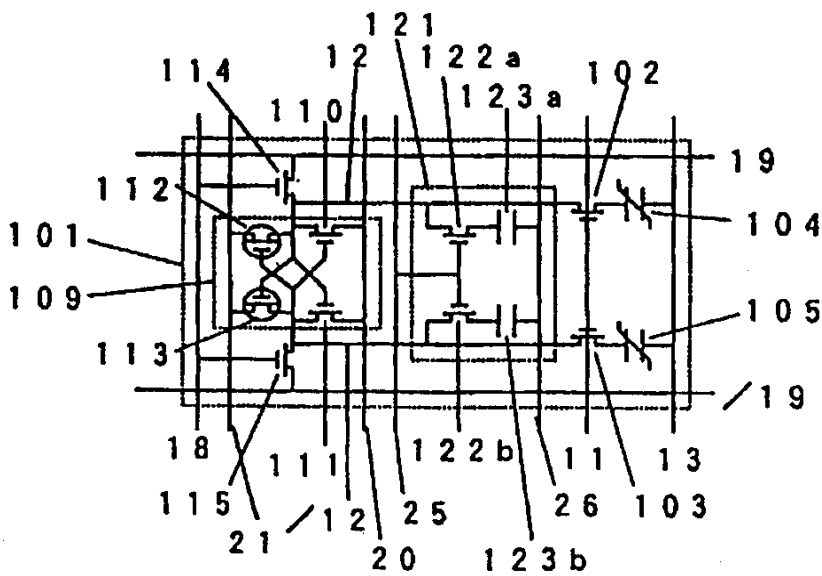
도면 14



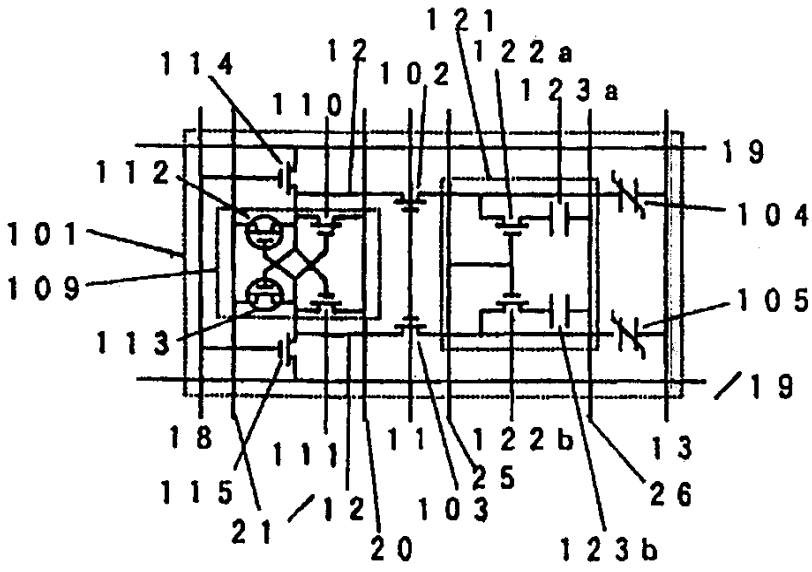
도면15



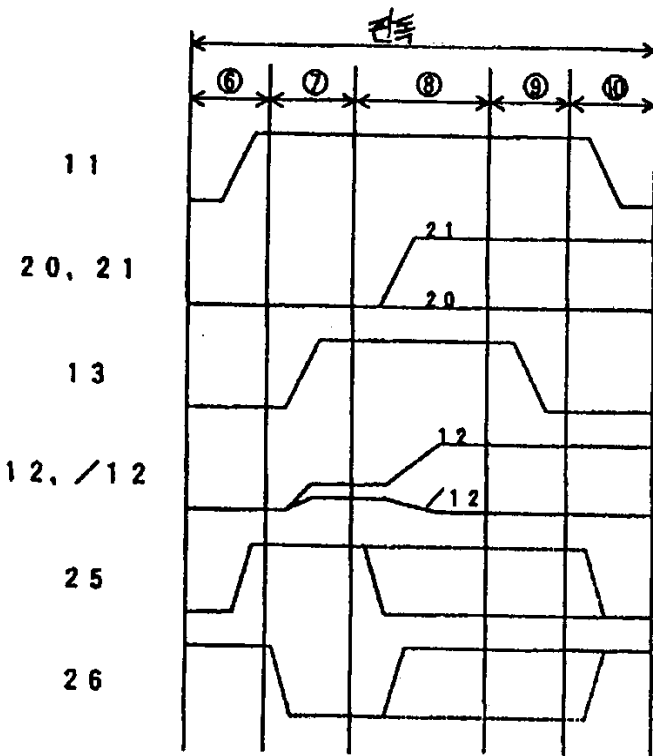
도면16



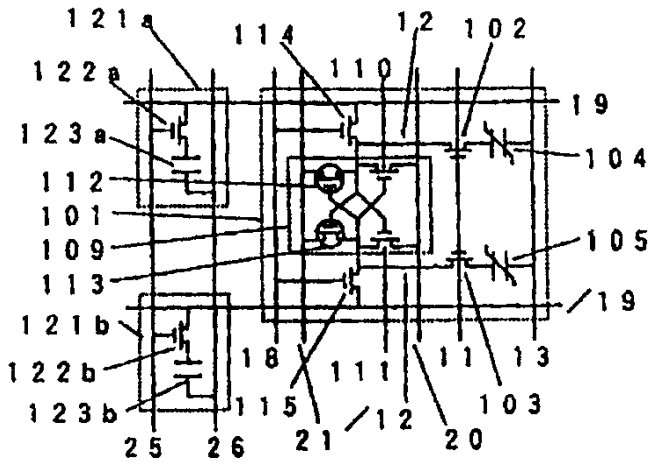
도면17



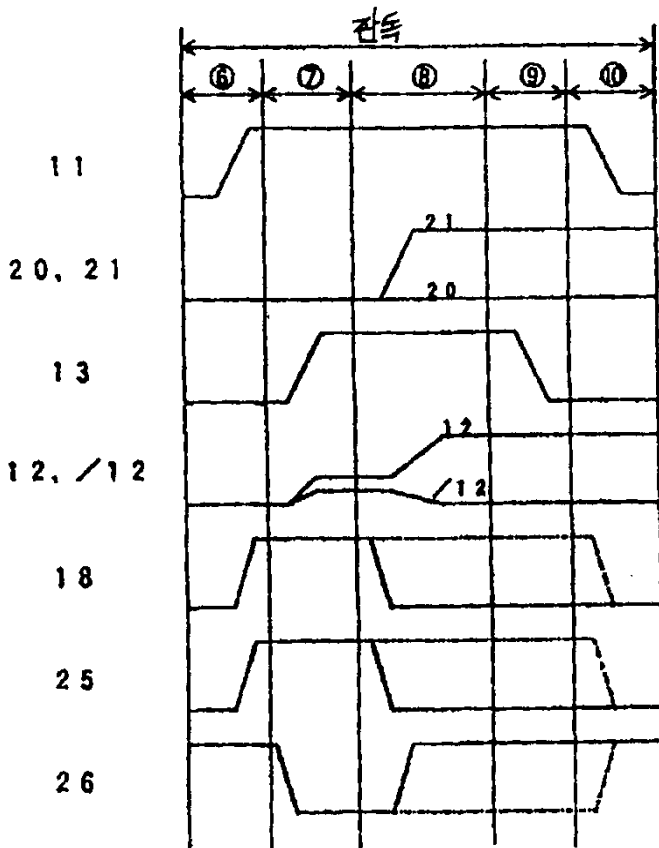
도면18



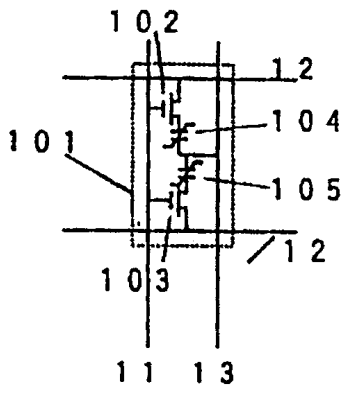
도면19



도면20



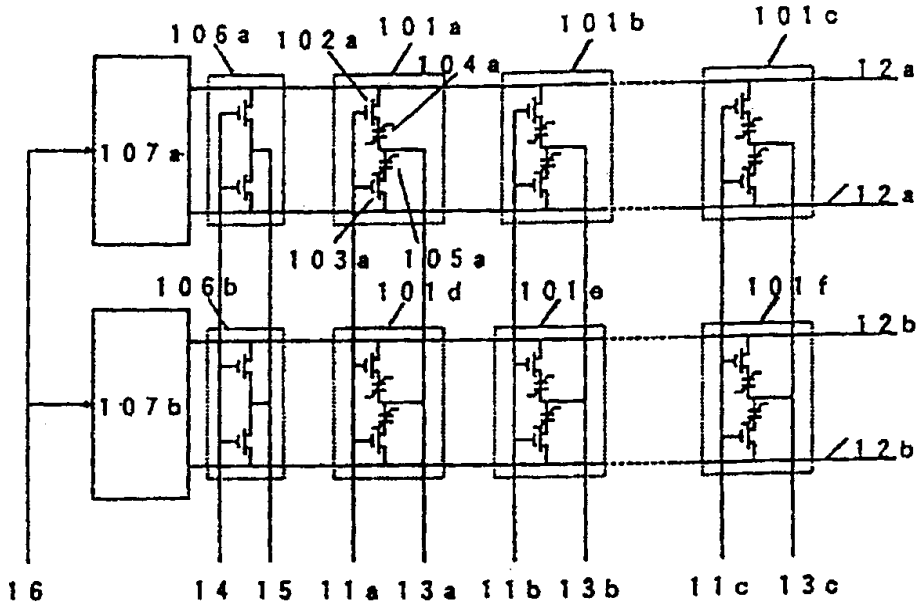
도면21



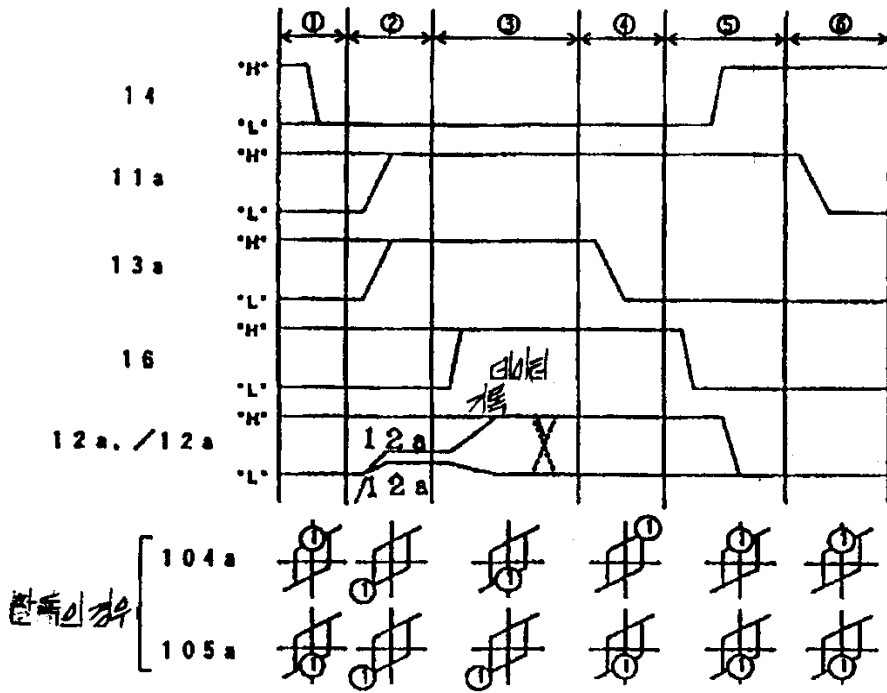
도면22

대시리 카탈리	"1"	"0"
104	<p>Diagram for 104 at position "1". It shows a tilted shaft with a vertical force <math>Q</math> applied at point A. A horizontal force <math>Q_r</math> is applied at point B. The vertical distance from the center of gravity <math>o</math> to point A is <math>h</math>. The horizontal distance from the center of gravity <math>o</math> to point B is <math>v_0</math>. The shaft is tilted at an angle <math>\alpha</math>. The diagram also shows a vertical force <math>Q_1</math> and a horizontal force <math>v</math>.</p>	<p>Diagram for 104 at position "0". It shows a vertical shaft with a vertical force <math>Q</math> applied at point A. A horizontal force <math>Q_r</math> is applied at point B. The horizontal distance from the center of gravity <math>o</math> to point B is <math>v_0</math>. The diagram also shows a vertical force <math>Q_1</math> and a horizontal force <math>v</math>.</p>
105	<p>Diagram for 105 at position "1". It shows a tilted shaft with a vertical force <math>Q</math> applied at point A. A horizontal force <math>Q_r</math> is applied at point B. The horizontal distance from the center of gravity <math>o</math> to point B is <math>v_0</math>. The diagram also shows a vertical force <math>Q_1</math> and a horizontal force <math>v</math>.</p>	<p>Diagram for 105 at position "0". It shows a vertical shaft with a vertical force <math>Q</math> applied at point A. A horizontal force <math>Q_r</math> is applied at point B. The horizontal distance from the center of gravity <math>o</math> to point B is <math>v_0</math>. The diagram also shows a vertical force <math>Q_1</math> and a horizontal force <math>v</math>.</p>

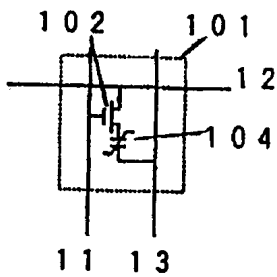
도면23



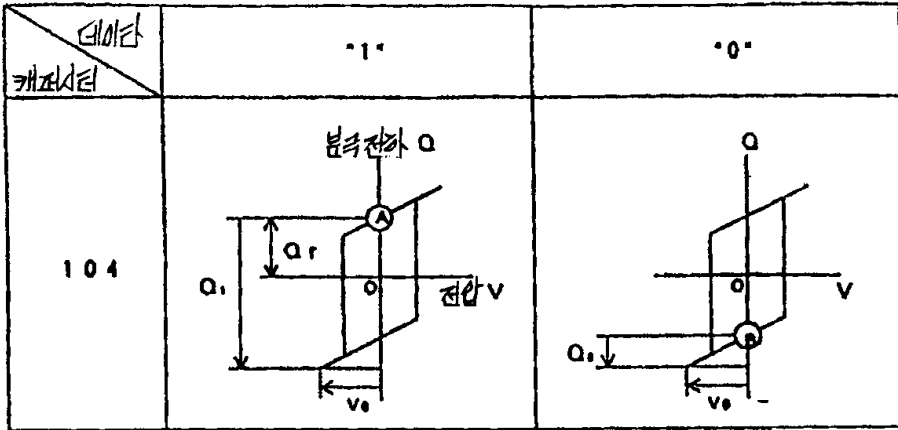
도면24



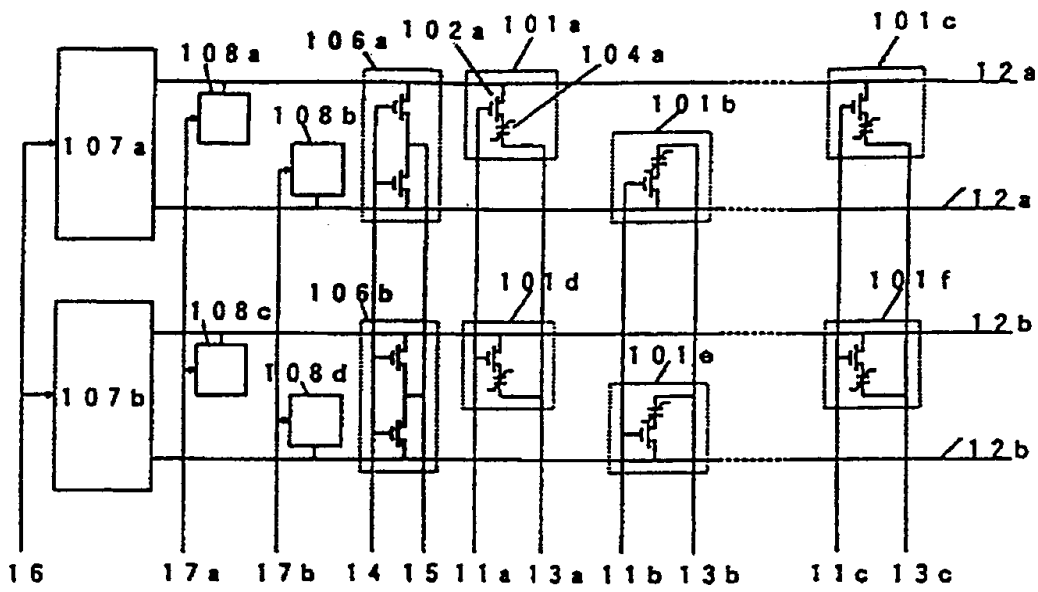
도면25



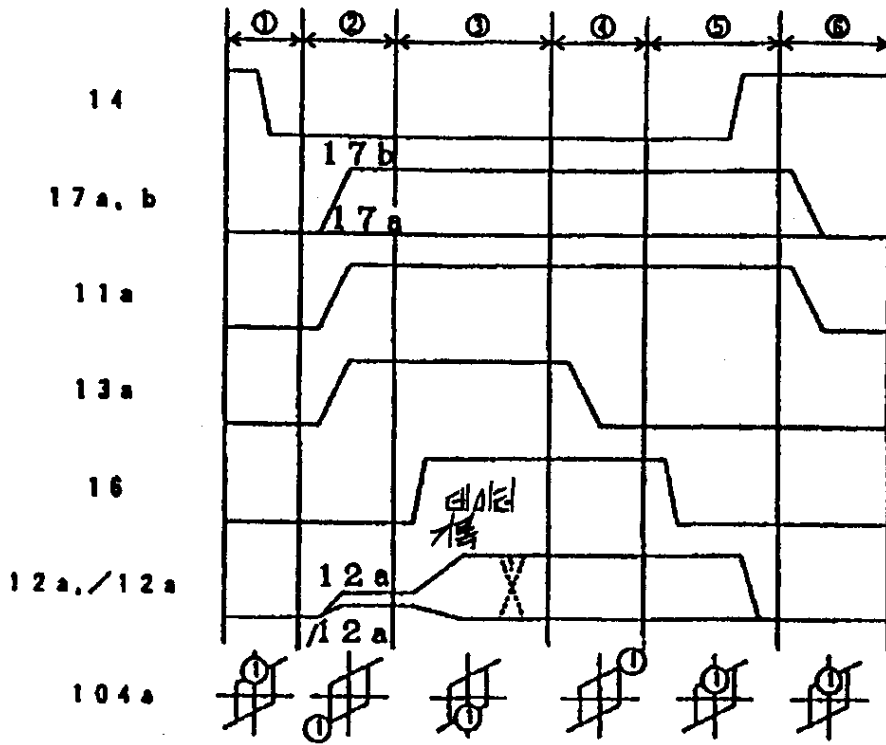
도면26



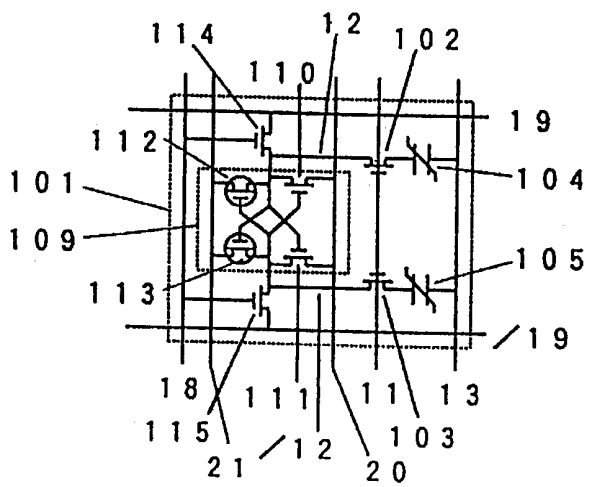
도면27



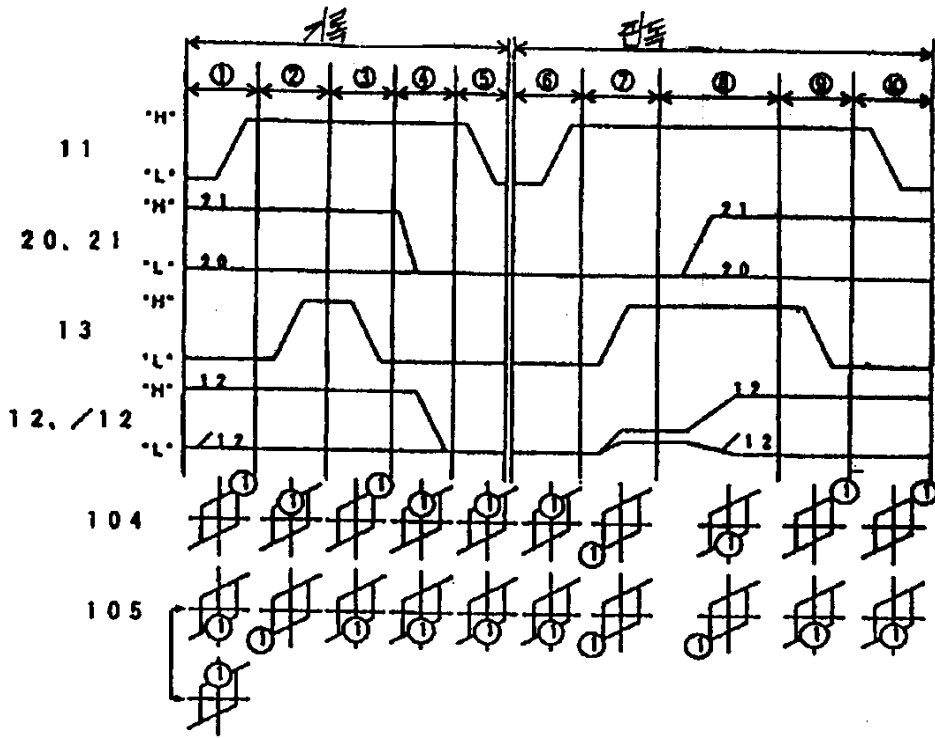
도면28



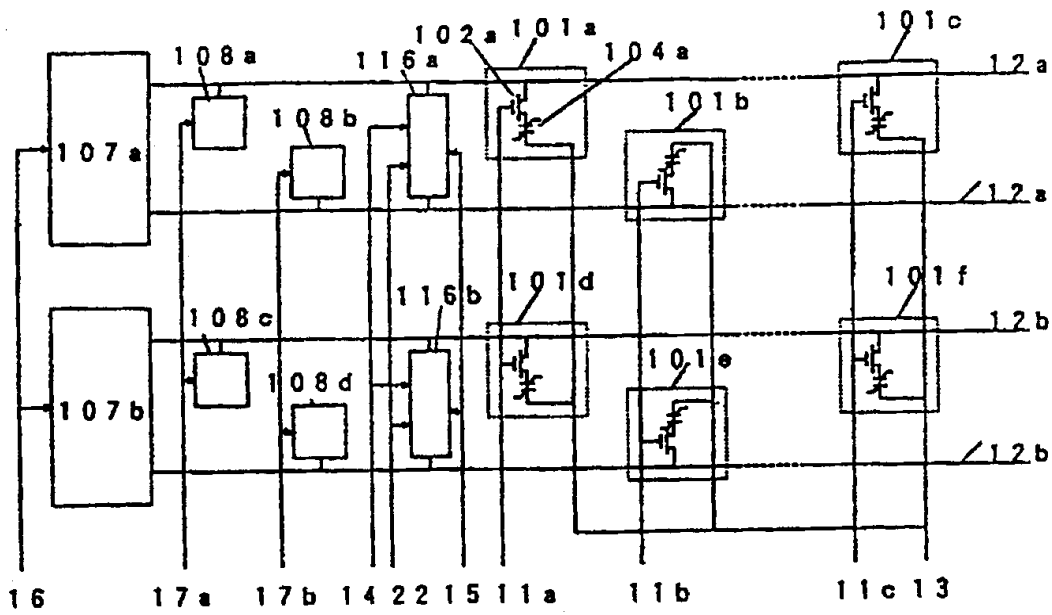
도면29



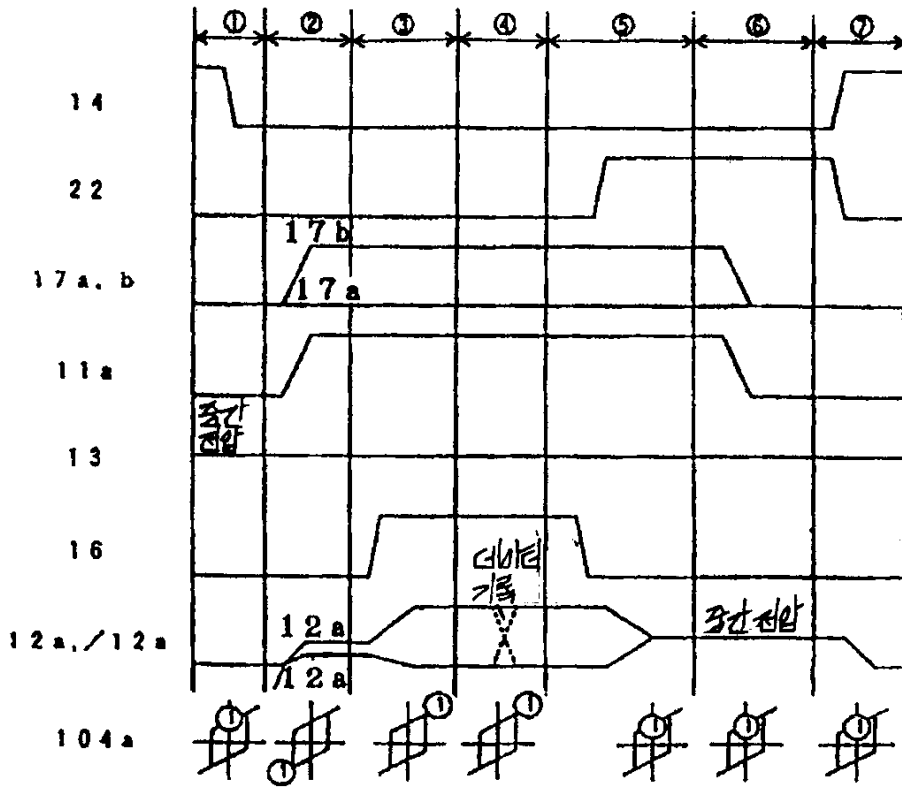
도면30



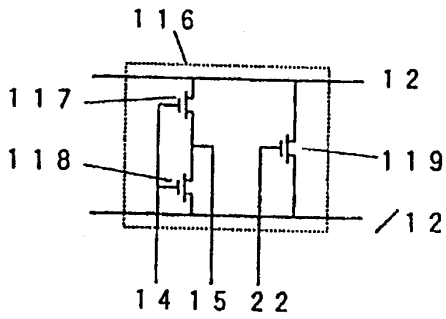
도면31



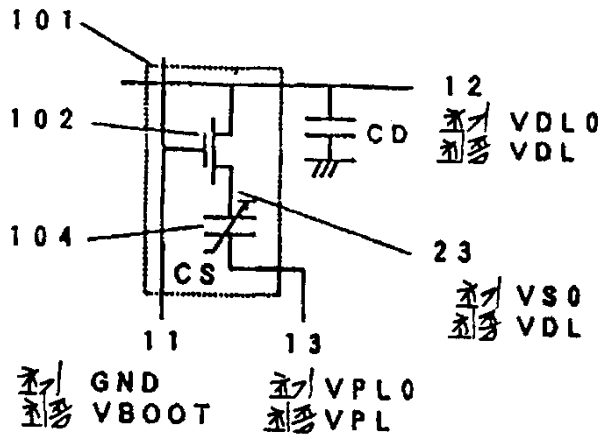
도면32



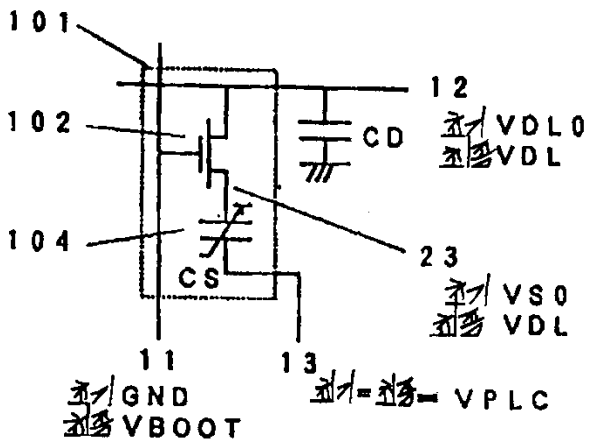
도면33




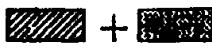
도면34



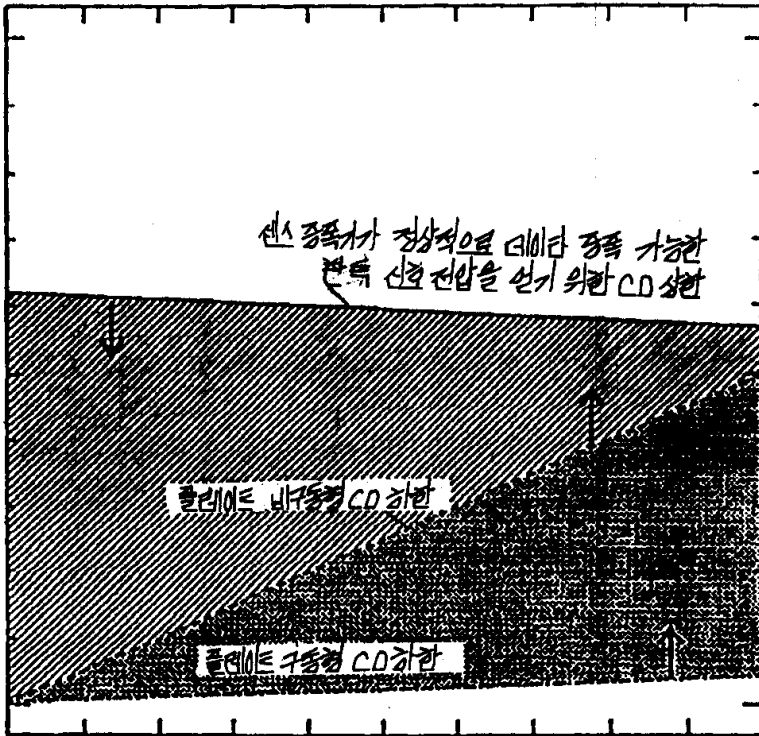
도면35



도면36

-  : 플리시트 비구형 층 가능 범위
-  : 플리시트 구형층 층 가능 범위

대면 선형 기층층 CD



상위전체 카제시터 상위전체 선형 층상치 CS