



**【特許請求の範囲】****【請求項 1】**

第1の半導体チップと、前記第1の半導体チップを制御する制御信号を出力する第2の半導体チップと、を含んで構成される半導体装置であって、

前記第1の半導体チップは、

テスト信号が供給され得るテスト用パッドであって外部端子とは接続されない当該テスト用パッドと、

前記テスト信号が供給され得るテスト端子であって前記第2の半導体チップを介さずに外部端子と接続された当該テスト端子と、

前記テスト信号と前記制御信号とのいずれかを選択する選択回路と、を有し、

前記テスト用パッドと前記テスト端子とが前記選択回路の1つの入力ノードに共通に接続されることを特徴とする半導体装置。

**【請求項 2】**

前記テスト用パッドと前記テスト端子とから引き出された配線が1つのバッファの入力ノードに共通接続され、当該1つのバッファの出力ノードが、前記選択回路の前記1つの入力ノードである、ことを特徴とする請求項1に記載の半導体装置。

**【請求項 3】**

前記テスト用パッドから引き出された配線が第1のバッファの入力ノードに接続され、前記テスト端子から引き出された配線が第2のバッファの入力ノードに接続され、

前記第1のバッファの出力ノード、及び前記第2のバッファの出力ノードを入力ノードとし、前記1つの入力ノードを出力ノードとする、前記選択回路の前段に設けられる第2の選択回路を備える、

ことを特徴とする請求項1に記載の半導体装置。

**【請求項 4】**

前記テスト用パッドは、前記第1の半導体チップが前記第2の半導体チップに積層される前に前記テスト信号が入力されるパッドであり、

前記テスト端子は、前記第1の半導体チップが前記第2の半導体チップに積層された後に前記テスト信号が入力される端子である、

ことを特徴とする請求項1から請求項3いずれか一項に記載の半導体装置。

**【請求項 5】**

前記テスト端子は、前記第2の半導体チップにおける前記制御信号を出力する制御回路に接続されないテスト信号経路に接続され、当該テスト信号経路に前記テスト信号が外部から供給される、

ことを特徴とする請求項1から請求項4いずれか一項に記載の半導体装置。

**【請求項 6】**

前記第1の半導体チップは、前記制御信号または前記テスト信号により動作が制御され複数のチャネルを有する半導体チップであって、当該複数のチャネルごとに前記テスト信号経路が設けられる、

ことを特徴とする請求項5に記載の半導体装置。

**【請求項 7】**

前記第2の半導体チップにおける前記制御信号を出力する制御回路に接続される制御信号経路に接続される前記第1の半導体チップを複数有し、

前記制御信号経路、前記テスト信号経路のうち、前記第1の半導体チップの選択に係る制御信号、及び当該制御信号に対応するテスト信号をそれぞれ伝達する制御信号経路、及びテスト信号経路は複数の前記第1の半導体チップ各々に対して独立に設けられる、

ことを特徴とする請求項6に記載の半導体装置。

**【請求項 8】**

前記制御信号経路、及び前記テスト信号経路は、前記第1のチップまたは前記第2のチップを裏面側から表面側へと貫通する貫通電極により形成される、

ことを特徴とする請求項7に記載の半導体装置。

10

20

30

40

50

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、半導体装置に関する。

**【背景技術】****【0002】**

特許文献1には、回路基板上に、複数の半導体装置（貫通電極を有した半導体チップ）を積み重ね、該貫通電極を介して、複数の半導体装置を電気的に接続することで、回路基板に対して半導体チップを高密度に実装可能な構成とされた積層型半導体装置が開示されている。

10

**【先行技術文献】****【特許文献】****【0003】**

【特許文献1】特開2009-10390号公報

**【発明の概要】****【発明が解決しようとする課題】****【0004】**

特許文献1に記載の積層型半導体装置は、それぞれの半導体チップを積層する前の段階において、各半導体チップが備えるパッド120（テスト用パッド）を用いて、まず各半導体チップのテストを行う。そしてテスト後、各半導体チップのパッド120が形成された領域にパッド120を貫通し、かつ、パッド120と絶縁された第1貫通電極155を形成する。そして、半導体チップを積層後に、この第1貫通電極155をチップ選択信号の伝達に使用している。

20

**【0005】**

つまり、特許文献1に記載されているような積層型半導体装置を、半導体チップの積層後にテストする際には、通常動作に使用する貫通電極を用いてテスト信号を入出力することでそれぞれの半導体チップのテストを行うこととなる。しかしながら、この方法で積層型半導体装置のテストを行う場合、次のような問題があった。

**【0006】**

すなわち、メモリチップと、このメモリチップを制御する制御用チップとを互いに積層して貫通電極で接続した積層型半導体装置において、通常動作では制御用半導体チップを経由してメモリチップの動作が制御される。従って、メモリチップと制御用チップとを積層して積層型半導体装置とした後に、メモリチップをテストする場合、制御用チップの各種回路を経由してメモリチップにテスト信号を供給してメモリチップをテストする必要がある。そのため、不良があった場合には、メモリチップと制御用チップのどちらに欠陥があるかを特定することが困難であった。このことから、複数の半導体チップを互いに積層し貫通電極で接続した積層型半導体装置において、通常動作時とは異なる経路でテスト信号を伝送するテスト専用の貫通電極を配置することが望まれている。

30

**【0007】**

しかしながら、テスト専用の貫通電極として半導体チップの動作を制御するためには、メモリチップ内に、複数のテスト用貫通電極を配置する領域が必要となる。このため、これら複数のテスト用貫通電極から供給されたテスト信号を、メモリチップ内を伝達させるための配線が増加し、メモリチップ内の配線領域が増加し、メモリチップのチップサイズが増大してしまうという問題があった。

40

**【課題を解決するための手段】****【0008】**

本発明は、第1の半導体チップと、前記第1の半導体チップを制御する制御信号を出力する第2の半導体チップと、を含んで構成される半導体装置であって、前記第1の半導体チップは、テスト信号が供給され得るテスト用パッドであって外部端子とは接続されない当該テスト用パッドと、前記テスト信号が供給され得るテスト端子であって前記第2の半

50

導体チップを介さずに外部端子と接続された当該テスト端子と、前記テスト信号と前記制御信号とのいずれかを選択する選択回路と、を有し、前記テスト用パッドと前記テスト端子とが前記選択回路の1つの入力ノードに共通に接続されることを特徴とする半導体装置である。

#### 【発明の効果】

#### 【0009】

本発明によれば、テスト用パッドとテスト端子（テスト用貫通電極）とが選択回路の1つの入力ノードに共通に接続される。この選択回路の1つの入力ノードを、第1の半導体チップ内を伝達するテスト信号に用いることができる。そのため、テスト端子を配置した際の第1の半導体チップ（メモリチップ）において、テスト端子からテスト信号用の配線を設ける必要はなくなり、第1の半導体チップ内の配線領域の増加を抑制でき、第1の半導体チップのチップサイズの増大を抑制することができる。

10

#### 【図面の簡単な説明】

#### 【0010】

【図1】積層型半導体装置10の概略構成を示す断面図である。

【図2】貫通電極TSVの接続関係を模式的に表した図である。

【図3】貫通電極TSVM1の基本構造を示す断面図である。

【図4】積層型半導体装置10における各チップ間の電気的接続を示す概念図である。

20

【図5】チップC1の平面図である。

【図6】チップC1の詳細を示すブロック図である。

【図7】チップC0～C4を積層したときの、各チップ間の接続関係を示す図である。

【図8】第2の実施形態におけるチップC1の詳細を示すブロック図である。

【図9】積層型半導体装置10bの概略構成を示す断面図である。

#### 【発明を実施するための形態】

#### 【0011】

#### [第1の実施形態]

以下、添付図面を参照しながら、本発明の好ましい実施の形態について詳細に説明する。

本実施形態では、一例として、積層型半導体装置10が、4つのメモリチップと、SOC（System-on-a-chip）チップとを備える場合について説明する。また、本実施形態では、積層型半導体装置が、この5つの半導体チップを貫通電極TSV（Through Silicon Via）技術を用いて、1つのパッケージに実装する一例について説明する。

30

#### 【0012】

図1は、本実施形態における積層型半導体装置10の概略構成を示す断面図である。

図1において、積層型半導体装置10は、4つのメモリチップ（以下、チップC1～チップC4とする）と、SOCチップ（以下、チップC0とする）と、パッケージ基板11と、を備えている。

チップC0及びチップC1～チップC4は、パッケージ基板11上に積層されており、封止樹脂12で封止されている。すなわち、パッケージ基板11は、複数の半導体チップを実装し、複数の半導体チップ及びパッケージ基板11が同一の封止樹脂12によって封止されている。なお、チップC0に積層されるチップの数は4つに限定されるものではない。また、以下では、チップC0～C4は、フェースダウン型で互いに積層されていることとして、本実施形態の積層型半導体装置10について説明するが、チップC0～C4の積層形態はフェースダウン型に限定されるものではなく、フェースアップ型であっても構わない。

40

また、パッケージ基板11において、封止樹脂12で覆われている面の反対側の面には、一群の外部接続端子TEが形成されている。一群の外部接続端子TE各自は、例えば、半田ボールであり、積層型半導体装置10と外部装置（図1において不図示）とを電気的に接続する。

#### 【0013】

50

チップC 0～チップC 4 各々は、複数の貫通電極TSVを含んでいる。チップC 0～チップC 4 は、これら貫通電極TSV、及びバンプ電極13を介して接続される。例えば、チップC 1における貫通電極TSVとチップC 2における貫通電極TSVとは、チップC 1の裏面側(図1において上方向)に設けられたバンプ電極13とチップC 2の表面側(図1において下方向)に設けられたバンプ電極13とにより接続される。

さらに、チップC 0の貫通電極TSVは、チップC 0の表面側に設けられたバンプ電極13、及びパッケージ基板11の再配線層(図1において不図示)を介して、一群の外部接続端子TEに接続される。このようにして、チップC 1～チップC 4は、チップC 0、及び一群の外部接続端子TEを介して積層型半導体装置10の外部にある外部装置、例えば、CPU等の演算装置やテスト動作時においては、テスト装置と接続され、チップC 0の制御のもと、各チップにおける動作を実行する。10

#### 【0014】

チップC 0の複数の貫通電極TSVは、制御回路と電気的に接続された4群の貫通電極TSVchA～貫通電極TSVchDを構成する貫通電極TSV' と、制御回路と電気的に接続されない1群の貫通電極TSVDAを構成する貫通電極TSVとを含む。

チップC 1～チップC 4に形成された複数の貫通電極TSVのうち、チップC 0の貫通電極TSV' とバンプ電極13を介して図中縦方向に接続される複数の貫通電極TSVは、貫通電極TSV' 、及び複数のバンプ電極13とともに、4群の貫通電極TSVchA～TSVchDを構成する。また、チップC 1～チップC 4に形成された複数の貫通電極TSVのうち、チップC 0の貫通電極TSVとバンプ電極13を介して図中縦方向に接続される複数の貫通電極TSVは、貫通電極TSV、及び複数のバンプ電極13とともに、1群の貫通電極TSVDAを構成する。20

#### 【0015】

図2は、チップC 0の貫通電極TSV及びチップC 1～チップC 4の貫通電極TSVの接続関係を模式的に表した図である。図2(a)は、チップC 0に形成された貫通電極の接続関係として、貫通電極TSVS1と貫通電極TSVS2の2種類を示している。貫通電極TSVS1は、チップC 0内の制御回路を介して後述のチップC 1～C 4に形成された貫通電極TSVMと接続されるものであり、例えば、上述のチップC 0の4群の貫通電極TSVchA～貫通電極TSVchDを構成する貫通電極TSV' に対応する。

また、貫通電極TSVS2は、チップC 0の内部の制御回路を介さずに貫通電極TSVMと接続されるものであり、例えば、上述のチップC 0の1群の貫通電極TSVDAを構成する貫通電極TSVに対応する。30

#### 【0016】

一方、図2(b)は、チップC 1～C 4に形成された貫通電極の接続関係として、貫通電極TSVM1と貫通電極TSVM2の2種類を示している。貫通電極TSVM1は、平面視で同じ位置に設けられた上下の貫通電極TSVM1が短絡され、これら貫通電極TSVM1によって1本の配線が構成され、チップC 1～C 4のそれぞれに設けられた内部回路が接続されている。例えば上述の4群の貫通電極TSVchA～TSVchDの一部や1群の貫通電極TSVDAを構成する貫通電極が、貫通電極TSVM1に相当する。

また、貫通電極TSVM2は、平面視で異なる位置に設けられた他チップの貫通電極TSVM2と短絡されている。この種の貫通電極TSVM2に対しては、各チップにおいて平面視で所定の位置に設けられた貫通電極TSVM2aに各チップの内部回路が接続されている。これにより、各チップに設けられた内部回路に対して選択的に情報を入力することが可能となる。例えば、上述の4群の貫通電極TSVchA～TSVchDの一部であり、後述のチップセレクト信号、テストチップセレクト信号、クロックイネーブル信号、及び、テストクロックイネーブル信号を伝送する貫通電極が貫通電極TSVM2に相当する。40

#### 【0017】

図3は、図2(b)の貫通電極TSVM1の基本構造を示す断面図である。図3に示す

10

20

30

40

50

ように、貫通電極 T S V M 1 はシリコン基板 3 0 及びその表面の層間絶縁膜 3 1 1 を貫通する基板貫通部 3 2 、各配線層 3 1 2 ~ 3 1 5 に設けられたパッド 3 6 1 ~ 3 6 4 、パッド間を接続する複数のスルーホール電極 T H 、裏面バンプ 3 4 及び表面バンプ 3 5 を含む。尚、基板貫通部 3 2 の周囲には、絶縁リング 3 3 が設けられており、これによって T S V M 1 とトランジスタ領域との絶縁が確保される。

#### 【 0 0 1 8 】

シリコン基板 3 0 の裏面側における基板貫通部 3 2 の端部は、裏面バンプ 3 4 で覆われている。裏面バンプ 3 4 は、他のチップに設けられた表面バンプ 3 5 と接続する電極であり、これら裏面バンプ 3 4 及び表面バンプ 3 5 は、図 1 のバンプ電極 1 3 に対応する。表面バンプ 3 5 は、各配線層 3 1 2 ~ 3 1 5 に設けられたパッド 3 6 1 ~ 3 6 4 及びパッド間を接続する複数のスルーホール電極 T H を介して、基板貫通部 3 2 の端部に接続される。なお、図示しない内部回路との接続は、配線層 3 1 2 ~ 3 1 5 に設けられたパッド 3 6 1 ~ 3 6 4 から引き出される内部配線（不図示）を介して行われる。

#### 【 0 0 1 9 】

図 4 は、図 1 に示す積層型半導体装置 1 0 における各チップ間の電気的接続を示す概念図である。図 4 においては、チップ C 1 ~ チップ C 4 の一例として、いわゆるワイド I O D R A M と呼ばれる半導体チップを用いた場合の積層型半導体装置 1 0 を示している。

ワイド I O D R A M とは、複数の D R A M ( Dynamic Random Access Memory ) を 1 つの半導体チップ（以下、単にチップと呼ぶことがある）上に配置して構成したものである。チップ上の D R A M は、それぞれチャネルと呼ばれる。つまり、図 4 は、4 つの D R A M をそれぞれチャネル c h A ~ チャネル c h D とするワイド I O D R A M を、チップ C 0 上に 4 つ積層した積層型半導体装置 1 0 の一例を示している。なお、1 チップにおける D R A M ( つまり、チャネル ) の個数は 4 個に限られるものではない。

図 4 において、1 つのチップにおけるチャネル c h A ~ チャネル c h D には、チップ C 0 から、それぞれ互いに独立にデータ D Q 、コマンド並びにアドレス（アドレス信号 A d d / コマンド信号 C M D ）、及びクロック信号 C L K 等の制御信号が供給される。この構成により、1 つのチップのチャネル c h A ~ チャネル c h D 各々は、チップ C 0 に配置された制御回路（制御回路 c h A ~ 制御回路 c h D ）の制御により、例えば、リード動作、ライト動作、リフレッシュ動作などの各種動作を独立に実行することができる。

また、図 4 に示すように、複数のチップにおいて、同一のチャネル同士では、データ D Q 、コマンド並びにアドレス（アドレス信号 A d d / コマンド信号 C M D ）、及び、クロック信号 C L K 等の制御信号が、各チャネルに対応して設けられた制御回路から共通に供給される。

#### 【 0 0 2 0 】

チップ C 0 の複数の制御回路から複数のチップに共通に供給されるデータ D Q 、コマンド並びにアドレス（アドレス信号 A d d / コマンド信号 C M D ）、及び、クロック信号 C L K 等の制御信号は、図 1 に示す 4 群の貫通電極 T S V c h A ~ 貫通電極 T S V c h D を介して伝達される。ここで、4 群の貫通電極 T S V c h A ~ 貫通電極 T S V c h D は、それぞれ各チップのチャネル c h A ~ チャネル c h D に対応して設けられる。つまり、複数の制御信号を伝達する制御信号経路各々は、図 1 に示す 1 群の貫通電極 T S V c h A ~ 貫通電極 T S V c h D から構成される。

#### 【 0 0 2 1 】

更に、チップ C 0 からは、複数の制御回路を介さずに、つまり、図 1 に示す積層型半導体装置 1 0 の一群の外部接続端子 T E から、チップ C 0 とチップ C 1 が接続されるバンプ電極 1 3 までの間に制御回路を挿入せずに接続された信号経路を経て、テストデータ t D Q 、テストアドレス並びにテストコマンド（テストアドレス信号 t A d d / テストコマンド信号 t C M D ）、及び、テストクロック信号 t C L K 等のテスト信号が、複数のチップ（チップ C 1 ~ チップ C 4 ）に供給される。つまり、複数のテスト信号を伝達するテスト信号経路各々は、図 1 に示す 1 群の貫通電極 T S V D A から構成される。

#### 【 0 0 2 2 】

10

20

30

40

50

これら複数のテスト信号を伝達する複数の信号経路は、チップC 0と複数のチップC 1～チップC 4を積層した積層型半導体装置10において、積層型半導体装置10の一群の外部接続端子TEから、チップC 0の複数の制御回路を通過することなく各チップに接続されている。つまり、これらの複数のテスト信号を伝達する複数の信号経路に対応して設けられた積層型半導体装置10の一群の外部接続端子TEからテスト信号を供給することで、チップC 0とチップC 1～チップC 4を積層した後でも、チップC 0の制御回路を介すことなく各チップにアクセスすることが可能となる。なお、詳細は後述するが、第1の実施形態においては、複数のテスト信号は、各チップの4つのチャネルで互いに共有される。

## 【0023】

10

図5は、チップC 1の平面図である。他のチップC 2～チップC 4もこのチップC 1と同一の構成である。以下、チップC 1の構成について説明する。

図4で示した4つのチャネルch A～チャネルch Dは、図5に示すように平面的に $2 \times 2$ の行列状に配置されている。

各チャネルが形成される領域には、各チャネルに対応する内部制御回路やメモリセルアレイを含む記憶領域部等(図5において不図示)が形成される。

## 【0024】

20

さらに、各チャネルが形成される領域に隣接して、複数の貫通電極がマトリクス状に配置される貫通電極アレイ(TSVアレイ)が、チャネル毎に形成される。

つまり、図1に示した4群の貫通電極TSV ch A～貫通電極TSV ch Dが、それぞれ対応するチャネルが形成される領域の貫通電極アレイに配置される。例えば、複数の貫通電極TSV ch Aは、チャネルch Aが形成される領域に隣接したTSVアレイ(ch A & DA)に配置される。他の3群の貫通電極TSV ch B～貫通電極TSV ch Dについても、同様に各チャネルが形成される領域に隣接したTSVアレイに配置される。また、図1に示す1群の貫通電極TSV DAは、4つのTSVアレイに分割して配置される。

つまり、それぞれのTSVアレイ(ch i & DA)には( $i = a, b, c, d$ )、自身が対応するチャネルの制御信号を転送する1群の貫通電極TSV ch iと、テスト信号を転送する貫通電極TSV DAの一部が配置されることになる。

## 【0025】

30

また、チップC 1には、図3に示すように複数のテストパッドPadが、TSVアレイ(ch a & DA)とTSVアレイ(ch b & DA)とを含むTSVアレイ列とTSVアレイ(ch c & DA)とTSVアレイ(ch d & DA)とを含むTSVアレイ列とに挟まれて配置されている。これら複数のテストパッドPadは、チップC 1をウェハ状態で試験するときに、つまり、チップC 1をチップC 0(コントローラチップ)に積層する前にチップ(DRAMチップ)を試験するときに使用される。

具体的には、外部のテスト装置のプローブを各パッドに接触させ、テスト装置とメモリチップとの間でテストデータtDQ、テストアドレス並びにテストコマンド(テストアドレス信号tAdd / テストコマンド信号tCMD)、及び、テストクロック信号tCLK等のテスト信号を取り出させる。テスト信号を取り出することにより、チップC 0内のメモリセルアレイにおける各メモリセルにテストデータを書き込み、書き込んだテストデータが正しく読み出されるか否かをテスト装置により判定する。

## 【0026】

40

なお、詳細は後述するが、これら複数のテストパッドPadは、それぞれ対応する1つの貫通電極TSV DAに対応して設けられる。好ましくは、互いに対応して設けられたテストパッドと貫通電極TSV DAとは、実質的に同一のテスト信号を受け取るように構成される。

## 【0027】

50

続いて、チップC 1～チップC 4の内部構成について、メモリチップC 1を例にして、図6を用いて詳細に説明する。図6は、チップC 1の詳細を示すブロック図である。

なお、図6において、二重丸で示す符号はチップC1の入出力端子としての貫通電極、表面バンプ及び裏面バンプを包括して示している。以降、図6の説明においては、発明的理解を容易にするためにこれら二重丸で示す符号を単にバンプと呼ぶこともある。また、二重四角で示す符号は、図4に示したテストパッドPadを示す。

#### 【0028】

チップC1は、テスト信号入力部TINU、4つのチャネルchA～チャネルchDを含んで構成される。

また、チップC1は、図1の貫通電極TSVchAに対応するノーマルバンプ群nbA（ノーマルアドレスバンプnba1a-1a、ノーマルコマンドバンプnbcma1a-ma、ノーマルチップセレクトバンプnbcscs1、ノーマルクロックバンプnbcck、ノーマルクロックイネーブルバンプnbccke1）、ノーマルデータ入出力バンプnbdQ1a-naを備える。これらのノーマルバンプは、チャネルchAに接続される。

同様に、チップC1は、貫通電極TSVchB～チャネルchDに対応するノーマルバンプ群nbb、ノーマルデータ入出力バンプnbdQ1b-nb、ノーマルバンプ群nbc、ノーマルデータ入出力バンプnbdQ1c-nc、ノーマルバンプ群nbd、ノーマルデータ入出力バンプnbdQ1d-ndを備える。これらのノーマルバンプは、チャネルchB～チャネルchDに接続される。ここで、ノーマルバンプ群nbb、ノーマルバンプ群nbc、及び、ノーマルバンプ群nbdは、ノーマルバンプ群nbaと同じ機能の複数のバンプを含むものとする。また、ノーマルデータ入出力バンプnbdQ1c-nc、ノーマルデータ入出力バンプnbdQ1c-nc、及び、ノーマルデータ入出力バンプnbdQ1d-ndは、ノーマルデータ入出力バンプnbdQ1a-naと同じ機能の複数のバンプを含むものとする。

#### 【0029】

また、チップC1は、図1の貫通電極TSVDAに対応する複数のテストバンプ（テストアドレスバンプtba1～1、テストコマンドバンプtbcma1～m、テストチップセレクトバンプtbcscs1、テストクロックバンプtbcck、テストクロックイネーブルバンプtbccke1、テストデータ入出力バンプtbdQ1a～ka、テストデータ入出力バンプtbdQ1b-kb、テストデータ入出力バンプtbdQ1c-kc、テストデータ入出力バンプtbdQ1d-kd）を備える。これらのテストバンプのうち、テストデータ入出力バンプを除くテストバンプは、テスト信号入力部TINUに接続され、テストデータ入出力バンプは、それぞれチャネルchA～チャネルchDに接続される。

#### 【0030】

また、チップC1は、図4の複数のテストパッドPadに対応する複数のテストパッド（テストアドレスパッドtpa1～1、テストコマンドパッドtpcm1～m、テストチップセレクトパッドtpcs1、テストクロックパッドtpck、テストクロックイネーブルパッドtpcke1、テストデータ入出力パッドtpDQ1a～ka、テストデータ入出力パッドtpDQ1b-kb、テストデータ入出力パッドtpDQ1c-kc、テストデータ入出力パッドtpDQ1d-kd）を備える。これらのテストパッドのうち、テストデータ入出力パッドを除くテストパッドは、テスト信号入力部TINUに接続され、テストデータ入出力パッドは、それぞれチャネルchA～チャネルchDに接続される。

#### 【0031】

図6では、4つのチャネルchA～チャネルchDのうち、チャネルchAについて詳細な構成を示している。他のチャネルに関しても実質的に同一構成であり、以下チャネルchAについて詳細に説明する。

ノーマルバンプ群nbaは、チャネルchAの制御信号入力端子として働くバンプであって、複数のノーマルアドレスバンプnba1a-1a、複数のノーマルコマンドバンプnbcma1a-ma、ノーマルチップセレクトバンプnbcscs1、ノーマルクロ

10

20

30

40

50

ックバンプ n b c k a、及びノーマルクロックイネーブルバンプ n b c k e a 1 を含む。

複数のノーマルアドレスバンプ n b a 1 a - 1 a は、チップ外部から供給される複数のアドレス信号 A d d を受け取る。

複数のノーマルコマンドバンプ n b c m 1 a - m a は、チップ外部から供給される複数のコマンド信号 C M D を受け取る。

ノーマルチップセレクトバンプ n b c s a 1 は、チップ外部から供給されるチップセレクト信号 C S (コマンド信号 C M D の一部) を受け取る。

ノーマルクロックバンプ n b c k a は、チップ外部から供給されるクロック信号 C L K を受け取る。 10

ノーマルクロックイネーブルバンプ n b c k e a 1 は、チップ外部から供給されるクロックイネーブル信号 C K E (クロック信号 C L K の一部) を受け取る。

#### 【0032】

また、ノーマルデータ入出力バンプ n b D Q 1 a - n a は、通常モードにおいて、チャネル c h A のデータ入出力端子として働くバンプであり、書き込み動作時には、外部から供給される複数のデータ D Q (ライトデータ) を受け取り、読み出し動作時にはチャネル c h A から出力される複数のデータ D Q (リードデータ) を受け取る。

#### 【0033】

複数のテストバンプは、チップ C 1 のテスト信号入出力端子として働くバンプであって、複数のテストアドレスバンプ t b a 1 ~ 1、複数のテストコマンドバンプ t b c m 1 ~ m、テストチップセレクトバンプ t b c s 1、テストクロックバンプ t b c k、及びテストクロックイネーブルバンプ t b c k e 1 を含む。 20

複数のテストアドレスバンプ t b a 1 ~ 1 は、チップ外部から供給される複数のテストアドレス信号 t A d d を受け取る。

複数のテストコマンドバンプ t b c m 1 ~ m は、チップ外部から供給される複数のテストコマンド信号 t C M D を受け取る。

テストチップセレクトバンプ t b c s 1 は、チップ外部から供給されるテストチップセレクト信号 t C S (テストコマンド信号 t C M D の一部) を受け取る。

テストクロックバンプ t b c k は、チップ外部から供給されるテストクロック信号 t C L K を受け取る。 30

テストクロックイネーブルバンプ t b c k e 1 は、チップ外部から供給されるテストクロックイネーブル信号 t C K E (テストクロック信号 t C L K の一部) を受け取る。

#### 【0034】

また、テストデータ入出力バンプ t b D Q 1 a ~ k a は、テストモードにおいて、チャネル c h A のデータ入出力端子として働くバンプであり、書き込み動作時においては、外部から供給される複数のテストデータ t D Q (テストライトデータ) を受け取り、読み出し動作時にはチャネル c h A から出力されるテストデータ t D Q (テストリードデータ) を受け取る。好ましくは、チャネル c h A に対応する複数のテストデータ入出力バンプ t b D Q 1 a ~ k a の数 (k) は、複数チャネル c h A に対応するノーマルデータ入出力バンプ n b D Q 1 a - n a の数 (n) よりも少ない (k < n)。 40

#### 【0035】

複数のテストパッドは、複数のテストバンプと同様に、チップ C 1 のテスト信号入出力端子として働くパッドであって、複数のテストアドレスパッド t p a 1 ~ 1、複数のテストコマンドパッド t p c m 1 ~ m、テストチップセレクトパッド t p c s 1、テストクロックパッド t p c k、及びテストクロックイネーブルパッド t p c k e 1 を含む。

複数のテストアドレスパッド t p a 1 ~ 1 は、チップ外部から供給される複数のテストアドレス信号 t A d d を受け取る。

複数のテストコマンドパッド t p c m 1 ~ m は、チップ外部から供給される複数のテストコマンド信号 t C M D を受け取る。

テストチップセレクトパッド t p c s 1 は、チップ外部から供給されるテストチップ

セレクト信号 t C S (テストコマンド信号 t C M D の一部)を受け取る。

テストクロックパッド t p c k は、チップ外部から供給されるテストクロック信号 t C L K を受け取る。

テストクロックイネーブルパッド t p c k e 1 は、チップ外部から供給されるテストクロックイネーブル信号 t C K E (テストクロック信号 t C L K の一部)を受け取る。

#### 【0036】

また、テストデータ入出力パッド t p D Q 1 a ~ k a は、テストモードにおいて、チャネル c h A のデータ入出力端子として働くバンプであり、書き込み動作時においては、外部から供給される複数のテストデータ t D Q (テストライトデータ)を受け取り、読み出し動作時にはチャネル c h A から出力されるテストデータ t D Q (テストリードデータ)を受け取る。好ましくは、チャネル c h A に対応する複数のテストデータ入出力バンプ t b D Q 1 a ~ k a の数 (k) は、複数チャネル c h A に対応するノーマルデータ入出力バンプ n b D Q 1 a - n a の数 (n) よりも少ない (k < n)。  
10

#### 【0037】

このように、チップ C 1 には複数のテストバンプと複数のテストパッドとの 2 種類のテスト信号入力端子が設けられている。

複数のテストバンプは、例えば、チップ C 1 ~ C 4 をチップ C 0 と積層した後、即ち、複数のテストパッドに外部から直接テスト装置等のプローブを接触させることができないときに、チップ C 1 ~ C 4 のテスト信号入出力端子として用いることができる。上述のとおり、複数のテストバンプは、図 1 に示す貫通電極 T S V D A に対応しているので、複数のテストバンプを備えることで、チップ C 0 と積層した後でも、外部から直接チップ C 1 ~ C 4 にアクセスすることが可能となる。  
20

#### 【0038】

次に、テスト信号入力部 T I N U の構成について説明する。

テスト信号入力部 T I N U は、チップ C 1 に供給されたテスト信号を各チャネルに共通に供給する部分である。テスト信号入力部 T I N U は、3 個のテスト入力バッファ部 t B U a、テスト入力バッファ部 t B U c m / c s、及びテスト入力バッファ部 t B U c k / c k e を含む。

テスト入力バッファ部 t B U a は、各々の入力ノードが、複数のテストアドレスバンプ t b a 1 ~ 1 のうちの対応する 1 つと複数のテストアドレスパッド t p a 1 ~ 1 のうちの対応する 1 つとの接続ノード t 1 N 1 1 ~ 1 に共通に接続された複数のテストアドレス入力バッファを含む。  
30

テスト入力バッファ部 t B U c m / c s は、各々の入力ノードが、複数のテストコマンドバンプ t b c m 1 ~ m 及びテストチップセレクトバンプ t b c s 1 のうちの対応する 1 つと複数のテストコマンドパッド t p c m 1 ~ m 及びテストチップセレクトパッド t p c s 1 との接続ノード t 2 N 1 1 ~ m + 1 に共通に接続された複数のテストコマンド入力バッファを含む。

テスト入力バッファ部 t B U c k / c k e は、各々の入力ノードが、テストクロックバンプ t b c k 及びテストクロックイネーブルバンプ t b c k e 1 のうちの対応する 1 つとテストクロックバンプ t b c k 及びテストクロックイネーブルバンプ t b c k e 1 との接続ノード t 3 N 1 1 ~ 2 に共通に接続された 2 つのテストクロック入力バッファを含む。  
40

#### 【0039】

このように、本実施例のテスト信号入力部 T I N U は、各々 1 つのテストバンプと 1 つのテストパッドとを含む複数のテスト入力端子ペアに対応して設けられた複数のテスト入力バッファを含み、これら複数のテスト入力バッファの入力ノードが、対応するテスト入力端子ペアに含まれるテストバンプ及びテストパッドと共に接続されている。

言い換えれば、複数のテスト入力端子ペアに含まれる 1 つのテストバンプと 1 つのテストパッドとは、チップ内の配線により互いに接続されており、このチップ内配線上のノードが対応するテスト入力バッファの入力ノードに接続されている。  
50

一方、複数のテスト入力バッファの出力ノードは、4つのチャネルに共通に接続されている。

#### 【0040】

続いて、チャネルchAの内部構成について説明する。なお、チャネルchB～チャネルchDについては、チャネルchAと同一構成であるので、その説明を適宜省略する。

チャネルchAは、3個のノーマル入力バッファ部nBUa、ノーマル入力バッファ部nBUCm/cS、ノーマル入力バッファ部nBUCk/cKe、4個のスイッチ回路部SWU21～スイッチ回路部SWU24、アクセス制御回路41、メモリセルアレイ42、データ入出力回路43、ノーマルデータ入出力バッファ部nBUDQ、及びテストデータ入出力バッファ部tBUDQを備える。チャネルchB～チャネルchDについても、これら各回路を備える。10

#### 【0041】

ノーマル入力バッファ部nBUaは、各々の入力ノードが、複数のノーマルアドレスバンプnba1a-1aのうちの対応する1つに接続された複数のノーマルアドレス入力バッファを含む。ノーマル入力バッファ部nBUCm/cSは、各々の入力ノードが、複数のノーマルコマンドバンプnbcma1a-ma及びノーマルチップセレクトバンプnbcsa1のうちの対応する1つに接続された複数のノーマルコマンド入力バッファを含む。ノーマル入力バッファ部nBUCk/cKeは、各々の入力ノードが、ノーマルクロックバンプnbcka及びテストクロックイネーブルバンプtbckea1のうちの対応する1つに接続された2つのノーマルクロック入力バッファを含む。20

#### 【0042】

スイッチ回路部SWU21～スイッチ回路部SWU23は、ノーマル入力バッファ部nBUa, nBUCm/cS, nBUCk/cKeの出力ノードとテスト入力バッファ部tBUa, tBUCm/cS, tBUCk/cKeの出力ノードとに接続され、制御信号又はテスト信号のいずれか一方をアクセス制御回路41に供給する。

具体的には、スイッチ回路部SWU21は、それぞれが、ノーマル入力バッファ部nBUaの複数のノーマルアドレス入力バッファのうちの対応する1つの出力ノードとテスト入力バッファ部tBUaの複数のテストアドレス入力バッファのうちの対応する1つの出力ノード(接続ノードt1N21～1)とに接続され、それぞれアドレス信号Ad(制御信号)のうちの対応する1つ又はテストアドレス信号tAdd(テスト信号)のうちの対応する1つのいずれか一方を、出力ノードからアクセス制御回路41に供給する複数のスイッチ回路を含む。30

#### 【0043】

スイッチ回路部SWU22は、それぞれが、ノーマル入力バッファ部nBUCm/cSの複数のノーマルコマンド入力バッファのうちの対応する1つの出力ノードとテスト入力バッファ部tBUCm/cSの複数のテストコマンド入力バッファのうちの対応する1つの出力ノード(接続ノードt2N21～m+1)とに接続され、それぞれ、コマンド信号CMD及びチップセレクト信号CS(制御信号)のうちの対応する1つ又はテストコマンド信号tCMD(テスト信号)及びテストチップセレクト信号tCSのうちの対応する1つのいずれか一方を、出力ノードからアクセス制御回路41に供給する複数のスイッチ回路を含む。40

#### 【0044】

スイッチ回路部SWU23は、それぞれが、ノーマル入力バッファ部nBUCk/cKeの2つのノーマルクロック入力バッファのうちの対応する1つの出力ノードとテスト入力バッファ部tBUCk/cKeの2つのテストクロック入力バッファのうちの対応する1つの出力ノード(接続ノードt3N21～2)とに接続され、それぞれ、クロック信号CLK及びクロックイネーブル信号CKE(制御信号)又はテストクロック信号tCLK及びテストクロックイネーブル信号tCKEのうちの対応する1つ(テスト信号)のいずれか一方を、出力ノードからアクセス制御回路41に供給す50

る。

【0045】

なお図6には図示していないが、これらスイッチ回路部SWU21～スイッチ回路部SWU23は、テストイネーブル信号によって制御される構成とする。例えば、アクセス制御回路41が、所定のテストコマンドと所定テストアドレスの組み合せに応じてテストイネーブル信号を活性化することができる。

【0046】

アクセス制御回路41は、チップC1の外部からスイッチ回路部SWU21～スイッチ回路部SWU23を介して供給された制御信号又はテスト信号に応じて、チップC1内部の各種動作、例えばリード動作、ライト動作、リフレッシュ動作などの各種動作を制御する回路である。  
10

メモリセルアレイ42は、複数のメモリセルMCを含む。アクセス制御回路41は、コマンド信号CMD及びチップセレクト信号CS(又はテストコマンド信号tCMD及びテストチップセレクト信号tCS)、及びアドレス信号Add(又はテストアドレス信号tAdd)に応じてメモリセルMCにアクセスし、リード動作ではメモリセルMCが記憶するリードデータをデータ入出力回路43に対して出力させる。また、ライト動作ではデータ入出力回路43が出力するライトデータをメモリセルMCに記憶させる。

データ入出力回路43は、クロック信号CLK(又はテストクロック信号tCLK)に応じて動作し、リード動作時にはメモリセルアレイ42から受け取ったリードデータを、データ入出力部を介してメモリチップ外部に出力し、ライト動作時にはデータ入出力部を介してチップ外部から供給されたライトデータをメモリセルアレイ42に供給する。  
20

【0047】

チャネルchAはデータ入出力部として、スイッチ回路部SWU24、ノーマルデータ入出力バッファ部nBUDQ、及びテストデータ入出力バッファ部tBUDQを備える。ノーマルデータ入出力バッファ部nBUDQは、複数のノーマルデータ入力バッファnBIDQ<sub>1a-n</sub>aと複数のノーマルデータ出力バッファnBODQ<sub>1a-n</sub>aとを含む。以下では、ノーマルデータ入力バッファnBIDQ<sub>1a-n</sub>aの1つと複数のノーマルデータ出力バッファnBODQ<sub>1a-n</sub>aのうちの対応する1つとをまとめてノーマルデータ入出力バッファとも呼ぶ。

1つのノーマルデータ入出力バッファ内において、ノーマルデータ入力バッファnBIDQの入力ノードとノーマルデータ出力バッファnBODQの出力ノードが共通に接続され、このノードをノーマルデータ入出力バッファの第1の接続ノードnBN1(1a-n)とする。  
30

また、1つのノーマルデータ入出力バッファ内において、ノーマルデータ入力バッファnBIDQの出力ノードとノーマルデータ出力バッファnBODQの入力ノードが共通に接続され、このノードをノーマルデータ入出力バッファの第2の接続ノードnBN2(1a-n)とする。ノーマルデータ入出力バッファ部nBUDQの複数のノーマルデータ入出力バッファの第1の接続ノードnBN1(1a-n)は、複数のノーマルデータ入出力バンプnBDQ<sub>1a-n</sub>aに対応して接続され、第2の接続ノードnBN2は、スイッチ回路部SWU24に接続される。  
40

【0048】

テストデータ入出力バッファ部tBUDQは、複数のテストデータ入力バッファtBIDQ<sub>1a-k</sub>aと複数のテストデータ出力バッファtBODQ<sub>1a-k</sub>aとを含む。以下では、テストデータ入力バッファtBIDQ<sub>1a-k</sub>aの1つと複数のテストデータ出力バッファtBODQ<sub>1a-k</sub>aのうちの対応する1つとをまとめてテストデータ入出力バッファとも呼ぶ。

1つのテストデータ入出力バッファ内において、テストデータ入力バッファtBIDQの入力ノードとテストデータ出力バッファtBODQの出力ノードが共通に接続され、このノードをテストデータ入出力バッファの第1の接続ノードtBN1(1a-k)とする。  
50

また、1つのテストデータ入出力バッファ内において、テストデータ入力バッファ t B I D Q の出力ノードとテストデータ出力バッファ t B O D Q の入力ノードが共通に接続され、このノードをテストデータ入出力バッファの第2の接続ノード t B N 2 1 a ~ k a とする。

#### 【0049】

テストデータ入出力バッファ部 t B U D Q の複数のテストデータ入出力バッファのそれぞれの第1の接続ノード t B N 1 は、複数のテストデータ入出力バンプ t b D Q 1 a ~ k a の対応する1つ及び複数のテストデータ入出力パッド t p D Q 1 a ~ k a の対応する1つに共通に接続され、第2の接続ノード t B N 2 は、スイッチ回路部 SWU24に接続される。

10

このように、本実施例のテストデータ入出力バッファ部 t B U D Q は、各々1つのテストデータ入出力バンプと1つのテストデータ入出力パッドとを含む複数のテストデータ入出力端子ペアに対応して設けられた複数のテストデータ入出力バッファを含み、これら複数のテストデータ入出力バッファの第1の接続ノードが、対応するテストデータ入出力端子ペアに含まれるテストデータ入出力バンプ及びテストデータ入出力パッドと共に接続されている。

#### 【0050】

言い換えるれば、複数のテストデータ入出力端子ペアに含まれる1つのテストデータ入出力バンプと1つのテストデータ入出力パッドとは、チップ内の配線により接続されており、このチップ内配線上のノードが対応するテストデータ入出力バッファの第1の接続ノードに接続されている。

20

尚、図6では、テストデータ入出力バッファ部 t B U D Q は、複数のテストデータ入力バッファ t B I D Q 1 a ~ k a と複数のテストデータ出力バッファ t B O D Q 1 a ~ k aとの両方を含む構成を示したが、他の構成として、テストデータ入出力バッファ部 t B U D Q が、複数のテストデータ入力バッファ t B I D Q 1 a ~ k a と複数のテストデータ出力バッファ t B O D Q 1 a ~ k aとのいずれか一方のみを含む構成とすることもできる。

#### 【0051】

スイッチ回路部 SWU24は、それぞれが、ノーマルデータ入出力バッファ部 n B U D Q の複数のノーマルデータ入出力バッファのうちの対応する1つの第2の接続ノード n B N 2 とテストデータ入出力バッファ部 t B U D Q の複数のテストデータ入出力バッファのうちの対応する1つの第2の接続ノード t B N 2 とに接続される複数のスイッチ回路を含む。

30

スイッチ回路部 SWU24に含まれる複数のスイッチ回路それは、リード動作において、データ入出力回路43からの複数のリードデータのうちの対応する1つを受け取り、複数のノーマルデータ入出力バッファのうちの対応する1つ、又は、テストデータ入出力バッファ部 t B U D Q の複数のテストデータ入出力バッファのうちの対応する1つに供給する。

また、スイッチ回路部 SWU24に含まれる複数のスイッチ回路のそれは、ライト動作において、複数のノーマルデータ入出力バッファのうちの対応する1つ、又は、テストデータ入出力バッファ部 t B U D Q の複数のテストデータ入出力バッファのうちの対応する1つから供給されるライトデータを受け取り、データ入出力回路43に対して供給する。

40

#### 【0052】

チャネル c h B ~ チャネル c h D 各々も、チャネル c h A と同様の回路構成を有し、図6に示すようにテストデータ入出力パッド t p D Q 1 i ~ k i ( i = b, c, d ) 、ノーマルデータ入出力バンプ n b D Q 1 i ~ n i ( i = b, c, d ) 、テストデータ入出力バンプ t b D Q 1 i ~ k i ( i = b, c, d ) を備えている。

このように、各チャネルの入力側はテスト用信号を共有する構成となっているが、出力側は、テストデータ入出力パッド及びテストデータ入出力バンプがチャネル毎に独立した

50

構成となっており、テストモードにおいて、テスストリードデータの読み出し、テストライトデータの書き込みをチャネル毎に独立に行うことができる。

#### 【0053】

次に、図6に示した複数のノーマルバンプ及び複数のテストバンプが、チップC0～C4を積層したときに貫通電極TSVを介してどのように接続されるかについて説明する。

図7は、チップC0～C4を積層したときの、各チップ間の接続関係を示す図である。まず、複数のノーマルバンプの接続関係について、説明する。

図7に示すように、チップC1～C4のそれぞれの、複数のノーマルアドレスバンプnba\_1i - 1i (i = a, b, c, d)、複数のノーマルコマンドバンプnbc\_m\_1i - mi (i = a, b, c, d)、ノーマルクロックバンプnbc\_k\_i (i = a, b, c, d)、及び、ノーマルデータ入出力バンプnbdQ\_1i - ni (i = a, b, c, d)は、それぞれ図2(b)に示した貫通電極TSVM1の型で互いに接続される。また、互いに接続されたノーマルバンプ各々は信号経路(第1の制御信号経路)を構成し、第1の制御信号経路各々は、SOCチップC0の制御回路に接続される。第1の制御信号経路各々は、アドレス信号Add、コマンド信号CMD、クロック信号CLK、及び、データDQをそれぞれ伝送する。

#### 【0054】

また、チップC1～C4のそれぞれの、ノーマルチップセレクトバンプnbc\_s\_ij (i = a, b, c, d, j = 1, 2, 3, 4)、及び、ノーマルクロックイネーブルバンプnbc\_ke\_ij (i = a, b, c, d, j = 1, 2, 3, 4)は、それぞれ図2(b)に示した貫通電極TSVM2の型で互いに接続される。また、互いに接続されたノーマルバンプ各々は信号経路(第2の制御信号経路)を構成し、第2の制御信号経路各々は、SOCチップC0の制御回路に接続される。第2の制御信号経路各々は、コマンド信号CMDの一部としてのチップセレクト信号CS\_ij (i = a, b, c, d, j = 1, 2, 3, 4)及びクロック信号の一部としてのクロックイネーブル信号CKE\_ij (i = a, b, c, d, j = 1, 2, 3, 4)をそれぞれ伝送する。

この構成により、通常モード時には、チップC0～C4のそれぞれのチャネルch\_A～ch\_Dの各々に独立してチップセレクト信号CS及びクロックイネーブル信号CKEを供給することができる。

#### 【0055】

次に、複数のテストバンプの接続について説明する。図7に示すように、チップC1～C4のそれぞれの、複数のテストアドレスバンプtba\_1～1、複数のテストコマンドバンプtbc\_m\_1～m、テストクロックバンプtbc\_k、及び、テストデータ入出力バンプtbdQ\_1i - ki (i = a, b, c, d)は、それぞれ図2(b)に示した貫通電極TSVM1の型で互いに接続される。また、互いに接続されたテストバンプ各々は信号経路(第1のテスト信号経路)を構成し、第1のテスト信号経路各々は、SOCチップC0の制御回路とは接続されず、SOCチップC0に形成された図2(a)に示す貫通電極TSVS2の型の貫通電極に接続される。第1のテスト信号経路各々は、テストアドレス信号tAdd、テストコマンド信号tCMD、テストクロック信号tCLK、及び、テストデータtDQをそれぞれ伝送する。

#### 【0056】

また、チップC1～C4のそれぞれの、テストチップセレクトバンプtbc\_s\_j (j = 1, 2, 3, 4)、及び、複数のテストクロックイネーブルバンプtbc\_ke\_j (j = 1, 2, 3, 4)は、それぞれ図2(b)に示した貫通電極TSVM2の型で互いに接続される。また、互いに接続されたテストバンプ各々は信号経路(第2のテスト信号経路)を構成し、第2のテスト信号経路各々は、SOCチップC0の制御回路とは接続されず、SOCチップC0に形成された図2(a)に示す貫通電極TSVS2の型の貫通電極に接続される。第2のテスト信号経路各々は、テストコマンド信号tCMDの一部としてのテストチップセレクト信号tCS\_j (j = 1, 2, 3, 4)及びテストクロック信号tCLKの一部としてのテストクロックイネーブル信号tCKE\_j (j = 1, 2, 3, 4)を

10

20

30

40

50

それぞれ伝送する。

この構成により、テストモード時には、チップC 0 ~ C 4 のそれぞれに独立してテストチップセレクト信号 t C S 及びテストクロックイネーブル信号 t C K E を供給することができる。

#### 【0057】

このように、テストパッドとテストバンプとが選択回路（スイッチ回路部 SWU21 ~ スイッチ回路部 SWU24）の1つの入力ノード（t1N2\_1 ~ 1、t2N2\_1 ~ m+1、t3N2\_1 ~ 2、tBN2\_1a ~ ka）に、バッファ（テスト入力バッファ部 tBU\_a、tBU\_cm / cs、tBU\_ck / ck\_e、テストデータ入出力バッファ部 tBU\_DQ）を介して共通に接続される。この選択回路の1つの入力ノードを、第1の半導体チップ（チップC1）内を伝達するテスト信号（テストアドレス信号 tAdd、テストコマンド信号 tCMD、テストクロック信号 tCLK、テストデータ tDQ）に用いることができる。10

そのため、本発明によれば、チップC1をチップC0に積層する前と積層する後で別々のテスト信号用の配線を設ける必要はなくなり、積層用半導体装置の半導体チップにテスト端子を配置した際の半導体チップ内の配線の増加を抑制することができる。

#### 【0058】

##### [第2の実施形態]

続いて、第2の実施形態について説明する。第2の実施形態では、スイッチ回路部 SWU21 ~ スイッチ回路部 SWU24 と、テストバンプ及びテストバンプとの間に、スイッチ回路部を設け、テストバンプからのテスト信号とテストパッドからのテスト信号とを切り替える構成とした。20

図8は、第2の実施形態におけるチップC1の詳細を示すブロック図である。なお、図8において、図6と同一の部分には同一の符号を付し、その説明を適宜省略する。

#### 【0059】

具体的には、第1の実施形態と比較して、第2の実施形態は以下の構成上の相違点を有する。

テスト信号入力部 TINU は、図6に示す、3個のテスト入力バッファ部 tBU\_a、テスト入力バッファ部 tBU\_cm / cs、及びテスト入力バッファ部 tBU\_ck / ck\_e に替えて、以下に説明するテスト入力バッファ部、スイッチ回路部を備える。30

すなわち、テスト信号入力部 TINU は、4個のテスト入力バッファ部 tB\_BU\_a、テスト入力バッファ部 tP\_BU\_a、テスト入力バッファ部 tB\_BU\_cm、及びテスト入力バッファ部 tP\_BU\_cm を備える。また、テスト信号入力部 TINU は、6個のテスト入力バッファ tB\_BU\_cs、テスト入力バッファ tP\_BU\_cs、テスト入力バッファ tB\_BU\_ck、テスト入力バッファ tP\_BU\_ck、テスト入力バッファ tB\_BU\_ck\_e、及びテスト入力バッファ tP\_BU\_ck\_e を備える。また、テスト信号入力部 TINU は、3個のスイッチ回路部 SWU11 ~ スイッチ回路部 SWU13 を備える。

#### 【0060】

テスト入力バッファ部 tB\_BU\_a は、各々の入力ノードが、複数のテストアドレスバンプ tba\_1 ~ 1 のうちの対応する1つに接続された複数のテストアドレス入力バッファを含む。40

テスト入力バッファ部 tP\_BU\_a は、各々の入力ノードが、複数のテストアドレスパッド tpa\_1 ~ 1 のうちの対応する1つに接続された複数のテストアドレス入力バッファを含む。

テスト入力バッファ部 tB\_BU\_cm は、各々の入力ノードが、複数のテストコマンドバンプ tbc\_m\_1 ~ m のうちの対応する1つに接続された複数のテストコマンド入力バッファを含む。

テスト入力バッファ部 tP\_BU\_cm は、各々の入力ノードが、複数のテストコマンドパッド tpc\_m\_1 ~ m のうちの対応する1つに接続された複数のテストコマンド入力バッファを含む。50

テスト入力バッファ  $t_{bBUcs}$  は、入力ノードが、テストチップセレクトバンプ  $t_{bcS1}$  に接続されたテストコマンド入力バッファである。

テスト入力バッファ  $t_{pBUcs}$  は、入力ノードが、テストチップセレクトパッド  $t_{pcS1}$  に接続されたテストコマンド入力バッファである。

テスト入力バッファ  $t_{bBUck}$  は、入力ノードが、テストクロックバンプ  $t_{bck}$  に接続されたテストクロック入力バッファである。

テスト入力バッファ  $t_{pBUck}$  は、入力ノードが、テストクロックパッド  $t_{pck}$  に接続されたテストクロック入力バッファである。

テスト入力バッファ  $t_{bBUcke}$  は、入力ノードが、テストクロックイネーブルバンプ  $t_{bcke}$  に接続されたテストクロック入力バッファである。 10

テスト入力バッファ  $t_{pBUcke}$  は、入力ノードが、テストクロックイネーブルパッド  $t_{pcke}$  に接続されたテストクロック入力バッファである。

#### 【0061】

スイッチ回路部  $SWU11$  ~  $SWU13$  は、テスト入力バッファ部またはテスト入力バッファの出力ノードに接続され、テストバンプまたはテストパッドに入力されるテスト信号のいずれか一方を後段のスイッチ回路部  $SWU21$  ~  $SWU23$  に供給する。

具体的には、スイッチ回路部  $SWU11$  は、それぞれが、テスト入力バッファ部  $t_{bBu_a}$  の複数のテストアドレス入力バッファのうちの対応する1つの出力ノードとテスト入力バッファ部  $t_{pBUa}$  の複数のテストアドレス入力バッファのうちの対応する1つの出力ノードとに接続される。スイッチ回路部  $SWU11$  は、それぞれテストバンプから入力されるテストアドレス信号  $t_{Add}$  (テスト信号) のうちの対応する1つ又はテストパッドから入力されるテストアドレス信号  $t_{Add}$  のうちの対応する1つのいずれか一方を、出力ノード (接続ノード  $t_{1N21~1}$ ) からスイッチ回路部  $SWU11$  に供給する複数のスイッチ回路を含む。 20

#### 【0062】

スイッチ回路部  $SWU12$  は、それぞれが、テスト入力バッファ部  $t_{bBUcm}$  の複数のテストコマンド入力バッファのうちの対応する1つの出力ノードと、テスト入力バッファ部  $t_{pBUcm}$  の複数のテストコマンド入力バッファのうちの対応する1つの出力ノードとに接続される。スイッチ回路部  $SWU12$  は、それぞれテストバンプから入力されるテストコマンド信号  $t_{CMD}$  (テスト信号) のうちの対応する1つ又はテストパッドから入力されるテストコマンド信号  $t_{CMD}$  のうちの対応する1つのいずれか一方を、出力ノード (接続ノード  $t_{2N21~m}$ ) からスイッチ回路部  $SWU22$  に供給する複数のスイッチ回路を含む。 30

また、スイッチ回路部  $SWU12$  は、テスト入力バッファ  $t_{bBUcs}$  の出力ノードと、テスト入力バッファ  $t_{pBUcs}$  の出力ノードとに接続される。スイッチ回路部  $SWU12$  は、テストバンプから入力されるテストチップセレクト信号  $t_{CS}$  (テスト信号) 又はテストパッドから入力されるテストチップセレクト信号  $t_{CS}$  のいずれか一方を、出力ノード (接続ノード  $t_{2N2m+1}$ ) からスイッチ回路部  $SWU22$  に供給するスイッチ回路を含む。 40

#### 【0063】

スイッチ回路部  $SWU13$  は、テスト入力バッファ  $t_{bBUck}$  の出力ノードとテスト入力バッファ  $t_{pBUck}$  の出力ノードとに接続され、テストバンプから入力されるテストクロック信号  $t_{CLK}$  (テスト信号) 又はテストパッドから入力されるテストクロック信号  $t_{CLK}$  のいずれか一方を、出力ノード (接続ノード  $t_{3N21}$ ) からスイッチ回路部  $SWU23$  に供給する。

また、スイッチ回路部  $SWU13$  は、テスト入力バッファ  $t_{bBUcke}$  の出力ノードとテスト入力バッファ  $t_{pBUcke}$  の出力ノードとに接続され、テストバンプから入力されるテストクロックイネーブル信号  $t_{CKE}$  (テスト信号) 又はテストパッドから入力されるテストクロックイネーブル信号  $t_{CKE}$  のいずれか一方を、出力ノード (接続ノー 50

ド t 3 N 2 2 ) からスイッチ回路部 SWU23 に供給する。

【0064】

続いて、チャネル ch A の内部構成について、図 6 に示すチャネル ch A の内部構成との相違する部分について説明する。なお、チャネル ch B ~ チャネル ch D については、チャネル ch A と同一構成であるので、その説明を適宜省略する。

チャネル ch A はデータ入出力部として、テストデータ入出力バッファ部 tbUDQ に替えて、テストデータ入出力バッファ部 tbBUDQ、テストデータ入出力バッファ部 tpBUDQ、及びスイッチ回路部 SWU14 を備える。

【0065】

テストデータ入出力バッファ部 tbBUDQ は、複数のテストデータ入力バッファ tbBIDQ 1a ~ ka と複数のテストデータ出力バッファ tbBODQ 1a ~ ka とを含む。以下では、テストデータ入力バッファ tbBIDQ 1a ~ ka の 1 つと複数のテストデータ出力バッファ tbBODQ 1a ~ ka のうちの対応する 1 つとをまとめてテストデータ入出力バッファとも呼ぶ。10

1 つのテストデータ入出力バッファ内において、テストデータ入力バッファ tbBIDQ の入力ノードとテストデータ出力バッファ tbBODQ の出力ノードが共通に接続され、このノードをテストデータ入出力バッファの第 1 の接続ノード tbBN1 1a ~ ka とする。

また、1 つのテストデータ入出力バッファ内において、テストデータ入力バッファ tbBIDQ の出力ノードとテストデータ出力バッファ tbBODQ の入力ノードが共通に接続され、このノードをテストデータ入出力バッファの第 2 の接続ノード tbBN2 1a ~ ka とする。20

【0066】

テストデータ入出力バッファ部 tbBUDQ の複数のテストデータ入出力バッファのそれぞれの第 1 の接続ノード tbBN1 は、複数のテストデータ入出力バンプ tbBDQ 1a ~ ka の対応する 1 つに共通に接続され、第 2 の接続ノード tbBN2 は、スイッチ回路部 SWU14 に接続される。20

このように、本実施例のテストデータ入出力バッファ部 tbBUDQ は、複数のテストデータ入出力バンプに対応して設けられた複数のテストデータ入出力バッファを含み、これら複数のテストデータ入出力バッファの第 1 の接続ノードが、対応するテストデータ入出力バンプと共に接続されている。30

【0067】

テストデータ入出力バッファ部 tpBUDQ は、複数のテストデータ入力バッファ tpBIDQ 1a ~ ka と複数のテストデータ出力バッファ tpBODQ 1a ~ ka とを含む。以下では、テストデータ入力バッファ tpBIDQ 1a ~ ka の 1 つと複数のテストデータ出力バッファ tpBODQ 1a ~ ka のうちの対応する 1 つとをまとめてテストデータ入出力バッファとも呼ぶ。

1 つのテストデータ入出力バッファ内において、テストデータ入力バッファ tpBIDQ の入力ノードとテストデータ出力バッファ tpBODQ の出力ノードが共通に接続され、このノードをテストデータ入出力バッファの第 1 の接続ノード tpBN1 1a ~ ka とする。40

また、1 つのテストデータ入出力バッファ内において、テストデータ入力バッファ tpBIDQ の出力ノードとテストデータ出力バッファ tpBODQ の入力ノードが共通に接続され、このノードをテストデータ入出力バッファの第 2 の接続ノード tpBN2 1a ~ ka とする。

【0068】

テストデータ入出力バッファ部 tpBUDQ の複数のテストデータ入出力バッファのそれぞれの第 1 の接続ノード tpBN1 は、複数のテストデータ入出力パッド tpPDQ 1a ~ ka の対応する 1 つに共通に接続され、第 2 の接続ノード tpBN2 は、スイッチ回路部 SWU14 に接続される。50

このように、本実施例のテストデータ入出力バッファ部 t p B U D Q は、複数のテストデータ入出力パッドに対応して設けられた複数のテストデータ入出力バッファを含み、これら複数のテストデータ入出力バッファの第 1 の接続ノードが、対応するテストデータ入出力パッドと共に接続されている。

#### 【0069】

言い換えれば、複数のテストデータ入出力端子ペアに含まれる 1 つのテストデータ入出力アンプと 1 つのテストデータ入出力パッドとは、第 1 の実施形態とは相違して、チップ内の配線により接続されることなく、それぞれの対応するテストデータ入出力バッファの第 1 の接続ノードに接続されている。

#### 【0070】

スイッチ回路部 SWU14 は、それぞれが、テストデータ入出力バッファ部 t b B U D Q の複数のノーマルデータ入出力バッファのうちの対応する 1 つの第 2 の接続ノード t b BN2 とテストデータ入出力バッファ部 t p B U D Q の複数のテストデータ入出力バッファのうちの対応する 1 つの第 2 の接続ノード t p BN2 とに接続される複数のスイッチ回路を含む。

スイッチ回路部 SWU14 に含まれる複数のスイッチ回路それは、リード動作において、データ入出力回路 43 からの複数のリードデータのうちの対応する 1 つをスイッチ回路部 SWU24 を介して受け取り、テストデータ入出力バッファ部 t b B U D Q の複数のテストデータ入出力バッファのうちの対応する 1 つ、又は、テストデータ入出力バッファ部 t p B U D Q の複数のテストデータ入出力バッファのうちの対応する 1 つに供給する。  
。

また、スイッチ回路部 SWU14 に含まれる複数のスイッチ回路のそれは、ライト動作において、テストデータ入出力バッファ部 t b B U D Q の複数のテストデータ入出力バッファのうちの対応する 1 つ、又は、テストデータ入出力バッファ部 t p B U D Q の複数のテストデータ入出力バッファのうちの対応する 1 つから供給されるライトデータを受け取り、スイッチ回路部 SWU24 を介してデータ入出力回路 43 に対して供給する。

#### 【0071】

チャネル ch B ~ チャネル ch D 各々も、チャネル ch A と同様、テストデータ入出力アンプ t b DQ 1i ~ ki ( i = b, c, d ) に対応するテストデータ入出力バッファ部 t b B U D Q 、テストデータ入出力パッド t p DQ 1i ~ ki ( i = b, c, d ) に対応するテストデータ入出力バッファ部 t p B U D Q 、及びスイッチ回路部 SWU14 を備えている。

#### 【0072】

第 2 の実施形態では、例えばチップ C1 ~ チップ C4 のチップ C0 への積層後のテスト時において、チャネル内のテストパッドにチャネル内の回路あるいは配線などからノイズが印加されて誤った電圧が印加された場合でも、テストパッドをスイッチ回路部 SWU11 ~ スイッチ回路部 SWU14 により各チャネルの内部回路から電気的に切り離すことができるため、誤ってテスト動作することを抑制できる。

#### 【0073】

また、第 1 の実施形態または第 2 の実施形態において、各チップの各チャネルにおいてリード動作、ライト動作等を独立にテストすることが可能となる。

例えば、テスト装置からテスト信号のうち、テストアドレス信号 t ADD 、テストコマンド信号 t CMD 、テストクロック信号 t CLK 、及び、テストデータ t DQ を、図 2 ( b ) に示した貫通電極 T SVM1 の型で互いに接続される第 1 のテスト信号経路に供給する。

また、テスト装置からテスト信号のうち、テストチップセレクト信号 t CSj ( j = 1 ~ 2, 3, 4 ) 及びテストクロック信号 t CLK の一部としてのテストクロックイネーブル信号 t CKEj ( j = 1, 2, 3, 4 ) を、それぞれ図 2 ( b ) に示した貫通電極 T SVM2 の型で互いに接続される第 2 のテスト信号経路 ( テスト信号経路のうち、チップ C1 ~ チップ C4 のうち 1 チップの選択に係るテスト信号が伝達されるテスト信号経路 ) に

10

20

30

40

50

供給する。

これにより、積層型半導体装置 1 0において、チップ C 1～チップ C 4のいずれかのチップにおいて、チャネル c h A～チャネル c h Dをそれぞれ選択状態にし、例えばテストデータ t D Qをチャネル間で独立に入出力して、ライトテストまたはリードテストを行うことができる。

#### 【0074】

本願の技術思想は、メモリ機能を有する半導体装置に適用できる。更に、図面で開示した各回路ブロック内の回路形式、その他の制御信号を生成する回路は、実施例が開示する回路形式に限られない。

本発明の請求の範囲の枠内において種々の開示要素の多様な組み合わせ、ないし選択が可能である。すなわち、本発明は、請求の範囲を含む全開示、技術的思想にしたがって当業者であれば成し得る各種変形、修正を含むことは勿論である。

#### 【0075】

例えば、本実施形態では、貫通電極 T S Vにより信号経路を構成し、各チップ間を接続する例について説明したが、貫通電極 T S Vを用いず、ワイヤーボンディング技術によりチップ間を接続する場合についても本願は有効である。

図 9 は、ワイヤーボンディング技術を用いてチップを接続した積層型半導体装置 1 0 b の概略構成を示す断面図である。

図 9において、図 1と同様の部分については同じ符号を付し、その説明を省略する。図 9に示すように、チップ C 0における制御回路は、ボンディングワイヤ B W N W 0により入力端子 9 1(図 1におけるバンプ電極 1 3に相当する)が、パッケージ基板 1 1の再配線層(図 9において不図示)に接続される。この入力端子 9 1には、外部装置から外部接続端子 T Eを介して制御信号が供給される。

#### 【0076】

また、チップ C 0の上に積層されたチップ C 1の入力端子 9 3(図 1におけるノーマル用のバンプ電極 1 3に相当する)は、ボンディングワイヤ B W N Wにより、チップ C 0における制御回路の出力端子 9 2に接続される。このチップ C 1の入力端子 9 3には、チップ C 0における制御回路から制御信号(例えば、第 1 の実施形態におけるコマンド信号 C M D)が供給される。

また、チップ C 1の入力端子 9 4(図 1におけるテスト用のバンプ電極 1 3に相当する)は、ボンディングワイヤ B W D Aにより、パッケージ基板 1 1の再配線層に接続される。この入力端子 9 4には、外部装置から外部接続端子 T Eを介してテスト信号が供給される。

#### 【0077】

このように、第 1 の実施形態においてチップの積層後のテスト時に用いるテスト信号経路は、一群の貫通電極 T S Vから構成されるテスト信号経路であったが、本例ではボンディングワイヤ B W D Aにより構成されるテスト信号経路である。つまり、本発明は、貫通電極を使用した積層型半導体装置のみでなく、ボンディングワイヤ技術を使用した積層型半導体装置にも適用可能である。

#### 【符号の説明】

#### 【0078】

1 0 , 1 0 b ... 積層型半導体装置、1 1 ... パッケージ基板、1 2 ... 封止樹脂、T E ... 外部接続端子、1 3 ... バンプ電極、T S V , T S V S 1 , T S V S 2 , T S V M , T S V M 1 , T S V M 2 , T S V M 2 a , 1 5 5 ... 貫通電極、n b A , n b B , n b C , n b D ... ノーマルバンプ群、n b a ... ノーマルアドレスバンプ、n b c m ... ノーマルコマンドバンプ、n b c k ... ノーマルクロックバンプ、n b c k e ... ノーマルクロックイネーブルバンプ、n b D Q ... ノーマルデータ入出力バンプ、t b a ... テストアドレスバンプ、t b c m ... テストコマンドバンプ、t b c s ... テストチップセレクトバンプ、t b c k ... テストクロックバンプ、t b c k e ... テストクロックイネーブルバンプ、t b D Q ... テストデータ入出力バンプ、P a d ... テストパッド、t p a ... テストアドレスパッド、t p c m ... テス

10

20

30

40

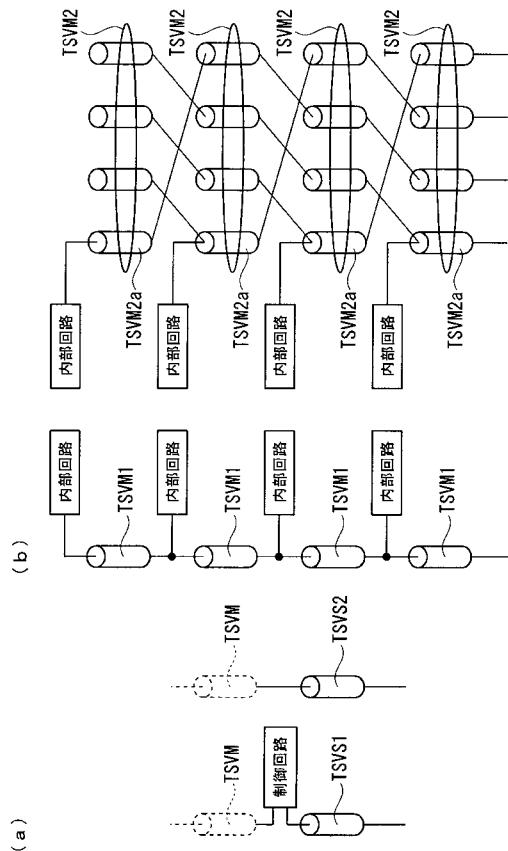
50

トコマンドパッド、 $t_{p c s}$ ...テストチップセレクトパッド、 $t_{p c k}$ ...テストクロックパッド、 $t_{p c k e}$ ...テストクロックイネーブルパッド、 $t_{p D Q}$ ...テストデータ入出力パッド、 $A_{d d}$ ...アドレス信号、 $CMD$ ...コマンド信号、 $C_S, C_S i j$ ...チップセレクト信号、 $C_L K$ ...クロック信号、 $C_K E, C_K E i j$ ...クロックイネーブル信号、 $D_Q$ ...データ、 $t_{A d d}$ ...テストアドレス信号、 $t_{C M D}$ ...テストコマンド信号、 $t_{C S}, t_{C S j}$ ...テストチップセレクト信号、 $t_{C L K}$ ...テストクロック信号、 $t_{C K E}, t_{C K E j}$ ...テストクロックイネーブル信号、 $t_{D Q}$ ...テストデータ、 $SWU21, SWU22, SWU23, SWU24, SWU11, SWU12, SWU13, SWU14$ ...スイッチ回路部、 $4_1$ ...アクセス制御回路、 $4_2$ ...メモリセルアレイ、 $4_3$ ...データ入出力回路、 $n_{B U}$ ...ノーマル入力バッファ部、 $t_{B U}, t_{b B U}, t_{p B U}$ ...テスト入力バッファ部、 $n_{B U D Q}$ ...ノーマルデータ入出力バッファ部、 $n_{B I D Q}$ ...ノーマルデータ入力バッファ、 $n_{B O D Q}$ ...ノーマルデータ出力バッファ、 $t_{B U D Q}, t_{b B U D Q}, t_{p B U D Q}$ ...テストデータ入出力バッファ、 $t_{B O D Q}, t_{b B O D Q}, t_{p B O D Q}$ ...テストデータ出力バッファ、 $t_{1 N 1}, t_{2 N 1}, t_{3 N 1}, t_{1 N 2}, t_{2 N 2}, t_{3 N 2}, n_{B N 1}, n_{B N 2}, t_{B N 1}, t_{B N 2}, t_{b B N 1}, t_{b B N 2}, t_{p B N 1}, t_{p B N 2}$ ...接続ノード、 $3_0$ ...シリコン基板、 $3_1$ ...層間絶縁膜、 $3_2$ ...基板貫通部、 $3_12$ ...配線層、 $3_6$ ...パッド、 $T_H$ ...スルーホール電極、 $3_4$ ...裏面バンプ、 $3_5$ ...表面バンプ、 $3_3$ ...絶縁リング、 $9_1, 9_3, 9_4$ ...入力端子、 $9_2$ ...出力端子、 $B_W$ ...ボンディングワイヤ

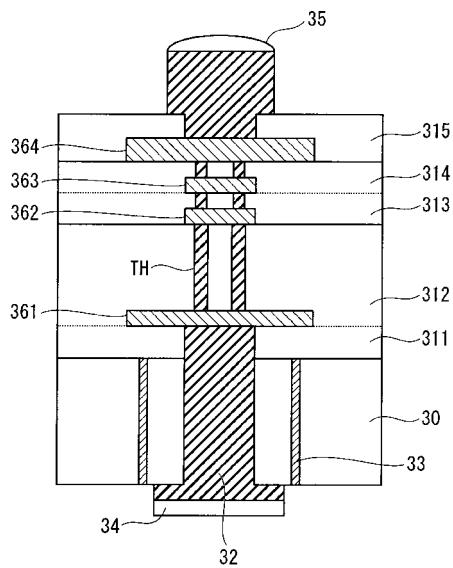
10

20

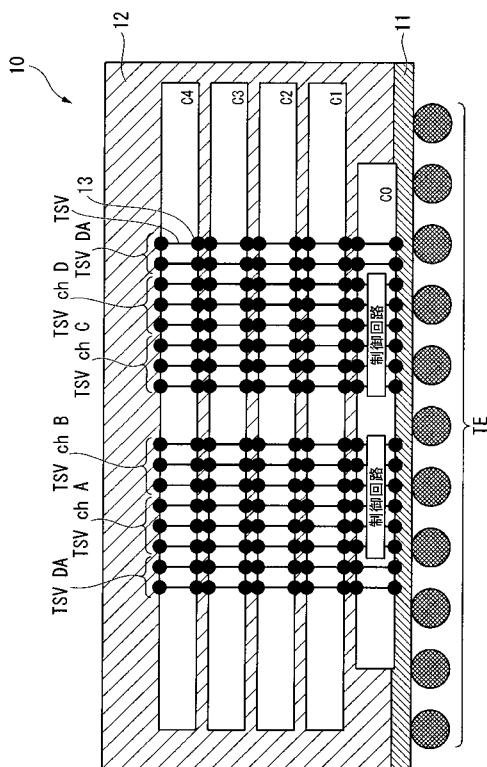
【図1】



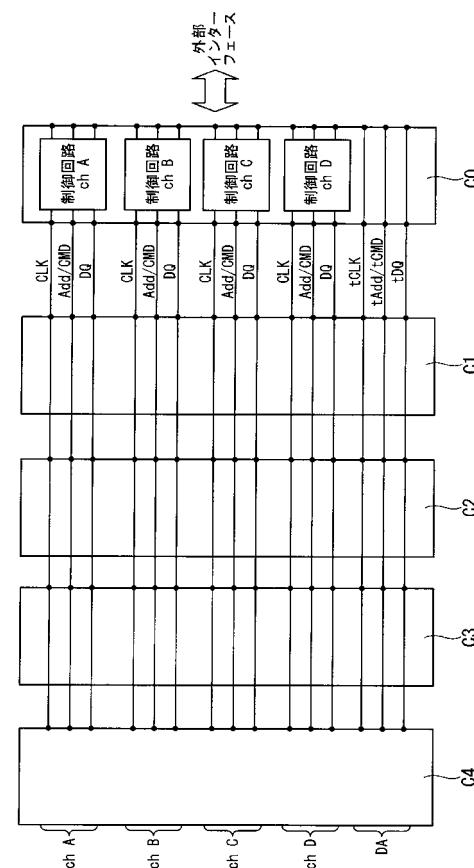
【図2】



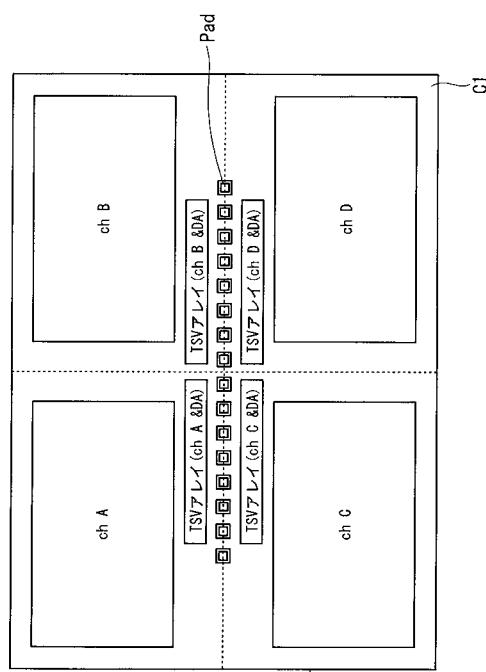
【圖3】



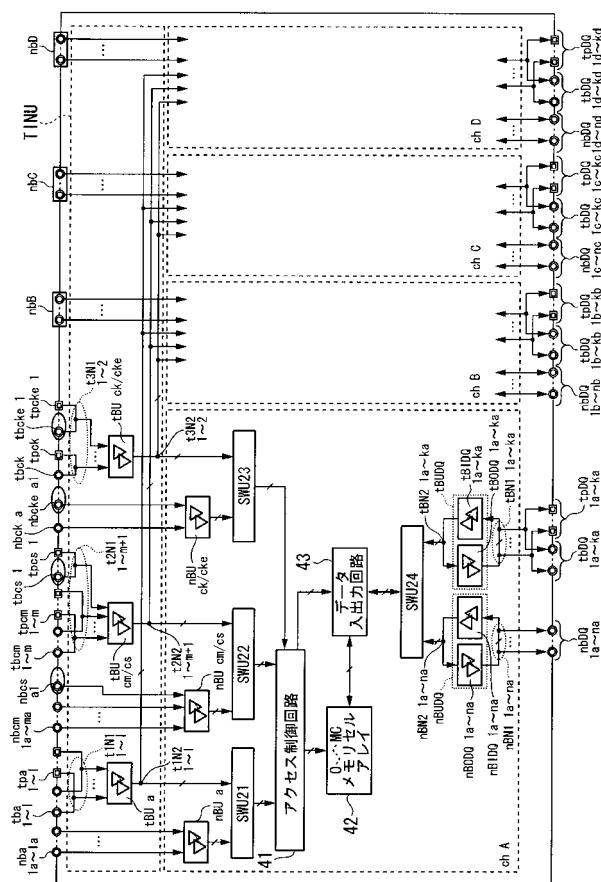
【 図 4 】



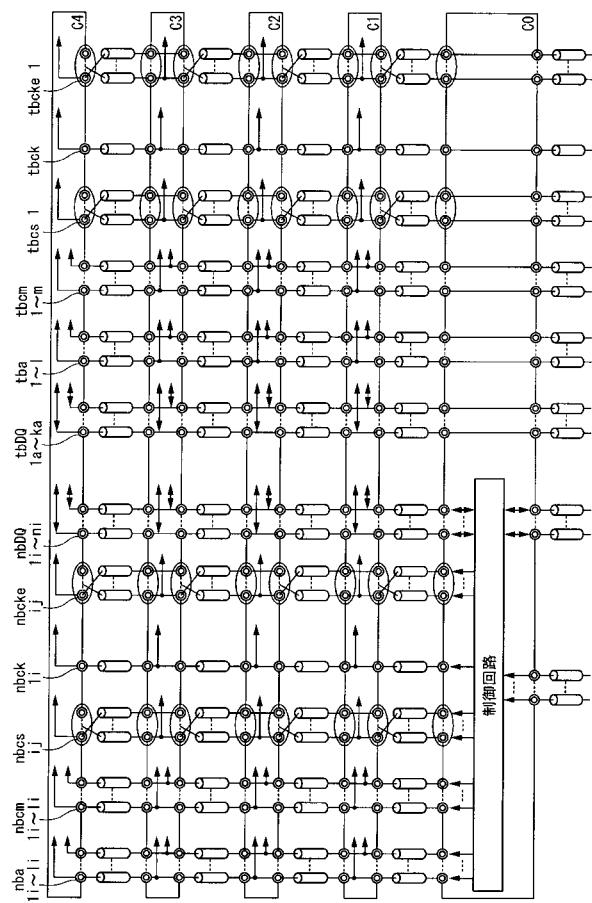
【図5】



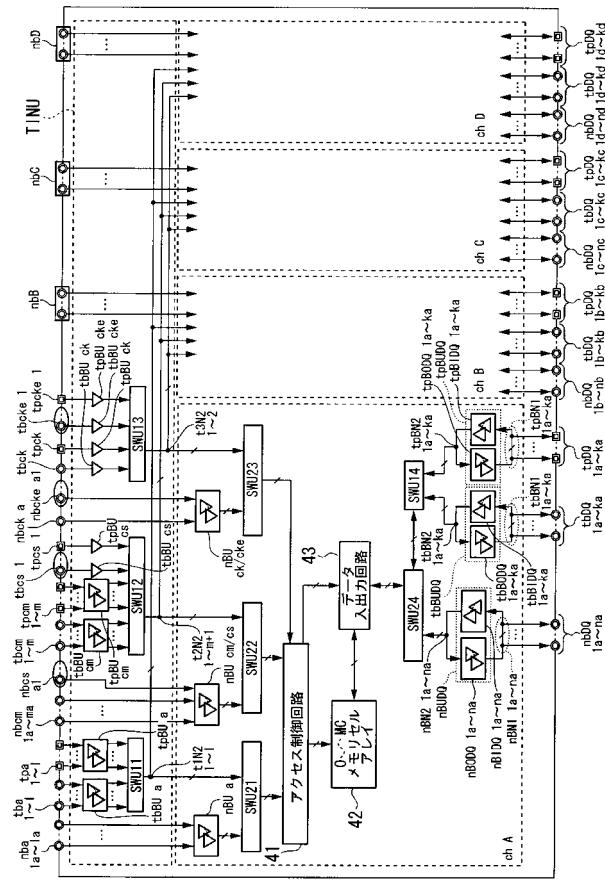
【 図 6 】



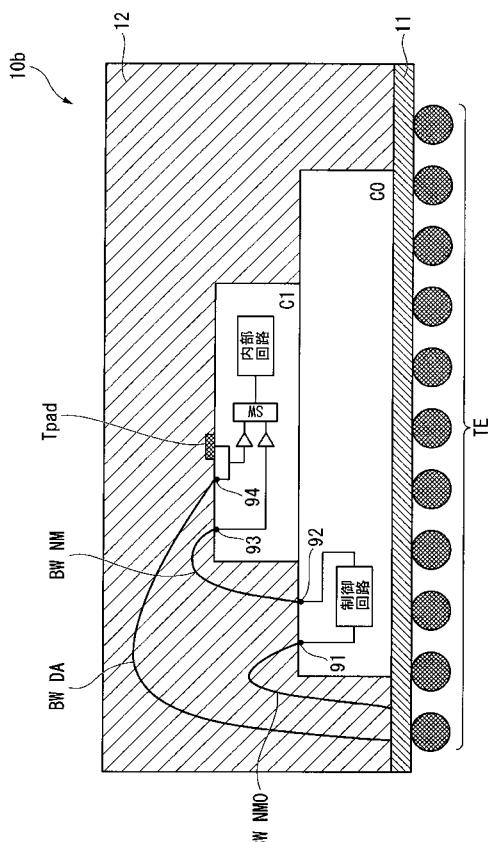
【 四 7 】



【 図 8 】



【 図 9 】



---

フロントページの続き

(51) Int.Cl. F I テーマコード(参考)  
*H 01 L 25/18 (2006.01)*

(72) 発明者 石川 透  
東京都中央区八重洲二丁目2番1号 エルピーダメモリ株式会社内

F ターム(参考) 2G132 AA08 AA14 AK22 AL12  
5F038 BE07 CA10 CA16 CD15 DF05 DF17 DT04 DT10 DT15 EZ07  
EZ20