

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/02 (2006.01)

H01L 23/60 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200610023162.2

[43] 公开日 2007年7月11日

[11] 公开号 CN 1996593A

[22] 申请日 2006.1.4

[21] 申请号 200610023162.2

[71] 申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路18号

[72] 发明人 苏鼎杰 郑敏祺 廖金昌 黄俊诚

[74] 专利代理机构 北京东方亿思知识产权代理有限公司

代理人 陈红

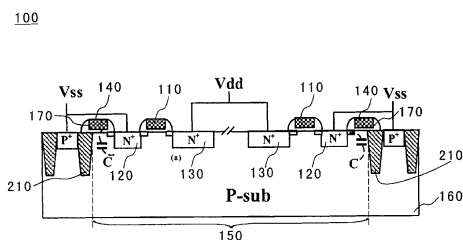
权利要求书4页 说明书15页 附图9页

[54] 发明名称

利用浮动和/或偏置多晶硅区域的静电保护系统和方法

[57] 摘要

本发明公开了一种用于静电放电保护的系统和方法。该系统包括多个晶体管。这多个晶体管包括多个栅极区域、多个源极区域和多个漏极区域。多个源极区域和多个漏极区域位于衬底中的有源区内部，并且有源区至少与衬底中的隔离区域相邻。另外，该系统包括多晶硅区域。多晶硅区域经由介电层与衬底相隔离，并且多晶硅区域与多个栅极区域中的每一个交叉。多晶硅区域的至少一部分在有源区上。



1. 一种用于静电放电保护的系统，所述系统包括：
 - 多个晶体管，所述多个晶体管包括多个栅极区域、多个源极区域和多个漏极区域，所述多个源极区域和所述多个漏极区域位于衬底中的有源区内部，所述有源区至少与所述衬底中的隔离区域相邻；
 - 一个多晶硅区域，所述多晶硅区域经由一个介电层与所述衬底相隔离，所述多晶硅区域与所述多个栅极区域中的每一个交叉；
 - 其中所述多晶硅区域的至少一部分在所述有源区上。
2. 如权利要求 1 所述的系统，其中所述有源区至少被所述衬底中的隔离区域所包围。
3. 如权利要求 1 所述的系统，还包括多个多晶硅区域，所述多个多晶硅区域经由多个介电层与所述衬底相隔离。
4. 如权利要求 3 所述的系统，其中：
 - 所述多个多晶硅区域在所述多个漏极区域之一上，或者在所述多个源极区域之一上；
 - 所述多个多晶硅区域彼此不直接接触；
 - 所述多个多晶硅区域中的每一个不与所述多个栅极区域中的任何一个直接接触。
5. 如权利要求 1 所述的系统，其中从顶视图看，所述多晶硅区域至少部分地位于所述有源区域内部，并且包围了所述多个源极区域和所述多个漏极区域。
6. 如权利要求 1 所述的系统，其中所述顶视图看到的是所述衬底表面，所述介电层在所述表面上。
7. 一种用于静电放电保护的系统，所述系统包括：
 - 多个晶体管，所述多个晶体管包括多个栅极区域、多个源极区域和多个漏极区域，所述多个源极区域和所述多个漏极区域位于衬底中的有源区内部，所述有源区至少与所述衬底中的隔离区域相邻；
 - 第一多个多晶硅区域，所述第一多个多晶硅区域经由第一多个介电层

与所述衬底相隔离；

其中

所述第一多个多晶硅区域中每一个的至少一部分在所述有源区上；

所述第一多个多晶硅区域彼此不直接接触。

8. 如权利要求 7 所述的系统，其中所述第一多个多晶硅区域中的每一个与所述多个栅极区域中的至少一个交叉。

9. 如权利要求 7 所述的系统，其中所述第一多个多晶硅区域中的每一个不与所述多个栅极区域中的任何一个交叉。

10. 如权利要求 7 所述的系统，其中所述有源区至少被所述衬底中的隔离区域所包围。

11. 如权利要求 7 所述的系统，还包括第二多个多晶硅区域，所述第二多个多晶硅区域经由第二多个介电层与所述衬底相隔离。

12. 如权利要求 11 所述的系统，其中：

所述第二多个多晶硅区域在所述多个漏极区域之一上，或者在所述多个源极区域之一上；

所述第二多个多晶硅区域彼此不直接接触；

所述第二多个多晶硅区域中的每一个不与所述多个栅极区域中的任何一个直接接触。

13. 如权利要求 7 所述的系统，其中：

从顶视图看，所述多个多晶硅区域中的每一个至少部分地位于所述有源区域内部；

所述顶视图看到的是所述衬底表面；

所述多个介电层在所述表面上。

14. 如权利要求 13 所述的系统，其中：

所述多个多晶硅区域中的每一个与所述多个栅极区域中的至少一个交叉；

从所述顶视图看，所述多个多晶硅区域和所述多个栅极区域分别包围了所述多个漏极区域。

15. 如权利要求 13 所述的系统，其中：

所述多个多晶硅区域中的每一个不与所述多个栅极区域中的任何一个交叉；

从所述顶视图看，所述多个多晶硅区域和所述多个栅极区域分别在所述多个漏极区域的周围。

16. 如权利要求 7 所述的系统，其中：

所述多个介电层包括一个第一介电层和一个第二介电层；

所述第一介电层和所述第二介电层彼此隔离，或者彼此接触。

17. 一种用于静电放电保护的系统，所述系统包括：

多个晶体管，所述多个晶体管包括多个栅极区域、多个源极区域和多个漏极区域，所述多个源极区域和所述多个漏极区域位于衬底中的有源区内部，所述有源区至少与所述衬底中的隔离区域相邻；

多个多晶硅区域，所述多个多晶硅区域经由多个介电层与所述衬底相隔离；

其中：

所述多个多晶硅区域在所述多个漏极区域之一上，或者在所述多个源极区域之一上；

所述多个多晶硅区域彼此不直接接触；

所述多个多晶硅区域中的每一个不与所述多个栅极区域中的任何一个直接接触。

18. 如权利要求 17 所述的系统，其中所述多个多晶硅区域在所述多个漏极区域之一和所述多个源极区域之一上。

19. 如权利要求 17 所述的系统，其中：

从顶视图看，所述多个多晶硅区域位于所述多个漏极区域之一的内部，或者位于所述多个源极区域之一的内部；

所述顶视图看到的是所述衬底表面；

所述多个介电层在所述表面上。

20. 如权利要求 17 所述的系统，其中：

所述多个介电层包括一个第一介电层和一个第二介电层；

所述第一介电层和所述第二介电层彼此隔离，或者彼此接触。

21. 如权利要求 17 所述的系统，其中：

所述多个多晶硅区域在所述多个漏极区域之一上；

所述多个漏极区域之一包括多个掺杂区域；

所述多个掺杂区域中的每一个对应于所述多个多晶硅区域中的一个；

所述多个掺杂区域彼此不直接接触。

利用浮动和/或偏置多晶硅区域的静电保护系统和方法

技术领域

本发明涉及集成电路。更具体地说，本发明提供了一种利用浮动和/或偏置的多晶硅区域进行静电放电（electrostatic discharge, ESD）保护的系统和方法。作为示例，本发明已被应用于输入/输出（I/O）设备。但是应当认识到本发明有更广阔的应用范围。

背景技术

集成电路或“IC”已经从单个硅晶片上制备的少数互连器件发展成为数以百万计的器件。当前的 IC 提供的性能和复杂度远远超出了最初的预想。为了在复杂度和电路密度（即，在给定的芯片面积上能够封装的器件数目）方面获得进步，最小器件的特征尺寸（又被称为器件“几何图形”）伴随每一代集成电路的发展而变得更小。目前制备的半导体器件的特征尺寸小于 1/4 微米。

日益增加的电路密度不仅提高了 IC 的性能和复杂度，还给消费者提供了更低的成本。IC 制造设备可能花费数亿，甚至数十亿美元。每种制造设备都有一定的晶片产量，每个晶片在其上都有一定数目的 IC。因此，通过使 IC 的各个器件更小，可以在每个晶片上制作更多的器件，从而增大了制造设备的输出量。使器件更小是非常有挑战性的，这是因为给定工艺和/或器件布图一般只能工作到某一特征尺寸。这种极限的一个示例就是 I/O 晶体管所提供的 ESD 保护。有效的保护通常要求降低 I/O 晶体管的击穿电压，但是减小击穿电压可能是困难的。传统上，ESD 注入已被用于调整击穿电压，但是 ESD 注入通常增加了制造复杂度，这使得有效性受限。

从以上内容看出，需要一种改进的 ESD 保护技术。

发明内容

本发明涉及集成电路。更具体地说，本发明提供了一种利用浮动和/或偏置的多晶硅区域进行静电放电（ESD）保护的系统和方法。作为示例，本发明已被应用于输入/输出（I/O）设备。但是应当认识到本发明有更广阔的应用范围。

在特定实施例中，本发明提供了一种用于静电放电保护的系统。该系统包括多个晶体管。这多个晶体管包括多个栅极区域、多个源极区域和多个漏极区域。多个源极区域和多个漏极区域位于衬底中的有源区内部，并且有源区至少与衬底中的隔离区域相邻。另外，该系统包括多晶硅区域。多晶硅区域经由介电层与衬底相隔离，并且多晶硅区域与多个栅极区域中的每一个交叉。多晶硅区域的至少一部分在有源区上。

根据本发明另一个实施例，一种用于静电放电保护的系统包括多个晶体管。这多个晶体管包括多个栅极区域、多个源极区域和多个漏极区域。多个源极区域和多个漏极区域位于衬底中的有源区内部，并且有源区至少与衬底中的隔离区域相邻。另外，该系统包括第一多个多晶硅区域。这第一多个多晶硅区域经由第一多个介电层与衬底相隔离。这第一多个多晶硅区域中每一个的至少一部分在有源区上，并且第一多个多晶硅区域彼此不直接接触。

根据本发明另一个实施例，一种用于静电放电保护的系统包括多个晶体管。这多个晶体管包括多个栅极区域、多个源极区域和多个漏极区域。多个源极区域和多个漏极区域位于衬底中的有源区内部，并且有源区至少与衬底中的隔离区域相邻。另外，该系统包括多个多晶硅区域。这多个多晶硅区域经由多个介电层与衬底相隔离。这多个多晶硅区域在多个漏极区域之一上，或者在多个源极区域之一上。这多个多晶硅区域彼此不直接接触，并且多个多晶硅区域中的每一个不与多个栅极区域中的任何一个直接接触。

与传统技术相比，本发明实现了许多优点。例如，本技术提供了一种容易使用的系统和方法。根据某些实施例，该系统和方法与传统技术兼容。本发明的某些实施例改进了 I/O ESD 保护技术。例如，MOS 晶体管的结击穿电压被降低。在另一个示例中，I/O 晶体管可以导通结击穿，从而

防止或减小对 ESD 应力引起的自保护的损坏。本发明的某些实施例可以有效地延迟当 ESD 应力电流到达栅极区域的时间。本发明的某些实施例遵从 ESD 设计规则。例如，为了消散由高密度 ESD 电流产生的大量热量，ESD 设计规则通常允许在栅极区域和漏极触点之间有相对较大的间隔。在另一个示例中，可以插入多晶硅区域到 I/O 晶体管的漏极区域，以增加电流通路的长度并提升漏极电阻，而不违反 ESD 设计规则。本发明的某些实施例提供了与浮动和/或偏置的多晶硅区域相邻的口袋注入区域。例如，口袋注入区域通过用于制作 I/O 晶体管的口袋注入工艺制作。在另一个示例中，口袋注入比衬底中的 p 阱更为重掺杂，并且源极和漏极区域包括 N+ 区域。口袋注入区域和 N+ 区域形成了具有低结击穿电压的突变结。取决于实施例，可以实现这些优点中的一个或多个。在本说明书特别是下文中，将详细描述这些以及其它优点。

参考随后的详细说明和附图，可以更全面地理解本发明的各种其它目的、特征和优点。

附图说明

图 1 是用于静电放电保护的简化的传统系统；

图 2 是根据本发明实施例的用于静电放电保护的简化系统；

图 3 是根据本发明实施例的用于静电放电保护的简化横截面图；

图 4 (A) 和 4 (B) 的简化图示出了根据本发明某些实施例的 I/O 晶体管击穿电压的减小；

图 5 是根据本发明另一个实施例的用于静电放电保护的简化系统；

图 6 是根据本发明另一个实施例的用于静电放电保护的简化系统；

图 7 (A) 和 7 (B) 的简化图示出了根据本发明某些实施例的 I/O 晶体管击穿电压的减小；

图 8 (A) 和 8 (B) 的简化图示出了根据本发明另一个实施例的用于静电放电保护的系统；

图 9 (A)、9 (B) 和 9 (C) 的简化图示出了根据本发明其他实施例的用于静电放电保护的系统；

图 10 (A)、10 (B) 和 10 (C) 示出了用于制作根据本发明实施例的用于静电放电保护的系统的简化方法;

图 11 是根据本发明另一个实施例的用于静电放电保护的简化系统。

具体实施方式

本发明涉及集成电路。更具体地说, 本发明提供了一种利用浮动和/或偏置的多晶硅区域进行静电放电 (ESD) 保护的系统和方法。作为示例, 本发明已被应用于输入/输出 (I/O) 设备。但是应当认识到本发明有更广阔的应用范围。

图 1 是用于静电放电保护的简化的传统系统。系统 1100 包括栅极区域 1110、源极区域 1120、漏极区域 1130、有源区 1150 和多晶硅区域 1160。栅极区域 1110、源极区域 1120 和漏极区域 1130 被用来形成有源区 1150 中的 I/O 晶体管。栅极区域经由多晶硅区域 1160 彼此短路, 多晶硅区域 1160 完全位于有源区 1150 的外部。图 2 是根据本发明实施例的用于静电放电保护的系统。该图仅仅是一个示例, 不应当用来限制权利要求的范围。本领域的普通技术人员可以认识到许多变化、替换和修改。系统 100 包括以下组件:

1. 栅极区域 110;
2. 源极区域 120;
3. 漏极区域 130;
4. 多晶硅区域 140;
5. 有源区 150。

尽管以上示出了系统 100 的组件的选定组合, 但是可以有許多替换、修改和变化。例如, 可以扩展和/或组合某些组件。可以插入其他的组件到上述组合中。取决于实施例, 组件的安排可以交换为其他替代组件。例如, 有源区 150 中的 I/O 晶体管是 PMOS 晶体管。在本说明书特别是下文中将详细描述这些组件。

栅极区域 110、源极区域 120 和漏极区域 130 被用来形成有源区 150 中的 I/O 晶体管。例如, 有源区 150 包括源极区域 120 和漏极区域 130。

在另一个示例中，每个源极区域 120 包括掺杂区域，每个漏极区域 130 包括掺杂区域。在另一个示例中，有源区 150 中的 I/O 晶体管是 NMOS 晶体管。如图 2 中所示，多晶硅区域 140 与栅极区域 110 交叉。栅极区域 110 电连接到多晶硅区域 140。在一个实施例中，多晶硅区域 140 与栅极区域 110 具有相同的电压电位。在另一个实施例中，多晶硅区域 140 包围了源极区域 120 和漏极区域 130。例如，多晶硅区域 140 部分或完全地位于有源区 150 内部。在另一个示例中，栅极区域 110 经由位于有源区 150 外部的另一个多晶硅区域而彼此短路。

图 3 是根据本发明实施例的用于静电放电保护的系统 100 的简化横截面图。该图仅仅是一个示例，不应当用来限制权利要求的范围。本领域的普通技术人员可以认识到许多变化、替换和修改。系统 100 还包括衬底 160 和介电层 170。衬底 160 包括有源区 150，并且经由介电层 170 与多晶硅区域 140 相隔离。例如，介电层 170 包括二氧化硅。如图 3 中所示，有源区 150 被浅沟道隔离 (STI) 区域 210 所隔离。例如在顶视图中，多晶硅区域 140 部分地位于 I/O 晶体管的有源区 150 的内部。

在一个实施例中，衬底 160 被掺杂为 p 型。源极区域 120 和漏极区域 130 包括 N+ 区域。例如，衬底 160 还包括 p 阱。在另一个示例中，对于每个 N+ 区域，衬底 160 还包括至少两个 LDD 区域。这两个 LDD 区域与相应的 N+ 区域直接接触。在另一个示例中，对于每个 N+ 区域，衬底 160 还包括利用口袋注入 (pocket implant) 形成的两个 p 型区域。

图 4 (A) 和 (B) 的简化图示出了根据本发明某些实施例的 I/O 晶体管击穿电压的减小。这些图仅仅是示例，不应当用来限制权利要求的范围。本领域的普通技术人员可以认识到许多变化、替换和修改。图 4 (A) 对应于 NMOS I/O 晶体管，图 4 (B) 对应于 PMOS I/O 晶体管。另外，曲线 310 和 330 描述了如图 1 和 2 所示被多晶硅区域 140 包围的 I/O 晶体管，曲线 320 和 340 描述了不被多晶硅区域 140 包围的 I/O 晶体管。

如图 4 (A) 中所示，测量晶体管电流 $I_{B,DS}$ 的幅度作为晶体管电压 $V_{B,DS}$ 的函数。电流 $I_{B,DS}$ 从 NMOS I/O 晶体管的体区域流到漏极和源极区域。晶体管电压 $V_{B,DS}$ 代表从体区域到漏极和源极区域的电压降，并且漏

极和源极区域处于相同的电压电位。曲线 310 和 320 的比较表明加入多晶硅区域 140 后可以明显减小击穿电压的幅度。例如，减小量约等于 2V。如图 4 (B) 所示，测量晶体管电流 $I_{DS,B}$ 的幅度作为晶体管电压 $V_{DS,B}$ 的函数。电流 $I_{DS,B}$ 从 PMOS I/O 晶体管的漏极和源极区域流到体区域。晶体管电压 $V_{DS,B}$ 代表从漏极和源极区域到体区域的电压降，并且漏极和源极区域处于相同的电压电位。曲线 330 和 340 的比较表明加入多晶硅区域 140 后可以明显减小击穿电压的幅度。例如，减小量约等于 2V。

如上所述并且这里要进一步加以强调的，图 2 和 3 仅仅是示例，不应当用来限制权利要求的范围。本领域的普通技术人员可以认识到许多变化、替换和修改。图 5 是根据本发明另一个实施例的用于静电放电保护的简化系统。系统 100 中的多晶硅区域 140 被多晶硅区域 410、420 和 430 所代替。例如，多晶硅区域 410、420 和 430 以及栅极区域 110 包围了漏极区域 130。多晶硅区域 410、420 和 430 部分或完全地位于有源区 150 的内部，并且经由介电层与衬底相隔离。例如，介电层包括二氧化硅。在另一个示例中，介电层彼此隔离，也可以彼此接触。在另一个示例中，栅极区域 110 经由位于有源区 150 外部的另一个多晶硅区域而彼此短路。

在一个实施例中，衬底被掺杂为 p 型。源极区域 120 和漏极区域 130 包括 N+ 区域。例如，衬底还包括 p 阱。在另一个示例中，对于每个 N+ 区域，衬底 160 还包括至少两个 LDD 区域。这两个 LDD 区域与相应的 N+ 区域直接接触。在另一个示例中，对于每个 N+ 区域，衬底 160 还包括利用口袋注入形成的两个 p 型区域。

图 6 是根据本发明另一个实施例的用于静电放电保护的简化系统。该图仅仅是一个示例，不应当用来限制权利要求的范围。本领域的普通技术人员可以认识到许多变化、替换和修改。系统 500 包括以下组件：

1. 栅极区域 510；
2. 源极区域 520；
3. 漏极区域 530；
4. 多晶硅区域 540；
5. 有源区 550。

尽管以上示出了系统 500 的组件的选定组合，但是可以有許多替换、修改和变化。例如，可以扩展和/或组合某些组件。可以插入其他的组件到上述组合中。取决于实施例，组件的安排可以交换为其他替代组件。例如，有源区 550 中的 I/O 晶体管是 PMOS 晶体管。在本说明书特别是下文中将详细描述这些组件。

栅极区域 510、源极区域 520 和漏极区域 530 被用来形成有源区 550 中的 I/O 晶体管。例如，有源区 550 包括源极区域 520 和漏极区域 530。在另一个示例中，有源区 550 中的 I/O 晶体管是 NMOS 晶体管。如图 6 中所示，多晶硅区域 540 不与栅极区域 510 交叉。栅极区域 510 不与多晶硅区域 540 直接接触。例如，多晶硅区域 540 包括多个子区域，这多个子区域彼此不直接接触。

在一个实施例中，多晶硅区域 540 至少部分地在源极区域 520 和漏极区域 530 的周围。在另一个实施例中，多晶硅区域 540 部分或完全地位于有源区 550 的内部。在另一个实施例中，多晶硅区域 540 经由介电层与衬底相隔离。例如，介电层包括二氧化硅。在另一个示例中，介电层彼此隔离，也可以彼此直接接触。在另一个示例中，栅极区域 510 经由位于有源区 550 外部的另一个多晶硅区域而彼此短路。

在另一个实施例中，衬底被掺杂为 p 型。源极区域 520 和漏极区域 530 包括 N+ 区域。例如，衬底还包括 p 阱。在另一个示例中，对于每个 N+ 区域，衬底 560 还包括至少两个 LDD 区域。这两个 LDD 区域与相应的 N+ 区域直接接触。在另一个示例中，对于每个 N+ 区域，衬底 560 还包括利用口袋注入形成的两个 p 型区域。

图 7 (A) 和 (B) 的简化图示出了根据本发明某些实施例的 I/O 晶体管击穿电压的减小。这些图仅仅是示例，不应当用来限制权利要求的范围。本领域的普通技术人员可以认识到许多变化、替换和修改。图 7 (A) 和 (B) 对应于图 6 中所示的 NMOS I/O 晶体管和 PMOS I/O 晶体管。

如图 7 (A) 中所示，曲线 610 代表晶体管电流 $I_{B,DS}$ 的幅度，它作为晶体管电压 $V_{B,DS}$ 的函数而被测量。电流 $I_{B,DS}$ 从 NMOS I/O 晶体管的体区

域流到漏极和源极区域。晶体管电压 $V_{B,DS}$ 代表从体区域到漏极和源极区域的电压降，并且漏极和源极区域处于相同的电压电位。在测量期间，多晶硅区域 540 浮动或偏置为各种电压。例如，多晶硅区域 540 被偏置为 2、1、0、-1 和 -2V。曲线 610 和 320 的比较表明加入多晶硅区域 540 后可以明显减小击穿电压的幅度。例如，减小量约等于 1.5V。另外，施加到多晶硅区域 540 的小的正偏置可以进一步降低击穿电压的幅度。如图 7 (B) 所示，曲线 620 代表晶体管电流 $I_{DS,B}$ 的幅度，它作为晶体管电压 $V_{DS,B}$ 的函数而被测量。电流 $I_{DS,B}$ 从 PMOS I/O 晶体管的漏极和源极区域流到体区域。晶体管电压 $V_{DS,B}$ 代表从漏极和源极区域到体区域的电压降，并且漏极和源极区域处于相同的电压电位。在测量期间，多晶硅区域 540 浮动或偏置为各种电压。例如，多晶硅区域 540 被偏置为 2、1、0、-1 和 -2V。曲线 620 和 320 的比较表明加入多晶硅区域 540 后可以明显减小击穿电压的幅度。例如，减小量约等于 1.5V。另外，施加到多晶硅区域 540 的小的负偏置可以进一步降低击穿电压的幅度。

图 8 (A) 和 (B) 是根据本发明另一个实施例的用于静电放电保护的简化系统。该图仅仅是一个示例，不应当用来限制权利要求的范围。本领域的普通技术人员可以认识到许多变化、替换和修改。系统 700 包括以下组件：

1. 栅极区域 710；
2. 源极区域 720；
3. 漏极区域 730；
4. 多晶硅区域 740；
5. 有源区 750；
6. 衬底 760；
7. 介电层 770。

尽管以上示出了系统 700 的组件的选定组合，但是可以有许多替换、修改和变化。例如，可以扩展和/或组合某些组件。可以插入其他的组件到上述组合中。例如，区域 720 可以充当漏极，区域 730 可以充当源极。取决于实施例，组件的安排可以交换为其他替代组件。例如，有源区 750 中

的 I/O 晶体管是 PMOS 晶体管。在本说明书特别是下文中将详细描述这些组件。

栅极区域 710、源极区域 720 和漏极区域 730 被用来形成有源区 750 中的 I/O 晶体管。例如，有源区 750 包括源极区域 720 和漏极区域 730。在另一个示例中，有源区 750 中的 I/O 晶体管是 NMOS 晶体管。

如图 8 (A) 中所示，多晶硅区域 740 不与栅极区域 710 直接接触，并且多晶硅区域 740 彼此不直接接触。在一个实施例中，从顶视图看，多晶硅区域 740 位于漏极区域 730 的内部。在另一个实施例中，从顶视图看，多晶硅区域 740 位于源极区域 720 的内部。在另一个实施例中，从顶视图看，多晶硅区域 740 既位于源极区域 720 的内部，又位于漏极区域 730 的内部。在另一个实施例中，栅极区域 710 经由位于有源区 750 外部的另一个多晶硅区域而彼此短路。

如图 8 (B) 中所示，衬底 760 包括有源区 750，并且经由介电层 770 与多晶硅区域 740 相隔离。例如，介电层 770 包括二氧化硅。在另一个示例中，介电层 770 彼此隔离，也可以彼此直接接触。每个源极区域 720 包括一个掺杂区域，而每个漏极区域 730 包括衬底 760 中的多个掺杂区域。掺杂区域彼此不直接接触。在一个实施例中，衬底 760 被掺杂为 p 型，并且掺杂区域是 N+ 区域。例如，衬底 760 还包括 p 阱。在另一个示例中，对于每个掺杂区域，衬底 760 还包括至少两个 LDD 区域。这两个 LDD 区域与相应的掺杂区域直接接触。在另一个示例中，对于每个掺杂区域，衬底 760 还包括利用口袋注入形成的两个 p 型区域。

如上所述并且这里要进一步加以强调的，图 8 (A) 和 (B) 仅仅是示例，不应当用来限制权利要求的范围。本领域的普通技术人员可以认识到许多变化、替换和修改。图 9 (A)、(B) 和 (C) 的简化图示出了根据本发明其他实施例的用于静电放电保护的系统。这些图仅仅是示例，不应当用来限制权利要求的范围。本领域的普通技术人员可以认识到许多变化、替换和修改。

如图 9 (A) 中所示，多晶硅区域 740 被加入到如图 2 所示的系统 100 中。多晶硅区域 740 不与栅极区域 110 或多晶硅区域 140 直接接触，并且

多晶硅区域 740 彼此不直接接触。另外，多晶硅区域 740 经由介电层与衬底相隔离。例如，介电层包括二氧化硅。在另一个示例中，介电层彼此隔离，也可以彼此直接接触。在一个实施例中，从顶视图看，多晶硅区域 740 位于漏极区域 130 的内部。在另一个实施例中，从顶视图看，多晶硅区域 740 位于源极区域 120 的内部。在另一个实施例中，从顶视图看，多晶硅区域 740 既位于源极区域 120 的内部，又位于漏极区域 130 的内部。例如，每个漏极区域 130 包括衬底中的多个掺杂区域。掺杂区域彼此不直接接触。在一个实施例中，衬底被掺杂为 p 型，并且掺杂区域是 N+ 区域。例如，衬底还包括 p 阱。在另一个示例中，对于每个掺杂区域，衬底还包括至少两个 LDD 区域。这两个 LDD 区域与相应的掺杂区域直接接触。在另一个示例中，对于每个掺杂区域，衬底还包括利用口袋注入形成的两个 p 型区域。在另一个实施例中，栅极区域 110 经由位于有源区 150 外部的另一个多晶硅区域而彼此短路。

如图 9 (B) 中所示，多晶硅区域 740 被加入到如图 5 所示的系统 100 中。多晶硅区域 740 不与栅极区域 110 或多晶硅区域 410、420 和 430 直接接触，并且多晶硅区域 740 彼此不直接接触。另外，多晶硅区域 740 经由介电层与衬底相隔离。例如，介电层包括二氧化硅。在另一个示例中，介电层彼此隔离，也可以彼此直接接触。在一个实施例中，从顶视图看，多晶硅区域 740 位于漏极区域 130 的内部。在另一个实施例中，从顶视图看，多晶硅区域 740 位于源极区域 120 的内部。在另一个实施例中，从顶视图看，多晶硅区域 740 既位于源极区域 120 的内部，又位于漏极区域 130 的内部。例如，每个漏极区域 130 包括衬底中的多个掺杂区域。掺杂区域彼此不直接接触。在一个实施例中，衬底被掺杂为 p 型，并且掺杂区域是 N+ 区域。例如，衬底还包括 p 阱。在另一个示例中，对于每个掺杂区域，衬底还包括至少两个 LDD 区域。这两个 LDD 区域与相应的掺杂区域直接接触。在另一个示例中，对于每个掺杂区域，衬底还包括利用口袋注入形成的两个 p 型区域。在另一个实施例中，栅极区域 110 经由位于有源区 150 外部的另一个多晶硅区域彼此短路。

如图 9 (C) 中所示，多晶硅区域 740 被加入到如图 6 所示的系统 500

中。多晶硅区域 740 不与栅极区域 510 或多晶硅区域 540 直接接触，并且多晶硅区域 740 彼此不直接接触。另外，多晶硅区域 740 经由介电层与衬底相隔离。例如，介电层包括二氧化硅。在另一个示例中，介电层彼此隔离，也可以彼此直接接触。在一个实施例中，从顶视图看，多晶硅区域 740 位于漏极区域 530 的内部。在另一个实施例中，从顶视图看，多晶硅区域 740 位于源极区域 520 的内部。在另一个实施例中，从顶视图看，多晶硅区域 740 既位于源极区域 520 的内部，又位于漏极区域 530 的内部。例如，每个漏极区域 530 包括衬底中的多个掺杂区域。掺杂区域彼此不直接接触。在一个实施例中，衬底被掺杂为 p 型，并且掺杂区域是 N+ 区域。例如，衬底还包括 p 阱。在另一个示例中，对于每个掺杂区域，衬底还包括至少两个 LDD 区域。这两个 LDD 区域与相应的掺杂区域直接接触。在另一个示例中，对于每个掺杂区域，衬底还包括利用口袋注入形成的两个 p 型区域。在另一个实施例中，栅极区域 510 经由位于有源区 550 外部的另一个多晶硅区域彼此短路。

图 10 (A)、(B) 和 (C) 示出了用于制作根据本发明实施例的用于静电放电保护的系统 700 的简化方法。这些图仅仅是示例，不应当用来限制权利要求的范围。本领域的普通技术人员可以认识到许多变化、替换和修改。方法 1000 包括以下步骤：

1. 步骤 1010，形成栅极区域和多晶硅区域步骤；
2. 步骤 1020，形成 LDD 区域和口袋注入区域步骤；
3. 步骤 1030，形成间隔器和重掺杂区域步骤。

尽管以上示出了方法 1000 的步骤步骤的选定组合，但是可以有許多替换、修改和变化。例如，可以扩展和/或组合某些步骤。可以插入其他的步骤到上述组合中。取决于实施例，步骤的安排可以交换为其他替代步骤。在本说明书特别是下文中将详细描述这些步骤。

在步骤 1010，在介电层 770 上形成栅极区域 710 和多晶硅区域 740，如图 10 (A) 中所示。例如，介电层 770 形成了邻接介电层。介电层 770 位于衬底 760 上，衬底 760 包括与隔离区域 1050 相邻的有源区 750。例如，衬底 760 被掺杂为 p 型，并且有源区 750 包括 p 阱 1052。

在步骤 1020, 形成 LDD 区域 1054 和口袋注入区域 1056, 如图 10 (B) 中所示。在一个实施例中, 衬底 760 被掺杂为 p 型, 并且有源区 750 包括 p 阱 1052。LDD 区域 1054 被掺杂为 n 型, 口袋注入区域 1056 被掺杂为 p 型。

在步骤 1030, 形成间隔器 1058 和重掺杂区域 1060, 如图 10 (C) 中所示。在一个实施例中, 衬底 760 被掺杂为 p 型, 并且有源区 750 包括 p 阱 1052。LDD 区域 1054 被掺杂为 n 型, 口袋注入区域 1056 被掺杂为 p 型。另外, 区域 1060 被掺杂为 n 型。例如, 在栅极区域 710 的一侧上, 区域 1054、1056 和 1060 形成了源极区域 720, 而在栅极区域 710 的另一侧上, 区域 1054、1056 和 1060 形成了漏极区域 730。

如上所述并且这里要进一步加以强调的, 图 10 (A)、(B) 和 (C) 仅仅是示例, 不应当用来限制权利要求的范围。本领域的普通技术人员可以认识到许多变化、替换和修改。例如, 方法 1000 可被修改为制作根据图 2、图 3、图 5、图 6、图 9 (A)、图 9 (B) 和/或图 9 (C) 的系统。在一个实施例中, 用于制作 I/O 晶体管的工艺也被用来制作多晶硅区域、位于多晶硅区域和衬底之间的介电层、重掺杂区域、LDD 区域以及口袋注入区域。

图 11 是根据本发明另一个实施例的用于静电放电保护的简化系统。该图仅仅是一个示例, 不应当用来限制权利要求的范围。本领域的普通技术人员可以认识到许多变化、替换和修改。系统 1200 包括 PMOS 晶体管 1210 和 NMOS 晶体管 1220。PMOS 晶体管 1210 的源极被偏置为电压电平 V_{DD} , 而 NMOS 晶体管 1220 的源极被偏置为电压电平 V_{SS} 。PMOS 晶体管 1210 的漏极和 NMOS 晶体管 1220 的漏极连接到 I/O 焊盘 1230, PMOS 晶体管 1210 的栅极和 NMOS 晶体管 1220 的栅极连接到内部系统 1240。例如, 内部系统 1240 由系统 1200 所保护。在另一个示例中, 内部系统 1240 包括一个或多个核心晶体管, 并且/或者耦合到一个或多个核心晶体管。PMOS 晶体管 1210 代表一个或多个 I/O 晶体管, NMOS 晶体管 1220 代表一个或多个 I/O 晶体管, 如图 2、图 3、图 5、图 6、图 8 (A)、图 8 (B)、图 9 (A)、图 9 (B) 和/或图 9 (C) 所示。例如, 系统 1200 包

括一个或多个 I/O 晶体管对，并且每个 I/O 晶体管对包括 NMOS 晶体管和 PMOS 晶体管。

根据本发明的另一个实施例，用于静电放电保护的系统包括多个晶体管。这多个晶体管包括多个栅极区域、多个源极区域和多个漏极区域。这多个源极区域和多个漏极区域位于衬底中的有源区内部，并且有源区至少与衬底中的隔离区域相邻。另外，系统包括多晶硅区域。多晶硅区域经由介电层与衬底相隔离，并且多晶硅区域与多个栅极区域中的每一个交叉。多晶硅区域的至少一部分在有源区上。例如，系统根据图 2、图 3 和/或图 9 (A) 来实现。

例如，有源区至少被衬底中的隔离区域所包围。在另一个示例中，系统还包括多个多晶硅区域，这多个多晶硅区域经由多个介电层与衬底相隔离。在另一个示例中，这多个多晶硅区域位于多个漏极区域之一上，或者位于多个源极区域之一上，这多个多晶硅区域彼此不直接接触，并且这多个多晶硅区域中的每一个不与多个栅极区域中的任何一个直接接触。在另一个示例中，从顶视图看，多晶硅区域至少部分地位于有源区内部，并且包围了这多个源极区域和多个漏极区域。在另一个示例中，顶视图看到的是衬底表面，并且介电层在表面上。

根据本发明的另一个实施例，用于静电放电保护的系统包括多个晶体管。这多个晶体管包括多个栅极区域、多个源极区域和多个漏极区域。这多个源极区域和多个漏极区域位于衬底中的有源区内部，并且有源区至少与衬底中的隔离区域相邻。另外，系统包括第一多个多晶硅区域。这第一多个多晶硅区域经由第一多个介电层与衬底相隔离。这第一多个多晶硅区域中每一个的至少一部分在有源区上，并且这第一多个多晶硅区域彼此不直接接触。例如，系统根据图 5、图 6、图 9 (B) 和/或图 9 (C) 来实现。

例如，这第一多个多晶硅区域中的每一个与多个栅极区域中的至少一个交叉。在另一个示例中，这第一多个多晶硅区域中的每一个不与多个栅极区域中的任何一个交叉。在另一个示例中，有源区至少被衬底中的隔离区域所包围。在另一个示例中，系统还包括第二多个多晶硅区域，这第二

多个多晶硅区域经由第二多个介电层与衬底相隔离。在另一个示例中，这第二多个多晶硅区域位于多个漏极区域之一上，或者位于多个源极区域之一上，这第二多个多晶硅区域彼此不直接接触，并且这第二多个多晶硅区域中的每一个不与多个栅极区域中的任何一个直接接触。在另一个示例中，从顶视图看，这多个多晶硅区域中的每一个至少部分地位于有源区域内部。在另一个示例中，顶视图看到的是衬底表面，并且这多个介电层在表面上。在另一个示例中，这多个多晶硅区域中的每一个与多个栅极区域中的至少一个交叉，并且从顶视图看，这多个多晶硅区域和多个栅极区域分别包围了多个漏极区域。在另一个示例中，这多个多晶硅区域中的每一个不与多个栅极区域中的任何一个交叉，并且从顶视图看，这多个多晶硅区域和多个栅极区域分别在多个漏极区域周围。在另一个示例中，多个介电层包括第一介电层和第二介电层，并且第一介电层和第二介电层彼此隔离，也可以彼此接触。

根据本发明的另一个实施例，用于静电放电保护的系统包括多个晶体管。这多个晶体管包括多个栅极区域、多个源极区域和多个漏极区域。这多个源极区域和多个漏极区域位于衬底中的有源区内部，并且有源区至少与衬底中的隔离区域相邻。另外，系统包括多个多晶硅区域。这多个多晶硅区域经由多个介电层与衬底相隔离。这多个多晶硅区域位于多个漏极区域之一上，或者位于多个源极区域之一上。这多个多晶硅区域彼此不直接接触，并且这多个多晶硅区域中的每一个不与多个栅极区域中的任何一个直接接触。例如，系统根据图 8 (A)、图 8 (B)、图 9 (A)、图 9 (B) 和/或图 9 (C) 来实现。

例如，这多个多晶硅区域位于多个漏极区域之一上，并且位于多个源极区域之一上。在另一个示例中，从顶视图看，这多个多晶硅区域位于多个漏极区域之一内部，或者位于多个源极区域之一内部，顶视图看到的是衬底表面，并且该多个介电层在表面上。在另一个示例中，多个介电层包括第一介电层和第二介电层，并且第一介电层和第二介电层彼此隔离，也可以彼此接触。在另一个示例中，这多个多晶硅区域位于多个漏极区域之一上，并且多个漏极区域中的一个包括多个掺杂区域。多个掺杂区域中的

每一个对应于多个多晶硅区域中的一个，并且多个掺杂区域彼此不直接接触。

本发明有各种优点。本发明的某些实施例改进了 I/O ESD 保护技术。例如，MOS 晶体管的结击穿电压被降低。在另一个示例中，I/O 晶体管可以导通结击穿，从而防止或减小对来源于 ESD 应力的自保护的损坏。本发明的某些实施例可以有效地延迟当 ESD 应力电流到达栅极区域的时间。例如，如图 7 (A)、7 (B)、8 (A)、8 (B) 和 8 (C) 所示，形成在多晶硅区域 740 下的通道有明显的电阻，这可以拉长电流通路。本发明的某些实施例遵从 ESD 设计规则。例如，为了消散由高密度 ESD 电流产生的大量热量，ESD 设计规则通常允许在栅极区域和漏极触点之间有相对较大的间隔，如图 8 (A)、8 (B)、9 (A)、9 (B) 和 9 (C) 所示。在另一个示例中，间隔等于或长于 $1.72 \mu\text{m}$ 。因此，可以插入多晶硅区域 740 到 I/O 晶体管的漏极区域，以增加电流通路的长度并提升漏极电阻，而不违反 ESD 设计规则。本发明的某些实施例提供了与浮动和/或偏置的多晶硅区域相邻的口袋注入区域。例如，口袋注入区域以用于制作 I/O 晶体管的口袋注入工艺制作。在另一个示例中，口袋注入比衬底中的 p 阱更为重掺杂，并且源极和漏极区域包括 N+ 区域。口袋注入区域和 N+ 区域形成了具有低结击穿电压的突变结。

还应当理解，这里所述的示例和实施例仅仅是示例性目的，本领域的技术人员可以进行各种修改或改变，这些修改或改变包括在本申请和所附权利要求的精神和范围内。

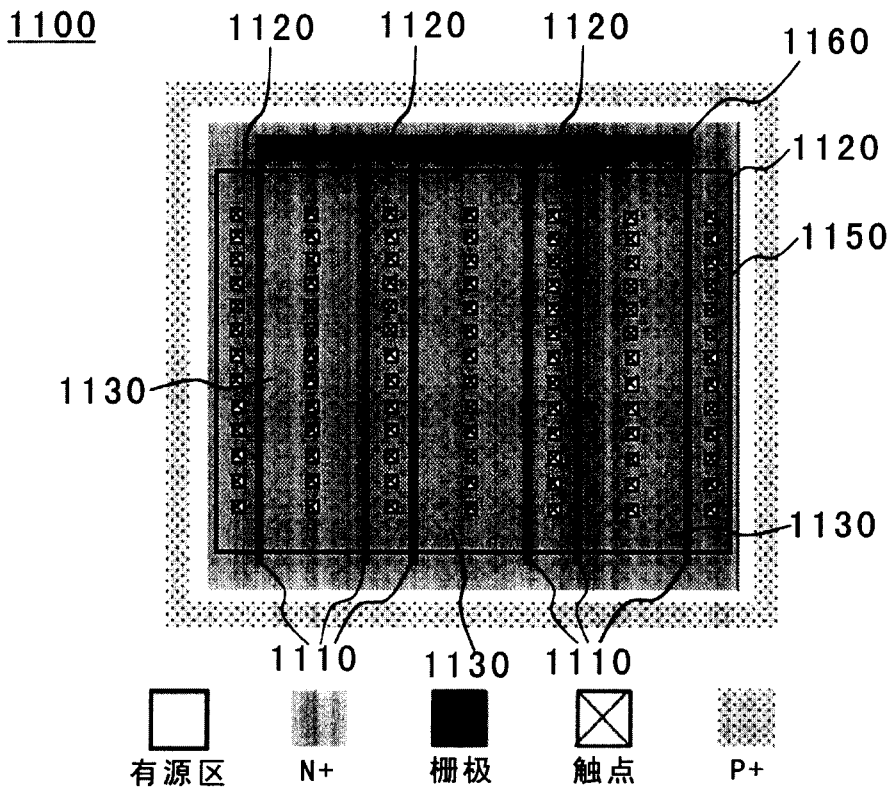


图1

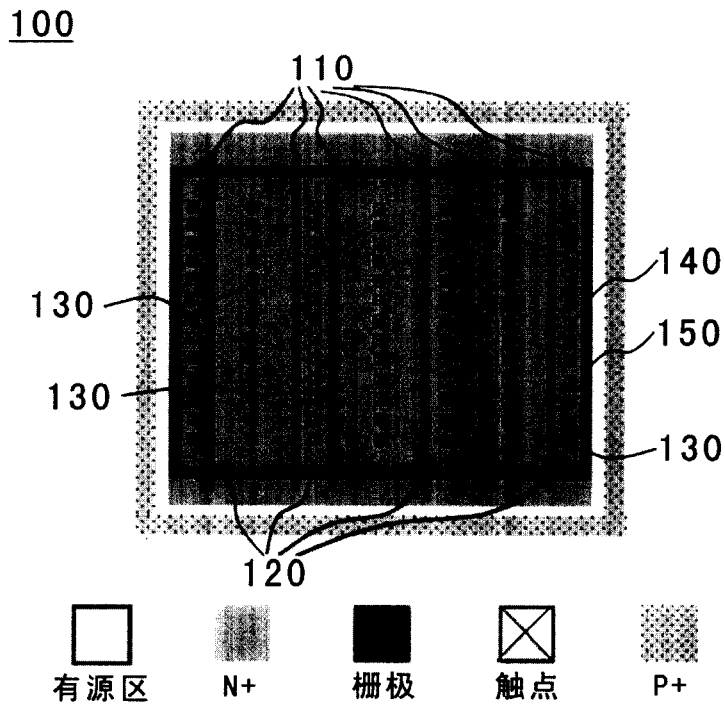


图2

100

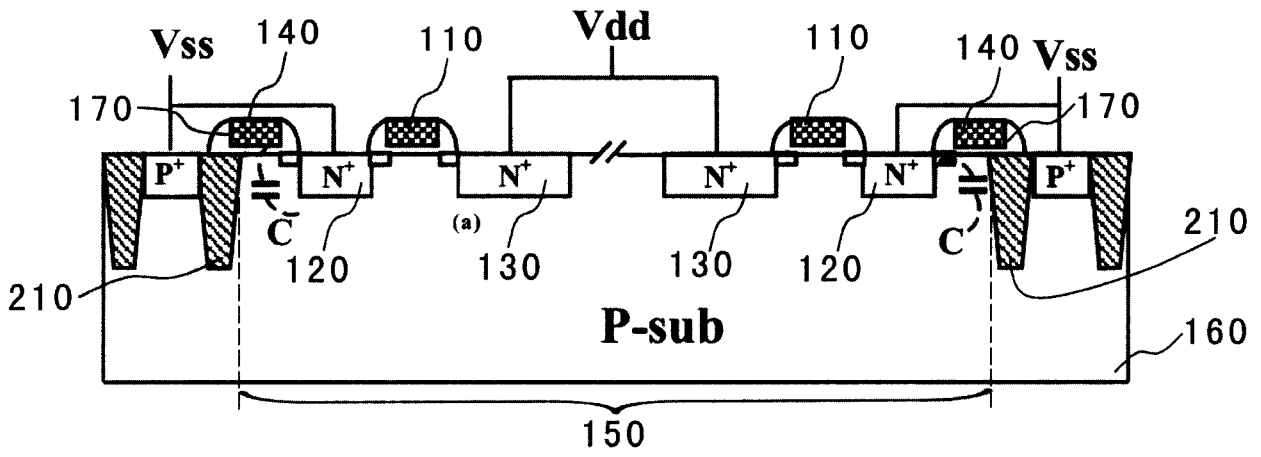


图3

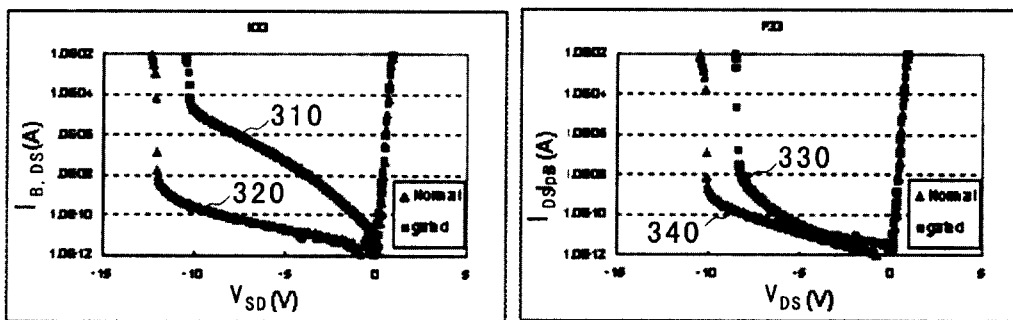


图4

100

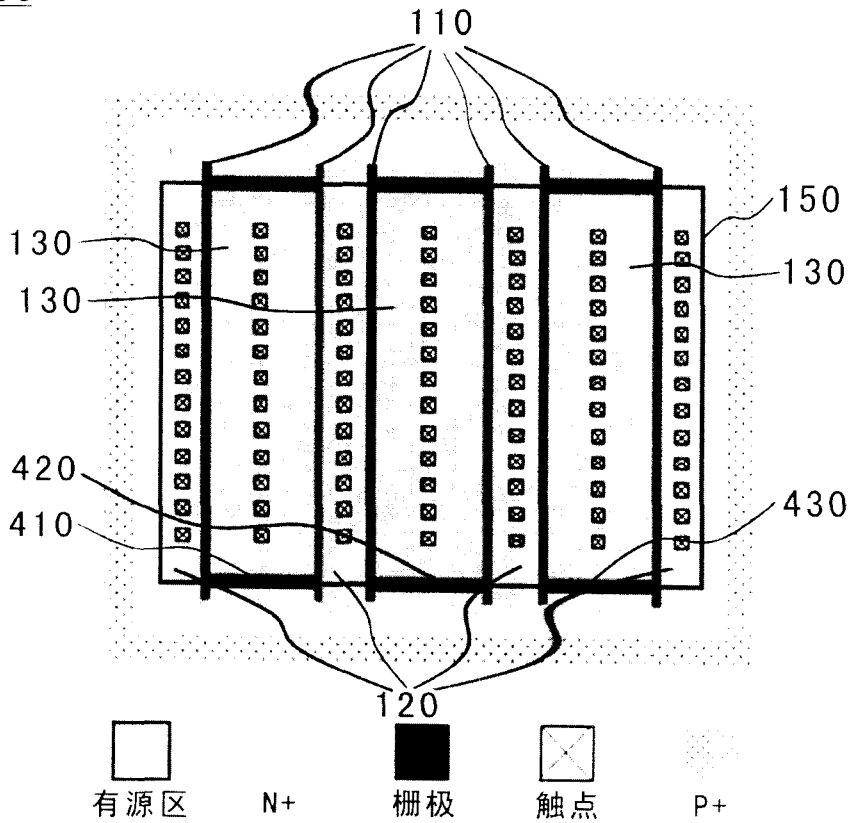


图5

500

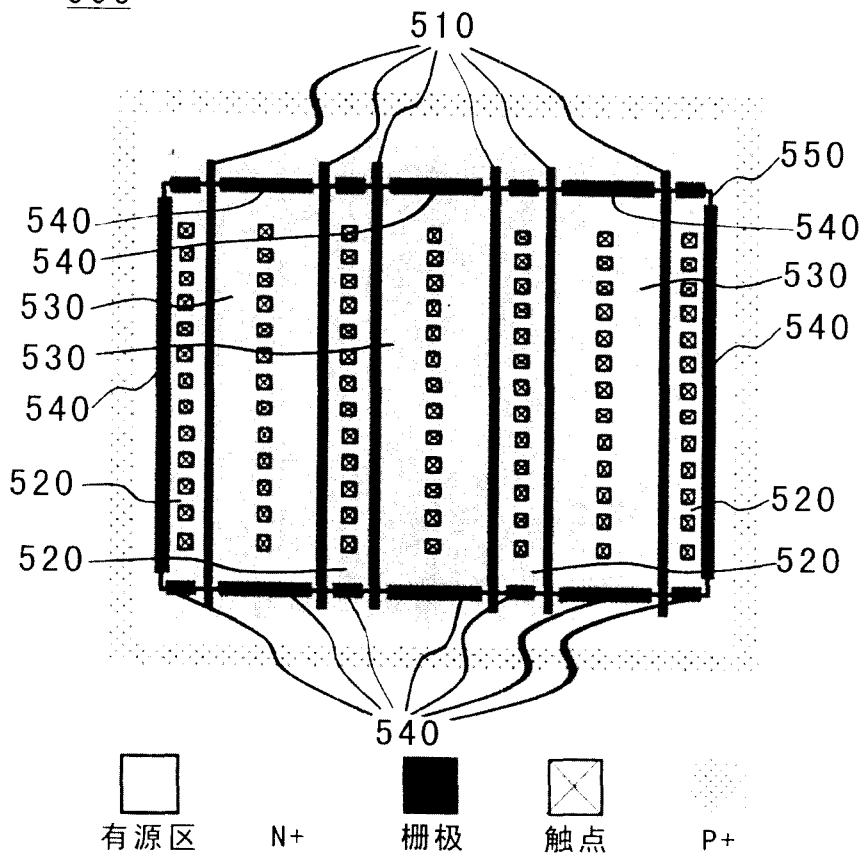


图6

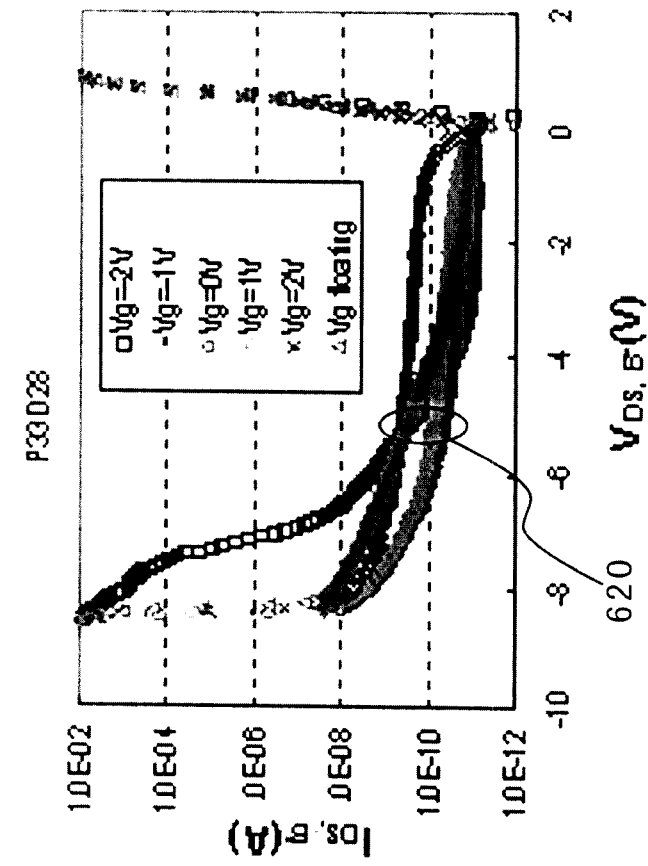


图7 (A)

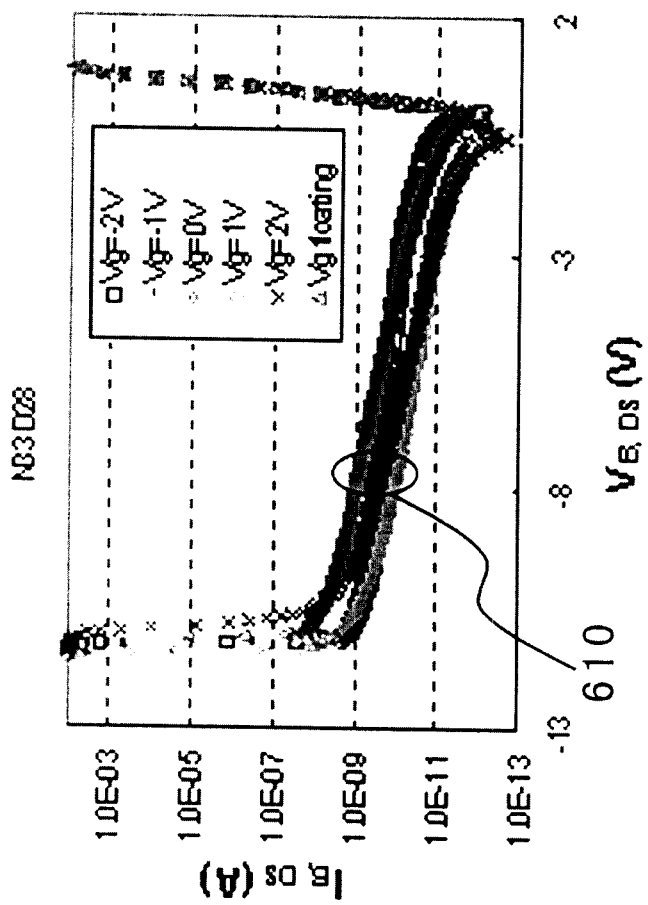


图7 (B)

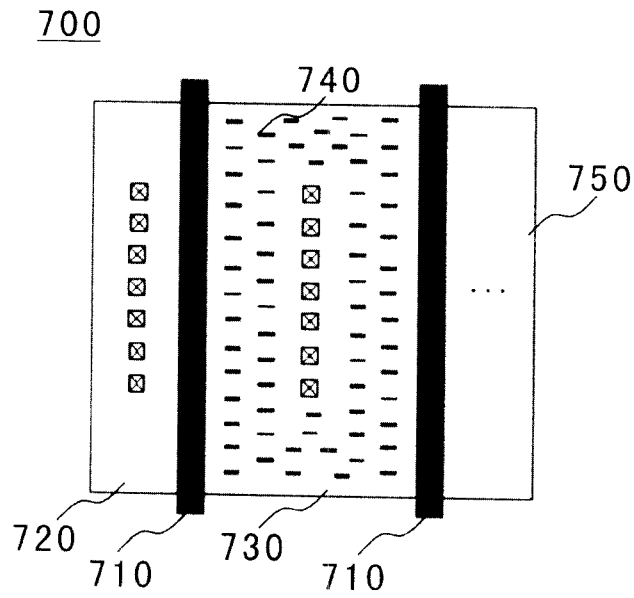


图8 (A)

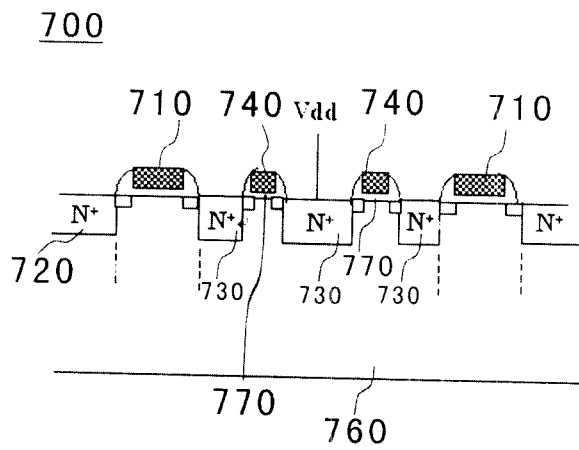


图8 (B)

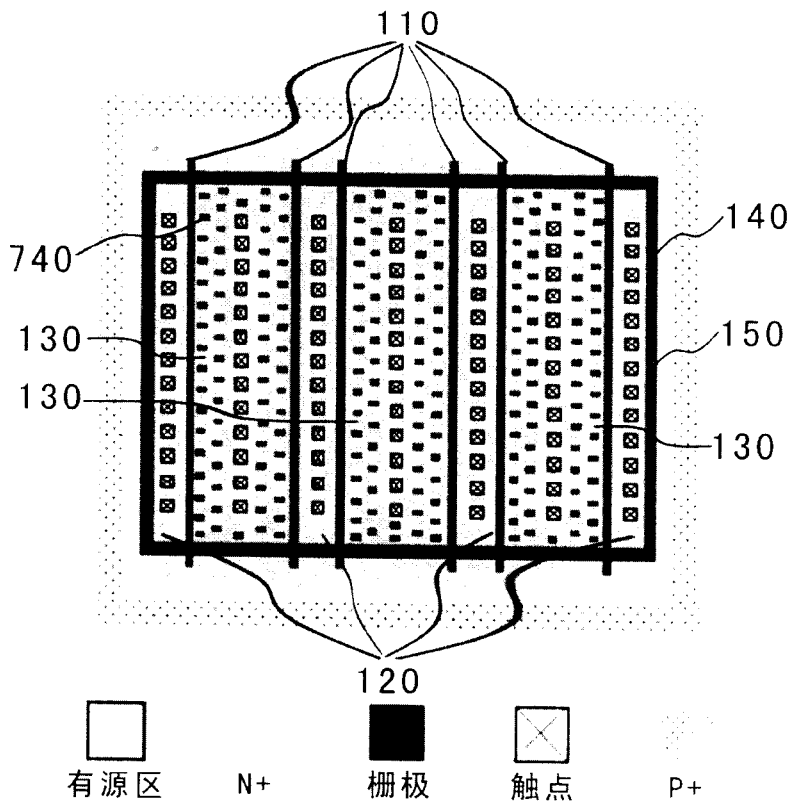


图9 (A)

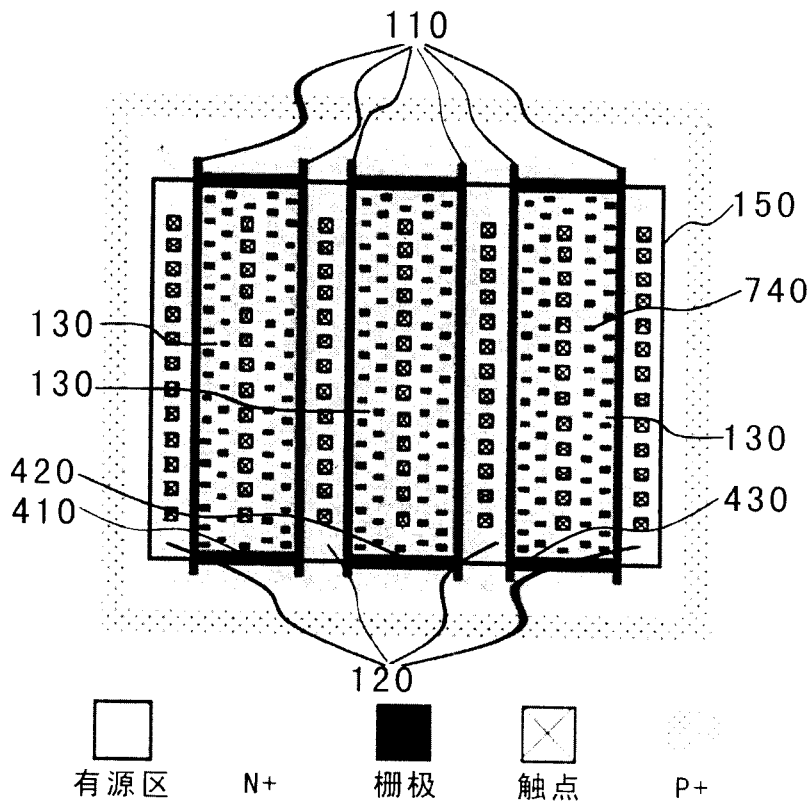


图9 (B)

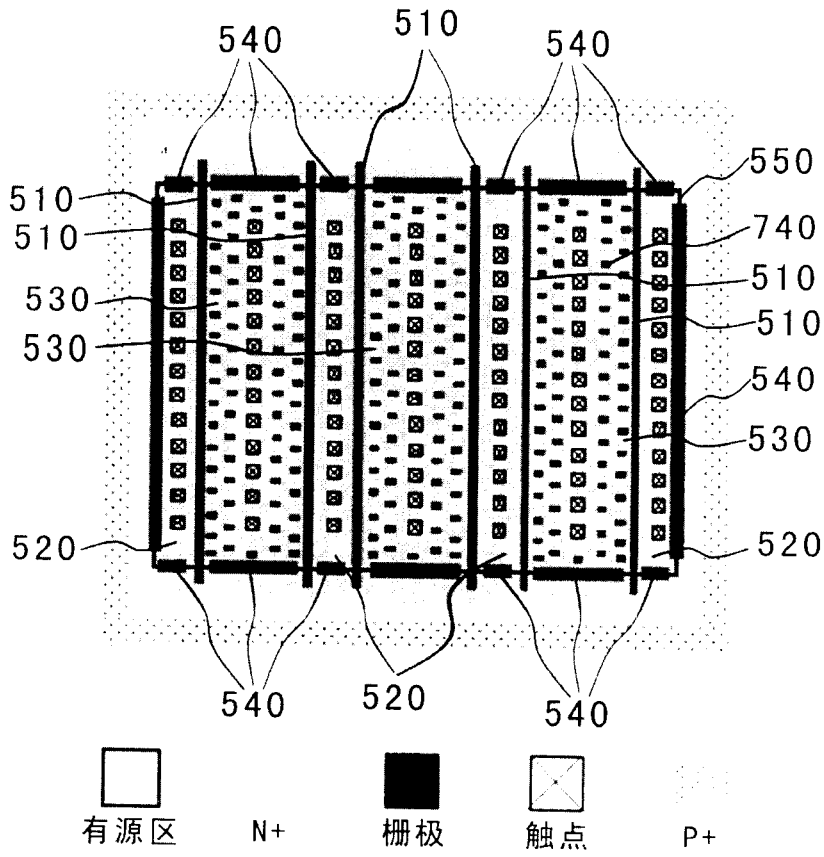


图9 (C)

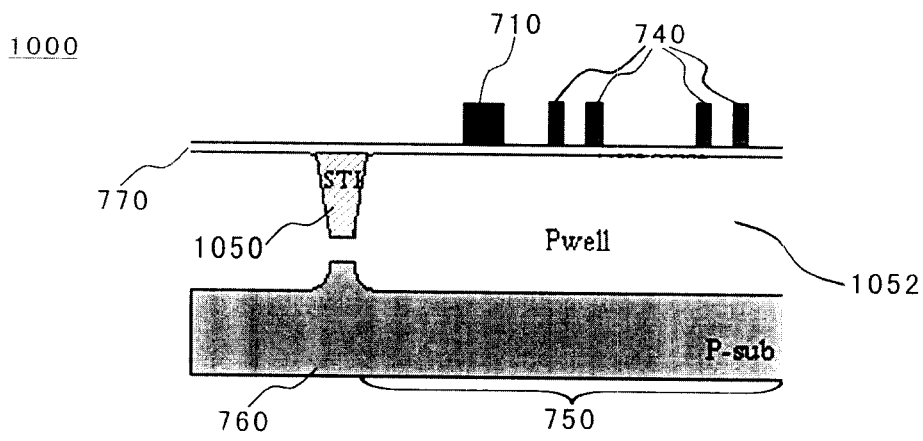


图10(A)

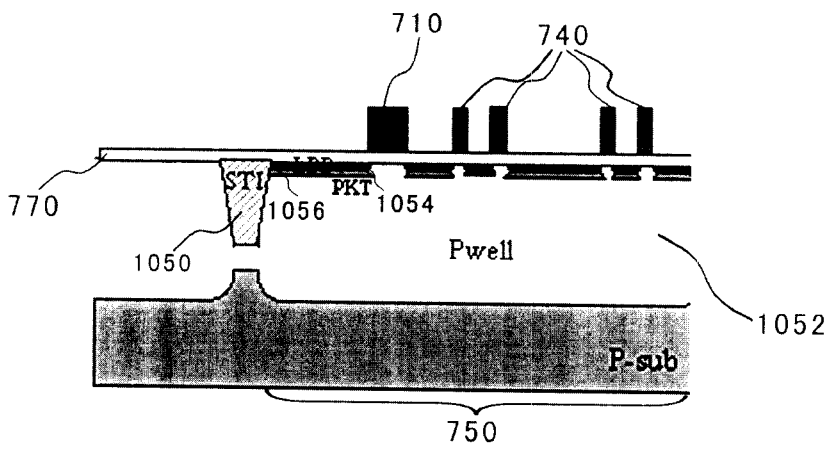


图10(B)

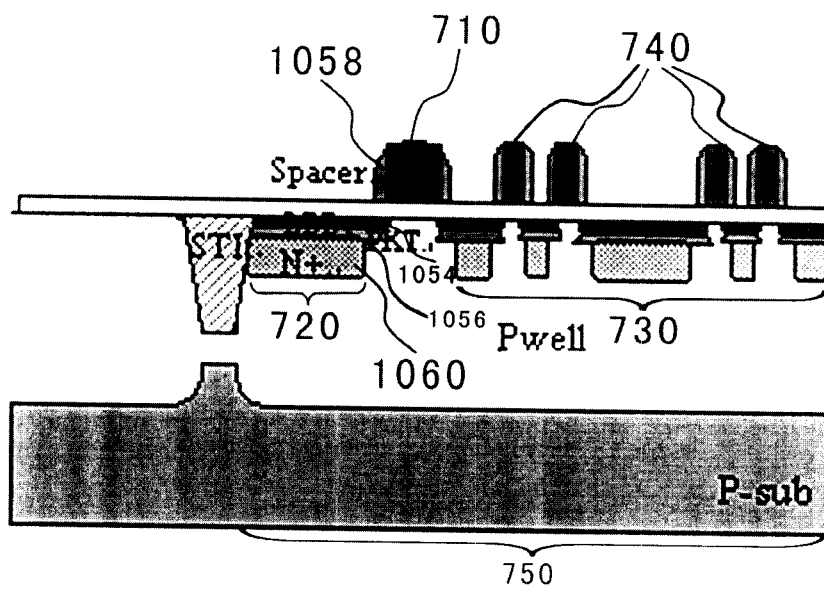


图10(C)

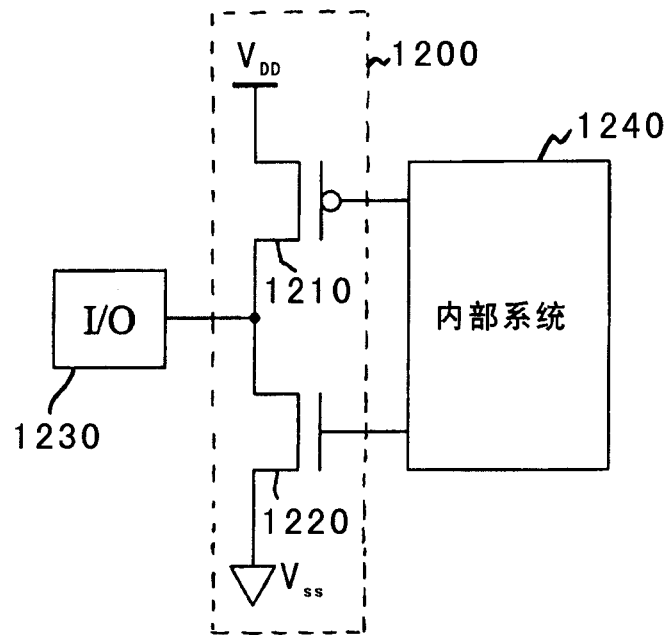


图11