

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第4989037号
(P4989037)

(45) 発行日 平成24年8月1日(2012.8.1)

(24) 登録日 平成24年5月11日(2012.5.11)

(51) Int.Cl.

F I

GO 1 P 15/125 (2006.01)

GO 1 P 15/08 (2006.01)

GO 1 P 15/125 Z

GO 1 P 15/08 P

請求項の数 13 (全 17 頁)

(21) 出願番号	特願2005-106297 (P2005-106297)	(73) 特許権者	000002325
(22) 出願日	平成17年4月1日 (2005.4.1)		セイコーインスツル株式会社
(65) 公開番号	特開2006-53125 (P2006-53125A)		千葉県千葉市美浜区中瀬 1 丁目 8 番地
(43) 公開日	平成18年2月23日 (2006.2.23)	(74) 代理人	100154863
審査請求日	平成20年4月1日 (2008.4.1)		弁理士 久原 健太郎
(31) 優先権主張番号	特願2004-110653 (P2004-110653)	(74) 代理人	100142837
(32) 優先日	平成16年4月5日 (2004.4.5)		弁理士 内野 則彰
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100123685
(31) 優先権主張番号	特願2004-110654 (P2004-110654)		弁理士 木村 信行
(32) 優先日	平成16年4月5日 (2004.4.5)	(72) 発明者	須藤 稔
(33) 優先権主張国	日本国 (JP)		千葉県千葉市美浜区中瀬 1 丁目 8 番地 セ
(31) 優先権主張番号	特願2004-167881 (P2004-167881)		イコーインスツル株式会社内
(32) 優先日	平成16年6月7日 (2004.6.7)	(72) 発明者	鎗田 光男
(33) 優先権主張国	日本国 (JP)		千葉県千葉市美浜区中瀬 1 丁目 8 番地 セ
			イコーインスツル株式会社内
			最終頁に続く

(54) 【発明の名称】 容量型力学量センサおよび半導体装置

(57) 【特許請求の範囲】

【請求項 1】

2 枚のシリコン板の一方のシリコン板に力学量により変位する錘が形成された、前記 2 枚のシリコン板の間に第 1 の絶縁層を持つ基板と、

前記一方のシリコン板に積層された、第一の電極が設けられた第一の絶縁体と、

他方のシリコン板に積層された、第二の電極が設けられた第二の絶縁体と、
からなる、前記錘の変位による、前記錘と前記第一の電極との間の容量値変化から前記力学量を測定する容量型力学量センサであって、

前記一方のシリコン板から分離して形成された、前記一方のシリコン板の残りの部分とは絶縁されている、前記第一の電極がその一端に接続されたシリコンの柱と、

前記錘と前記シリコンの柱とを前記第 1 の絶縁層を介して保持している、分離されていない前記他方のシリコン板と、

前記他方のシリコン板および前記第 1 の絶縁層に設けられた接続穴を介して、前記柱の他端と前記第二の電極とを電気的に接続するための接続手段と、
を有する容量型力学量センサ。

【請求項 2】

前記接続手段は導電体からなり、前記接続穴の周囲に設けられた第 2 の絶縁層により前記他方のシリコン板と電気的に絶縁されている請求項 1 記載の容量型力学量センサ。

【請求項 3】

前記接続手段は導電体と前記他方のシリコン板の一部からなり、前記導電体は前記他方

のシリコン板の一部と前記柱の他端とを接続しており、前記他方のシリコン板の一部は前記他方のシリコン板の残りの部分と電氣的に絶縁されている請求項 1 記載の容量型力学量センサ。

【請求項 4】

前記他方のシリコン板の一部と前記他方のシリコン板の残りの部分との電氣的な絶縁は、前記他方のシリコン板の一部を異種の不純物領域により囲むことで、空乏層を前記他方のシリコン板の一部の周囲に形成することによりなされる請求項 3 記載の容量型力学量センサ。

【請求項 5】

前記他方のシリコン板の一部と前記異種の不純物領域とには、逆バイアスとなるような電圧が印加されている請求項 4 記載の容量型力学量センサ。

10

【請求項 6】

2 枚のシリコン板の一方のシリコン板に力学量により変位する錘が形成された、前記 2 枚のシリコン板の間に第 1 の絶縁層を持つ基板と、

前記一方のシリコン板に積層された、第一の電極が設けられた第一の絶縁体と、

他方のシリコン板に積層された、第二の電極が設けられた第二の絶縁体と、

からなる、前記錘の変位による、前記錘と前記第一の電極との間の容量値変化から前記力学量を測定する容量型力学量センサであって、

前記一方のシリコン板から分離して形成された、前記一方のシリコン板の残りの部分とは絶縁されている、前記第一の電極がその一端に接続されたシリコンの柱と、

20

前記錘と前記シリコンの柱とを保持している、分離されていない前記第 1 の絶縁層と、

前記他方のシリコン板および前記第 1 の絶縁層に設けられた接続穴を介して、前記柱の他端と前記第二の電極とを電氣的に接続するための接続手段と、
を有し、

前記接続手段は導電体と前記他方のシリコン板の一部からなり、前記導電体は前記他方のシリコン板の一部と前記柱の他端とを接続しており、前記他方のシリコン板の一部は前記他方のシリコン板の一部と前記他方のシリコン板の残りの部分との間に設けられた前記第 1 の絶縁層に達するスリットにより前記他方のシリコン板の残りの部分と電氣的に絶縁されている容量型力学量センサ。

【請求項 7】

30

前記スリットは、前記柱を形成するために、前記柱の周囲の前記一方のシリコン板に設けられたスリットとは異なる位置に設けられている請求項 6 記載の容量型力学量センサ。

【請求項 8】

前記スリットは、前記他方のシリコン板の一部を四方から取り囲むように配置されている請求項 6 記載の容量型力学量センサ。

【請求項 9】

前記スリットは、その内部が絶縁物により埋め込まれている請求項 6 記載の容量型力学量センサ。

【請求項 10】

第 1 の半導体基板と第 2 の半導体基板の間に絶縁体をはさまれて積層された基板と、

40

前記第 1 の半導体基板の表面に設けられた第 1 の回路と、

前記第 2 の半導体基板の表面に設けられた第 2 の回路と、

前記第 1 の半導体基板の表面から前記絶縁体までの間に設けられた、前記第 1 の半導体基板から分離して形成されたシリコンの柱と、

前記第 1 の半導体基板の表面に設けられた、前記シリコンの柱の表面側である一端と前記第 1 の回路とを接続する電極と、

前記シリコンの柱の絶縁体側である他端と前記第 2 の回路とを前記第 2 の半導体基板および前記絶縁体に設けられた接続穴を介して、電氣的に接続するための接続手段と、
を有する半導体装置。

【請求項 11】

50

前記接続手段は導電体からなり、前記接続穴の周囲に設けられた絶縁層により前記第2の半導体基板と電氣的に絶縁されている請求項10記載の半導体装置。

【請求項12】

前記第1の回路は撮像素子を含み、さらに、前記第1の半導体基板の表面に積層されたガラスを有し、前記電極は、前記ガラスと前記第1の半導体基板との接合部分に配置されている請求項10または11に記載の半導体装置。

【請求項13】

前記第1の半導体基板は回路パターンが形成された絶縁体基板に実装されていて、前記第1の回路と前記回路パターンとが接続されている請求項10または11に記載の半導体装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、自動車などの角速度や加速度を検出する容量型力学量センサ、および被写体を映像信号に変換などを行う半導体装置に関する。

【背景技術】

【0002】

従来の容量型力学量センサを図18に示す。

【0003】

容量型力学量式加速度センサ507は、加速度を受けて変位する錘521と下部ガラス板501に配置された容量検出電極511からの信号を上部ガラス板503の外側に配置された電極535へと電氣的に接続するための柱522とを有したシリコン板502が、加速度による錘521の変位を容量値変化として検出する電極531を有した上部ガラス板503および同じく加速度による錘521の変位を容量値変化として検出する電極511を有した下部ガラス501の間にはさまれる形で積層されている。前記シリコン板502に形成された柱522はレーザやエッチング加工により作成され、通常柱は錘から独立した形で存在している。（たとえば、非特許文献1を参照。）

20

【非特許文献1】「微細加工とマイクロマシン」、江刺正喜著、電気学会論文A、114巻7/8号、平成6年

【発明の開示】

30

【発明が解決しようとする課題】

【0004】

しかしながら、この柱を形成するためにはシリコン板を一度ガラス板に陽極接合などにより固定してからエッチング等を行い、柱を独立させることが必要である。そのためガラス板上にパターニングされた電極面までも意図しないエッチング等にさらされてしまい、量産性や信頼性の向上を図る上で問題となっている。

【0005】

また、ガラス板等に陽極接合をしない場合でも、柱を機械的に独立させてしまうと、同時に本体部と柱の電氣的な導通が取れなくなってしまうため両面に素子を作りこんだ場合に片側面のみからの電気信号の取出しができなくなり、実装するとき両面から電気信号を取出す構造が必要となりコストがかかる。

40

【0006】

本発明はこのような事情に鑑み、容量型力学量センサの量産性や信頼性を向上させセンサ全体を小型化する手段と、半導体の両面に素子を作成した場合に、片側面から電気信号を取出すことを可能とすることで素子の小型化と低コスト化を図る手段を以下に述べる。

【課題を解決するための手段】

【0007】

本発明は、上述した課題を解決するために、以下のようなセンサの構成とした。第一の絶縁体上の電極を第二の絶縁体上の電極に電気接続を可能とするように半導体に柱構造を形成し、かつ柱構造の上側は、機械的には分割されてなく、電氣的には絶縁されて

50

いる構造にした。

【 0 0 0 8 】

更には、柱の上部と他の柱の上部の電氣的絶縁には、前記シリコン基板中にある絶縁層と前記柱の上部に成膜した絶縁層により行う構造にした。

【 0 0 0 9 】

また、第一の絶縁体上の電極を第二の絶縁体上の電極に電気接続を可能とするように半導体に柱構造を形成し、かつ前記柱構造の上側の一部に、前記不純物を含んだ半導体とは異なる不純物を形成して接合させることで空乏層を作り、電氣的には絶縁されている構造にした。

【 0 0 1 0 】

更に、柱を形成している半導体の不純物はP型であり、柱の上側に形成された異なる不純物はN型である構造にした。

【 0 0 1 1 】

また更に、柱の上側の一部に形成されたN型の不純物を、このセンサに印加される最大電圧以上の電圧に接続してある構造にした。

【 0 0 1 2 】

また、柱を形成している半導体の不純物はN型であり、柱の上側の一部に形成された異なる不純物はP型である構造にした。

【 0 0 1 3 】

更に、柱の上側に形成されたP型の不純物を、このセンサに印加される最小電圧以下の電圧に接続してある構造にした。

【 0 0 1 4 】

また更に、柱は導電性の上部と絶縁性の中部と導電性の下部から構成され、前記柱の導電性の上下部には機械的に分割するようにスリットを設け、前記柱の絶縁性の中部は機械的に分割されてなく、電氣的に絶縁されている構造にした。

【 0 0 1 5 】

また、柱の上部に形成されたスリットは、前記柱の下部に形成されたスリット位置からずれて配置している構造にした。

【 0 0 1 6 】

更に、柱の上部に形成されたスリットは、前記柱の上部を四方から囲うように配置し、柱の下部に形成されたスリットは、前記柱の下部を四方から囲うように配置している構造にした。

【 0 0 1 7 】

また更に、柱の上部に形成されたスリット内に、絶縁物を埋め込む構造にした。

【 0 0 1 8 】

また、電極パターンが設けられた第一の絶縁体と、撮像素子が設けられた第一の半導体と電気回路素子が設けられた第二の半導体と前記第一の半導体と前記第二の半導体の間に挟まれて配置された絶縁体とからなる基板が積層されており、前記撮像素子による信号と前記電気回路素子による信号で画像処理をおこなう半導体電気回路部品において、前記第一の半導体の電極を第二の半導体の電極に電気接続を可能にするように、前記第一の半導体と前記第二の半導体に柱構造を形成し、前記柱は導電性の上部と絶縁性の中部と導電性の下部から構成され、かつ前記柱の下部は機械的に分割されてなく電氣的に絶縁されているようにした。

【 0 0 1 9 】

更に、前記柱の下部と前記第二の半導体の電氣的絶縁には、前記第一と第二の半導体に挟まれて配置された前記絶縁体と前記柱の下部に成膜した絶縁層により行うこととした。

【 0 0 2 0 】

また、第一の電気回路素子が設けられた第一の半導体と、第二の電気回路素子が設けられた第二の半導体と前記第一の半導体と前記第二の半導体の間に挟まれて配置された絶縁体とからなる基板からなり、前記第一の電気回路素子による信号と前記第二の電気回路素

10

20

30

40

50

子による信号で動作する半導体装置において、前記第一の半導体の電極を第二の半導体の電極に電気接続を可能にするように、前記第一の半導体と前記第二の半導体に柱構造を形成し、前記柱は導電性の上部と絶縁性の中部と導電性の下部から構成され、かつ前記柱の上部は機械的に分割されてなく電氣的に絶縁されているようにした。

【0021】

更に、前記柱の下部と前記第二の半導体の電氣的絶縁には、前記第一と第二の半導体に挟まれて配置された前記絶縁体と前記柱の上部に成膜した絶縁層により行うこととした。

【発明の効果】

【0022】

本発明により容量型力学量センサは、各電極からの信号を伝えるためのシリコン柱群が電氣的には絶縁されてはいるが、柱の上部か中部、もしくは柱の上部と中部の両方が、機械的には分割されていない構造となっており、陽極接合後に柱を独立させるためのエッチングが不要となる。そのため、下側電極パターンへの意図しないエッチング工程等が不要となり、その結果、信頼性や量産性を下げることなくセンサを小型化することができる。

10

【0023】

また、本発明による半導体装置は、各電極からの信号を伝えるためのシリコン柱群が電氣的には絶縁されてはいるものの、柱の下部中部両方が、機械的に分割されていない構造となっており、陽極接合後に柱を独立させるためのエッチングが不要となる。そのため、絶縁体上の電極パターンへの意図しないエッチング工程等が不要となり、その結果信頼性や量産性を下げることなく半導体装置の面積の小型化と実装を簡易にすることができる。

20

【0024】

また、本発明による半導体装置は、各電極からの信号を伝えるためのシリコン柱群が電氣的には絶縁されてはいるものの、柱の上部中部両方が、機械的に分割されていない構造となっており、柱は機械的に独立していない。そのため、半導体素子の両面に電気回路を作製した場合に、片側からまとめて電気信号の取出しができ、その結果信頼性や量産性を下げることなく半導体チップの面積の小型化と実装を簡易にすることができる。

【発明を実施するための最良の形態】

【0025】

本発明の最良の形態1の基本的な構造を説明する。容量式力学量センサはその基板ともなる下部ガラス板と、力学量により変位する錘と下側ガラス板上に配置された電極からの信号を上側ガラス外側に配置された電極まで電気接続するためのシリコン柱を有したシリコン板と、上部ガラス板の組合せからなる。また、シリコン柱上部には一部に穴のあいた絶縁膜とその上には導電膜が配置されており、他の柱への電気信号の漏れを無くし、シリコン柱上下の電気伝導を可能にしている。

30

【0026】

つぎに、本発明の最良の形態2の基本的な構造を説明する。基本的な構造は実施の形態1と同じであるため相違点のみ説明する。本発明の実施の形態2では、シリコン柱上部の一部には、シリコン板にドーブされている不純物とは異なる不純物をドーブして空乏層を作り出す。これにより他の柱への電気信号の漏れを無くし、シリコン柱上下の電気伝導を可能にしている。

40

【0027】

つぎに、本発明の最良の形態3の基本的な構造を説明する。基本的な構造は実施の形態1と同じであるため相違点のみ説明する。本発明の実施の形態3では、シリコン柱上部の一部にスリットをいれることで、他の柱への電気信号の漏れを無くし、シリコン柱上下の電気伝導を可能にしている。

【0028】

基本的な製法としてはまず、シリコン板を用意し、下側からドライエッチングにより垂直加工を行い錘とシリコン柱の形成を行う。その後、柱の上側を電氣的に絶縁するための工程と錘上側を作成する工程を実施する。そして、下部ガラス板を用意し、シリコン板を下部ガラス板に接合する。その後に上側ガラス板をシリコン板に接合する。

50

【 0 0 2 9 】

つぎに、本発明の最良の形態 4 の基本的な構造を説明する。半導体電気回路部品は、ガラスからできた絶縁体と、撮像素子が配置された上部半導体と、電気回路が配置された下部半導体と、上部半導体と下部半導体の間に挟まれるように配置された絶縁体からなり、上部半導体上に配置された電極からの信号を下部半導体上に配置された電極まで電気接続するためのシリコン柱の組合せからなる。また、シリコン柱下部には一部に穴のあいた絶縁膜とその上には導電膜が配置されており、第二の半導体への電気信号の漏れを無くし、シリコン柱上下の電気伝導を可能にしている。

【 0 0 3 0 】

基本的な製法としてはまず、シリコン板を用意し、上側からドライエッチングにより垂直加工を行い撮像素子部となる部分とシリコン柱の形成を行い、撮像素子と回路を作成する。その後、柱の下側を電氣的に絶縁するための工程。下部半導体に回路素子を作成する工程を実施する。そして、上部ガラス板を用意し、シリコン板を上部ガラス板に接合する。

10

【 0 0 3 1 】

つぎに、本発明の最良の形態 5 の基本的な構造を説明する。半導体電気回路部品は、電気回路が配置された上部半導体と、電気回路が配置された下部半導体と、上部半導体と下部半導体の間に挟まれるように配置された絶縁体からなり、上部半導体上に配置された電極からの信号を下部半導体上に配置された電極まで電気接続するためのシリコン柱の組合せからなる。また、シリコン柱上部には一部に穴のあいた絶縁膜とその上には導電膜が配置されており、第一の半導体への電気信号の漏れを無くし、シリコン柱上下の電気伝導を可能にしている。

20

【 0 0 3 2 】

基本的な製法としてはまず、シリコン板を用意し、下側からドライエッチングにより垂直加工を行い電気回路部となる部分とシリコン柱の形成を行い、下部半導体に回路素子を作成する。その後、柱の上側を電氣的に絶縁するための工程。上部半導体に回路素子を作成する工程を実施する。そして、シリコン柱下部と下部半導体の電極に接続されるように電極パターンが配置されている絶縁体基板上に半田パンプなどを用いて実装する。

【 実施例 1 】

【 0 0 3 3 】

以下に本発明による容量型力学量センサの実施例 1 を図 1 から図 5 を用いて説明する。なお、図 1 は本実施形態に係る容量型力学量センサ 7 a を示す側面断面図である。

30

【 0 0 3 4 】

容量型力学量センサ 7 a は、容量検出電極 1 1 を有す下部ガラス板 1、加速度を受けて変位する錘 2 1 や下側電極 1 1 からの信号を上側電極 3 4 に接続するためのシリコン柱 2 2 1 をもつシリコン板 2 a、容量検出電極 3 1 を有す上部ガラス板 3 が積層された構造となっている。

【 0 0 3 5 】

図 2 は下部ガラス板 1 の透過側面図を示している。下部ガラス板 1 は主に二酸化珪素 (SiO_2) から構成されており、シリコン板 2 に近い熱膨張係数を有するものを使用している。また、下部ガラス板 1 の厚みは約 100 μm ないしはそれ以上となっている。

40

【 0 0 3 6 】

シリコン板 2 a との接合面側には、厚さ約 1 μm 以下のアルミニウム (Al) などからなる容量検出用の電極 1 1 がスパッタなどにより設けられている。これらの電極 1 1 はスルーホール 1 2 a により外側の電極 1 4 に接続され、その後再度スルーホール 1 2 b により、裏面から上面に引き出され図 4 (B) に示されるシリコン柱 2 2 1 の下部 2 2 b に接続される。

【 0 0 3 7 】

図 3 は上部ガラス板 3 の側面断面図を示している。上部ガラス板 3 も下部ガラス板 1 と同様に主成分は SiO_2 から構成され、シリコン板 2 a に近い熱膨張係数を有するものを

50

使用している。また、上部ガラス板 3 の厚みは約 100 μm ないしはそれ以上となっている。

【0038】

シリコン板 2 a との接合面から数 μm 凹んだ位置には、厚さ約 1 μm 以下の A 1 などからなる容量検出用の電極 3 1 が配置されている。この容量検出用の電極 3 1 は同じく A 1 をスパッタにて成膜されたスルーホール 3 2 a により上部ガラス板 3 外面に接合された N 型のシリコン 3 4 に接続される。また、シリコン板 2 a との接合面には、シリコン板 2 a に形成された柱 2 2 1 の電位をとるための電極 3 3 a、シリコン板 2 に形成された錘 2 1 の電位をとるための電極 3 3 c (図示しない)、が設けられており、それぞれスルーホール 3 2 b、3 2 d (図示しない) により上部ガラス板 3 外面に接合された N 型のシリコン 3 4 に接続される。この N 型のシリコン 3 4 の外面には A 1 をスパッタにより成膜しており、この A 1 による電極パッド 3 5 により外部の基板にワイヤボンディング等により実装する。

10

【0039】

図 4 (A) はシリコン板 2 a の平面図を、図 4 (B) はシリコン板 2 a の C - C' における側面断面図を示している。シリコン板 2 a は錘 2 1 の形成やシリコン柱 2 2 1 の加工のために 2 枚のシリコン板の間に絶縁層 2 8 を持つ SOI 基板を使用している。中心部付近には外部から与えられる加速度により変位する錘 2 1 をエッチングにより形成している。

【0040】

20

先にも述べたとおりこのシリコン基板 2 a は SOI 基板を使用しており、錘 2 1 の中間部分には絶縁層 2 8 があり、上下のシリコン 2 1 a、および 2 1 b は絶縁されている。そのため錘 2 1 の上下のシリコンを同電位とするため、絶縁層 2 8 を通過して下部のシリコン 2 1 b まで達するように階段状の凹みを形成し、その上にスパッタによる A 1 の電極 2 6 a を形成しシリコン 2 1 a と 2 1 b を電氣的に結合させている。

【0041】

この錘 2 1 の電位は電極 2 6 b によって上部ガラス板 3 の図示されていない電極 3 3 c を経由して外部端子 3 5 まで接続されているため、外部からの制御が可能となる。

【0042】

そしてこの錘 2 1 を形成するエッチング工程において同時にシリコン柱の下部 2 2 b のエッチングをおこなう。それによりシリコン柱の下部 2 2 b は電氣的にも機械的にも各々が独立することになる。またシリコン柱の上部 2 2 a には、図 5 のようにある一部をあらかじめエッチングをおこないその上に絶縁体 2 2 c と導電体 2 2 d が配置されている。これにより構造的に各々の柱の上部を独立せずに電気絶縁を可能にし、かつ各々のシリコン柱 2 2 1 により、上下のガラス板に形成された電極の電気伝導を可能にしている。

30

【0043】

その他のシリコン板 2 a の構成要素としては、錘 2 1 を支える役目として梁 2 3 部分、下部のガラス板 1、上部ガラス板 3 と陽極接合する部分がある。

【0044】

容量型力学量式加速度センサ 7 a の基本的な製法としては、下部ガラス板 1 とシリコン板 2 a の位置を所望の位置に合わせたあとに接合させる。接合には雰囲気温度約 300 において電圧約 400 V を印加する陽極接合を用いて行った。

40

【0045】

そのあと、上部ガラス板 3 と、下部ガラス 1 に接合されたシリコン板 2 a とを所望の位置にあわせて、陽極接合を行い作製する。

【実施例 2】

【0046】

第二の実施例は、異なる不純物を利用して空乏層を作りこみ、それにより各々の柱を上部で絶縁するものである。以下第一の実施例と同様の部位については同じ符号を付し、説明を省略し、第一の実施例と異なる点を中心に図 6 ~ 図 8 を用いて説明する。

50

【 0 0 4 7 】

図 6 は本実施形態 2 に係る容量型力学量センサ 7 b を示す側面断面図である。

【 0 0 4 8 】

容量型力学量センサ 7 b は、容量検出電極 1 1 を有す下部ガラス板 1、加速度を受けて変位する錘 2 1 や下側電極 1 1 からの信号を上側電極 3 4 に接続するためのシリコン柱 2 2 2 を有するシリコン板 2 b、容量検出電極 3 1 を有す上部ガラス板 3 が積層された構造となっている。本実施例ではシリコン版上下のシリコン板 2 4 および 2 7 はともに P 型である。

【 0 0 4 9 】

上部ガラス板 3 のシリコン板 2 b との接合面から数 μm 凹んだ位置には、厚さ約 $1\mu\text{m}$ 以下の A 1 などからなる容量検出用の電極 3 1 が配置されている。この容量検出用の電極 3 1 は同じく A 1 をスパッタにて成膜されたスルーホール 3 2 a により上部ガラス板 3 外面に接合された N 型のシリコン 3 4 に接続される。また、シリコン板 2 b との接合面には、シリコン板 2 b に形成された柱 2 2 2 の電位をとるための電極 3 3 a、柱 2 2 2 の上部 2 2 a の一部に形成された異なる不純物領域 2 9 の電位をとるための電極 3 3 b (図示しない)、シリコン板 2 b に形成された錘 2 1 の電位をとるための電極 3 3 c (図示しない)、が設けられており、それぞれスルーホール 3 2 b、3 2 c (図示しない)、3 2 d (図示しない) により上部ガラス板 3 外面に接合された N 型のシリコン 3 4 に接続される。この N 型のシリコン 3 4 の外面には A 1 をスパッタにより成膜してあり、この A 1 による電極パッド 3 5 により外部の基板にワイヤボンディング等により実装する。

【 0 0 5 0 】

またシリコン柱 2 2 2 の上部 2 2 a は、図 8 のように一部に異種の不純物領域 (N 型) 2 9 が形成された構造となっている。また、この異種の不純物領域 (N 型) 2 9 の電位を、このセンサに印加される最大電圧値以上の電圧に電極 2 6 c (図 7 (A) 参照) を通して接続することで、シリコン柱 2 2 には常に異種の半導体接合に逆バイアスがかかるため、空乏層 2 9 a による電気絶縁を実現し、機構的に各々の柱 2 2 の上部 2 2 a を独立せずに電気絶縁を可能にしている。また各々のシリコン柱 2 2 2 の上下を同電位とするため、絶縁層 2 8 を通過して下部のシリコン 2 2 b まで達するように階段状の凹みを形成し、その上にスパッタによる A 1 の電極 2 2 d を形成しシリコン 2 2 a、2 2 b を電気結合させている。これにより下部ガラス電極と上部ガラス電極をシリコン柱 2 2 2 により導通することができる。

【 0 0 5 1 】

また、シリコン板 2 b は、不純物半導体として N 型をドーピングされた上部のシリコン板 2 4 と、同じく不純物半導体 N 型をドーピングされた下部のシリコン板 2 7 を持つ SOI 基板を使用しても可能である。この場合、シリコン柱 2 2 2 の上部 2 2 a のある一部には異種の不純物である P 型を使用し、この P 型の不純物電位をこのセンサに印加される最小電圧値以下の電圧に電極 2 6 c を通して接続することで、シリコン柱には常に異種の半導体接合に逆バイアスがかかるため、空乏層 2 9 a による電気絶縁を実現し、機構的に各々の柱 2 2 2 の上部 2 2 a を独立せずに電気絶縁が可能となり、同様の効果が得られる。

【 実施例 3 】

【 0 0 5 2 】

第三の実施例は、柱の上部にスリットを入れることで他の柱と絶縁するものである。以下第二の実施例と同様の部位については同じ符号を付し、説明を省略し、第二の実施例と異なる点を中心に図 9 ~ 図 1 1 を用いて説明する。

【 0 0 5 3 】

図 9 は本実施形態 3 に係る容量型力学量センサ 7 c を示す側面断面図である。

【 0 0 5 4 】

図 1 0 (A) は、図 9 に示す装置におけるシリコン板の平面図であり、同 (B) は、図 9 に示す装置におけるシリコン板の側面断面図である。

【 0 0 5 5 】

図 1 1 は図 9 に示す装置におけるシリコン柱の部分を拡大した側面図である。

【 0 0 5 6 】

容量型力学量センサ 7 c は、容量検出電極 1 1 を有す下部ガラス板 1、加速度を受けて変位する錘 2 1 や下側電極 1 1 からの信号を上側電極 3 4 に接続するためのシリコン柱 2 2 3 をもつシリコン板 2 c、容量検出電極 3 1 を有す上部ガラス板 3 が積層された構造となっている。

【 0 0 5 7 】

そしてこの実施形態では、柱の上部 2 2 a を他の柱と分割するためにスリット 2 2 e を入れるようにエッチングを行う。これにより各々の柱の中部である絶縁層 2 8 を機械的に独立せずに電気絶縁を可能にし、かつ各々のシリコン柱が上下のガラス板に形成された電極の電気伝導が可能となる。

10

【 0 0 5 8 】

また、図 1 1 に示すように、このとき柱の上部のスリット 2 2 e は半導体基板の機械的強度を考慮して、柱下部 2 2 b のスリット 2 2 f の位置からずらすようにしてエッチングを行っている。これにより、シリコン柱 2 2 3 とシリコン基板 2 c との機械的強度を向上することを可能にする。

【実施例 4】

【 0 0 5 9 】

第四の実施例は、柱の上部に入れるスリットを柱の上部を四方から囲うように入れ、柱の下部に入れるスリットは柱の下部を四方から囲うように入れることで他の柱と絶縁するものである。以下第三の実施例と同様の部位については同じ符号を付し、説明を省略し、第三の実施例と異なる点を中心に図 1 2 (A) および (B) を用いて説明する。

20

【 0 0 6 0 】

図 1 2 (A) は、本発明の実施形態 4 に係る容量型力学量センサにおけるシリコン板の平面図であり、同 (B) は本実施形態 4 に係る容量型力学量センサのシリコン板 2 d を示す側面断面図である。

【 0 0 6 1 】

このとき柱の上部のスリット 2 2 g は柱の上部を四方から囲うように配置され、また柱の下部のスリット 2 2 h は柱の下部を四方から囲うように配置されている。これにより、シリコン柱 2 2 3 はセンサの隅に配置されることに限定されることがなくなり、スリット加工が可能な領域内であれば任意の位置に柱を作ることができる。またさらに、柱の上部にあるスリット 2 2 g に絶縁物 2 2 i を埋め込んだ様子を図 1 3 に示す。このようにすることで他の柱との絶縁性を保ちながら機械強度を上げることができる。

30

【実施例 5】

【 0 0 6 2 】

以下に本発明による半導体電気回路部品の実施例 5 を図 1 4 ~ 図 1 5 を用いて説明する。

【 0 0 6 3 】

図 1 4 は本実施形態に係る半導体装置 6 0 1 を示す側面断面図である。

【 0 0 6 4 】

40

半導体装置 6 0 1 は、電極 6 3 5 が配置されたガラス 6 3 0、撮像素子 6 2 a を有す上部半導体 6 2 1、撮像素子からの信号を受けて信号処理する回路を有す下部半導体 6 2 3、上記半導体と下部半導体にはさまれて配置されている絶縁体 6 2 8 が積層された構造となっており、上記半導体と下部半導体には、上記半導体から出力される信号を下部半導体に伝えるためのシリコンの柱 6 2 2 b が配置された構造となっている。

【 0 0 6 5 】

次にシリコン柱の電氣的接合部分の拡大図を図 1 5 に示す。
絶縁体 (ガラス) 6 3 0 には、電極 6 3 5 が配置されており、この電極は撮像素子の電極とシリコン柱を電氣的に接続している。

【 0 0 6 6 】

50

上部半導体 6 2 1 はシリコンから構成され、その厚みは約 1 0 μ m 以上となっており、撮像素子と、下部半導体 6 2 3 との電気信号伝達のためのシリコン柱 6 2 2 b が設けられている。そして上部半導体の撮像素子とシリコン柱の間には、スリット 6 2 2 f があり、機械的にも電氣的にも絶縁されている。

【 0 0 6 7 】

下部半導体 6 2 3 も上部半導体と同様に主成分はシリコンから構成され、その厚みは約 1 0 0 μ m 以上となっており、信号処理 IC 6 2 b と、上部半導体との電気信号伝達のためにシリコン柱 6 2 2 a が設けられている。

【 0 0 6 8 】

また、下部の柱と下部半導体には A 1 が製膜された電極 6 2 2 d が設けられており、この A 1 により、下部の柱と下部の半導体の電気接続を実現している。また電極パッド 6 3 5 c により外部の基板にワイヤボンディング、もしくは表面実装等により実装する。

【 0 0 6 9 】

そして先にも述べた通り、本実施例では上部半導体と下部半導体の間に絶縁層 6 2 8 を持つ、いわゆる S O I 基板を使用している。これにより、上下のシリコン 6 2 1、および 6 2 3 は絶縁されている。

【 0 0 7 0 】

そのため、シリコン柱において、上部柱 6 2 2 a、下部柱 6 2 3 b の電気伝導を可能にするため、絶縁層 6 2 8 を通過して上部のシリコン 6 2 2 b まで達するように階段状の凹みを 6 2 2 a に形成し、まず絶縁膜 6 2 2 c を製膜する。その後、絶縁膜上にスパッタによる A 1 の電極 6 2 2 d を形成しシリコン 6 2 2 a と 6 2 2 b とを電氣的に結合させている。よって、この柱上部の電位は下部半導体基板に回路信号を伝えることが可能となる。

【 0 0 7 1 】

また、シリコン柱の上部分 6 2 2 f のエッチングをおこなうことで、シリコン柱の上部分 6 2 2 b は、電氣的にも機械的にも各々が独立することになる。これにより機械的に各々の柱の下部を独立せずに電気絶縁を可能にし、かつ各々のシリコン柱 6 2 2 a、6 2 2 b により、上下の半導体に形成された電極の電気伝導を可能にしている。その結果、撮像素子 6 2 a と信号処理 IC 6 2 b の電気信号の送受が可能になる。

【実施例 6】

【 0 0 7 2 】

以下に本発明による半導体装置の実施例 6 を図 1 6 ~ 図 1 7 を用いて説明する。

【 0 0 7 3 】

図 1 6 は本実施形態に係る半導体装置 7 0 1 を示す側面断面図である。

【 0 0 7 4 】

半導体装置 7 0 1 は、回路 7 2 a を有す上部半導体 7 2 3、回路 7 2 a からの信号を受けて動作する回路 7 2 b を有す下部半導体 7 2 1、上記半導体と下部半導体にはさまれて配置されている絶縁体 7 2 8 が積層された構造となっており、上記半導体と下部半導体には、上記半導体から出力される信号を下部半導体に伝えるためのシリコンの柱 7 2 2 b が配置された構造となっている。またこれらの半導体基板は、装置に組み込む際に必要なあらかじめ回路パターンが形成された絶縁体基板 7 4 0 に実装されている。

【 0 0 7 5 】

次にシリコン柱の電気接合部分の拡大図を図 1 7 に示す。

【 0 0 7 6 】

基板 7 4 0 には、電極 7 3 5 が配置されており、この電極は下部半導体素子の電極とシリコン柱を電氣的に接続している。

【 0 0 7 7 】

上部半導体は S i から構成され、その厚みは約 1 0 μ m 以上となっており、回路素子 7 2 a と、下部半導体との電気信号伝達のためのシリコン柱 7 2 2 a が設けられている。

【 0 0 7 8 】

下部半導体 7 2 1 も上部半導体と同様に主成分は S i から構成され、その厚みは約 1 0

10

20

30

40

50

0 μm以上となっている。そして回路素子72bとシリコン柱722bの間には、スリット722fがあり、機械的にも電氣的にも絶縁されている。

【0079】

また、上部の柱と上部半導体にはA1が製膜された電極722dが設けられており、このA1により、上部の柱と上部半導体の電気接続を実現している。また電極パッド735cにより外部の基板にワイヤボンディング、もしくは表面実装等により実装する。

【0080】

そして先にも述べた通り、この上部半導体と下部半導体の間に絶縁層728を持つ、いわゆるSOI基板を使用している。これにより、上下のシリコン721、および723は絶縁されている。

10

【0081】

そのため、シリコン柱において、上部柱722a、下部柱722bの電気伝導を可能にするため、絶縁層728を通過して下部のシリコン722bまで達するように階段状の凹みを形成し、まず絶縁膜722cを製膜する。その後、絶縁膜上にスパッタによるA1の電極722dを形成しシリコン722a、722bを電気結合させている。よって、この柱下部の電位は上部の回路素子72aに回路信号を伝えることが可能となる。

【0082】

また、シリコン柱の下部分722fのエッチングをおこなうことで、シリコン柱の下部分722bは、電氣的にも機械的にも各々が独立することになる。これにより機械的に各々の柱の上部を独立せずに電気絶縁を可能にし、かつ各々のシリコン柱622a、622bにより、上下の半導体に形成された電極の電気伝導を可能にしている。その結果、回路素子72aと回路素子72bの電気信号の送受が可能になる。

20

【図面の簡単な説明】

【0083】

【図1】本発明の実施形態1に係る容量型力学量センサを示す側面断面図である。

【図2】図1に示す装置における下部ガラス板の側面断面図である。

【図3】図1に示す装置における上部ガラス板の側面断面図である。

【図4】(A)は、図1に示す装置におけるシリコン板の平面図である。

【0084】

(B)は、図1に示す装置におけるシリコン板の側面断面図である。

30

【図5】図1に示す装置におけるシリコン柱の側面図である。

【図6】本発明の実施形態2に係る容量型力学量センサを示す側面断面図である。

【図7】(A)は、図6に示す装置におけるシリコン板の平面図である。

【0085】

(B)は、図6に示す装置におけるシリコン板の側面断面図である。

【図8】図6に示す装置におけるシリコン柱の側面図である。

【図9】本発明の実施形態3に係る容量型力学量センサを示す側面断面図である。

【図10】(A)は、図9に示す装置におけるシリコン板の平面図である。

【0086】

(B)は、図9に示す装置におけるシリコン板の側面断面図である。

40

【図11】図9に示す装置におけるシリコン柱の側面図である。

【図12】(A)は、本発明の実施形態4に係る容量型力学量センサにおけるシリコン板の平面図である。

【0087】

(B)は、本発明の実施形態4に係る容量型力学量センサにおけるシリコン板の側面断面図である。

【図13】図9に示す装置における、シリコン柱の側面図である。

【図14】本発明の実施形態5に係る半導体装置を示す側面断面図である。

【図15】図14に示す装置におけるシリコン柱の側面図である。

【図16】本発明の実施形態6に係る半導体装置を示す側面断面図である。

50

【図 1 7】図 1 6 に示す装置におけるシリコン柱の側面図である。

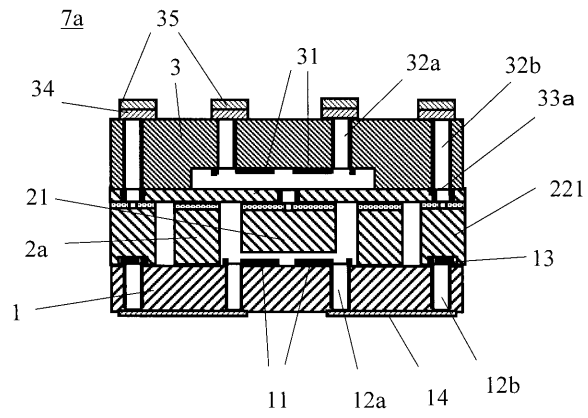
【図 1 8】従来例における容量型力学量センサを示す側面断面図である。

【符号の説明】

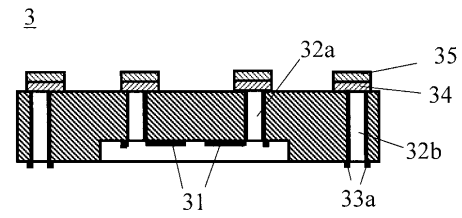
【 0 0 8 8 】

1、5 0 1	下部ガラス板	
1 1、3 1、5 1 1、5 3 1	容量検出電極	
1 2 a、1 2 b、3 2 a、3 2 b	スルーホール	
1 3、2 2 d、2 6、2 6 a、3 3 a	A L 電極	
1 4、3 4	N 型シリコン基板	
3 5	外部基板接続用電極	10
2 a、2 b、2 c、2 d、5 0 2	シリコン板	
2 1、2 1 a、2 1 b、5 2 1	錘	
2 2 1、2 2 2、2 2 3、5 2 2	シリコン柱	
2 2 a	シリコン柱上	
2 2 b	シリコン柱下	
2 2 c	絶縁体	
2 2 d	導電体	
2 2 e	スリット上	
2 2 f	スリット下	
2 2 g	スリット上	20
2 2 h	スリット下	
2 2 i	絶縁体	
2 3	梁	
2 6 c	不純物半導体接続電極	
2 8	絶縁体	
2 9	不純物半導体	
3、5 0 3	上部ガラス板	
7 a、7 b、7 c、5 0 7	容量型力学量センサ	
6 2 a	撮像素子	
6 2 b、7 2 a、7 2 b	回路素子	30

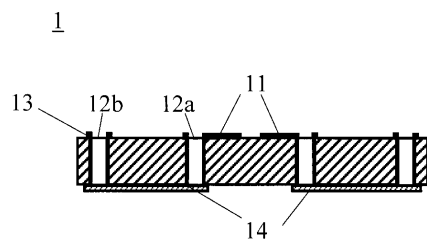
【図 1】



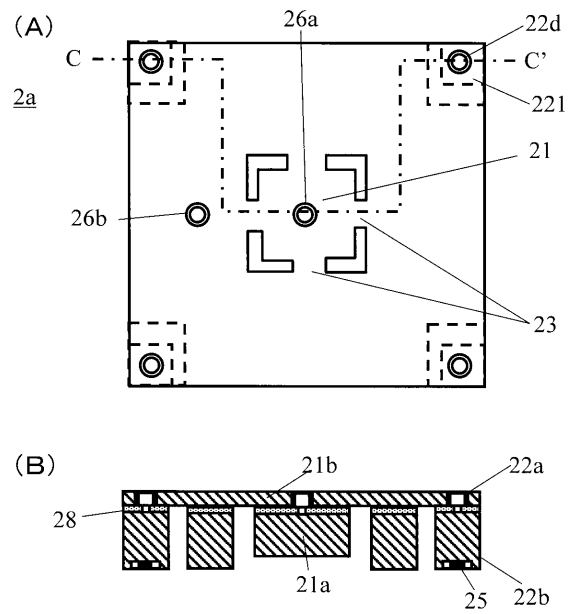
【図 3】



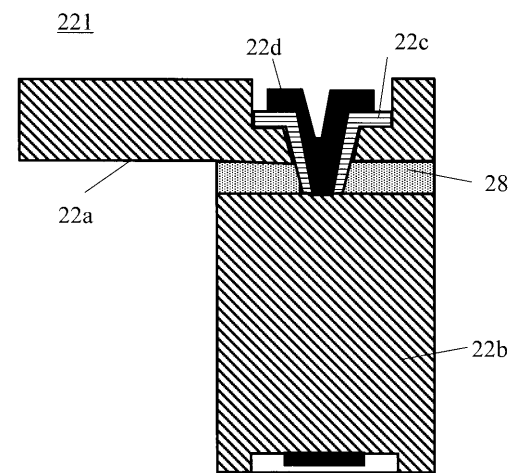
【図 2】



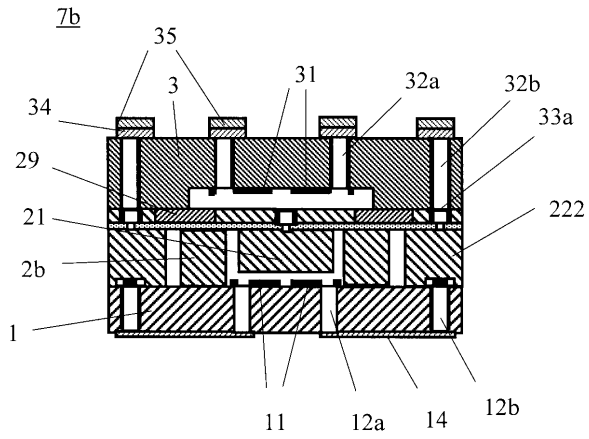
【図 4】



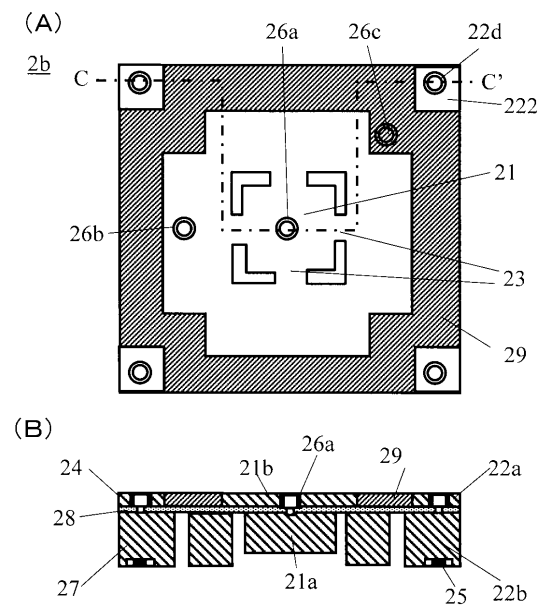
【図 5】



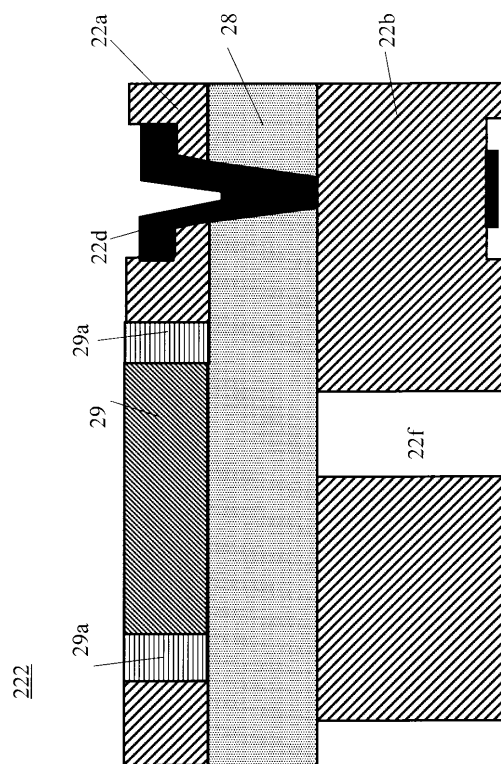
【図 6】



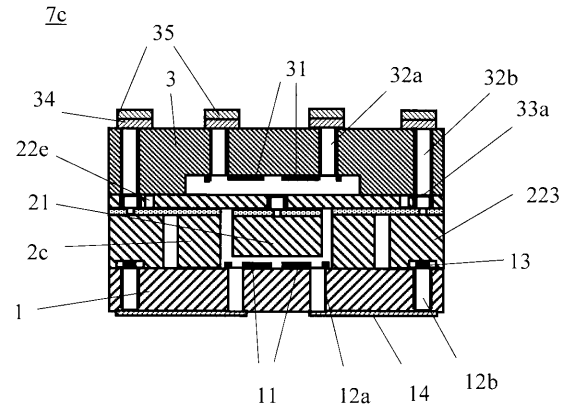
【図 7】



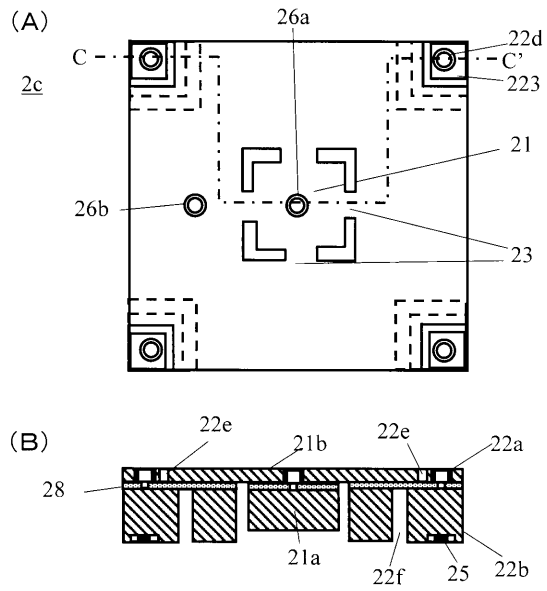
【図 8】



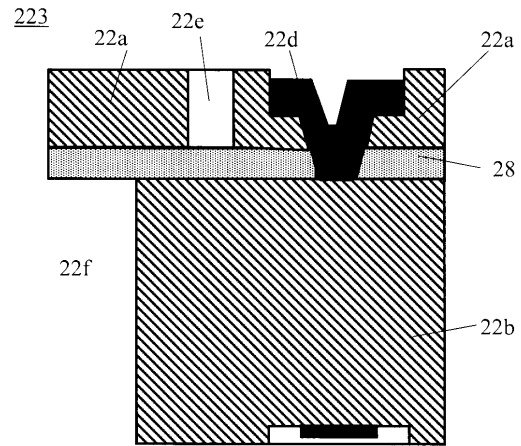
【図 9】



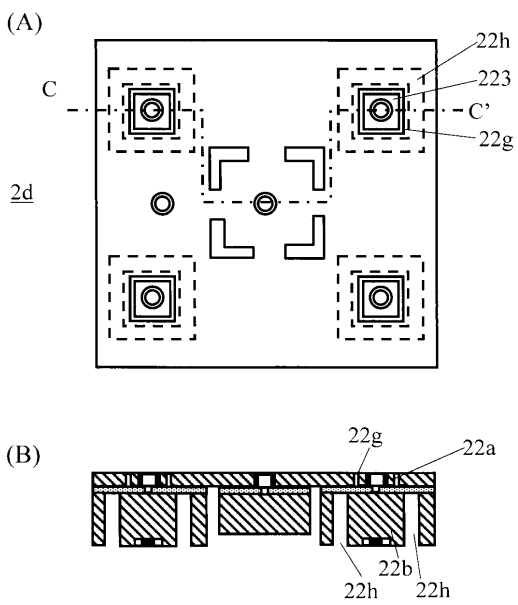
【図 10】



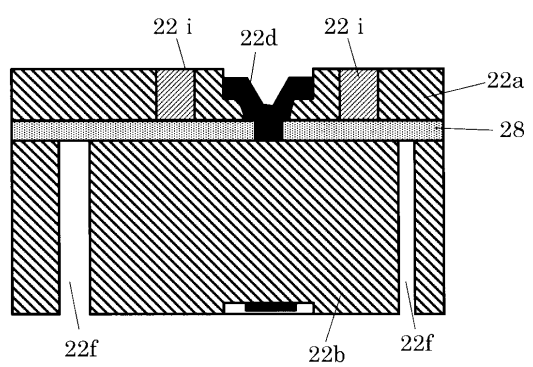
【図 11】



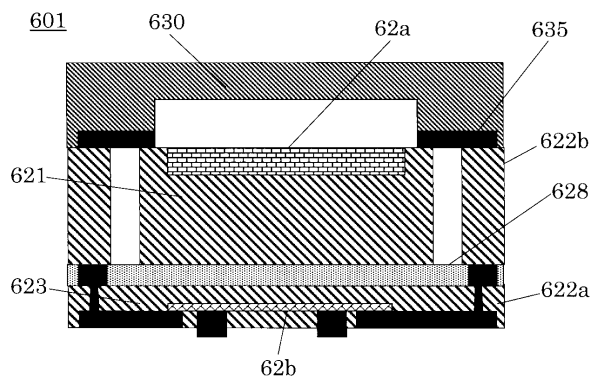
【図 12】



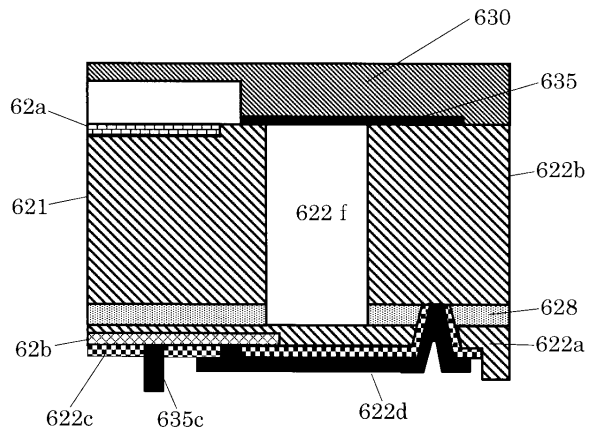
【図 13】



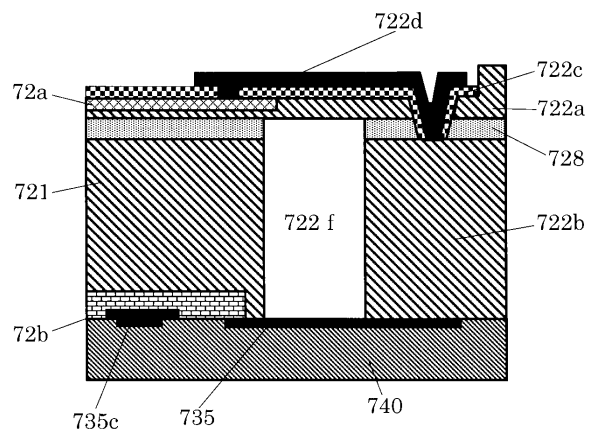
【図 14】



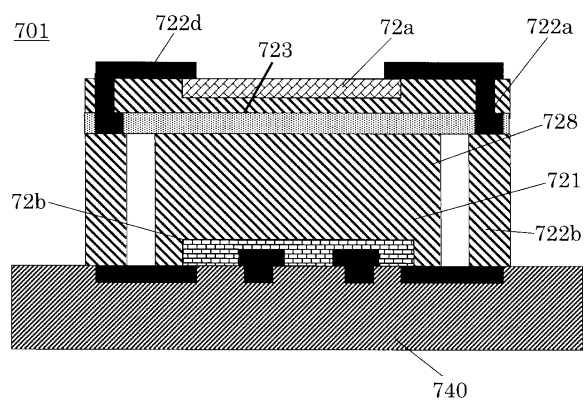
【図 15】



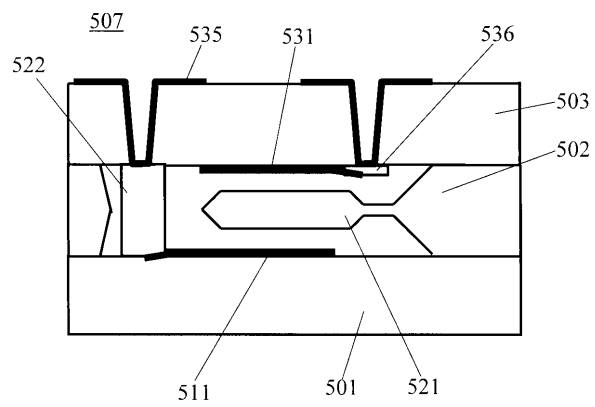
【図 17】



【図 16】



【図 18】



フロントページの続き

(31)優先権主張番号 特願2004-186161(P2004-186161)

(32)優先日 平成16年6月24日(2004.6.24)

(33)優先権主張国 日本国(JP)

(31)優先権主張番号 特願2004-206476(P2004-206476)

(32)優先日 平成16年7月13日(2004.7.13)

(33)優先権主張国 日本国(JP)

(72)発明者 加藤 健二

千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインスツル株式会社内

審査官 續山 浩二

(56)参考文献 特開 2 0 0 4 - 1 4 4 5 9 8 (J P , A)

特開 2 0 0 0 - 2 7 5 2 7 2 (J P , A)

特開 2 0 0 3 - 0 5 7 2 6 3 (J P , A)

特開 2 0 0 2 - 0 1 6 2 1 2 (J P , A)

特開平 0 5 - 1 9 8 8 1 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 1 P 1 5 / 1 2 5

G 0 1 P 1 5 / 0 8