



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I764986 B

(45)公告日：中華民國 111 (2022) 年 05 月 21 日

(21)申請案號：107105503

(22)申請日：中華民國 107 (2018) 年 02 月 14 日

(51)Int. Cl. : H01L21/02 (2006.01)

H01L21/285 (2006.01)

H01L21/768 (2006.01)

(30)優先權：2017/02/14 美國

62/458,858

(71)申請人：日商東京威力科創股份有限公司 (日本) TOKYO ELECTRON LIMITED (JP)
日本

(72)發明人：泰伯利 坎達巴拉 N TAPILY, KANDABARA N. (ML)；韓相哲 HAN, SANGCHEOL (KR)；蔡洙杜 CHAE, SOO DOO (KR)

(74)代理人：周良謀；周良吉

(56)參考文獻：

US 7271112B1

US 2003/0173671A1

US 2008/0111239A1

審查人員：林士淵

申請專利範圍項數：18 項 圖式數：4 共 22 頁

(54)名稱

使用選擇性二氧化矽沉積以形成自我對準接觸窗的方法

(57)摘要

在各種實施例中，描述利用選擇性 SiO₂ 沉積以形成自我對準接觸窗之基板處理方法。該方法包含：提供一平坦化基板，該平坦化基板包含一介電層表面及一含金屬表面；以一含金屬催化層覆蓋該介電層表面；及使該平坦化基板暴露至包含一矽烷醇氣體之一處理氣體一時間期間，以選擇性地沉積一 SiO₂ 層在該介電層表面上之該含金屬催化層上。根據一實施例，該方法更包含：沉積一蝕刻停止層在該 SiO₂ 層上及在該含金屬表面上；沉積一層間介電層在該平坦化基板上；在該層間介電層中蝕刻一凹陷特徵部及停止在該含金屬表面上之該蝕刻停止層上；及以一金屬填充該凹陷特徵部。

A substrate processing method for forming a self-aligned contact using selective SiO₂ deposition is described in various embodiments. The method includes providing a planarized substrate containing a dielectric layer surface and a metal-containing surface, coating the dielectric layer surface with a metal-containing catalyst layer, and exposing the planarized substrate to a process gas containing a silanol gas for a time period that selectively deposits a SiO₂ layer on the metal-containing catalyst layer on the dielectric layer surface. According to one embodiment, the method further includes depositing an etch stop layer on the SiO₂ layer and on the metal-containing surfaces, depositing an interlayer dielectric layer on the planarized substrate, etching a recessed feature in the interlayer dielectric layer and stopping on the etch stop layer above the metal-containing surface, and filling the recessed feature with a metal.

指定代表圖：

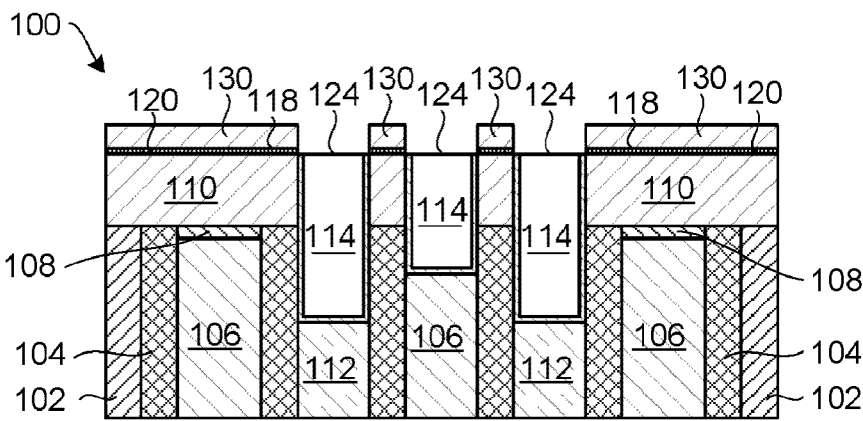


圖 1C

符號簡單說明：

- 100 . . . 基板
- 102 . . . 氧化物層
- 104 . . . 氮化物層
- 106 . . . 閘極接觸層
- 108 . . . 頂蓋層
- 110 . . . 介電層
- 112 . . . 源極/汲極層
- 114 . . . 含金屬層
- 118 . . . 催化層
- 120 . . . 介電層表面
- 124 . . . 含金屬表面
- 130 . . . SiO₂ 膜



I764986

【發明摘要】

【中文發明名稱】使用選擇性二氧化矽沉積以形成自我對準接觸窗的方法

【英文發明名稱】METHOD OF FORMING A SELF-ALIGNED CONTACT

USING SELECTIVE SiO₂ DEPOSITION

【中文】在各種實施例中，描述利用選擇性SiO₂沉積以形成自我對準接觸窗之基板處理方法。該方法包含：提供一平坦化基板，該平坦化基板包含一介電層表面及一含金屬表面；以一含金屬催化層覆蓋該介電層表面；及使該平坦化基板暴露至包含一矽烷醇氣體之一處理氣體一時間期間，以選擇性地沉積一SiO₂層在該介電層表面上之該含金屬催化層上。根據一實施例，該方法更包含：沉積一蝕刻停止層在該SiO₂層上及在該含金屬表面上；沉積一層間介電層在該平坦化基板上；在該層間介電層中蝕刻一凹陷特徵部及停止在該含金屬表面上之該蝕刻停止層上；及以一金屬填充該凹陷特徵部。

【英文】A substrate processing method for forming a self-aligned contact using selective SiO₂ deposition is described in various embodiments. The method includes providing a planarized substrate containing a dielectric layer surface and a metal-containing surface, coating the dielectric layer surface with a metal-containing catalyst layer, and exposing the planarized substrate to a process gas containing a silanol gas for a time period that selectively deposits a SiO₂ layer on the metal-containing catalyst layer on the dielectric layer surface. According to one embodiment, the method further includes depositing an etch stop layer on the SiO₂ layer and on the metal-containing surfaces, depositing an interlayer dielectric layer on the planarized substrate, etching a recessed feature in the interlayer dielectric layer and

第 1 頁，共 2 頁(發明摘要)

stopping on the etch stop layer above the metal-containing surface, and filling the recessed feature with a metal.

【指定代表圖】 圖 1C

【代表圖之符號簡單說明】

- 100 基板
- 102 氧化物層
- 104 氮化物層
- 106 閘極接觸層
- 108 頂蓋層
- 110 介電層
- 112 源極 / 汲極層
- 114 含金屬層
- 118 催化層
- 120 介電層表面
- 124 含金屬表面
- 130 SiO₂膜

【發明說明書】

【中文發明名稱】使用選擇性二氧化矽沉積以形成自我對準接觸窗的方法

【英文發明名稱】METHOD OF FORMING A SELF-ALIGNED CONTACT
USING SELECTIVE SiO₂ DEPOSITION

【技術領域】

【0001】

相關申請案之交互參考

本申請案關於 2017 年 2 月 14 日所提出之美國臨時專利申請案第 62/458,858 號並且主張其優先權，其全部揭示內容係合併於此做為參考文獻。

【0002】本發明係關於用於處理基板之方法，具體而言，係關於使用選擇性 SiO₂ 沉積以形成自我對準接觸窗之方法。

【先前技術】

【0003】金屬氧化物半導體（MOS）電晶體，例如 MOS 場效電晶體（MOSFET），通常會使用在積體電路之製造中。MOS 電晶體包含數個構件，例如閘極電極、閘極介電層、間隙物、及源極與汲極擴散區。層間介電質（ILD）通常會形成在 MOS 電晶體上並且覆蓋擴散區。

【0004】藉由接觸插塞以電連接至 MOS 電晶體，接觸插塞通常是由金屬（例如鎢）所形成。接觸插塞之製做可藉由，首先將 ILD 層圖案化以形成向下到達擴散區之貫孔。圖案化處理通常是光微影處理。接著，將金屬沉積在貫孔中以形成接觸插塞。使用相同或類似的處理，形成向下到達閘極電極之不同接觸插塞。

【0005】在製做接觸插塞時可能發生之問題是，接觸窗至閘極短路（contact-to-gate short）之形成。接觸窗至閘極短路係一種短路電路，發生於接觸插塞未對準並且與閘極電極發生電接觸的時候。防止接觸窗至閘極短路之習知方法係藉由控制對準及關鍵尺寸（CD）。遺憾地，對於具有小閘極節距的電晶體而言，對於閘極及接觸窗尺寸之嚴格 CD 控制會對製程窗（process window）造成限制。因此，接觸窗至閘極短路之可能性是非常高的。當電晶體閘極節距尺寸進一步微縮時，因為關鍵尺寸變得更小，故此問題變得更常見。

【0006】自我對準圖案化（self-aligned patterning）需要取代疊合驅動圖案化（overlay-driven patterning），俾使甚至在引入 EUV 之後，成本效能縮放亦可繼續。在圖案化高度微縮的技術節點中，薄膜之選擇性沉積是重要的步驟。

【發明內容】

【0007】在各種實施例中，描述使用選擇性SiO₂沉積以形成自我對準接觸窗之方法。根據一實施例，該方法包含：提供一平坦化基板，該平坦化基板包含一介電層表面及一含金屬表面；以一含金屬催化層覆蓋該介電層表面；及使該平坦化基板暴露至包含一矽烷醇氣體之一處理氣體一時間期間，以選擇性地沉積一SiO₂層在該介電層表面上之該含金屬催化層上。

【0008】根據一實施例，該方法更包含：沉積一蝕刻停止層在該SiO₂層上及在該含金屬表面上；沉積一層間介電層在該平坦化基板上；在該層間介電層中蝕刻一凹陷特徵部及停止在該含金屬表面上之該蝕刻停止層上；及以一金屬填充該凹陷特徵部。

【0009】根據一實施例，該方法包含：提供一平坦化基板，該平坦化基板包含一介電層表面及一含金屬表面；以一第一含金屬催化層覆蓋該介電層表面；及使該平坦化基板暴露至包含一矽烷醇氣體之一處理氣體一時間期間，以沉積一

SiO₂層在該介電層表面上及一較薄的額外SiO₂層在該含金屬表面上，其中該暴露之實施係不存在任何氧化及水解劑及在大約150 °C或較低之基板溫度下。該方法更包含：在一蝕刻處理中從該含金屬表面去除該額外SiO₂層；及重覆該等覆蓋、暴露及去除步驟至少一次，以增加在該介電層表面上之該SiO₂層之厚度。

【圖式簡單說明】

【0010】 隨附的圖式係包含在此說明書中、並且構成說明書之一部分，隨附的圖式用於說明本發明之實施例，並且與上述的發明內容及下述的實施方式一起用於解釋本發明。

【0011】 根據本發明之一實施例，圖1A-1F藉由橫剖面圖而概要地顯示基板之處理方法。

【0012】 根據本發明之一實施例，圖2A-2F藉由橫剖面圖而概要地顯示基板之處理方法。

【0013】 根據本發明之一實施例，圖3顯示選擇性沉積在基板上之SiO₂膜之橫剖面穿透式電子顯微鏡（TEM）影像。

【0014】 根據本發明之一實施例，圖4顯示沉積在基板上之SiO₂膜之橫剖面TEM影像。

【實施方式】

【0015】 由閘極節距微縮所引起之一個問題是，接觸窗至閘極短路之可能性。當這樣的接觸發生時，短路產生，毀壞了MOS電晶體。目前減少短路之方法包含，控制對準及以較小的關鍵尺寸來圖案化接觸窗。然而，當閘極節距微縮時，符合現行技術之對準需求會變得非常困難。

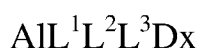
【0016】 根據一實施例，描述一方法，用於在 MOS 電晶體之製做期間，減少接觸窗至閘極短路之可能性。在以下的敘述中，將使用熟悉此項技藝者所通常採用的名詞，以描述示例性實例之各種態樣，以將其工作之本義傳達給其他的熟悉此項技藝者。然而，明顯地，對於熟悉此項技藝者而言，本發明可在僅有所述態樣其中某些之情況下加以實施。為了說明之目的，特定的數字、材料及配置被提出，以提供對於示例性實例之徹底了解。然而，熟悉此項技藝者應當了解，在沒有特定細節之情況下，亦可實施本發明。在其它的情況下，熟知的特徵被省略或簡化，以免模糊了示例性實例。

【0017】 根據本發明之一實施例，圖 1A-1F 藉由橫剖面圖而概要地顯示基板之處理方法。顯示在圖 1A 中之示例性平坦化基板 100 包含常見於半導體元件中之各種材料層，然而，本發明之實施例可應用於較簡單或更先進的半導體元件。平坦化基板 100 包含氧化物層 102（例如， SiO_2 ）、氮化物層 104（例如， SiN ）、閘極接觸層 106、頂蓋層 108（例如， SiN 或 SiCN ）、源極 / 汲極層 112（例如， Si 或 SiC ）、具有外露的介電層表面 120 之介電層 110（例如， SiO_2 ）、具有外露的含金屬表面 124 之含金屬層 114（例如，溝渠矽化物層： CoSi_2 、 NiSi 或 MoSi_2 ）。在示例性平坦化基板 100 中，含金屬層 114 可為接觸區域及閘極區域之部分，其在進一步處理期間易於產生接觸窗至閘極短路。可使用化學機械研磨（CMP）製程以平坦化基板 100。

【0018】 圖 1B 顯示在以含金屬催化層 118 覆蓋介電層表面 120 後之平坦化基板 100。介電層表面 120 之末端可具有羥基（ $-\text{OH}$ ），其在介電層表面 120 提供了良好的覆蓋選擇性（相較於在含金屬表面 124 上）。根據本發明之某些實施例，含金屬催化層 118 可包含鋁（ Al ）、鈦（ Ti ）、或鋁和鈦兩者。根據一實施例，含金屬催化層 118 可選自於由 Al 、 Al_2O_3 、 AlN 、 AlON 、含 Al 前驅物、含 Al 合金、 CuAl 、 TiAlN 、 TaAlN 、 Ti 、 TiAlC 、 TiO_2 、 TiON 、 TiN 、含 Ti 前驅物、

含 Ti 合金、及其組合所組成之群組。含金屬催化層 118 之形成可藉由將平坦化基板 100 暴露至含金屬前驅物蒸氣及選擇性的含氧氣體及 / 或含氮氣體。根據一實施例，該暴露之進行可藉由將平坦化基板 100 暴露至含金屬氣體脈衝，其優先地吸附大約一單分子層厚之含金屬催化層 118 在介電層表面 120 上。金屬可在平坦化基板 100 之表面起反應，以形成小於一單分子層厚之化學吸附層。在一範例中，含金屬催化層 118 可包含受吸附的含金屬前驅物，例如三甲基鋁（TMA、 AlMe_3 ）。

【0019】 本發明之實施例可使用各種的含鋁前驅物。例如，許多鋁前驅物具有化學式：



其中， L^1 、 L^2 、 L^3 為個別的陰離子配位基，D 為中性供體配位基，x 可為 0、1 或 2。每一 L^1 、 L^2 、 L^3 配位基可個別地選自於烷氧化物(alkoxide)、鹵化物(halide)、芳基氧化物(aryloxiide)、醯胺(amide)、環戊二烯基、烷基、矽烷基、脒基(amidinate)、 β -二酮基(β -diketonate)、酮亞胺(ketoiminate)、矽烷醇化物(silanoate)、及羧酸鹽(carboxylate)之群組。D 配位基可選自於醚、呋喃(furan)、吡啶(pyridine)、吡咯(pyrole)、吡咯烷(pyrolidine)、胺、冠醚(crown ether)、二醇醚(glyme)及腈(nitrile)之群組。

【0020】 鋁前驅物之其它範例包含： AlMe_3 、 AlEt_3 、 AlMe_2H 、 $[\text{Al}(\text{OsBu})_3]_4$ 、 $\text{Al}(\text{CH}_3\text{COCHCOCH}_3)_3$ 、 AlCl_3 、 AlBr_3 、 AlI_3 、 $\text{Al}(\text{OiPr})_3$ 、 $[\text{Al}(\text{NMe}_2)_3]_2$ 、 $\text{Al}(\text{iBu})_2\text{Cl}$ 、 $\text{Al}(\text{iBu})_3$ 、 $\text{Al}(\text{iBu})_2\text{H}$ 、 AlEt_2Cl 、 $\text{Et}_3\text{Al}_2(\text{OsBu})_3$ 、及 $\text{Al}(\text{THD})_3$ 。

【0021】 本發明之實施例可使用各種含 Ti 前驅物。範例包含具有 “Ti-N” 分子內鍵結之含 Ti 前驅物，包含 $\text{Ti}(\text{NEt}_2)_4$ (TDEAT)、 $\text{Ti}(\text{NMeEt})_4$ (TEMAT)、

and $\text{Ti}(\text{NMe}_2)_4$ (TDMAT)。其它範例包含具有“Ti-C”分子內鍵結之含Ti前驅物，包含 $\text{Ti}(\text{COCH}_3)(\eta^5\text{-C}_5\text{H}_5)_2\text{Cl}$ 、 $\text{Ti}(\eta^5\text{-C}_5\text{H}_5)\text{Cl}_2$ 、 $\text{Ti}(\eta^5\text{-C}_5\text{H}_5)\text{Cl}_3$ 、 $\text{Ti}(\eta^5\text{-C}_5\text{H}_5)_2\text{Cl}_2$ 、 $\text{Ti}(\eta^5\text{-C}_5(\text{CH}_3)_5)\text{Cl}_3$ 、 $\text{Ti}(\text{CH}_3)(\eta^5\text{-C}_5\text{H}_5)_2\text{Cl}$ 、 $\text{Ti}(\eta^5\text{-C}_9\text{H}_7)_2\text{Cl}_2$ 、 $\text{Ti}((\eta^5\text{-C}_5(\text{CH}_3)_5)_2\text{Cl}$ 、 $\text{Ti}((\eta^5\text{-C}_5(\text{CH}_3)_5)_2\text{Cl}_2$ 、 $\text{Ti}(\eta^5\text{-C}_5\text{H}_5)_2(\mu\text{-Cl})_2$ 、 $\text{Ti}(\eta^5\text{-C}_5\text{H}_5)_2(\text{CO})_2$ 、 $\text{Ti}(\text{CH}_3)_3(\eta^5\text{-C}_5\text{H}_5)$ 、 $\text{Ti}(\text{CH}_3)_2(\eta^5\text{-C}_5\text{H}_5)_2$ 、 $\text{Ti}(\text{CH}_3)_4$ 、 $\text{Ti}(\eta^5\text{-C}_5\text{H}_5)(\eta^7\text{-C}_7\text{H}_7)$ 、 $\text{Ti}(\eta^5\text{-C}_5\text{H}_5)(\eta^8\text{-C}_8\text{H}_8)$ 、 $\text{Ti}(\text{C}_5\text{H}_5)_2(\eta^5\text{-C}_5\text{H}_5)_2$ 、 $\text{Ti}((\text{C}_5\text{H}_5)_2)_2(\eta\text{-H})_2$ 、 $\text{Ti}(\eta^5\text{-C}_5(\text{CH}_3)_5)_2$ 、 $\text{Ti}(\eta^5\text{-C}_5(\text{CH}_3)_5)_2(\text{H})_2$ 、及 $\text{Ti}(\text{CH}_3)_2(\eta^5\text{-C}_5(\text{CH}_3)_5)_2$ 。 TiCl_4 係含有“Ti-鹵素”鍵結之鈦鹵化物前驅物之一範例。

【0022】 參考圖1C，藉由將平坦化基板100暴露至包含矽烷醇（silanol）之處理氣體，使 SiO_2 膜130選擇性地沉積在含金屬催化層118上（相較於含金屬表面124）。根據本發明之實施例，含金屬催化層118催化來自矽烷醇氣體之 SiO_2 膜130之選擇性沉積，且此催化效果被觀察到直到沉積的 SiO_2 膜130大約5 nm厚。暴露至處理氣體可進行一段時間，在此段時間並未在含金屬表面124上產生明顯的 SiO_2 沉積。根據本發明之實施例，平坦化基板100係在不存在任何氧化及水解劑之情況下暴露至包含矽烷醇氣體之處理氣體。根據某些實施例，矽烷醇氣體可選自於由三(叔-戊氧基)矽烷醇（tris(tert-pentoxy) silanol，TPSOL）、三(叔-丁氧基)矽烷醇（tris(tert-butoxy) silanol）、及雙(叔-丁氧基)(異丙氧基)矽烷醇（bis(tert-butoxy)(isopropoxy) silanol）所組成之群組。

【0023】 發明人已經發現，氧化及水解劑並非 SiO_2 膜沉積所需要。在某些範例中，處理氣體可進一步包含惰性氣體，例如氬。在一實施例中，處理氣體可由一矽烷醇氣體及一惰性氣體所組成。此外，根據一實施例，在暴露期間，基板溫度可為大約150 °C或較低。在另一實施例中，基板溫度可為大約120 °C或較低。在又另一實施例中，基板溫度可為大約100 °C或較低。

【0024】圖1D顯示在SiO₂膜130上以及在含金屬表面124上沉積蝕刻停止層140後之平坦化基板100。蝕刻停止層140可，例如，包括Al₂O₃。

【0025】平坦化基板100之進一步處理可包含沉積層間介電層（IDL）150、在IDL 150中蝕刻特徵部並且停止在蝕刻停止層140上。之後，將阻障層158沉積在特徵部中並且以金屬填充特徵部。受金屬填充的特徵部160可，在一範例中，包含鎢（W）、鈦（Ru）、銅（Cu）、或鈷（Co）。如圖1E中所示，受金屬填充的特徵部160可能不與下面的含金屬層114及閘極氧化物層116對齊。此可能是由於故意的錯位以增加在受金屬填充的特徵部160每一者之間之間距、或由於疊合（overlay）誤差所致之非故意的錯位。發明人已經了解，在介電層110上之選擇性沉積的SiO₂膜130大大地降低了含金屬層114藉由受金屬填充的特徵部160短路之可能性。

【0026】圖1F顯示平坦化基板100之進一步處理，包含在受金屬填充的特徵部160中蝕刻孔洞，並且在孔洞中沉積阻障層168及金屬膜170。在一範例中，金屬膜170可包含銅（Cu）。

【0027】根據本發明之一實施例，圖2A-2F藉由橫剖面圖而概要地顯示基板之處理方法。在圖1B中之平坦化基板100已經被重製為在圖2A中之平坦化基板200。圖2A顯示在以含金屬催化層118覆蓋介電層表面120後之平坦化基板200。介電層表面120之末端可具有羥基（-OH），其在介電層表面120提供了良好的覆蓋選擇性（相較於含金屬表面124）。

【0028】參考圖2B，藉由將平坦化基板200暴露至包含矽烷醇之處理氣體，使SiO₂膜130沉積在含金屬催化層118上，且使較薄的SiO₂膜132沉積在含金屬表面124上。處理氣體之暴露時間可長於在圖1C中之選擇性沉積，導致選擇性的減低以及較薄的SiO₂膜132在含金屬表面124上之沉積。

【0029】在含金屬表面124上之多餘的SiO₂膜132可以蝕刻處理加以去除，例如使用化學氧化物去除（COR）處理或使用稀釋氫氟酸（DHF）溶液。在去除SiO₂膜132期間，可能使SiO₂膜130變薄。產生的平坦化基板200係顯示在圖2C。

【0030】以含金屬催化層118覆蓋介電層表面120、藉由暴露至包含矽烷醇氣體之處理氣體之沉積處理、以及蝕刻處理可被重複至少一次，以增加SiO₂膜130之厚度。圖2D顯示在重複處理7次以及在SiO₂膜130中形成自我對準凹陷特徵部142之後之平坦化基板200。

【0031】平坦化基板200之進一步處理係顯示在圖2E中，包含沉積阻障層164在凹陷特徵部142中以及以金屬162填充凹陷特徵部142。金屬162可，例如，包含鎢（W）、鈷（Co）、鈳（Ru）、或鋁（Al）。

【0032】圖2F顯示平坦化基板200之進一步處理，包含在金屬162中蝕刻孔洞，並且在孔洞中沉積阻障層174及金屬膜172。金屬膜172可，例如，包含鎢（W）、鈷（Co）、鈳（Ru）、或鋁（Al）。

【0033】圖3顯示平坦化基板30之橫剖面TEM影像。SiO₂膜301係選擇性地沉積在SiO₂層300上（相較於Ta₂N阻障層304及W金屬插塞302）。在W金屬插塞302上，沒有觀察到SiO₂之沉積。SiO₂沉積之實施，係利用暴露至TMA 6秒、接著暴露至TPSOL 60秒。

【0034】圖4顯示平坦化基板40之橫剖面TEM影像。SiO₂膜401係沉積在SiO₂層400上，且較薄的SiO₂膜403沉積在Ta₂N阻障層404及W金屬插塞402上。SiO₂膜401具有約8.2 nm之厚度，SiO₂膜403在W金屬插塞402上具有約2.8 nm之厚度。SiO₂沉積之實施係使用6次沉積循環，其中每一循環包含暴露至TMA 6秒、接著暴露至TPSOL 60秒。

【0035】已經描述基板處理方法之數個實施例，用於使用選擇性SiO₂沉積以形成自我對準接觸窗。雖然本發明已經藉由一或多個實施例之敘述而加以說

明，且雖然實施例已經相當詳細地加以描述，但其並非用於侷限或以任何方式限制所附申請專利範圍至這些細節。對於熟悉此項技藝者而言，額外的優點及修改將很容易顯現。因此，本發明並不受限於所述或所示的特定細節、代表性設備及方法及說明性範例。據此，可能與這些細節有所偏離，但不違背大致的發明概念之範圍。

【符號說明】

【0036】

- 30 基板
- 40 基板
- 100 基板
- 102 氧化物層
- 104 氮化物層
- 106 閘極接觸層
- 108 頂蓋層
- 110 介電層
- 112 源極 / 汲極層
- 114 含金屬層
- 118 含金屬催化層
- 120 介電層表面
- 124 含金屬表面
- 130 SiO₂膜
- 132 SiO₂膜
- 140 蝕刻停止層

142	凹陷特徵部
150	層間介電層
158	阻障層
160	受金屬填充的特徵部
162	金屬
164	阻障層
168	阻障層
170	金屬膜
172	金屬膜
174	阻障層
200	基板
300	SiO ₂ 層
301	SiO ₂ 膜
302	W金屬插塞
304	TaN阻障層
400	SiO ₂ 層
401	SiO ₂ 膜
402	W金屬插塞
403	SiO ₂ 膜
404	TaN阻障層

【發明申請專利範圍】

【第1項】一種基板處理方法，包含：

提供一平坦化基板，該平坦化基板包含一介電層表面及一含金屬表面；

以一含金屬催化層覆蓋該介電層表面；及

使該平坦化基板暴露至包含一矽烷醇氣體之一處理氣體一時間期間，以選擇性地沉積一 SiO_2 層在該介電層表面上之該含金屬催化層上，其中使該平坦化基板暴露至包含該矽烷醇氣體之該處理氣體之實施，係不存在任何氧化及水解劑及在大約 150°C 或較低之基板溫度下。

【第2項】如申請專利範圍第1項之基板處理方法，更包含：

沉積一蝕刻停止層在該 SiO_2 層上及在該含金屬表面上。

【第3項】如申請專利範圍第2項之基板處理方法，更包含：

沉積一層間介電層在該平坦化基板上；

在該層間介電層中蝕刻一凹陷特徵部及停止在該含金屬表面上之該蝕刻停止層上；及

以一金屬填充該凹陷特徵部。

【第4項】如申請專利範圍第2項之基板處理方法，其中該蝕刻停止層包含 Al_2O_3 。

【第5項】如申請專利範圍第1項之基板處理方法，其中該 SiO_2 層形成一凸起 SiO_2 特徵部與該含金屬表面相鄰。

【第6項】如申請專利範圍第1項之基板處理方法，其中該矽烷醇氣體係選自於由三(叔-戊氧基)矽烷醇 (tris(tert-pentoxy) silanol)、三(叔-丁氧基)矽烷醇 (tris(tert-butoxy) silanol)、及雙(叔-丁氧基)(異丙氧基)矽烷醇 (bis(tert-butoxy)(isopropoxy) silanol) 所組成之群組。

【第7項】如申請專利範圍第1項之基板處理方法，其中在該暴露期間，該基板溫度係大約100 °C或較低。

【第8項】如申請專利範圍第1項之基板處理方法，其中該處理氣體由一矽烷醇氣體及一惰性氣體所組成。

【第9項】如申請專利範圍第1項之基板處理方法，其中該SiO₂層係在自我限制處理（self-limiting process）中沉積在該含金屬催化層上。

【第10項】如申請專利範圍第9項之基板處理方法，其中該SiO₂層之厚度係約5 nm。

【第11項】如申請專利範圍第1項之基板處理方法，其中該暴露更包含：

使該平坦化基板暴露至包含該矽烷醇氣體之該處理氣體一額外時間期間，以沉積一較薄的額外SiO₂層在該含金屬表面上；及

在一蝕刻處理中從該含金屬表面去除該額外SiO₂層。

【第12項】如申請專利範圍第11項之基板處理方法，更包含：

重覆該等覆蓋、暴露及去除步驟至少一次，以增加在該介電層表面上之該SiO₂層之厚度。

【第13項】一種基板處理方法，包含：

提供一平坦化基板，該平坦化基板包含一介電層表面及一含金屬表面；

以一含金屬催化層覆蓋該介電層表面；

使該平坦化基板暴露至包含一矽烷醇氣體之一處理氣體一時間期間，相較於該含金屬表面而選擇性地沉積一SiO₂層在該介電層表面上，其中該暴露之實施係不存在任何氧化及水解劑及在大約150 °C或較低之基板溫度下；

沉積一蝕刻停止層在該SiO₂層上及在該含金屬表面上；

沉積一層間介電層在該平坦化基板上；

在該層間介電層中蝕刻一凹陷特徵部及停止在該含金屬表面上之該蝕刻停止層上；及

以一金屬填充該凹陷特徵部。

【第14項】如申請專利範圍第13項之基板處理方法，其中該蝕刻停止層包含 Al_2O_3 。

【第15項】如申請專利範圍第13項之基板處理方法，其中該 SiO_2 層形成一凸起 SiO_2 特徵部與該含金屬表面相鄰。

【第16項】一種基板處理方法，包含：

提供一平坦化基板，該平坦化基板包含一介電層表面及一金屬表面；

以一第一含金屬催化層覆蓋該介電層表面；

使該平坦化基板暴露至包含一矽烷醇氣體之一處理氣體一時間期間，以沉積一 SiO_2 層在該介電層表面上及一較薄的額外 SiO_2 層在該含金屬表面上，其中該暴露之實施係不存在任何氧化及水解劑及在大約 150°C 或較低之基板溫度下；

在一蝕刻處理中從該含金屬表面去除該額外 SiO_2 層；及

重覆該等覆蓋、暴露及去除步驟至少一次，以增加在該介電層表面上之該 SiO_2 層之厚度。

【第17項】如申請專利範圍第16項之基板處理方法，其中該蝕刻停止層包含 Al_2O_3 。

【第18項】如申請專利範圍第16項之基板處理方法，其中該 SiO_2 層形成一凸起 SiO_2 特徵部與該含金屬表面相鄰。

【發明圖式】

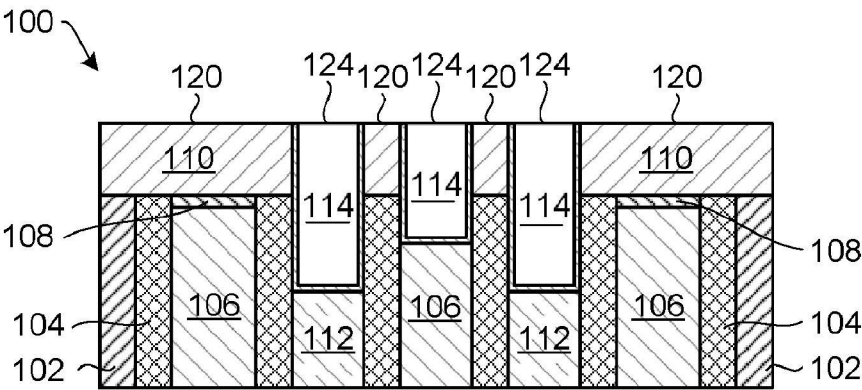


圖 1A

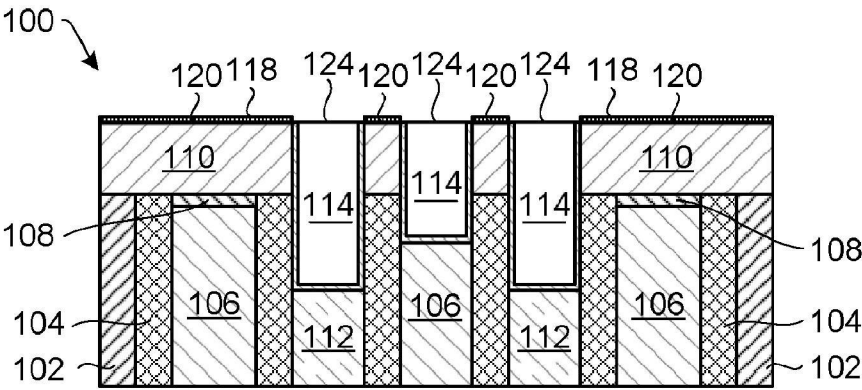


圖 1B

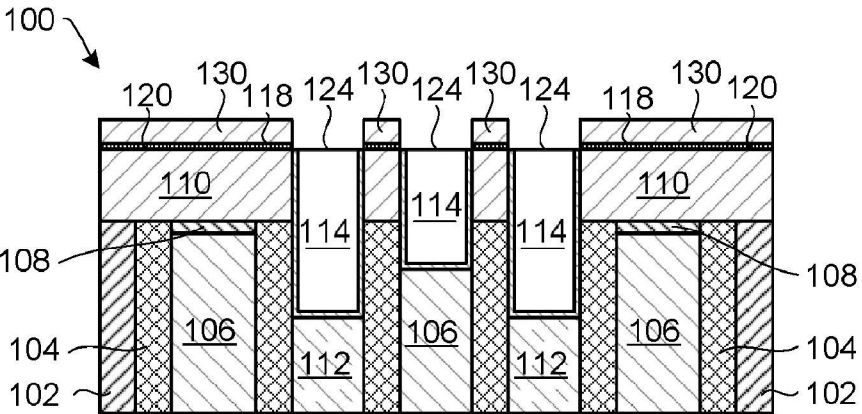


圖 1C

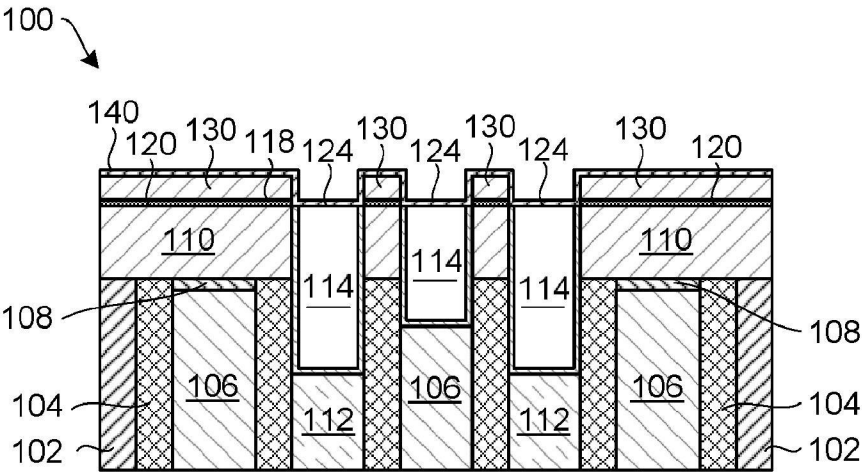


圖 1D

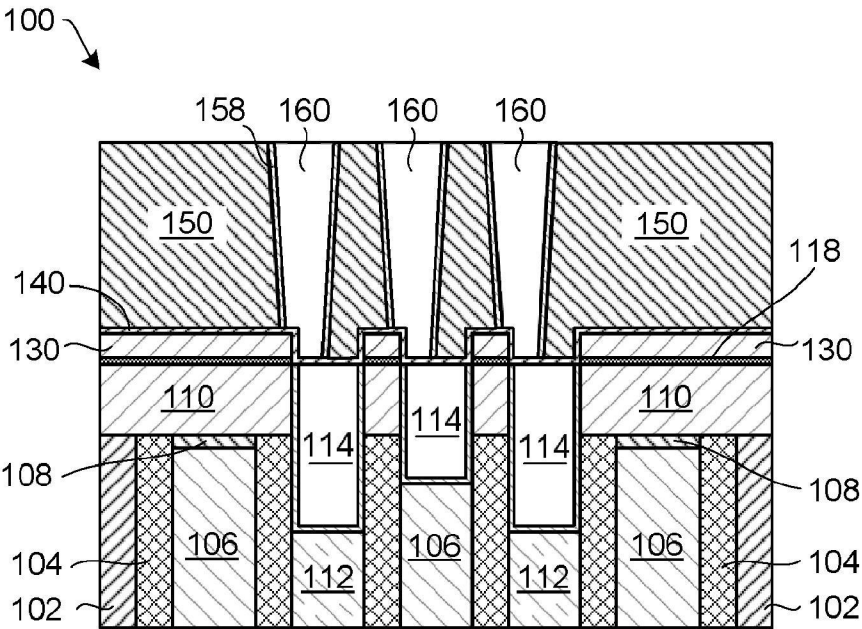


圖 1E

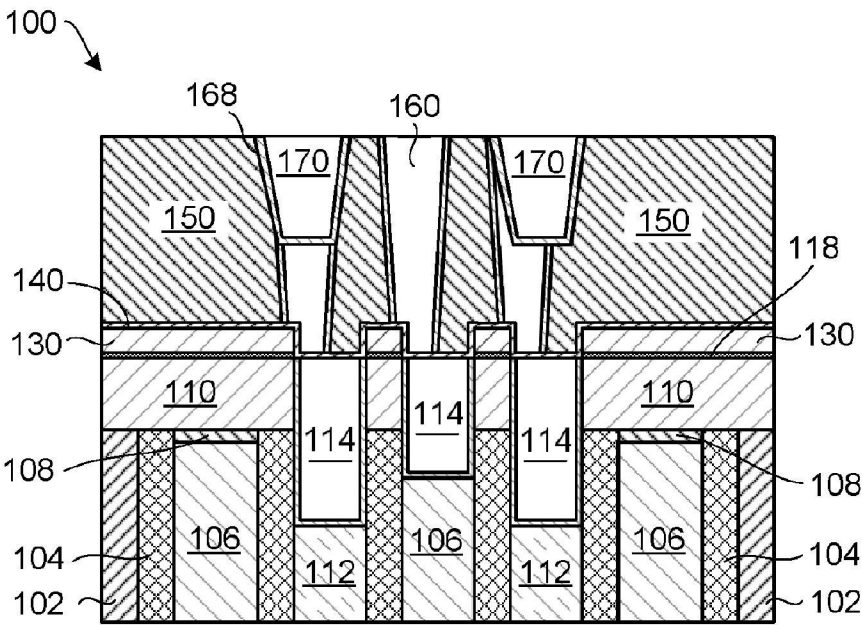


圖 1F

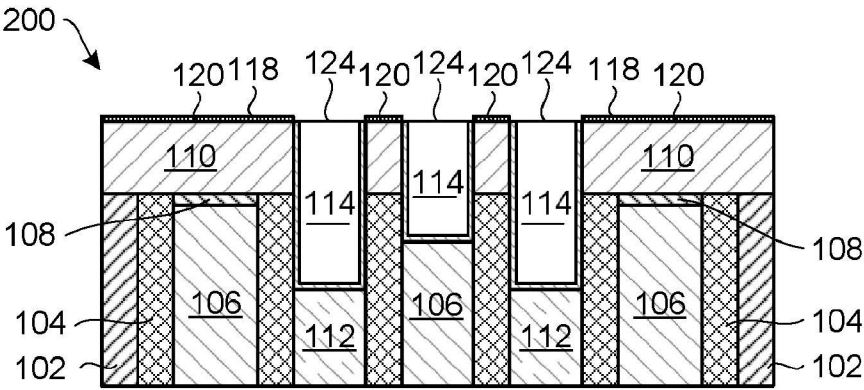


圖 2A

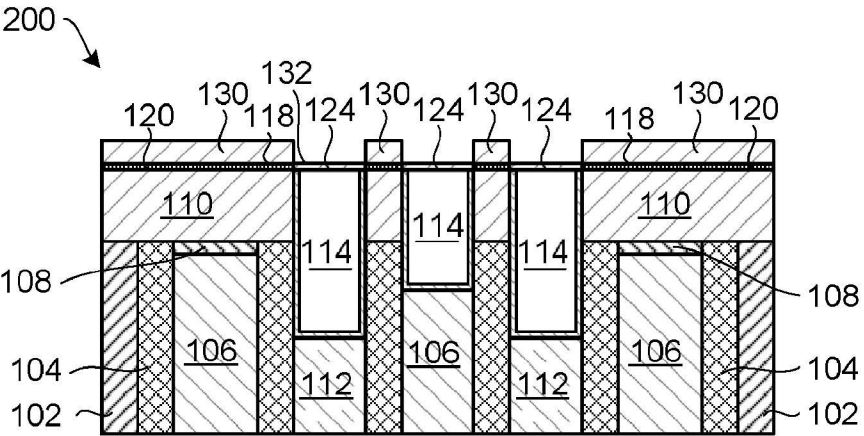


圖 2B

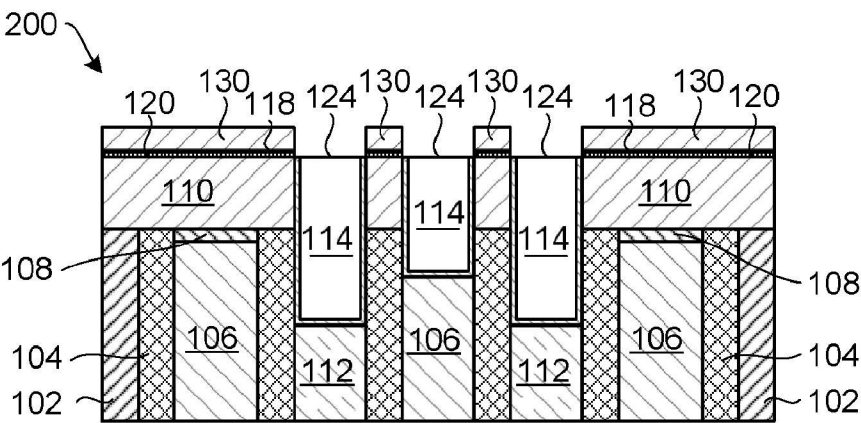


圖 2C

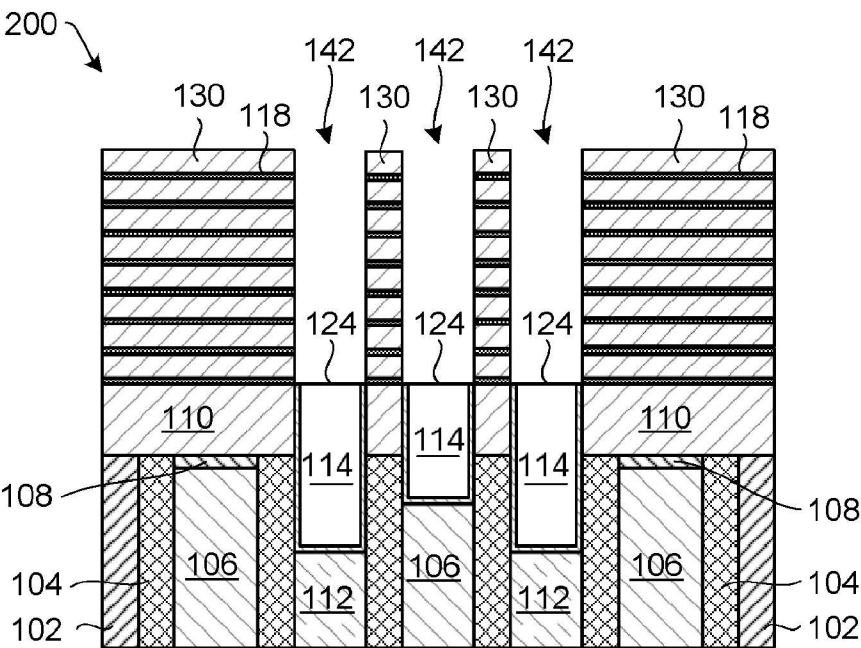


圖 2D

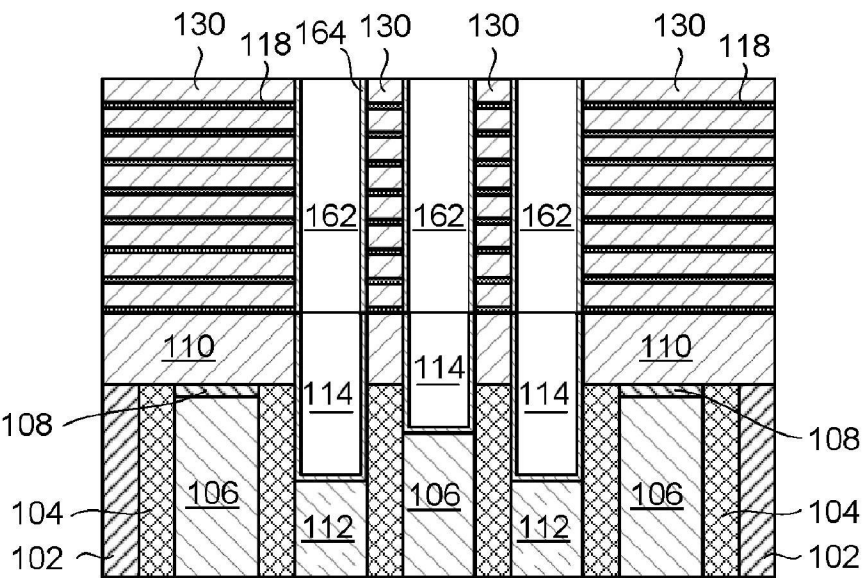


圖 2E

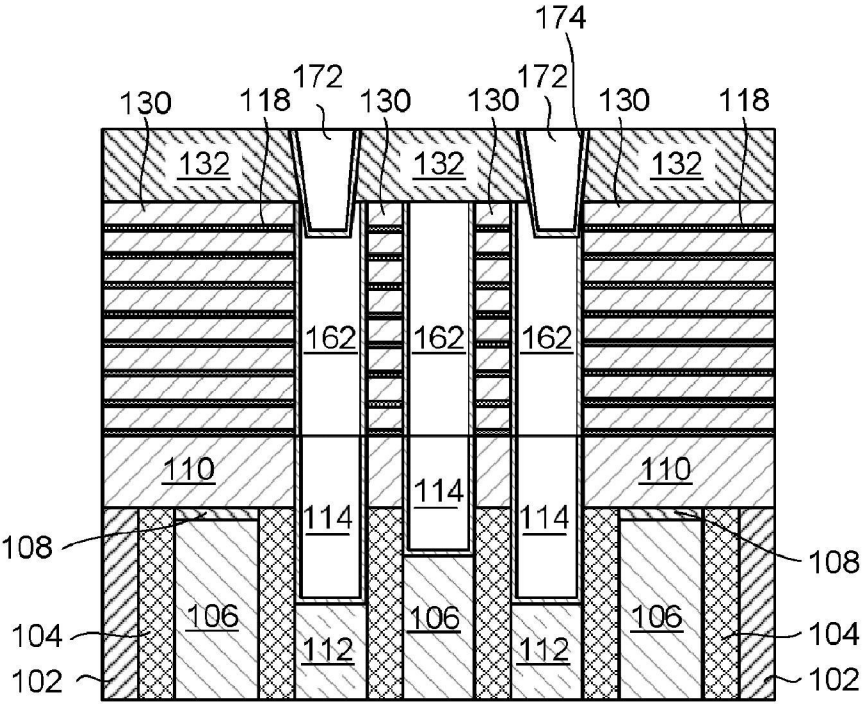


圖 2F

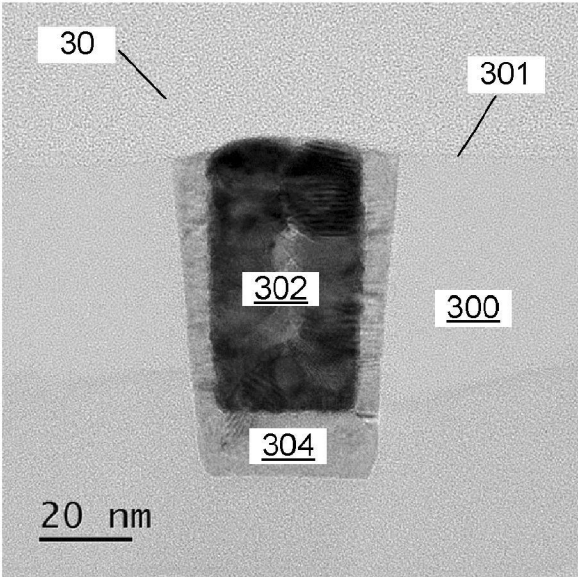


圖 3

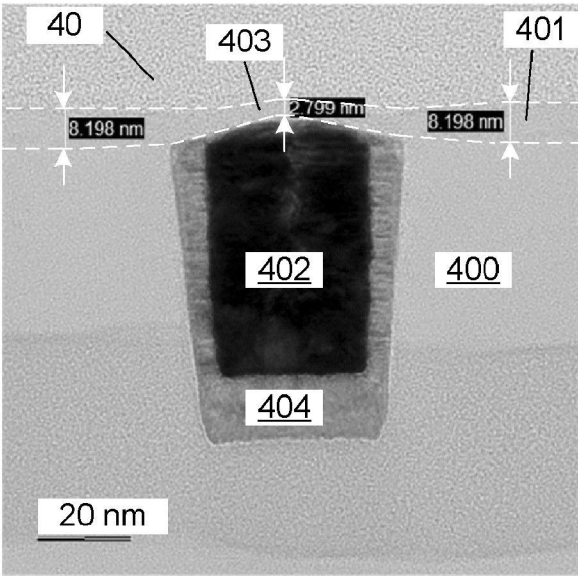


圖 4