

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5580179号
(P5580179)

(45) 発行日 平成26年8月27日(2014.8.27)

(24) 登録日 平成26年7月18日(2014.7.18)

(51) Int.Cl. F1
G11C 11/4091 (2006.01) G11C 11/34 353E

請求項の数 12 (全 13 頁)

(21) 出願番号	特願2010-266590 (P2010-266590)	(73) 特許権者	513192281
(22) 出願日	平成22年11月30日(2010.11.30)		ピーエスフォー ルクスコ エスエイアー ルエル
(65) 公開番号	特開2012-119023 (P2012-119023A)		PS4 Luxco S. a. r. l.
(43) 公開日	平成24年6月21日(2012.6.21)		ルクセンブルク大公国エルー2121、ルク センブルク、ヴァル デ ボン マラデ ス208
審査請求日	平成25年10月31日(2013.10.31)	(74) 代理人	100115738 弁理士 鷲頭 光宏
		(74) 代理人	100121681 弁理士 緒方 和文
		(74) 代理人	100130982 弁理士 黒瀬 泰之
		(74) 代理人	100127199 弁理士 三谷 拓也

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1及び第2の電源ノードを有し、一対のビット線に生じている電位差に基づいて、前記一対のビット線的一方を前記第1の電源ノードに接続し、前記一対のビット線の他方を前記第2の電源ノードに接続するセンスアンプと、

前記センスアンプの前記第1の電源ノードに第1の電位を供給する第1のドライバ回路と、

前記センスアンプの前記第2の電源ノードに第2の電位を供給する第2のドライバ回路と、

前記センスアンプの前記第2の電源ノードに第3の電位を供給する第3のドライバ回路と、

前記第1乃至第3のドライバ回路の動作を制御するタイミング制御回路と、を備え、

前記第1の電位と前記第3の電位との電位差は、前記第1の電位と前記第2の電位との電位差よりも大きく、

前記タイミング制御回路は、前記第1及び第3のドライバ回路をオンさせた後、前記第3のドライバ回路をオフさせるとともに前記第2のドライバ回路をオンさせ、

前記タイミング制御回路は、前記第3のドライバ回路のオン期間を決める遅延回路を含み、

前記遅延回路は、遅延量が外部から供給される外部電源電位に依存する第1の遅延回路と、遅延量が前記外部電源電位に依存しない第2の遅延回路とを含み、

10

20

前記第3のドライバ回路のオン期間は、前記第1の遅延回路の遅延量と前記第2の遅延回路の遅延量の和によって決まる、ことを特徴とする半導体装置。

【請求項2】

前記外部電源電位に基づいて安定化された内部電源電位を生成する電源回路をさらに備え、前記第2の遅延回路の遅延量は前記内部電源電位に依存することを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記電源回路は、前記外部電源電位に基づいて前記第3の電位をさらに生成し、前記外部電源電位のレベルが所定値以上である場合は前記第3の電位を制限するリミット回路を含んでいることを特徴とする請求項2に記載の半導体装置。

10

【請求項4】

前記リミット回路は、前記外部電源電位のレベルが前記所定値未満である場合は前記第3の電位を前記外部電源電位のレベルと一致させ、前記外部電源電位のレベルが前記所定値以上である場合は前記第3の電位を前記所定値に固定することを特徴とする請求項3に記載の半導体装置。

【請求項5】

ビット線対と、
前記ビット線対の電位差を増幅するアンプ回路と、
外部から供給される外部電源電圧に応じて、第1及び第2の電源電圧を発生する内部電源生成回路と、

20

前記第1の電源電圧が供給される第1のノードと、
前記第1の電源電圧よりも高い第3の電源電圧が供給される第2のノードと、
前記第1のノードと前記アンプ回路との間に接続された第1のトランジスタと、
前記第2のノードと前記アンプ回路との間に接続された第2のトランジスタと、
第1の信号に応じて前記第1及び第2のトランジスタにそれぞれ第1及び第2の制御信号を供給する制御回路であって、当該制御回路は、前記外部電源電圧で動作し、遅延量が前記外部電源電圧に依存する第1の遅延回路と、当該第1の遅延回路と直列に接続され前記第2の電源電圧で動作し、遅延量が前記外部電源電圧に依存しない第2の遅延回路とを含み、前記第1の信号を前記第1及び第2の遅延回路で遅延して、前記第1及び前記第2の制御信号を生成する前記制御回路と、
を備えることを特徴とする半導体装置。

30

【請求項6】

前記制御回路は、前記第2の制御信号を非活性レベルから活性レベルに遷移させて前記第2のトランジスタを非導通状態から導通状態とし、その後、前記第2の制御信号を前記活性レベルから前記非活性レベルに遷移させて前記第2のトランジスタを前記導通状態から前記非導通状態とすると共に、前記第1の制御信号を非活性レベルから活性レベルに遷移させて前記第1のトランジスタを非導通状態から導通状態とすることを特徴とする請求項5に記載の半導体装置。

【請求項7】

前記制御回路の前記第1及び前記第2の遅延回路は、前記第1の制御信号の前記非活性レベルから前記活性レベルへの遷移のタイミングと前記第2の制御信号の前記活性レベルから前記非活性レベルへの遷移のタイミングとを制御することを特徴とする請求項6に記載の半導体装置。

40

【請求項8】

前記第1及び前記第2の電源電圧は、前記外部電源電圧が第1の電位レベルの場合と前記外部電源電圧が前記第1の電位レベルよりも高い第2の電位レベルの場合とのいずれの場合においても、前記外部電源電圧の電位レベルに関わらず、実質的に一定の電位レベルであることを特徴とする請求項7に記載の半導体装置。

【請求項9】

前記内部電源生成回路は、前記外部電源電圧に応じて前記第3の電源電圧を発生するこ

50

とを特徴とする請求項 5 に記載の半導体装置。

【請求項 10】

前記内部電源生成回路は、前記外部電源電圧を受け取り前記第 3 の電源電圧を発生する制限回路を含み、当該制限回路は、前記外部電源電圧の電位レベルが第 1 の電位レベルよりも低い場合には、前記第 3 の電源電圧の電位レベルを前記外部電源電圧の電位レベルに応じて変化させ、前記外部電源電圧の電位レベルが前記第 1 の電位レベルよりも高い場合には、前記第 3 の電源電圧の電位レベルを前記外部電源電圧の電位レベルに関わらず、実質的に一定の前記第 1 の電位レベルに制御することを特徴とする請求項 9 に記載の半導体装置。

【請求項 11】

前記第 1 のトランジスタは第 1 の導電型であり、前記第 2 のトランジスタは前記第 1 の導電型と異なる第 2 の導電型であることを特徴とする請求項 8 に記載の半導体装置。

【請求項 12】

前記第 1 の電源電圧は、前記第 2 の電源電圧と実質的に等しい電位レベルであることを特徴とする請求項 8 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置に関し、特に、一对のビット線に生じている電位差を増幅するセンスアンプを備えた半導体装置に関する。

【背景技術】

【0002】

D R A M (Dynamic Random Access Memory) に代表される半導体メモリにおいては、メモリセルからビット線に読み出された微少なデータを増幅するためのセンスアンプが用いられる。センスアンプは、通常フリップフロップ回路構成を有しており、一对のビット線のうち電位の高い側が高位側のコモンソース線を介して駆動され、電位の低い側が低位側のコモンソース線を介して駆動される。

【0003】

半導体メモリがリード動作を行う際には、多数のセンスアンプが同時に活性化されるため、コモンソース線の電位が変動し、センス感度やセンス速度が低下するという問題がある。この問題を解消すべく、センス動作の初期において高位側のコモンソース線をより高電位にオーバードライブする方式が採用されることがある(特許文献 1 参照)。特許文献 1 に記載された半導体メモリでは、センス動作の初期においてコモンソース線を外部電源電位にオーバードライブし、これによってコモンソース線の電位ドロップを低減させている。

【0004】

特許文献 1 に記載された半導体メモリでは、内部電源電位 V_{INT} のレベルに依存する遅延回路と外部電源電位 V_{CC} のレベルに依存する遅延回路を用い、オーバードライブ期間の開始タイミングを前者の遅延回路の出力によって定義し、オーバードライブ期間の終了タイミングを後者の遅延回路の出力によって定義している。これにより、前者の遅延回路の遅延量と後者の遅延回路の遅延量との差分によってオーバードライブ期間が決まることになる。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開平 10 - 242815 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、内部電源電位のレベルは安定化されているため、オーバードライブ期間

10

20

30

40

50

の開始タイミングは実質的に固定される。このことは、オーバードライブ期間の長さが外部電源電位のレベルをそのまま反映することを意味するため、外部電源電位のレベルに応じたオーバードライブ期間の変動量が大きすぎるという問題が生じる。オーバードライブ期間は外部電源電位のレベルに応じて最適値に設計する必要があるため、オーバードライブ期間の変動量が大きすぎると、変動の大きいパラメータ（外部電源電位のレベル）に変動の大きいパラメータ（オーバードライブ期間）をマッチングさせる必要が生じ、回路設計が非常に困難となる。

【課題を解決するための手段】

【0007】

本発明による半導体装置は、第1及び第2の電源ノードを有し、一对のビット線に生じている電位差に基づいて、前記一对のビット線の一方を前記第1の電源ノードに接続し、前記一对のビット線の他方を前記第2の電源ノードに接続するセンスアンプと、前記センスアンプの前記第1の電源ノードに第1の電位を供給する第1のドライバ回路と、前記センスアンプの前記第2の電源ノードに第2の電位を供給する第2のドライバ回路と、前記センスアンプの前記第2の電源ノードに第3の電位を供給する第3のドライバ回路と、前記第1乃至第3のドライバ回路の動作を制御するタイミング制御回路と、を備え、前記第1の電位と前記第3の電位との電位差は、前記第1の電位と前記第2の電位との電位差よりも大きく、前記タイミング制御回路は、前記第1及び第3のドライバ回路をオンさせた後、前記第3のドライバ回路をオフさせるとともに前記第2のドライバ回路をオンさせ、前記タイミング制御回路は、前記第3のドライバ回路のオン期間を決める遅延回路を含み、前記遅延回路は、遅延量が外部から供給される外部電源電位に依存する第1の遅延回路と、遅延量が前記外部電源電位に依存しない第2の遅延回路とを含み、前記第3のドライバ回路のオン期間は、前記第1の遅延回路の遅延量と前記第2の遅延回路の遅延量の和によって決まることを特徴とする。

【発明の効果】

【0008】

本発明によれば、いわゆるオーバードライブ期間の長さが、外部電源電位に依存する遅延回路と外部電源電位に依存しない遅延回路の両方によって決まるため、オーバードライブ期間の長さを外部電源電位のレベルに適度に依存させることができる。これにより、変動の大きいパラメータ（外部電源電位のレベル）にマッチングさせるべきパラメータ（オーバードライブ期間）の変動量が小さくなることから、外部電源電位のレベルに応じてオーバードライブ期間を最適値とするための回路設計が容易となる。

【図面の簡単な説明】

【0009】

【図1】本発明の好ましい実施形態による半導体装置10の構成を示すブロック図である。

【図2】センス回路14の一部を示す回路図である。

【図3】タイミング制御回路50の回路図である。

【図4】タイミング制御回路50の動作を説明するためのタイミング図である。

【図5】外部電源電位VDDのレベルとオーバードライブ期間との関係を説明するためのグラフである。

【図6】第1の比較例によるタイミング制御回路50aの回路図である。

【図7】タイミング制御回路50aを用いた場合における外部電源電位VDDのレベルとオーバードライブ期間との関係を説明するためのグラフである。

【図8】第2の比較例によるタイミング制御回路50bの回路図である。

【図9】タイミング制御回路50bを用いた場合における外部電源電位VDDのレベルとオーバードライブ期間との関係を説明するためのグラフである。

【図10】電源回路100に含まれる回路ブロックのうち、内部電圧VODを生成する回路ブロック100aを抜き出して示すブロック図である。

【発明を実施するための形態】

【 0 0 1 0 】

以下、添付図面を参照しながら、本発明の好ましい実施の形態について詳細に説明する。

【 0 0 1 1 】

図 1 は、本発明の好ましい実施形態による半導体装置 1 0 の構成を示すブロック図である。

【 0 0 1 2 】

本実施形態による半導体装置 1 0 は D R A M であり、図 1 に示すようにメモリセルアレイ 1 1 を備えている。メモリセルアレイ 1 1 には、互いに交差する複数のワード線 W L と複数のビット線 B L が設けられており、その交点にメモリセル M C が配置されている。ワード線 W L の選択はロウデコーダ 1 2 によって行われ、ビット線 B L の選択はカラムデコーダ 1 3 によって行われる。ビット線 B L は、センス回路 1 4 内の対応するセンスアンプ S A にそれぞれ接続されており、カラムデコーダ 1 3 により選択されたビット線 B L は、センスアンプ S A を介してアンプ回路 1 5 に接続される。センス回路 1 4 の構成については後述する。

10

【 0 0 1 3 】

ロウデコーダ 1 2、カラムデコーダ 1 3 及びアンプ回路 1 5 の動作は、アクセス制御回路 2 0 によって制御される。アクセス制御回路 2 0 は、アドレス端子 2 1 及びコマンド端子 2 2 を介してそれぞれ外部から供給されるアドレス信号 A D D 及びコマンド信号 C M D を受け、これらアドレス信号 A D D 及びコマンド信号 C M D に基づいてロウデコーダ 1 2、カラムデコーダ 1 3 及びアンプ回路 1 5 の動作を制御する。

20

【 0 0 1 4 】

具体的には、コマンド信号 C M D がアクティブ動作を示している場合には、アドレス信号 A D D はロウデコーダ 1 2 に供給される。これにตอบสนองして、ロウデコーダ 1 2 はアドレス信号 A D D が示すワード線 W L を選択し、これにより、対応するメモリセル M C がそれぞれビット線 B L に接続される。また、コマンド信号 C M D がリード動作又はライト動作を示している場合には、アドレス信号 A D D はカラムデコーダ 1 3 に供給される。これにตอบสนองして、カラムデコーダ 1 3 はアドレス信号 A D D が示すビット線 B L をアンプ回路 1 5 に接続する。したがって、コマンド信号 C M D がリード動作を示している場合には、センスアンプ S A を介してメモリセルアレイ 1 1 から読み出されたリードデータ D Q がアンプ回路 1 5 を介してデータ端子 2 3 から外部に出力される。一方、コマンド信号 C M D がライト動作を示している場合には、データ端子 2 3 を介して外部から供給されたライトデータ D Q がアンプ回路 1 5 及びセンスアンプ S A を介してメモリセル M C に書き込まれる。

30

【 0 0 1 5 】

また、アクセス制御回路 2 0 には、タイミング制御回路 5 0 が含まれている。タイミング制御回路 5 0 は、センス回路 1 4 の動作タイミングを制御するためのタイミング信号 S A N T、S A P 2 T、S A P 1 B を生成する回路である。タイミング制御回路 5 0 の詳細については後述する。

【 0 0 1 6 】

これら各回路ブロックは、それぞれ所定の内部電圧を動作電源として使用する。これら内部電源は、図 1 に示す電源回路 1 0 0 によって生成される。電源回路 1 0 0 は、電源端子 3 1、3 2 を介してそれぞれ供給される外部電源電位 V D D 及び接地電位 V S S を受け、これらに基づいて内部電圧 V P P、V P E R I、V A R Y、V O D などを生成する。尚、本明細書において V D D、V P P、V P E R I、V A R Y、V O D とは、当該電位のレベルを示すほか、接地電位 V S S に対する電位差（電圧）をも示す。例えば、「V D D」とは、外部電源電位 V D D の電位レベルそのものを指すほか、接地電位 V S S に対する電位差（電圧）をも示す。V P P、V P E R I、V A R Y、V O D についても同様である。本実施形態では、

40

$$V P P > V D D > V P E R I \quad V A R Y$$

50

である。また、詳細については後述するが、外部電源電位 V_{DD} のレベルが $1.4V$ 未満である場合は

$$V_{OD} = V_{DD}$$

であり、外部電源電位 V_{DD} のレベルが $1.4V$ 以上である場合は

$$V_{OD} = 1.4V$$

である。

【0017】

内部電源電位 V_{PP} は、ロウデコーダ 12 において用いられる電圧である。ロウデコーダ 12 は、アドレス信号 A_{DD} に基づき選択したワード線 W_L を V_{PP} レベルに駆動し、これによりメモリセル MC に含まれるセルトランジスタをオンさせる。内部電源電位 V_{AR} Y は、センス回路 14 において用いられる電圧である。センス回路 14 が活性化すると、ビット線対の一方を V_{AR} Y レベル、他方を V_{SS} レベルに駆動することにより、読み出されたリードデータの増幅を行う。内部電源電位 V_{PER} I は、アクセス制御回路 20 などの大部分の周辺回路の動作電圧として用いられる。これら周辺回路の動作電圧として V_{DD} よりも電圧の低い内部電源電位 V_{PER} I を用いることにより、低消費電力化が図られている。内部電源電位 V_{OD} は、センス回路 14 の活性化の初期においてビット線対の一方をオーバードライブするための電位である。

10

【0018】

外部電源電位 V_{DD} のレベルは仕様によって決まるが、仕様によっては外部電源電位 V_{DD} を複数のレベルに設定可能とされる。一例として、外部電源電位 V_{DD} のレベルを $1.5V$ 又は $1.35V$ に設定可能な仕様であれば、実際に供給される外部電源電位 V_{DD} のレベルが $1.5V$ であっても或いは $1.35V$ であっても、正しく動作するよう回路設計する必要がある。内部電源電位 V_{OD} を除く他の内部電源電位 V_{PP} , V_{AR} Y , V_{PER} I などは、外部電源電位 V_{DD} のレベルにかかわらず一定レベルであり、且つ、電源回路 100 の制御により電位レベルが安定化される。

20

【0019】

図 2 は、センス回路 14 の一部を示す回路図である。

【0020】

図 2 に示すように、センス回路 14 にはセンスアンプ S_A とこれを駆動するためのドライバ回路 41 ~ 43 が含まれている。センスアンプ S_A は、一对の電源ノード a , b と一对のデータ入出力ノード c , d とを備える。センスアンプ S_A の電源ノード a , b は、それぞれ高位側のコモンソース線 $PCST$ 及び低位側のコモンソース線 $NC SB$ に接続されている。また、センスアンプ S_A のデータ入出力ノード c , d は、それぞれ対応するビット線 BLT , BLB に接続されている。

30

【0021】

センスアンプ S_A は、クロスカップルされた P チャンネル型の MOS トランジスタ P_1 , P_2 と、クロスカップルされた N チャンネル型の MOS トランジスタ N_1 , N_2 とを備えている。トランジスタ P_1 , P_2 のコモンソースは電源ノード a を介して高位側のコモンソース線 $PCST$ に接続され、トランジスタ N_1 , N_2 のコモンソースは電源ノード b を介して低位側のコモンソース線 $NC SB$ に接続されている。かかる構成により、一对のビット線 BLT , BLB に電位差が生じると、コモンソース線 $PCST$, $NC SB$ を介して増幅されることになる。

40

【0022】

コモンソース線 $NC SB$ にはドライバ回路 41 が接続されており、これがオンするとコモンソース線 $NC SB$ は接地電位 V_{SS} に駆動される。ドライバ回路 41 は N チャンネル型の MOS トランジスタからなる。また、コモンソース線 $PCST$ にはドライバ回路 42 が接続されており、これがオンするとコモンソース線 $PCST$ は内部電源電位 V_{AR} Y に駆動される。ドライバ回路 42 も N チャンネル型の MOS トランジスタからなる。さらに、コモンソース線 $PCST$ にはドライバ回路 43 が接続されており、これがオンするとコモンソース線 $PCST$ は内部電源電位 V_{OD} に駆動される。ドライバ回路 43 は P チャン

50

ネル型のMOSトランジスタからなる。これらドライバ回路41～43を構成するトランジスタのゲート電極には、それぞれタイミング信号SANT, SAP2T, SAP1Bが供給される。タイミング信号SANT, SAP2T, SAP1Bは、タイミング制御回路50によって生成される信号である。

【0023】

図3は、タイミング制御回路50の回路図である。

【0024】

図3に示すように、タイミング制御回路50は、アクティブ信号R1Tに基づいてタイミング信号SANT, SAP2T, SAP1Bを生成する回路である。アクティブ信号R1Tは、コマンド端子22に入力されたコマンドがアクティブコマンドである場合に、アクセス制御回路20の内部で生成される信号である。タイミング制御回路50にはアクティブ信号R1Tを受けてタイミング調整を行う偶数段のインバータ51が設けられており、その出力がタイミング信号SANTとして用いられる。

10

【0025】

また、タイミング制御回路50にはアクティブ信号R1Tを遅延させる遅延回路52が設けられている。遅延回路52は、内部電源電位VPERIを動作電源とする遅延回路52aと、外部電源電位VDDを動作電源とする遅延回路52bからなり、これらが直列接続されている。遅延回路52の出力は、インバータ53によって反転され、NANDゲート回路54の一方の入力ノードに供給される。NANDゲート回路54の他方の入力ノードにはアクティブ信号R1Tがそのまま供給される。NANDゲート回路54の出力は、タイミング調整を行う偶数段のインバータ55を介し、タイミング信号SAP1Bとして用いられる。さらに、遅延回路52の出力は、NANDゲート回路56の一方の入力ノードにも供給される。NANDゲート回路56の他方の入力ノードにはアクティブ信号R1Tがそのまま供給される。NANDゲート回路56の出力は、タイミング調整を行う奇数段のインバータ57を介し、タイミング信号SAP2Tとして用いられる。

20

【0026】

図4は、タイミング制御回路50の動作を説明するためのタイミング図である。

【0027】

まず、時刻t0以前においては、タイミング信号SANT, SAP2Tはローレベル、タイミング信号SAP1Bはハイレベルである。このため、ドライバ回路41～43は全てオフ状態であり、コモンソース線PCST, NCSTには動作電圧が供給されない。したがって、時刻t0以前においては、センスアンプSAは非活性化されている。

30

【0028】

その後、時刻t0においてアクティブ信号R1Tがハイレベルに変化すると、所定の時間だけタイミング調整された後、時刻t1においてタイミング信号SANTがハイレベル、タイミング信号SAP1Bはローレベルに活性化する。これにより、ドライバ回路41, 43がオンすることから、コモンソース線PCSTには内部電源電位VODが供給され、コモンソース線NCSTには外部電源電位VSSが供給される。その結果センスアンプSAが活性化され、一对のビット線BLT, BLBに生じている電位差の増幅が開始される。ここで、アクティブ信号R1Tとはワード線WLの活性化タイミングを規定する信号であり、センスアンプSAの活性化タイミングを時刻t1にずらしているのは、メモリセルMCから読み出されたデータによってビット線BLT又はBLBの電位が十分に変化するまでの時間を確保するためである。

40

【0029】

次に、時刻t1から遅延回路52の遅延量Dが経過すると、タイミング信号SAP1B, SAP2Tがハイレベルに変化する。これにより、ドライバ回路43がオフし、代わりにドライバ回路42がオンすることから、コモンソース線PCSTには内部電源電位VODの代わりに内部電源電位VARYが供給されることになる。上述の通り、内部電源電位VARYはビット線のハイ側電位であり、したがって、ビット線対の一方がVARYレベル、他方がVSSレベルに駆動されることになる。

50

【 0 0 3 0 】

ここで、時刻 t_1 から時刻 t_2 までの期間は、ドライバ回路 4 3 がオンしているオーバードライブ期間である。ドライバ回路 4 3 によって供給される内部電源電位 V_{OD} は内部電源電位 V_{ARY} よりも高電位であることから、オーバードライブ期間においてはビット線の一方がハイ側電位 ($= V_{ARY}$) よりも高い電位にドライブされる。これによりセンス感度及びセンス速度が向上する。

【 0 0 3 1 】

また、時刻 t_1 から時刻 t_2 までの期間は、遅延回路 5 2 の遅延量 D によって決まる。上述の通り、遅延回路 5 2 は、内部電源電位 V_{PERI} を動作電源とする遅延回路 5 2 a と、外部電源電位 V_{DD} を動作電源とする遅延回路 5 2 b の直列回路によって構成されているため、遅延量 D は、遅延回路 5 2 a の遅延量 D_a と遅延回路 5 2 b の遅延量 D_b の和によって定義されることになる。遅延量 D_a は、安定化された内部電源電位 V_{PERI} を動作電源とする遅延回路 5 2 a によって決まることから、外部電源電位 V_{DD} のレベルにかかわらずほぼ一定である。これに対し、遅延量 D_b は、外部電源電位 V_{DD} を動作電源とする遅延回路 5 2 b によって決まることから、外部電源電位のレベルによって変化する。これは、遅延回路 5 2 b がインバータチェーンなどによって構成されるためであり、外部電源電位 V_{DD} のレベルが高いほど遅延量 D_b は短くなり、逆に、外部電源電位 V_{DD} のレベルが低いほど遅延量 D_b は長くなる。

【 0 0 3 2 】

その結果、外部電源電位 V_{DD} のレベルが高いほどオーバードライブ期間は短くなり、逆に、外部電源電位 V_{DD} のレベルが低いほどオーバードライブ期間は長くなる。後述するように、オーバードライブ期間においてCOMMONソース線 $PCST$ に供給される内部電源電位 V_{OD} は、外部電源電位 V_{DD} に連動する電位である。つまり、外部電源電位 V_{DD} のレベルが高いために内部電源電位 V_{OD} のレベルも高い場合には、オーバードライブ期間が短くなるため、過剰なオーバードライブが防止される。逆に、外部電源電位 V_{DD} のレベルが低いために内部電源電位 V_{OD} のレベルも低い場合には、オーバードライブ期間が長くなるため、オーバードライブ不足が防止される。これにより、常に最適なオーバードライブ量を与えることが可能となる。

【 0 0 3 3 】

しかも、本実施形態では、オーバードライブ期間が遅延量 D_a と遅延量 D_b の和によって決まることから、オーバードライブ期間の V_{DD} 依存性が緩和される。つまり、オーバードライブ期間が遅延量 D_b のみによって決まる場合、外部電源電位 V_{DD} のレベルによるオーバードライブ期間の変化が非常に大きくなるため、回路設計が難しくなる。その理由は既に説明したとおりである。これに対し、本実施形態では、オーバードライブ期間が外部電源電位 V_{DD} のレベルに依存しつつも、その依存度が緩和されていることから、外部電源電位 V_{DD} のレベルによるオーバードライブ期間の変化が緩やかとなり、回路設計が容易となる。

【 0 0 3 4 】

図 5 は、外部電源電位 V_{DD} のレベルとオーバードライブ期間との関係を説明するためのグラフである。図 5 において線 A で示しているのは最適なオーバードライブ期間であり、線 B で示しているのは実際のオーバードライブ期間である。図 5 に示すように、本実施形態によれば、線 A と線 B がほぼ重なっており、外部電源電位 V_{DD} のレベルに応じて最適なオーバードライブ期間が与えられる。

【 0 0 3 5 】

図 6 は、第 1 の比較例によるタイミング制御回路 5 0 a の回路図である。図 6 に示すタイミング制御回路 5 0 a は、内部電源電位 V_{PERI} を動作電源とする遅延回路 5 2 a のみによって遅延回路 5 2 が構成されている点において、図 3 に示したタイミング制御回路 5 0 と相違している。図 7 は、タイミング制御回路 5 0 a を用いた場合における外部電源電位 V_{DD} のレベルとオーバードライブ期間との関係を説明するためのグラフである。図 7 において線 A で示しているのは最適なオーバードライブ期間であり、線 B で示している

10

20

30

40

50

のは実際のオーバードライブ期間である。図7に示すように、遅延回路52aのみを用いた場合、オーバードライブ期間がVDD依存性を持たなくなるため、外部電源電位VDDのレベルが高いほどオーバードライブが過剰となり、逆に、外部電源電位VDDのレベルが低いほどオーバードライブが不足する。

【0036】

図8は、第2の比較例によるタイミング制御回路50bの回路図である。図8に示すタイミング制御回路50bは、外部電源電位VDDを動作電源とする遅延回路52bのみによって遅延回路52が構成されている点において、図3に示したタイミング制御回路50と相違している。図9は、タイミング制御回路50bを用いた場合における外部電源電位VDDのレベルとオーバードライブ期間との関係を説明するためのグラフである。図9において線Aで示しているのは最適なオーバードライブ期間であり、線Bで示しているのは実際のオーバードライブ期間である。図9に示すように、遅延回路52bのみを用いた場合、オーバードライブ期間のVDD依存性が強すぎる結果、外部電源電位VDDが高い領域で最適なオーバードライブ期間が得られるよう設計すると、外部電源電位VDDのレベルが低いほどオーバードライブが過剰となる。逆に、図示しないが、外部電源電位VDDが低い領域で最適なオーバードライブ期間が得られるよう設計すると、外部電源電位VDDのレベルが高いほどオーバードライブが不足する。

【0037】

これらに対し、本実施形態では広範囲に亘り、外部電源電位VDDのレベルに応じて最適なオーバードライブ期間を得ることが可能となる。

【0038】

図10は、電源回路100に含まれる回路ブロックのうち、内部電圧VODを生成する回路ブロック100a(リミット回路)を抜き出して示すブロック図である。

【0039】

図10に示すように、内部電圧VODを生成する回路ブロック100aは、リファレンス電位生成部110と、差動回路部120と、ドライバ回路部130とを含んでいる。

【0040】

リファレンス電位生成部110は、外部電源電位VDDのレベルにかかわらず1.4Vのリファレンス電位VODRを生成する回路である。具体的には、トランジスタ111~114及び定電流源115からなる差動回路と、トランジスタ113のゲート電極に0.7Vのリファレンス電位VODRZを供給するリファレンス回路116と、差動回路の出力ノード110aと接地レベルVSSが供給される電源ラインとの間に直列にダイオード接続されたトランジスタ117, 118とを備えている。

【0041】

トランジスタ118のゲート電極は、トランジスタ114のゲート電極に接続されている。リファレンス回路116は、外部電源電位VDDのレベルにかかわらず1.0Vに固定されるリファレンス電位VFと接地レベルVSSが供給される電源ラインとの間に直列接続された複数の抵抗体116a, 116bからなり、これによって0.7Vのリファレンス電位VODRZが生成される。0.7Vのリファレンス電位VODRZは、トランジスタ113のゲート電極に供給されるため、トランジスタ114のゲート電極のレベルも0.7Vとなる。その結果、差動回路の出力ノード110aのレベルは2倍の1.4Vとなり、これがリファレンス電位VODRとして差動回路部120に供給される。

【0042】

差動回路部120は、トランジスタ121~124及び定電流源125によって構成されており、トランジスタ123のゲート電極にリファレンス電位VODRが供給される。また、ドライバ回路部130はNチャンネル型のMOSトランジスタからなり、そのゲート電極は差動回路部120の出力ノード120aに接続され、ソースはトランジスタ124のゲート電極に接続され、ドレインは外部電源電位VDDが供給される電源ラインに接続される。これにより、外部電源電位VDDが1.4V以上であれば、ドライバ回路部130から出力される内部電源電位VODのレベルは、リファレンス電位VODRと同じ1

10

20

30

40

50

．4 Vに固定される。つまり、内部電源電位VODが1．4 V未満になるとドライバ回路部130がオンする一方、内部電源電位VODが1．4 Vを超えるとドライバ回路部130がオフし、且つ、抵抗126及びトランジスタ132を介して電流が流れるため、内部電源電位VODのレベルは必ず1．4 Vとなる。

【0043】

これに対し、外部電源電位VDDが1．4 V未満であれば、ドライバ回路部130を構成するトランジスタがオン状態に固定されることから、ドライバ回路部130から出力される内部電源電位VODのレベルは、外部電源電位VDDのレベルと実質的に一致する。このように、差動回路部120は、内部電源電位VODが1．4 Vを超えないよう制限するリミッタ機能を有している。

10

【0044】

さらに、差動回路部120には、動作信号VODACTが入力されており、これがハイレベルである場合に活性化される。動作信号VODACTがローレベルである場合は、トランジスタ131、132がオフするとともに、レベルシフタ133及びインバータ134、135を介して与えられる動作信号VODACTによりトランジスタ136、137がオンし、これによりトランジスタ121、122、130のゲートソース間が短絡される。これにより差動回路部120は非活性化され、電力を消費しない状態となる。したがって、センスアンプSAを活性化させるタイミングで動作信号VODACTをハイレベルとし、センスアンプSAが非活性化された後は動作信号VODACTをローレベルとすればよい。

20

【0045】

このように、本実施形態では、外部電源電位VDDのレベルが1．4 V未満であれば、内部電源電位VODのレベルが外部電源電位VDDのレベルと連動する一方、外部電源電位VDDのレベルが1．4 V以上であれば、内部電源電位VODのレベルは1．4 Vに固定される。その結果、オーバードライブ期間のVDD依存性は、外部電源電位VDDが1．4 V以上である領域ではより小さくなる。尚、内部電源電位VODのレベルが1．4 Vに固定されているにもかかわらず、外部電源電位VDDが1．4 V以上の領域でオーバードライブ期間のVDD依存性が残るのは、タイミング信号SANT、SAP1Bの振幅がVDD振幅を有しているためである。

【0046】

図5に戻って、線Cで示しているのは内部電源電位VODを1．4 Vにリミットしなかった場合における最適なオーバードライブ期間である。図5に示すように、内部電源電位VODをリミットしない場合、外部電源電位VDDが1．4 V以上であると最適なオーバードライブ期間が短くなり、最適なオーバードライブ期間のVDD依存性が強くなる。これに対し、本実施形態のように外部電源電位VDDを1．4 Vにリミットすれば、外部電源電位VDDが1．4 V以上の領域において、最適なオーバードライブ期間のVDD依存性が大幅に緩和されることから、設計がよりいっそう容易となる。

30

【0047】

以上、本発明の好ましい実施形態について説明したが、本発明は、上記の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

40

【符号の説明】

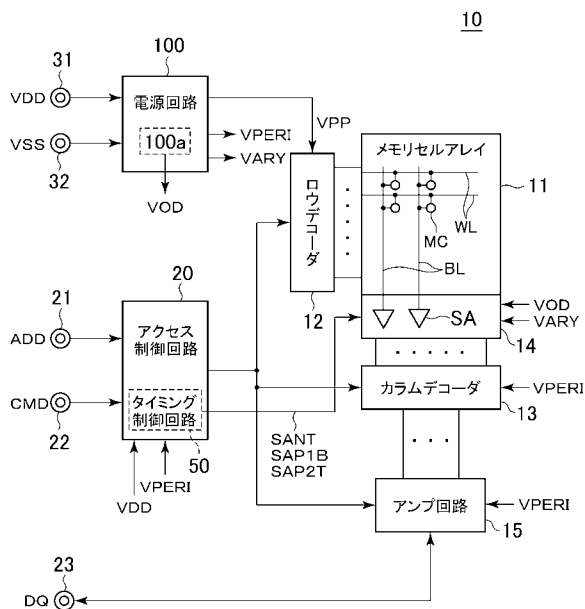
【0048】

- 10 半導体装置
- 11 メモリセルアレイ
- 12 ロウデコーダ
- 13 カラムデコーダ
- 14 センス回路
- 15 アンプ回路
- 20 アクセス制御回路

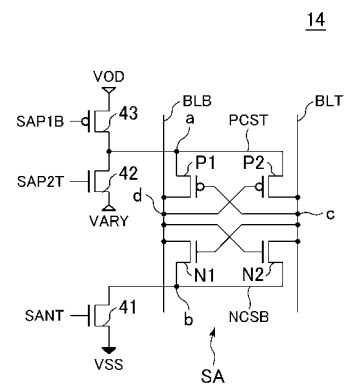
50

- 2 1 アドレス端子
- 2 2 コマンド端子
- 2 3 データ端子
- 3 1 , 3 2 電源端子
- 4 1 ~ 4 3 ドライバ回路
- 5 0 タイミング制御回路
- 5 2 遅延回路
- 5 2 a 遅延回路
- 5 2 b 遅延回路
- 1 0 0 電源回路
- 1 0 0 a 回路ブロック (リミット回路)
- 1 1 0 リファレンス電位生成部
- 1 2 0 差動回路部
- 1 3 0 ドライバ回路部
- B L T , B L B ビット線
- N C S B コモンソース線 (低位側)
- P C S T コモンソース線 (高位側)
- S A センスアンプ

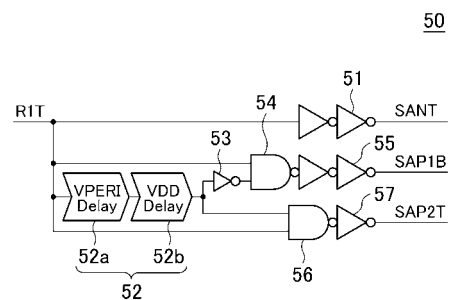
【図1】



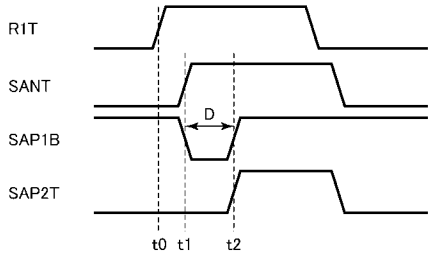
【図2】



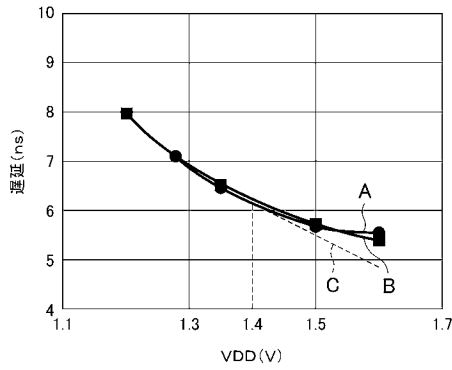
【図3】



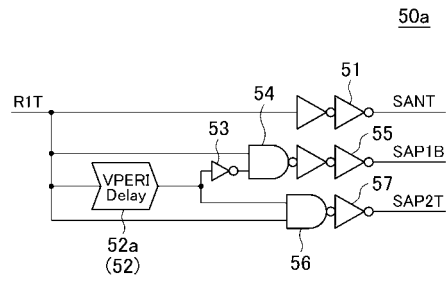
【 図 4 】



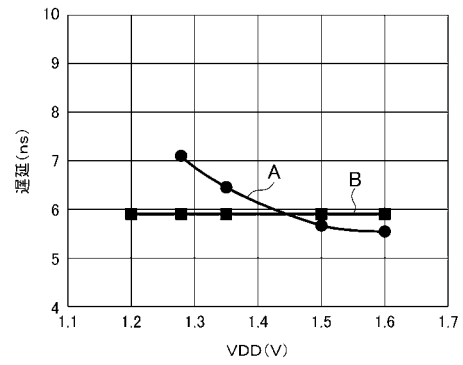
【 図 5 】



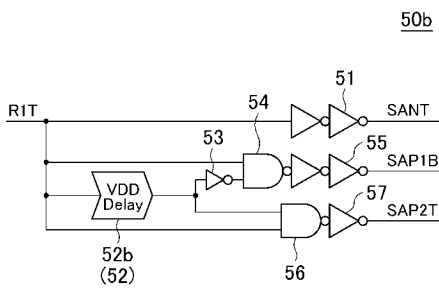
【 図 6 】



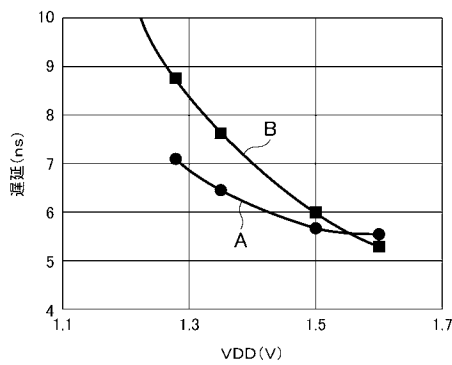
【 図 7 】



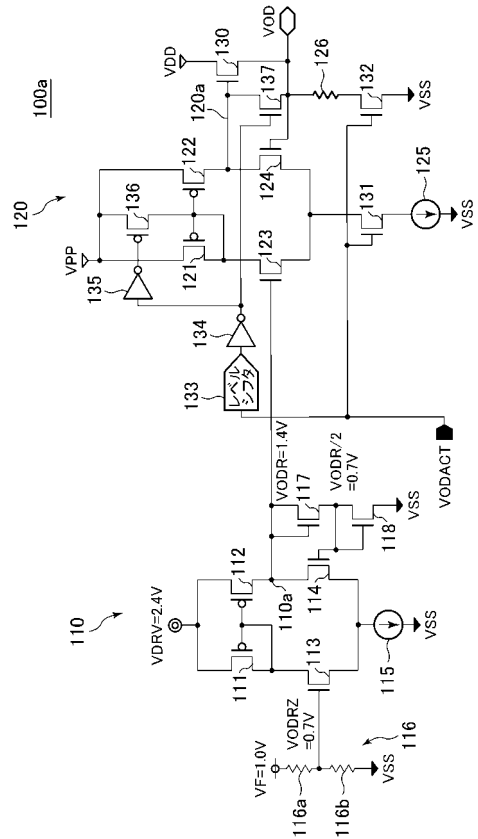
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

- (72)発明者 渡邊 由布子
東京都中央区八重洲二丁目2番1号エルピーダメモリ株式会社内
- (72)発明者 利穂 吉郎
東京都中央区八重洲二丁目2番1号エルピーダメモリ株式会社内
- (72)発明者 野田 浩正
東京都中央区八重洲二丁目2番1号エルピーダメモリ株式会社内
- (72)発明者 出井 陽治
東京都中央区八重洲二丁目2番1号エルピーダメモリ株式会社内
- (72)発明者 後藤 浩介
東京都中央区八重洲二丁目2番1号エルピーダメモリ株式会社内

審査官 小林 紀和

- (56)参考文献 特開2008-159188(JP,A)
特開平09-120675(JP,A)
特開平05-062467(JP,A)
特開平06-169240(JP,A)
特開2000-163960(JP,A)

- (58)調査した分野(Int.Cl., DB名)
G11C 11/4091