



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년03월23일
(11) 등록번호 10-1121195
(24) 등록일자 2012년02월21일

(51) 국제특허분류(Int. Cl.)
H01J 1/30 (2006.01)
(21) 출원번호 10-2005-0014324
(22) 출원일자 2005년02월22일
심사청구일자 2010년01월14일
(65) 공개번호 10-2006-0043044
(43) 공개일자 2006년05월15일
(30) 우선권주장
JP-P-2004-00056624 2004년03월01일 일본(JP)
(56) 선행기술조사문헌
JP2001256884 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시킴가이샤 알박
일본 가나가와켄 지가사끼시 하기소노 2500반쵸
(72) 발명자
나카노, 하루히사
일본국, 300-2635, 이바라키, 츠쿠바, 토코다이,
5-9-7, 가부시킴가이샤 아루박, 츠쿠바재료연구소
내
히라가와, 마사키
일본국, 300-2635, 이바라키, 츠쿠바, 토코다이,
5-9-7, 가부시킴가이샤 아루박, 츠쿠바재료연구소
내
(뒷면에 계속)
(74) 대리인
특허법인에이아이피

전체 청구항 수 : 총 3 항

심사관 : 박남현

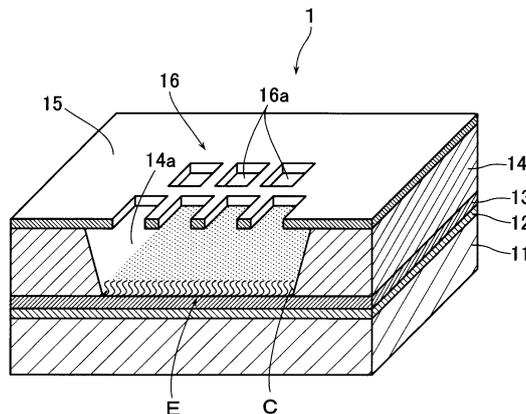
(54) 발명의 명칭 **캐소드 기관 및 그 제작 방법**

(57) 요약

(과제) 게이트 전극을 가지는 종래의 애노드 기관에서는, 에미터에서 방출되는 전자가 확산하므로 전하 주입 효율이 나쁘다. 또한, 각 캐소드 기관 상호 간에 전하 주입 효율이 차이 나기 쉽다.

(해결 수단) 처리기관(11) 상에 차례로 적층한 캐소드 전극층(12), 절연층(14) 및 게이트 전극층(15)을 구비하고, 이 절연층에 형성한 홀(14a)의 저부에 에미터(E)를 마련함과 아울러, 상기 게이트 전극층에 게이트홀 개구부(16)를 형성한다. 이 경우, 게이트홀 개구부를 절연층 홀의 개구 면적보다 작은 면적을 가지는 복수개의 개구(16a)로 구성하고, 각 개구를 에미터에 대하여 절연층의 홀 바로 위에 밀집시킨다.

대표도 - 도1



(72) 발명자

미우라, 오사무

일본국, 300-2635, 이바라키, 츠쿠바, 토코다이,
5-9-7, 가부시키가이샤 아루박, 츠쿠바재료연구소
내

무라카미, 히로히코

일본국, 300-2635, 이바라키, 츠쿠바, 토코다이,
5-9-7, 가부시키가이샤 아루박, 츠쿠바재료연구소
내

오카사카, 켄수케

일본국, 368-0056, 사이타마-켄, 치치부-시, 오아
자-테라오 2804, 아루바쿠 세이마쿠 가부시키가이샤
내

코지마, 토모아키

일본국, 368-0056, 사이타마-켄, 치치부-시, 오아
자-테라오 2804, 아루바쿠 세이마쿠 가부시키가이샤
내

특허청구의 범위

청구항 1

처리기관 상에 차례로 적층한 캐소드 전극층, 절연층 및 게이트 전극층을 구비하고, 이 절연층에 형성한 홀의 저부에 에미터를 마련함과 아울러, 상기 게이트 전극층에 게이트홀 개구부를 형성한 캐소드 기관에 있어서, 상기 에미터를 카본계 에미터 재료로 구성하고, 이 카본계 에미터 재료는 촉매층 상에 성장된 것이며, 상기 게이트홀 개구부를 상기 절연층의 홀의 개구 면적보다 작은 면적을 가지는 복수개의 개구로 구성하고, 각 개구를 에미터에 대향하여 절연층의 홀 바로 위에 밀집시키고, 상기 각 개구의 개구 면적 및 개수의 적어도 하나를 증감시키어, 삼극 전계방출 소자를 구성하기 위해 대향하여 배치되는 애노드 기관으로의 전하 주입 효율을 변화시키도록 한 것을 특징으로 하는 캐소드 기관.

청구항 2

삭제

청구항 3

삭제

청구항 4

청구항 1의 캐소드 기관을 제작하는 방법에 있어서, 처리 기관상에, 캐소드 전극층, 절연층 및 게이트 전극층을 차례로 적층하고, 이 게이트 전극층 상에, 게이트홀 개구부를 형성하기 위한 레지스트 패턴을 마련한 후, 식각에 의해 복수개의 개구로 된 게이트홀 개구부를 형성하고, 이 게이트홀 개구부를 통해 깊이 방향 및 폭 방향으로 동시에 절연층을 식각하여 하나의 홀을 형성함으로써 이 홀 바로 위에 게이트홀 개구부의 각 개구를 밀집시키고, 홀의 저부에 에미터를 마련하며, 상기 에미터를 카본계 에미터 재료로 구성하되, 이 카본계 에미터 재료를 성장시킬 때에 촉매로서 작용하는 촉매층을 상기 캐소드 전극층의 형성 후에서 상기 절연층의 형성 전 사이에 형성하는 것을 특징으로 하는 캐소드 기관을 제작하는 방법.

청구항 5

삭제

청구항 6

청구항 1의 캐소드 기관을 제작하는 방법에 있어서, 처리 기관상에, 캐소드 전극층, 절연층 및 게이트 전극층을 차례로 적층하고, 이 게이트 전극층 상에, 게이트홀 개구부를 형성하기 위한 레지스트 패턴을 마련한 후, 식각에 의해 복수개의 개구로 된 게이트홀 개구부를 형성하고, 이 게이트홀 개구부를 통해 깊이 방향 및 폭 방향으로 동시에 절연층을 식각하여 하나의 홀을 형성함으로써 이 홀 바로 위에 게이트홀 개구부의 각 개구를 밀집시키고, 홀의 저부에 에미터를 마련하며, 상기 에미터를 카본계 에미터 재료로 구성하되, 이 카본계 에미터 재료를 성장시킬 때에 촉매로서 작용하는 촉매층을, 절연층의 식각 후에, 리프트 오프법에 따라 형성하고, 화학 기상증착법에 의해 홀 저부에 카본계 에미터를 성장하는 것을 특징으로 하는 캐소드 기관을 제작하는 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0013] 본 발명은, 예컨대 전자 방출원을 갖는 표시장치용의 캐소드 기관 및 그 제작 방법에 관한 것으로, 특히 그래파이트·나노파이버(graphite·nanofiber)나 카본·나노튜브 등의 카본계 에미터 재료를 이용한 전계 전자 방출형 표시장치(FED; Field Emission Display)용의 캐소드 기관 및 그 제작 방법에 관한 것이다.
- [0014] 근래, 전자 방출 전압이 낮아서 화학적 안전성을 가지는 그래파이트·나노파이버나 카본·나노튜브 등의 카본계 에미터 재료를 전자 방출원에 이용한 FED가 개발되고 있다. 이 FED에서는, 전자를 방출시키는데 필요한 구동 전압을 낮게 억제하기 위해서, 캐소드 전극, 게이트 전극 및 애노드 전극으로 구성되는 삼극 전계 방출 소자를 이용하는 것이 주류이다.
- [0015] 이 경우, 캐소드 전극층, 절연층 및 게이트 전극층을 처리 기관 상에 차례로 적층하고, 게이트 전극층에 한 개의 게이트홀 개구부를 형성하고, 이 게이트홀 개구부를 통해서 절연층에 게이트홀 개구부 보다 큰 개구 면적을 가지는 홀을 형성한 후, 홀 저부에 촉매층을 마련하고, 이 촉매층 상에 카본계 에미터 재료를 성장시키어 에미터를 구성하여, 캐소드 기관을 얻는 것이 제안되고 있다(예를 들면, 특허 문헌 1 참조).
- [0016] [특허 문헌 1] 일본공개특허 2001-236879 공보 (발명의 상세한 설명 참조).

발명이 이루고자 하는 기술적 과제

- [0017] 그렇지만, 상기에서는, 에미터에 대향하여 절연층 바로 위에 한 개의 게이트홀 개구부를 마련했을 뿐이므로, 구동 전압을 인가하여 에미터에 의해 전자를 방출시키면, 전자는 에미터로부터 게이트 전극을 향해 인출되어 가속되기 때문에, 게이트홀 개구부를 통과한 방출 전자가 확산하는 문제가 있다. 이 경우, 방출 전자가 확산하면, 삼극 전계 방출 소자를 구성하기 위해 대향하여 배치된 애노드 기관(전극)으로의 전하 주입 효율이 나쁘다.
- [0018] 또한, 에미터의 중심부와 그 단부에서는, 게이트 전극까지의 거리가 다르기 때문에, 에미터의 형상이나 치수등의 미소한 차이에 의해, 각 캐소드 기관 상호간에 애노드 기관으로의 전하 주입 효율에 차이가 생기기 쉽다.
- [0019] 따라서, 상기 문제점에 착안하여, 본 발명의 과제는 에미터로부터 방출되는 전자가 확산하는 것을 방지하여 전하 주입 효율이 좋고, 더욱이 각 캐소드 기관 상호간에 전하 주입 효율이 차이 나기 어려운 캐소드 기관 및 그 제작 방법을 제공하는 것에 있다.

발명의 구성 및 작용

- [0020] 상기 과제를 해결하기 위해서, 본 발명의 캐소드 기관은 처리 기관 상에 차례로 적층한 캐소드 전극층, 절연층 및 게이트 전극층을 구비하고, 이 절연층에 형성한 홀의 저부에 에미터를 마련함과 아울러, 상기 게이트 전극층에 게이트홀 개구부를 형성한 캐소드 기관에 있어서, 상기 게이트홀 개구부를, 상기 절연층의 홀의 개구 면적보다 작은 면적을 가지는 복수개의 개구로 구성하고, 각 개구를 에미터에 대향하여 절연층의 홀 바로 위에 밀집, 바람직하게는 균일하게 밀집시킨 것을 특징으로 한다.
- [0021] 본 발명에 의하면, 게이트홀 개구부를 구성하는 각 개구를, 에미터에 대향하여 절연층의 홀 바로 위에 밀집시키고 있기 때문에, 구동 전압을 인가하여 에미터에 의해 전자를 방출시키면, 전자가 바로 위를 향해 나와 가속되므로, 게이트 전극층의 게이트홀 개구부를 통과한 방출 전자는 확산하지 않고, 또한 에미터 형상이나 치수등의 미소한 차이의 영향은 받기 어려워진다. 이에 더하여, 종래 기술과 비교하여 전자를 방출시키는데 필요한 구동 전압을 낮게 억제할 수 있다.
- [0022] 이 경우, 상기 각 개구의 개구 면적 및 개수의 적어도 하나를 증감시키어, 삼극 전계 방출 소자를 구성하기 위해 대향하여 배치되는 애노드 기관으로의 전하 주입 효율을 변화시키도록 하면 좋다.
- [0023] 더욱이, 상기 에미터를 카본계 에미터 재료로 구성하고, 이 카본계 에미터 재료는 촉매층 상에 성장시킨 것이면 좋다.

- [0024] 상술의 캐소드 기판을 제작하는 방법은, 처리 기판 상에, 캐소드 전극층, 절연층 및 게이트 전극층을 차례로 적층하고, 이 게이트 전극층 상에, 게이트홀 개구부를 형성하기 위한 레지스트 패턴을 마련한 후, 식각(etching)에 의해 복수개의 개구로 된 게이트홀 개구부를 형성하고, 이 게이트홀 개구부를 통해 깊이 방향 및, 폭방향으로 동시에 절연층을 식각하여 하나의 홀을 형성하여 이 홀 바로 위에 게이트홀 개구부의 각 개구를 밀집시키고, 홀의 저부에 에미터를 마련하는 것을 특징으로 한다.
- [0025] 이 경우, 상기 에미터를 카본계 에미터 재료로 구성하고, 이 카본계 에미터 재료를 성장시킬 때에 촉매로서 작용하는 촉매층을 절연층의 아래 쪽에 미리 형성해 두면 좋다.
- [0026] 한편, 상기 에미터를 카본계 에미터 재료로 구성하고, 이 카본계 에미터 재료를 성장시킬 때에 촉매로서 작용하는 촉매층을 절연층의 식각 후에 리프트 오프법에 따라 형성하고, 화학기상증착(Cheical Vapor Deposition; CVD) 법에 의해 홀 저부에 카본계 에미터를 성장시킬 수 있다.
- [0027] 도 1을 참조하여 설명하면, 도면 부호 1은, FED에 이용되는 본 발명의 캐소드 기판을 나타낸다. 캐소드 기판(1)은 처리 기판인 유리 기판(11)을 가지고, 이 유리 기판(11) 상에는 소정 막 두께로, 예컨대 크롬으로 된 캐소드 전극층(모선, 12)이 형성되어 있다. 캐소드 전극층(12)은, 예컨대 유리 기판(11)을 소정 온도(예를 들면, 200 ℃)로 가열하면서 DC 스퍼터링(sputtering)에 의해 형성된다.
- [0028] 캐소드 전극층(12) 상에는, 예를 들면 Fe, Co 또는 이러한 금속의 적어도 1 종류를 포함한 합금으로 구성된 촉매층(13)이 소정 막 두께(1~50 nm의 범위)로 형성되고, 라인(line) 형상으로 가공되어 있다. 촉매층(13)은, 예를 들면 DC 스퍼터링에 의해 형성된다. 이 촉매층(13) 상에는, 후술의 절연층에 홀을 형성한 후, 공지의 방법으로 그래파이트·나노 파이버나 카본·나노 튜브 등의 카본계 에미터 재료(C)를 성장시키어 에미터(E)를 구성한다.
- [0029] 촉매층(13) 상에는, 예컨대 산화실리콘(SiO₂)으로 구성된 절연층(14)이 소정 막 두께(예를 들면 3 μm)로 형성되어 있다. 절연층(14)은, 성막 후의 절연층(14)의 응력에 의한 파손을 방지할 목적으로, 예컨대 유리 기판(11)을 소정 온도(예를 들면, 300 ℃)로 가열하면서 RF 스퍼터링에 의해 형성된다. 이 절연층(14)을 형성하는 경우, RF 스퍼터링 시에 유리 기판(11)에 부착하는 먼지(dust)에 의한 핀홀을 방지하기 위해, 여러 차례로 나누어 성막해도 좋다. 이 절연층(14)은, 상기 RF 스퍼터링 이외의 방법, 예컨대 EB 증착법이나 가스 중 증착법으로 형성할 수도 있다. 또한, 절연층(14)에는, 카본계 에미터 재료(C)를 성장시키기 위한 촉매층(13)이 노출되도록 홀(14a)이 형성되어 있다. SiO₂로 구성된 절연층(14)에서는, 예컨대 에천트(etchant)로서 불화수소산을 사용하여, 절연층(14)을 식각하여 단면이 소정 형상(예를 들면 원형)인 홀(14a)이 형성되어 있다.
- [0030] 이 경우, 후술하는 게이트 전극층에 게이트홀 개구부의 각 개구를 마련한 후, 각 개구를 통해서 깊이 방향 및 폭방향으로 동시에 절연층(14)을 식각하여, 게이트 전극층의 아래 쪽에서 홀이 연결되어 1개로 되도록 홀(14a)이 식각되어 각 개구가 에미터(E)에 대향하여 절연층(14)의 홀(14a) 바로 위에 밀집되도록 하고 있다. 이때, 과식각(overetching) 시간을 제어하면 횡방향의 식각을 진행시킬 수 있다. 더욱이, 절연층(14)의 홀(14a)의 형태나 크기는 게이트홀 개구부의 각 개구의 수나 배치에 의존하여 설계될 수 있다.
- [0031] 절연층(14) 상에는, 예컨대 크롬으로 된 게이트 전극층(15)이 소정 막 두께(예를 들면, 300 nm)로 형성되어 있다. 게이트 전극층(15)은, 캐소드 전극층(12)의 경우와 같이, 예컨대 기판을 가열하면서 DC 스퍼터링에 의해 형성된다. 이 게이트 전극층(15)에는, 게이트홀 개구부(16)가 형성된다. 이 게이트 전극층(15)은, 상기 RF 스퍼터링 이외의 방법, 예컨대 EB 증착법이나 가스 중 증착법으로 형성할 수도 있다.
- [0032] 여기서, 종래 기술과 같이, 에미터(E)에 대향하여 절연층(14)의 홀(14a) 바로 위에 한 개의 게이트홀 개구부를 마련한 것 만으로는, 구동 전압을 인가하여 에미터에 의해 전자를 방출하면, 전자는 에미터(E)로부터 게이트 전극을 향해 나와 가속되기 때문에, 게이트홀 개구부를 통과한 방출 전자가 확산한다. 이 경우, 방출 전자가 확산하면, 삼극 전계 방출 소자를 구성하기 위해 대향하여 배치된 애노드 기판(도시하지 않음)으로의 전하 주입 효율이 나쁘다.
- [0033] 거기서, 본 실시의 형태에서는, 게이트홀 개구부(16)를, 절연층(14)의 홀(14a)의 개구 면적보다 작은 면적을 가지는 복수개의 개구(16a)로 구성하고, 각 개구(16a)를, 에미터(E)에 대향하여 절연층(14)의 홀(14a) 바로 위에 밀집, 바람직하게는 균일하게 밀집시키도록 했다.
- [0034] 각 개구(16a)는, 한 변의 길이 또는 직경이 1~3 μm의 대략 정방형 또는 대략 원형으로 형성되고, 각 개구(16a) 상호간의 간격은 0.5~2 μm의 범위로 설정되며, 2~50 개의 범위로 형성된다. 이 경우, 절연층(14)의 홀(14a)의

개구 면적에 대해서, 각 개구(16a)의 면적의 총합이 50~90 %가 되도록 하는 것이 바람직하다.

- [0035] 각 개구(16a) 면적의 총합이 50~90 %의 범위를 벗어나면 면적이 작으면 애노드 기관에의 전하 주입 효율이 나빠지고, 이와 달리 면적이 크면 전자 확산과 에미터의 미소한 차이의 영향이 나타난다. 또한, 게이트 전극이 변형해 버릴 가능성이 있다. 각 개구(16a)는, 예컨대 포토리소그래피(photolithography)법으로, 소정의 레지스트 패턴을 게이트 전극층(15) 상에 전사하고, 습식 식각 또는 건식 식각에 의하여 형성된다.
- [0036] 이것에 의해, 구동 전압을 인가하여 에미터(E)에 의해 전자를 방출시키면, 전자가 바로 위를 향해 나와 가속되므로, 게이트 전극층(15)의 게이트홀 개구부(16)의 각 개구(16a)를 통과한 방출 전자는 확산하지 않고, 또한 에미터(E)의 미소한 차이의 영향을 받기 어려워진다. 이 경우, 각 개구(16a)의 개구 면적 및 개구의 개수의 적어도 하나를 증감시키는 것으로 애노드 기관에의 전하 주입 효율을 변화시킬 수 있다.
- [0037] 더욱이, 본 실시의 형태에서는 FED용의 캐소드 기관(1)에 대해 설명했지만, 이것에 한정하는 것은 아니고, 본 발명의 캐소드 기관(1)은 넓게 일반의 전자 방출원으로서 이용할 수 있다.
- [0038] (실시예 1)
- [0039] 도 2a 내지 도 2e는, 본 발명의 FED용 캐소드 기관(1)의 제작 방법에 있어서 각 프로세스를 개략적으로 설명하는 도면들이다.
- [0040] 도 2a에 나타난 바와 같이, 유리 기관(11) 상에, 100 nm의 막 두께로 크롬으로 된 캐소드 전극층(12)을, 유리 기관을 200 °C로 가열하면서 DC 스퍼터링에 의해 형성하고, 이 캐소드 전극층(12) 상에, 연속하여 Fe 합금으로 된 카본계 에미터 재료 성장용의 촉매층(13)을 25 nm의 막 두께로 형성했다.
- [0041] 그 다음에, SiO₂로 된 절연층(14)을 375 °C의 기관 가열을 실시하면서 RF 스퍼터링에 의해 3 μm의 막 두께로 형성했다. 그 다음에, 크롬으로 된 게이트 전극층(15)을, 캐소드 전극층(12)의 경우와 같이, 유리 기관(11)을 200 °C로 가열하면서 DC 스퍼터링에 의해 300 nm의 막 두께로 형성했다.
- [0042] 그 다음에, 도 2b에 나타난 바와 같이, 포토리소그래피법을 이용하여, 게이트 전극층(15) 상에, 약 1 μm의 두께로 레지스트 패턴(17)을 형성하고, 도 2c에 나타난 바와 같이, 식각에 의해 게이트홀 개구부(16)를 형성했다. 이 경우, 레지스트재로서 전자빔 노광 장치용의 것을 이용하고 황산 세척 암모늄 용액을 사용한 습식 식각에 의해 19개의 정방형 개구(16a)를 격자모양으로 형성했다. 또한, 각 개구(16a)의 한 변을 약 1 μm, 각 개구 상호간의 간격을 약 1 μm로 제작하고, 과식각에 의해 한 변 약 1.2 μm, 각 개구 상호간의 간격 0.8 μm가 되었다.
- [0043] 그 다음에, 도 2d에 나타난 바와 같이, 게이트홀 개구부(16)의 각 개구(16a)를 이용하여, 예컨대로서 불산을 사용하고 각 개구(16a)가 절연층(14)의 홀(14a) 바로 위에 밀집하도록 절연층(14)을 습식 식각하여, 1 개의 단면이 대략 원형인 홀(14a)을 형성한 후, 레지스트 패턴(17)을 제거했다. 이 경우, 홀(14a)의 개구 상부의 직경은 약 16 μm로 했다. 그 다음에, 도 2e에 나타난 바와 같이, 게이트홀 개구부(16)의 각 개구(16a)를 통해서, 촉매층(13) 상에, 공지의 방법으로 카본·나노튜브(C)를 성장시키어 에미터(E)를 마련하고, 캐소드 기관(1)을 얻었다.
- [0044] (비교예 1)
- [0045] 비교예로서 도 3에 나타난 바와 같이, 상기 실시예 1과 같은 조건으로 유리 기관(11) 상에, 캐소드 전극층(12), 촉매층, 절연층(14) 및 게이트 전극층(15)을 형성했다. 그 다음에, 상기 실시예 1과 같은 방법으로, 직경이 10 μm인 한 개의 게이트홀 개구부(20)를 형성한 후, 절연층(14)을 식각하여 개구 상부의 직경이 약 16 μm인 홀(14a)을 형성했다. 그 다음에, 촉매층 상에, 공지의 방법으로 카본·나노튜브를 성장시키어 에미터(E)를 마련하고, 캐소드 기관(10)을 얻었다.
- [0046] 도 4a 및 도 4b는, 실시예 1 기재의 상기 순서로 제작한 캐소드 기관(1)의 평면 및 단면에 대한 SEM 사진들이다. 이것에 의하면, 절연층(14) 상에, 상기 개구 면적 및 간격으로 게이트홀 개구부(16)를 구성하는 각 개구(16a)가 형성되어 있는 것을 알 수 있다(도 4a 참조). 또한, 각 개구(16a)를 통해서 카본·나노튜브를 성장시킬 수 있는 것을 알 수 있다(도 4b 참조).
- [0047] 이 경우, 비교예 1의 것에서는 전자를 방출시키는데 필요한 구동 전압이 약 60 V 이었지만, 실시예 1의 것은 약 20 V로, 구동 전력을 낮게 억제할 수 있었다. 도 5a 및 도 5b는 각각 실시예 1과 비교예 1의 구조에 대해, 애노드 형광체에 비춘 한 화소의 확대 사진으로, 도 5a는 실시예 1이고, 도 5b는 비교예 1이다. 이것에 의하면, 전자의 확산에 대해서도, 실시예 1의 것은 비교예 1의 것과 비교하여 약 반으로 억제할 수 있었다는 것을 알 수

있다.

[0048] (실시예 2)

[0049] 본 실시예 2에서는, 상기 실시예 1과 비교하여, 촉매층(13)을, 절연층(14)에서 홀(14a)의 식각 후에, RF 스퍼터법에 따라 홀(14a)의 저부에 형성한 점이 다르다. 이 경우, 도 6a 내지 도 6f를 참조하여 설명하면, 상기 실시예 1과 같은 방법으로, 캐소드 전극층(모선, 12)을 마련한 유리 기판(11) 상에 절연층(14) 및 게이트 전극층(15)을 차례로 형성한다(도 6a 참조).

[0050] 그 다음에, 포토리소그래피법으로, 소정의 레지스터 패턴(17)을 게이트 전극층(15) 상에 전사하고(도 6b 참조), 건식 식각에 의해 게이트홀 개구부(16)의 각 개구(16a)를 형성한다(도 6c 참조). 그 다음에, 상기와 같이, 절연층(14)을 습식 식각하여 한 개의 홀(14a)을 형성하고(도 6d 참조), 홀(14a)의 저부에 카본계 에미터 재료 성장용의 촉매층(13)을 RF 스퍼터법에 의해 성막한다(도 6e 참조). 그 다음에, 레지스터 패턴(16) 및 그 위에 부착한 촉매층(13)을 제거하고, 홀(14a)의 저부에 남은 촉매층(13) 상에 카본계 재료를 성장시키어 에미터(E)를 구성한다.

[0051] 이 실시예 2 기재의 순서로 캐소드 기판(1)을 제작해도, 절연층(14) 상에 소정 개구 면적 및 간격으로 형성한 게이트홀 개구부(16)의 각 개구(16a)를 통해서, 촉매층을 마련하여 카본·나노튜브를 성장시킬 수 있었다. 이 경우, 상기 실시예 1 과 같이, 전자를 방출시키는데 필요한 구동 전압을 낮게 억제할 수 있고, 전자의 확산도 억제할 수 있었다.

발명의 효과

[0052] 이상 설명한 것처럼, 본 발명의 캐소드 기판은 에미터로부터 방출되는 전자가 확산하는 것을 방지하여 전하 주입 효율이 좋고, 더욱이 각 캐소드 기판 상호간의 전하 주입 효율이 차이 나기 어려운 효과를 갖는다.

도면의 간단한 설명

[0001] 도 1은 본 발명의 FED용 캐소드 기판을 개략적으로 설명하는 사시도이다.

[0002] 도 2a 내지 도 2e는 본 발명의 FED용 캐소드 기판의 제작 순서를 설명하는 도면이다.

[0003] 도 3은 종래 기술에 따른 FED용 캐소드 기판을 설명하는 도면이다.

[0004] 도 4a 및 도 4b는 본 발명의 방법으로 제작한 FED용 캐소드 기판의 SEM 사진들이다.

[0005] 도 5a 및 도 5b는 실시예 1과 비교예 1의 기판을 사용하여 애노드 형광체 기판에 비춘 때의 일화소의 확대 사진들이다.

[0006] 도 6a 내지 도 6f는 본 발명의 FED용 캐소드 기판의 다른 제작 순서를 설명하는 도면들이다.

[0007] <도면 부호의 설명>

[0008] 1: 캐소드 기판, 11: 유리 기판,

[0009] 12: 캐소드 전극층, 13 촉매층,

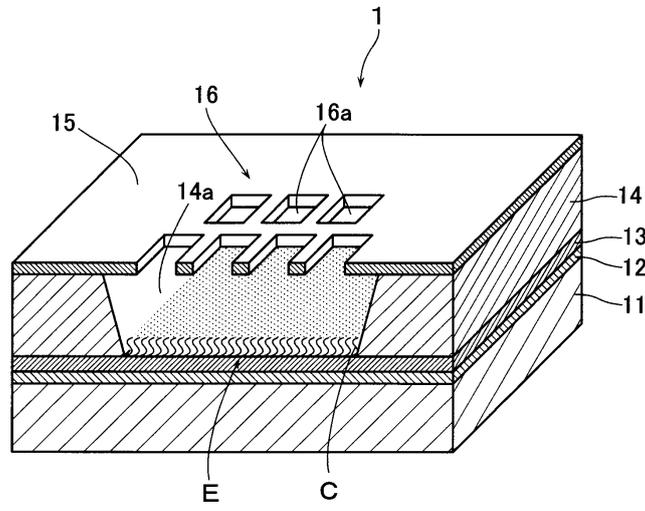
[0010] 14: 절연층, 14a: 홀,

[0011] 15: 게이트 전극층, 16: 게이트홀 개구부,

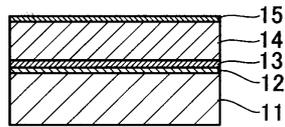
[0012] 16a: 개구

도면

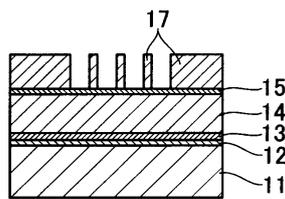
도면1



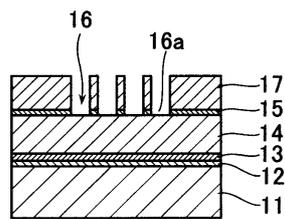
도면2a



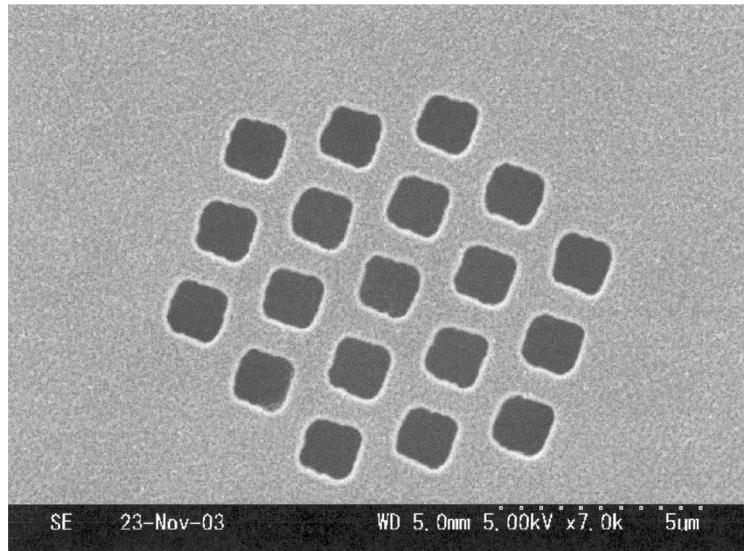
도면2b



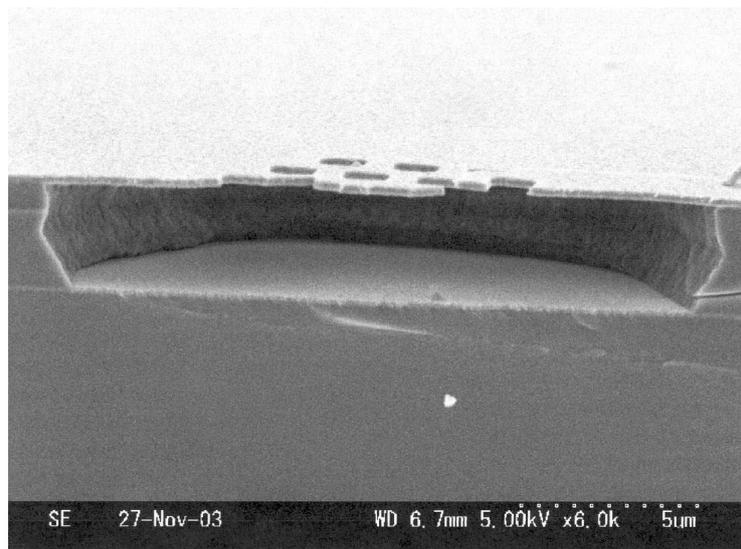
도면2c



도면4a



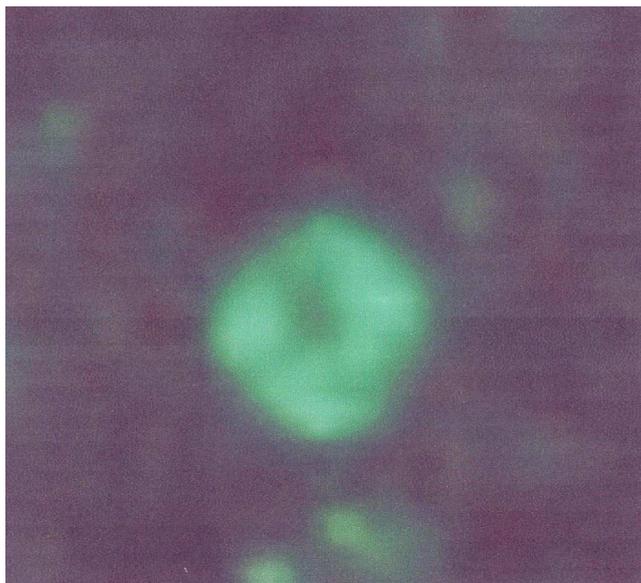
도면4b



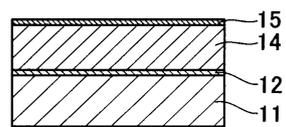
도면5a



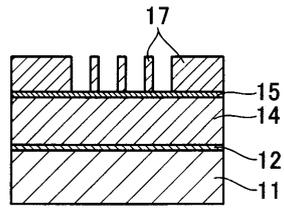
도면5b



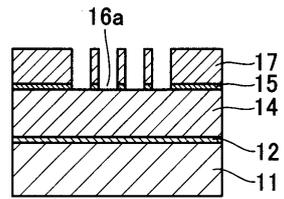
도면6a



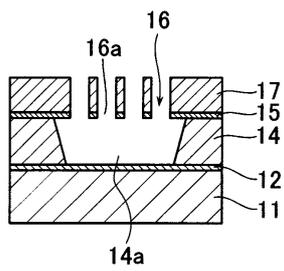
도면6b



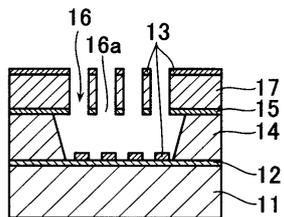
도면6c



도면6d



도면6e



도면6f

