



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년03월10일
(11) 등록번호 10-2508552
(24) 등록일자 2023년03월06일

(51) 국제특허분류(Int. Cl.)
H01L 23/48 (2006.01) H01L 23/00 (2006.01)
H01L 23/31 (2006.01) H01L 23/485 (2006.01)
H01L 23/488 (2006.01) H01L 23/498 (2006.01)
H01L 25/065 (2023.01)
(52) CPC특허분류
H01L 23/481 (2013.01)
H01L 23/315 (2013.01)
(21) 출원번호 10-2018-0050263
(22) 출원일자 2018년04월30일
심사청구일자 2021년03월17일
(65) 공개번호 10-2019-0125886
(43) 공개일자 2019년11월07일
(56) 선행기술조사문헌
US09177832 B2*
JP2003516637 A*
KR1020080114030 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
엄주일
경기도 구리시 동구릉로238번길 20 103동 702호
최복규
경기도 용인시 기흥구 서그내로16번길 30 영통로
효성해링턴플레이스 101동 202호
(74) 대리인
특허법인아주

전체 청구항 수 : 총 3 항

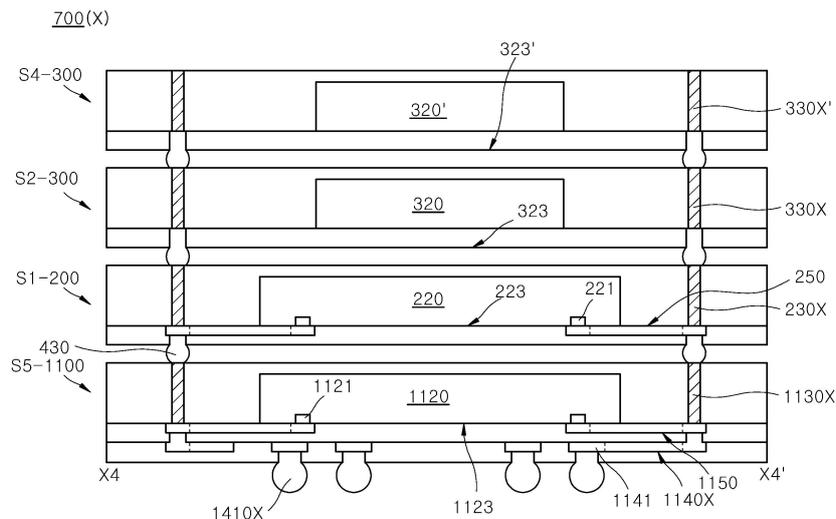
심사관 : 정구원

(54) 발명의 명칭 **쓰루 몰드 비아를 포함하는 스택 패키지**

(57) 요약

제1서브 패키지(sub package) 상에 제2서브 패키지가 스택된 스택 패키지를 제시한다. 제1서브 패키지는 제1반도체 칩에 X축 방향으로 이격된 접속용 제1쓰루 몰드 비아(TMV), 제1반도체 칩에 Y축 방향으로 이격된 바이패스(bypass)용 제1쓰루 몰드 비아, 및 제1반도체 칩과 접속용 제1쓰루 몰드 비아를 연결하는 재배선 패턴을 포함한다. 제2서브 패키지는 제2반도체 칩에 Y축 방향으로 이격된 접속용 제2쓰루 몰드 비아, 및 제2반도체 칩과 접속용 제2쓰루 몰드 비아를 연결하는 다른 재배선 패턴을 포함한다. 제2쓰루 몰드 비아가 제1바이패스용 제1쓰루 몰드 비아에 접속되도록 제2서브 패키지는 제1서브 패키지 상에 스택(stack)된다.

대표도



(52) CPC특허분류

H01L 23/485 (2013.01)

H01L 23/488 (2013.01)

H01L 23/49838 (2013.01)

H01L 24/12 (2013.01)

H01L 25/0657 (2023.02)

(72) 발명자

이재훈

경기도 이천시 대산로288번길 89 고담기숙사 105동
704호

박진우

경기도 이천시 영창로45번길 140-39 아리숲빌리지

명세서

청구범위

청구항 1

제1반도체 칩에 X축 방향으로 이격된 접속용 제1쓰루 몰드 비아(TMV),
 상기 제1반도체 칩에 Y축 방향으로 이격된 바이패스(bypass)용 제1쓰루 몰드 비아,
 상기 제1반도체 칩을 제1외측 커넥터(connector)에 접속시키는 제2재배선 패턴, 및
 상기 바이패스용 제1쓰루 몰드 비아를 제2외측 커넥터에 연결시키는 제3재배선 패턴을 포함하는 제1서브 패키지(sub package);
 상기 제1서브 패키지에 스택(stack)되고,
 제2반도체 칩에 Y축 방향으로 이격되고 상기 바이패스용 제1쓰루 몰드 비아에 접속되는 바이패스용 제2쓰루 몰드 비아, 및
 상기 제2반도체 칩을 상기 접속용 제1쓰루 몰드 비아에 접속시키는 제4재배선 패턴을 포함하는 제2서브 패키지; 및
 상기 제2서브 패키지에 스택되고,
 제3반도체 칩, 및
 상기 제3반도체 칩을 상기 바이패스용 제2쓰루 몰드 비아에 접속시키는 제5재배선 패턴을 포함하는 제3서브 패키지;를 포함하고,
 상기 바이패스용 제2쓰루 몰드 비아는 상기 제2반도체 칩에 전기적으로 격리되고,
 상기 바이패스용 제1쓰루 몰드 비아는 상기 제1반도체 칩 및 상기 제2반도체 칩과 전기적으로 연결되지 않고 전기적으로 격리(electrically isolation)되면서, 상기 바이패스용 제2쓰루 몰드 비아 및 상기 제5재배선 패턴을 통해서 상기 제3반도체 칩에 전기적으로 접속된 스택 패키지.

청구항 2

◆청구항 2은(는) 설정등록료 납부시 포기되었습니다.◆

제1항에 있어서,

상기 제1서브 패키지는

상기 제1반도체 칩과 상기 제2재배선 패턴 사이에서,

상기 접속용 제1쓰루 몰드 비아와 상기 제1반도체 칩을 연결하고 상기 제2재배선 패턴에 상기 접속용 제1쓰루 몰드 비아를 연결시키는 제1재배선 패턴을 더 포함하는 스택 패키지.

청구항 3

◆청구항 3은(는) 설정등록료 납부시 포기되었습니다.◆

제2항에 있어서,

상기 제1서브 패키지는

상기 제1반도체 칩의 측면들을 적어도 덮는 제1몰드층(molding layer)을 더 포함하고,

상기 제1재배선 패턴은 상기 제1몰드층의 제1표면으로부터 상기 제1반도체 칩의 표면으로 연장된 스택 패키지.

청구항 4

◆청구항 4은(는) 설정등록료 납부시 포기되었습니다.◆

제3항에 있어서,
상기 제2재배선 패턴은
상기 제1재배선 패턴 상측에 일부 부분 중첩(overlap)되고,
상기 제2재배선 패턴과 다른 층 레벨(level)에 위치하는 스택 패키지.

청구항 5

◆청구항 5은(는) 설정등록료 납부시 포기되었습니다.◆

제3항에 있어서,
상기 접속용 및 바이패스용 제1쓰루 몰드 비아들은
상기 제1몰드층의 상기 제1표면으로부터 반대되는 제2표면에까지 이르도록 상기 제1몰드층을 실질적으로 관통하는 스택 패키지.

청구항 6

◆청구항 6은(는) 설정등록료 납부시 포기되었습니다.◆

제1항에 있어서,
상기 제3재배선 패턴은
상기 접속용 제1쓰루 몰드 비아 및 상기 제1반도체 칩과 이격되고 전기적으로 격리된 스택 패키지.

청구항 7

삭제

청구항 8

◆청구항 8은(는) 설정등록료 납부시 포기되었습니다.◆

제1항에 있어서,
상기 제2서브 패키지는
제2반도체 칩에 X축 방향으로 이격되고 상기 접속용 제1쓰루 몰드 비아에 접속되는 접속용 제2쓰루 몰드 비아를 더 포함하고,
상기 제4재배선 패턴은
상기 제2반도체 칩을 상기 접속용 제2쓰루 몰드 비아에 연결시키도록 연장된 스택 패키지.

청구항 9

◆청구항 9은(는) 설정등록료 납부시 포기되었습니다.◆

제8항에 있어서,
상기 제3서브 패키지는
상기 제3반도체 칩에 X축 방향으로 이격되고 상기 접속용 제2쓰루 몰드 비아에 접속되는 바이패스용 제3쓰루 몰드 비아를 더 포함하는 스택 패키지.

청구항 10

◆청구항 10은(는) 설정등록료 납부시 포기되었습니다.◆

제9항에 있어서,
상기 제3서브 패키지는

상기 제3반도체 칩에 Y축 방향으로 이격되고 상기 바이패스용 제2쓰루 몰드 비아에 접속되는 접속용 제3쓰루 몰드 비아를 더 포함하고,

상기 제5재배선 패턴은

상기 제3반도체 칩과 상기 접속용 제3쓰루 몰드 비아를 연결하는 스택 패키지.

청구항 11

◆청구항 11은(는) 설정등록료 납부시 포기되었습니다.◆

제10항에 있어서,

상기 제3서브 패키지에 스택되고,

제4반도체 칩에 X축 방향으로 이격되고 상기 바이패스용 제3쓰루 몰드 비아에 접속되는 바이패스용 제4쓰루 몰드 비아;

상기 제4반도체 칩에 Y축 방향으로 이격되고 상기 접속용 제3쓰루 몰드 비아에 접속되는 접속용 제4쓰루 몰드 비아; 및

상기 제4반도체 칩과 상기 접속용 제4쓰루 몰드 비아를 연결하는 제6재배선 패턴을 포함하는 제4서브 패키지;를 더 포함하는 스택 패키지.

청구항 12

◆청구항 12은(는) 설정등록료 납부시 포기되었습니다.◆

제1항에 있어서,

상기 제4재배선 패턴은

상기 X축 방향을 따라 연장된 패턴을 포함하고,

상기 제5재배선 패턴은

상기 Y축 방향을 따라 연장된 패턴을 포함하는 스택 패키지.

청구항 13

◆청구항 13은(는) 설정등록료 납부시 포기되었습니다.◆

제1항에 있어서,

상기 제1반도체 칩과 상기 제3반도체 칩은

X-Y 평면 상에서 90도 각도로 교차되도록 스택되는 스택 패키지.

청구항 14

◆청구항 14은(는) 설정등록료 납부시 포기되었습니다.◆

제1항에 있어서,

상기 바이패스용 제1쓰루 몰드 비아와 상기 바이패스용 제2쓰루 몰드 비아는

범프(bump)를 포함하는 내측 커넥터에 의해 상호 접속된 스택 패키지.

청구항 15

제1반도체 칩;

상기 제1반도체 칩에 Y축 방향으로 이격된 바이패스(bypass)용 제1쓰루 몰드 비아,

상기 제1반도체 칩을 제1외측 커넥터(connector)에 접속시키는 제2재배선 패턴, 및

상기 바이패스용 제1쓰루 몰드 비아를 제2외측 커넥터에 연결시키는 제3재배선 패턴을 포함하는 제1서브 패키지

(sub package); 및

상기 제1서브 패키지 상에 스택(stack)되고,

제3반도체 칩, 및

상기 제3반도체 칩을 상기 바이패스용 제1쓰루 몰드 비아에 접속시키는 제5재배선 패턴을 포함하는 제3서브 패키지;를 포함하고,

상기 바이패스용 제1쓰루 몰드 비아는 상기 제1반도체 칩과 전기적으로 연결되지 않고 전기적으로 격리(electrically isolation)되면서, 상기 제5재배선 패턴을 통해서 상기 제3반도체 칩에 전기적으로 접속된 스택 패키지.

청구항 16

◆청구항 16은(는) 설정등록료 납부시 포기되었습니다.◆

제15항에 있어서,

상기 제1서브 패키지는

상기 제1반도체 칩에 X축 방향으로 이격된 접속용 제1쓰루 몰드 비아(TMV)를 더 포함하는 스택 패키지.

청구항 17

◆청구항 17은(는) 설정등록료 납부시 포기되었습니다.◆

제16항에 있어서,

상기 제1서브 패키지는

상기 제1반도체 칩과 상기 제2재배선 패턴 사이에서,

상기 접속용 제1쓰루 몰드 비아와 상기 제1반도체 칩을 연결하고 상기 제2재배선 패턴에 상기 접속용 제1쓰루 몰드 비아를 연결시키는 제1재배선 패턴을 더 포함하는 스택 패키지.

청구항 18

◆청구항 18은(는) 설정등록료 납부시 포기되었습니다.◆

제17항에 있어서,

상기 제1서브 패키지는

상기 제1반도체 칩의 측면들을 적어도 덮는 제1몰드층(molding layer)을 더 포함하고,

상기 제1재배선 패턴은 상기 제1몰드층의 제1표면으로부터 상기 제1반도체 칩의 표면으로 연장된 스택 패키지.

청구항 19

◆청구항 19은(는) 설정등록료 납부시 포기되었습니다.◆

제18항에 있어서,

상기 접속용 및 바이패스용 제1쓰루 몰드 비아들은

상기 제1몰드층의 상기 제1표면으로부터 반대되는 제2표면에까지 이르도록 상기 제1몰드층을 실질적으로 관통하는 스택 패키지.

청구항 20

제1반도체 칩에 X축 방향으로 이격된 접속용 제1쓰루 몰드 비아(TMV),

상기 제1반도체 칩에 Y축 방향으로 이격된 바이패스(bypass)용 제1쓰루 몰드 비아, 및

상기 제1반도체 칩과 상기 접속용 제1쓰루 몰드 비아를 연결하는 제1재배선 패턴을 포함하는 제1서브 패키지

(sub package); 및

제3반도체 칩에 Y축 방향으로 이격된 접속용 제3쓰루 몰드 비아, 및

상기 제3반도체 칩과 상기 접속용 제3쓰루 몰드 비아를 연결하는 제5재배선 패턴을 포함하는 제3서브 패키지; 를 포함하고,

상기 접속용 제3쓰루 몰드 비아가 상기 바이패스용 제1쓰루 몰드 비아에 접속되도록 상기 제3서브 패키지는 상 기 제1서브 패키지 상에 스택(stack)되고,

상기 바이패스용 제1쓰루 몰드 비아는 상기 제1반도체 칩과 전기적으로 연결되지 않고 전기적으로 격리 (electrically isolation)되면서, 상기 제5재배선 패턴을 통해서 상기 제3반도체 칩에 전기적으로 접속된 스택 패키지.

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

발명의 설명

기술 분야

[0001] 본 출원은 반도체 패키지 기술에 관한 것으로, 특히, 쓰루 몰드 비아(TMV: Through Mold Via) 구조를 포함하는 스택 패키지에 관한 것이다.

배경 기술

[0002] 현재의 반도체 패키지는 고밀도(high density) 및 고속 동작(high speed)을 구현하도록 요구되고 있다. 이러한 요구에 부합하기 위해서, 반도체 패키지에 복수의 채널(channel)들을 구비하여 밴드 대역폭(band width)을 증가시키고자 하는 시도들이 이루어지고 있다. 또한, 반도체 패키지는 보다 작은 폼 팩터(form factor)의 구조를 가지도록 요구되고 있다. 반도체 칩(chip)들을 수직하게 스택(stack)하여 고용량의 패키지 구조를 구현하고자 하는 시도들이 이루어지고 있다.

발명의 내용

해결하려는 과제

[0003] 본 출원은 쓰루 몰드 비아(TMV) 구조를 포함하는 스택 패키지 구조를 제시하고자 한다.

과제의 해결 수단

[0004] 본 출원의 일 관점은, 제1반도체 칩에 X축 방향으로 이격된 접속용 제1쓰루 몰드 비아(TMV), 상기 제1반도체 칩에 Y축 방향으로 이격된 바이패스(bypass)용 제1쓰루 몰드 비아, 상기 제1반도체 칩을 제1외측 커넥터(connector)에 접속시키는 제2재배선 패턴, 및 상기 바이패스용 제1쓰루 몰드 비아를 제2외측 커넥터에 연결시키는 제3재배선 패턴을 포함하는 제1서브 패키지(sub package)와, 상기 제1서브 패키지에 스택(stack)되고, 제2반도체 칩에 Y축 방향으로 이격되고 상기 바이패스용 제1쓰루 몰드 비아에 접속되는 바이패스용 제2쓰루 몰드 비아, 및 상기 제2반도체 칩을 상기 접속용 제1쓰루 몰드 비아에 접속시키는 제4재배선 패턴을 포함하는 제2서브 패키지, 및 상기 제2서브 패키지에 스택되고, 제3반도체 칩, 및 상기 제3반도체 칩을 상기 바이패스용 제2쓰루 몰드 비아에 접속시키는 제5재배선 패턴을 포함하는 제3서브 패키지를 포함하는 스택 패키지를 제시한다.

[0005] 본 출원의 일 관점은, 제1반도체 칩, 상기 제1반도체 칩에 Y축 방향으로 이격된 바이패스(bypass)용 제1쓰루 몰드 비아, 상기 제1반도체 칩을 제1외측 커넥터(connector)에 접속시키는 제2재배선 패턴, 및 상기 바이패스용 제1쓰루 몰드 비아를 제2외측 커넥터에 연결시키는 제3재배선 패턴을 포함하는 제1서브 패키지(sub package)와, 상기 제1서브 패키지 상에 스택(stack)되고, 제3반도체 칩, 및 상기 제3반도체 칩을 상기 바이패스용 제1쓰루 몰드 비아에 접속시키는 제5재배선 패턴을 포함하는 제3서브 패키지를 포함하는 스택 패키지를 제시한다.

[0006] 본 출원의 일 관점은, 제1반도체 칩에 X축 방향으로 이격된 접속용 제1쓰루 몰드 비아(TMV), 상기 제1반도체 칩에 Y축 방향으로 이격된 바이패스(bypass)용 제1쓰루 몰드 비아, 및 상기 제1반도체 칩과 상기 접속용 제1쓰루 몰드 비아를 연결하는 제1재배선 패턴을 포함하는 제1서브 패키지(sub package), 및 제3반도체 칩에 Y축 방향으로 이격된 접속용 제3쓰루 몰드 비아, 및 상기 제3반도체 칩과 상기 접속용 제3쓰루 몰드 비아를 연결하는 제5재배선 패턴을 포함하는 제3서브 패키지;를 포함하고, 상기 제3쓰루 몰드 비아가 상기 제1바이패스용 제1쓰루 몰드 비아에 접속되도록 상기 제3서브 패키지는 상기 제1서브 패키지 상에 스택(stack)된 스택 패키지를 제시한다.

[0007] 본 출원의 일 관점은, 제1반도체 칩의 측면들을 덮는 제1몰드층(molding layer), 상기 제1반도체 칩에 X축 방향으로 이격된 접속용 제1쓰루 몰드 비아(TMV), 상기 제1반도체 칩에 Y축 방향으로 이격된 바이패스(bypass)용 제1쓰루 몰드 비아, 상기 몰드층의 제2표면 상으로부터 상기 제1반도체 칩의 표면 상으로 연장되고, 상기 제1반도체 칩을 상기 접속용 제1쓰루 몰드 비아에 연결시키는 제1재배선 패턴, 상기 몰드층의 상기 제2표면에 반대되는 제1표면 상에 위치하고, 상기 접속용 제1쓰루 몰드 비아를 제1외측 커넥터에 접속시키는 제2재배선 패턴, 및 상기 몰드층의 상기 제2표면에 반대되는 제1표면 상에 위치하고, 상기 바이패스용 제1쓰루 몰드 비아를 제2외측 커넥터에 접속시키는 제3재배선 패턴을 포함하는 제1서브 패키지(sub package)와, 상기 제1서브 패키지에 스택(stack)되고, 제2반도체 칩에 Y축 방향으로 이격되고 상기 바이패스용 제1쓰루 몰드 비아에 접속되는 바이패스용 제2쓰루 몰드 비아, 및 상기 제2반도체 칩을 상기 접속용 제1쓰루 몰드 비아에 접속시키는 제4재배선 패턴을 포함하는 제2서브 패키지, 및 상기 제2서브 패키지에 스택되고, 제3반도체 칩, 및 상기 제3반도체 칩을 상기 바이패스용 제2쓰루 몰드 비아에 접속시키는 제5재배선 패턴을 포함하는 제3서브 패키지;를 포함하는 스택 패키지를 제시한다.

발명의 효과

[0008] 본 출원의 실시예들에 따르면, 쓰루 몰드 비아(TMV) 구조를 포함하는 스택 패키지 구조를 제시할 수 있다.

도면의 간단한 설명

- [0009] 도 1 내지 도 5는 일 예에 따른 제1서브 패키지(sub package)의 구조를 보여주는 도면들이다.
- 도 6 내지 도 9는 일 예에 따른 제2서브 패키지의 구조를 보여주는 도면들이다.
- 도 10 내지 도 13은 일 예에 따른 제3서브 패키지의 구조를 보여주는 도면들이다.
- 도 14 및 도 15는 일 예에 따른 스택 패키지의 단면 구조를 보여주는 도면들이다.
- 도 16 및 도 17은 일 예에 따른 스택 패키지의 단면 구조를 보여주는 도면들이다.
- 도 18 내지 도 21은 다른 일 예에 따른 제1서브 패키지(1100)의 구조를 보여주는 도면들이다.
- 도 22 및 도 23은 일 예에 따른 스택 패키지의 단면 구조를 보여주는 도면들이다.
- 도 24 및 도 25는 일 예에 따른 스택 패키지의 단면 구조를 보여주는 도면들이다.

발명을 실시하기 위한 구체적인 내용

- [0010] 본 출원의 예의 기재에서 사용하는 용어들은 제시된 실시예에서의 기능을 고려하여 선택된 용어들로서, 그 용어의 의미는 기술 분야에서의 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 사용된 용어의 의미는 본 명세서에 구체적으로 정의된 경우 정의된 정의에 따르며, 구체적인 정의가 없는 경우 당업자들이 일반적으로 인식하는 의미로 해석될 수 있다. 본 출원의 예의 기재에서 "제1" 및 "제2", "상부(top)" 및 "하부(bottom or lower)"와 같은 기재는 부재를 구분하기 위한 것이며, 부재 자체를 한정하거나 특정한 순서를 의미하는 것으로 사용된 것은 아니다.
- [0011] 반도체 패키지는 반도체 다이 또는 반도체 칩과 같은 전자 소자들을 포함할 수 있으며, 반도체 다이 또는 칩은 전자 회로가 집적된 반도체 기판이 다이(die) 또는 칩 형태로 절단 가공된 형태를 포함할 수 있다. 반도체 칩은 DRAM이나 SRAM, NAND FLASH, NOR FLASH, MRAM, ReRAM, FeRAM 또는 PcrAM과 같은 메모리(memory) 집적회로가 집적된 메모리 칩이나, 또는 반도체 기판에 논리 회로가 집적된 로직(logic) 다이나 에이직(ASIC) 칩을 의미할 수 있다. 반도체 패키지는 휴대 단말기와 같은 정보통신 기기나, 바이오(bio)나 헬스케어(health care) 관련 전자 기기들, 인간에 착용 가능한(wearable) 전자 기기들에 적용될 수 있다.
- [0012] 명세서 전문에 걸쳐 동일한 참조 부호는 동일한 구성 요소를 지칭할 수 있다. 동일한 참조 부호 또는 유사한 참조 부호들은 해당 도면에서 언급 또는 설명되지 않았더라도, 다른 도면을 참조하여 설명될 수 있다. 또한, 참조 부호가 표시되지 않았더라도, 다른 도면들을 참조하여 설명될 수 있다.
- [0013] 도 1은 일 예에 따른 제1서브 패키지(100)의 X축 방향으로의 단면 구조(100(X))를 보여준다. 도 2는 도 1의 제1서브 패키지(100)의 Y축 방향으로의 단면 구조(100(Y))를 보여준다. 도 3은 도 1의 제1서브 패키지(100)의 제1몰드층(mold layer: 110)의 제1표면(111)에서 바라본 평면 구조(100(111))를 보여준다. 도 4는 도 1의 제1서브 패키지(100)의 제1몰드층(110)의 제2표면(112)에서 바라본 평면 구조(100(112))를 보여준다. 도 5는 도 1의 제1서브 패키지(100)의 제1쓰루 몰드 비아(130)들이 배치된 평면 구조(100(Z))를 보여준다. 도 1은 도 3의 X축 방향으로의 X1-X1' 절단선을 따르는 단면 구조(100(X))를 보여주고, 도 2는 도 3의 Y축 방향으로의 Y1-Y1' 절단선을 따르는 단면 구조(100(Y))를 보여준다. 도 5는 도 1의 Z-Z' 절단선을 따르는 평면의 평면 구조(100(Z))를 보여준다.
- [0014] 도 1을 참조하면, 제1서브 패키지(100)는 제1몰드층(110)에 에워싸인 제1반도체 칩(120)을 포함한 패키지 구조로 형성된다. 제1서브 패키지(100)는 제1몰드층(110)을 실질적으로 관통하는 제1쓰루 몰드 비아(130)들을 포함한다. 제1쓰루 몰드 비아(130)들은 제1몰드층(110)의 제1표면(111)로부터 제2표면(112)에 이르기까지 연장되는 도전 비아로 구비될 수 있다. 제1몰드층(110)의 제1표면(111)과 제2표면(112)은 서로 마주보는 표면들일 수 있다. 제1몰드층(110)의 제1표면(111)은 하면(bottom surface)일 수 있고, 제2표면(112)은 하면에 반대되는 상면(top surface)일 수 있다. 제1몰드층(110)의 측면(113)은 제1표면(111)과 제2표면(112)을 이어주는 표면일 수 있다. 제1몰드층(110)의 측면(113)은 제1서브 패키지(100)의 측면의 일부를 이루도록 외부로 노출될 수 있다.
- [0015] 제1몰드층(110)은 제1반도체 칩(120)을 봉지하여, 제1반도체 칩(120)을 외부 환경으로부터 보호하는 층이다. 제1몰드층(110)은 다양한 봉지 물질(encapsulant material)로 형성될 수 있다. 제1몰드층(110)은 에폭시 몰드 화합물(EMC: Epoxy Molding Compound)를 포함하여 형성될 수 있다. 제1몰드층(110)은 EMC를 사용한 몰딩(molding) 과정으로 그 형상이 이루어진다.
- [0016] 제1몰드층(110)은 제1반도체 칩(120)의 제1표면(123)을 드러내 노출(reveal)하고, 제1반도체 칩(120)의 측면(125)을 덮도록 형성된다. 제1몰드층(110)은 제1반도체 칩(120)의 제2표면(124)을 덮도록 연장될 수 있다. 제1몰드층(110)의 제1표면(111)에 제1반도체 칩(120)의 제2표면(124)이 마주보도록, 제1반도체 칩(120)이 위치할 수 있다. 제1반도체 칩(120)의 제1표면(123)은 제1몰드층(110)의 제2표면(112)에 대해 드러나 노출될 수 있다. 제1반도체 칩(120)의 제1표면(123)은 제1몰드층(110)의 제2표면(112)과 하나의 평면을 이룰 수(coplanar) 있다. 제1반도체 칩(120)의 제1표면(123)에 접속 단자로서 제1칩 패드(chip pad: 121)들이 구비될 수 있다. 제1칩 패드(121)들은 제1반도체 칩(120) 내부에 집적된 집적회로 소자를 외부 기기와 전기적으로 연결시키는 접속 단자이다.
- [0017] 도 1 및 도 5를 함께 참조하면, 제1쓰루 몰드 비아(TMV: 130)들은 제1반도체 칩(120) 주위에 배치된다. 제1쓰루 몰드 비아(TMV: 130)들은 배치된 위치에 따라 두 부류로 구분될 수 있다. 제1쓰루 몰드 비아(TMV: 130)들은 접속용 제1쓰루 몰드 비아(130X)들과, 바이패스(bypass)용 제1쓰루 몰드 비아(130Y)들로 구분될 수 있다.
- [0018] 접속용 제1쓰루 몰드 비아(130X)들은 제1반도체 칩(120)과 X축 방향으로 이격된 위치에 위치한다. 접속용 제1쓰루

루 몰드 비아(130X)들은 제1반도체 칩(120)의 X축 방향으로 향하는 제1측면(125X)에 대면하도록 배치된다. 접속용 제1쓰루 몰드 비아(130X)들은 Y축 방향을 따라 열을 이루며 배치된다. 접속용 제1쓰루 몰드 비아(130X)들은 제1몰드층(110)에 내장된 제1반도체 칩(120)과 전기적으로 연결 또는 접속될 제1쓰루 몰드 비아(130)들이다.

[0019] 도 5와 함께 도 2를 참조하면, 바이패스(bypass)용 제1쓰루 몰드 비아(130Y)는 제1반도체 칩(120)과 Y축 방향으로 이격된 위치에 위치한다. 바이패스용 제1쓰루 몰드 비아(130Y)들은 제1반도체 칩(120)의 Y축 방향으로 향하는 제2측면(125Y)에 대면하도록 배치된다. 바이패스용 제1쓰루 몰드 비아(130Y)들은 X축 방향을 따라 열을 이루며 배치된다. 바이패스용 제1쓰루 몰드 비아(130Y)들은 제1몰드층(110)에 내장된 제1반도체 칩(120)과 전기적으로 연결되지 않을 제1쓰루 몰드 비아(130)들이다. 바이패스용 제1쓰루 몰드 비아(130Y)들은 접속용 제1쓰루 몰드 비아(130X)들과 그 형상은 실질적으로 동일하게 형성된다. 그렇지만, 바이패스용 제1쓰루 몰드 비아(130Y)들은 제1반도체 칩(120)과 전기적으로 연결되지 않고 단절된다. 이에 따라, 바이패스용 제1쓰루 몰드 비아(130Y)는 접속용 제1쓰루 몰드 비아(130X)들과 구분된다.

[0020] 도 1 및 도 4를 함께 참조하면, 제1서브 패키지(100)는 제1재배선 패턴(RDL: Re-Distribution layer: 150)를 포함한다. 제1재배선 패턴(150)은 제1반도체 칩(120)의 제1표면(123)으로부터 제1몰드층(110)의 제2표면(112)에 걸쳐 연장된 도전 패턴들을 포함한다. 제1재배선 패턴(150)은 제1연장 패턴(155)과, 제1연장 패턴(155)의 양 단부들에 각각 연결되는 제1 및 제2접속 패턴들(151, 153)을 포함한다.

[0021] 제1연장 패턴(155)은 제1반도체 칩(120)의 제1표면(123)으로부터 제1몰드층(110)의 제2표면(112)에 걸쳐 연장된다. 제1접속 패턴(151)은 제1칩 패드(121)에 접속 연결된다. 제1접속 패턴(151)은 제1칩 패드(121)에 중첩된 패턴으로 형성된다. 제2접속 패턴(153)은 접속용 제1쓰루 몰드 비아(130X)에 접속된다. 제2접속 패턴(153)은 접속용 제1쓰루 몰드 비아(130X)의 제1몰드층(110)의 제2표면(112)에 노출된 단부에 중첩된 패턴으로 형성된다.

[0022] 제1재배선 패턴(150)를 통해서, 제1반도체 칩(120)은 접속용 제1쓰루 몰드 비아(130X)와 전기적으로 연결된다. 반면에, 제1재배선 패턴(150)은 바이패스용 제1쓰루 몰드 비아(130Y)들과 제1반도체 칩(120)을 전기적으로 연결시키지 않는다. 도 2 및 도 4에 제시된 것과 같이, 바이패스용 제1쓰루 몰드 비아(130Y)들은 제1반도체 칩(120)과 전기적으로 격리된다.

[0023] 도 1 및 도 2를 참조하면, 제1서브 패키지(100)는 제1재배선 패턴(150)을 덮는 제1유전층(170)을 포함한다. 제1유전층(170)은 제1재배선 패턴(150)이 배치된 제1반도체 칩(120)의 제1표면(123) 및 제1몰드층(110)의 제2표면(112)을 덮도록 형성된다. 제1유전층(170)은 제1재배선 패턴(150)을 이루는 도전 패턴들을 전기적으로 격리하는 절연층으로 형성될 수 있다. 도 1에 도시된 것과 같이, 제1유전층(170)은 제1재배선 패턴(150)의 제2접속 패턴(153)을 노출하여 드러내는 제1오프닝홀(opening hole: 171)을 제공한다. 또한, 도 2에 도시된 것과 같이, 제1유전층(170)에 바이패스용 제1쓰루 몰드 비아(130Y)의 단부를 노출하여 드러내는 제2오프닝홀(173)이 형성된다.

[0024] 도 3을 참조하면, 제1서브 패키지(100)는 제1몰드층(110)의 제1표면(111) 상에 제2재배선 패턴(140X)를 구비한다. 또한, 제1서브 패키지(100)는 제1몰드층(110)의 제1표면(111) 상에 제3재배선 패턴(140Y)를 포함한다. 제2재배선 패턴(140X)와 제3재배선 패턴(140Y)은 서로 구분되는 영역들에 각각 도전 패턴들로 형성될 수 있다. 제2재배선 패턴(140X)은 제1몰드층(110)의 제1표면(111) 내의 제1영역(140G1)들에 형성될 수 있다. 제1영역(140G1)들은 X축 방향으로 서로 이격된 두 영역들일 수 있다. 제3재배선 패턴(140Y)는 제1몰드층(110)의 제1표면(111) 내의 제2영역(140G2)들에 형성될 수 있다. 제2영역(140G2)들은 Y축 방향으로 서로 이격된 두 영역들일 수 있다.

[0025] 도 3 및 도 1을 함께 참조하면, 제2재배선 패턴(140X)은 제1몰드층(110)의 제1표면(111) 상에서 연장된 도전 패턴들을 포함한다. 제2재배선 패턴(140X)는 제2연장 패턴(145)과, 제2연장 패턴(145)의 양 단부들에 각각 연결되는 제3 및 제4접속 패턴들(141, 143)을 포함한다. 제3접속 패턴(141)은 외부 기기와의 전기적 연결 또는 접속을 위해 준비되는 볼 랜딩 패턴(ball landing pattern)일 수 있다. 제4접속 패턴(143)은 접속용 제1쓰루 몰드 비아(130X)에 접속된다. 제4접속 패턴(143)은 접속용 제1쓰루 몰드 비아(130X)의 제1몰드층(110)의 제1표면(111)에 노출된 단부에 중첩된 패턴으로 형성된다.

[0026] 제4접속 패턴(143)은 제1반도체 칩(120) 바깥의 제1몰드층(110) 부분에 위치한다. 제3접속 패턴(141)은 제1반도체 칩(120)에 중첩된 위치에 위치하거나 또는 제1반도체 칩(120) 바깥의 제1몰드층(110) 부분에 위치할 수 있다. 제2연장 패턴(145)은 제3접속 패턴(141)과 제4접속 패턴(143)을 이어주도록 형성되므로, 제2연장 패턴(145)들 중 일부는 제1반도체 칩(120) 바깥의 제1몰드층(110) 부분으로부터 제1반도체 칩(120)에 중첩된 위치까지 연장될 수 있다. 이와 같이, 제2재배선 패턴(140X)의 제3접속 패턴(141)들 중 일부가 제1반도체 칩(120)

바깥의 제1몰드층(110) 부분에 위치하여, 제2재배선 패턴(140X)는 팬아웃(fan out) 배선 구조를 가질 수 있다.

- [0027] 도 3 및 도 2를 함께 참조하면, 제3재배선 패턴(140Y)은 제2재배선 패턴(140X)과 유사하게 형성될 수 있다. 제3재배선 패턴(140Y)은 제3연장 패턴(146)과, 제3연장 패턴(146)의 양 단부들에 각각 연결되는 제5 및 제6접속 패턴들(142, 144)을 포함한다. 제5접속 패턴(142)은 외부 기기와의 전기적 연결 또는 접속을 위해 준비되는 볼 랜딩 패턴일 수 있다. 제6접속 패턴(144)은 바이패스용 제1쓰루 몰드 비아(130Y)에 접속된다. 제6접속 패턴(144)은 바이패스용 제1쓰루 몰드 비아(130Y)의 제1몰드층(110)의 제1표면(111)에 노출된 단부에 증착된 패턴으로 형성된다. 제3재배선 패턴(140Y)의 제5접속 패턴(142)들 중 일부가 제1반도체 칩(120) 바깥의 제1몰드층(110) 부분에 위치할 수 있다. 따라서, 제3재배선 패턴(140Y) 또한 팬아웃 배선 구조를 가질 수 있다.
- [0028] 도 1 및 도 2를 참조하면, 제1서브 패키지(100)는 제2 및 제3재배선 패턴들(140X, 140Y)을 덮는 제2유전층(160)을 포함한다. 제2유전층(160)은 제2 및 제3재배선 패턴들(140X, 140Y)이 배치된 제1몰드층(110)의 제1표면(111)을 덮도록 형성된다. 제2유전층(160)은 제2 및 제3재배선 패턴들(140X, 140Y)을 이루는 도전 패턴들을 전기적으로 격리하는 절연층으로 형성될 수 있다. 도 1에 도시된 것과 같이, 제2유전층(160)은 제2재배선 패턴(140X)의 제3접속 패턴(141)을 노출하여 드러내는 제3오프닝홀(161)을 제공한다. 또한, 도 2에 도시된 것과 같이, 제2유전층(160)에 제5접속 패턴(142)을 노출하여 드러내는 제4오프닝홀(163)이 형성된다.
- [0029] 제3접속 패턴(141)과 제5접속 패턴(142)은 서로 다른 신호 전달 경로, 또는 채널(channel)을 제1서브 패키지(100)에 제공한다. 제3접속 패턴(141)에 인가되는 신호는 제2재배선 패턴(140X), 접속용 제1쓰루 몰드 비아(130X), 제1재배선 패턴(150)을 거쳐 제1반도체 칩(120)에 전달된다. 반면에, 제5접속 패턴(142)에 인가되는 신호는 제3재배선 패턴(140Y), 바이패스용 제1쓰루 몰드 비아(130Y)를 거쳐, 바이패스용 제1쓰루 몰드 비아(130Y)에 접속될 또 다른 반도체 칩에 전달된다.
- [0030] 도 6은 일 예에 따른 제2서브 패키지(200)의 X축 방향으로의 단면 구조(200(X))를 보여준다. 도 7은 도6의 제2서브 패키지(200)의 Y축 방향으로의 단면 구조(200(Y))를 보여준다. 도 8은 도 6의 제2서브 패키지(200)의 제2몰드층(210)의 제1표면(211)에서 바라본 평면 구조(200(211))를 보여준다. 도 9는 도 6의 제2서브 패키지(200)의 제2몰드층(210)의 제2표면(212)에서 바라본 평면 구조(200(212))를 보여준다. 도 6은 도 8의 X축 방향으로의 X2-X2' 절단선을 따르는 단면 구조(200(X))를 보여주고, 도 7는 도 8의 Y축 방향으로의 Y2-Y2' 절단선을 따르는 단면 구조(200(Y))를 보여준다.
- [0031] 도 6을 참조하면, 제2서브 패키지(200)는 제1서브 패키지(도 1의 100)와 유사한 형상을 가질 수 있다. 제2서브 패키지(200)는, 제1서브 패키지(100)의 제2유전층(도 1의 160)과, 제2 및 제3재배선 패턴(140X, 140Y)를 제외하고는, 제1서브 패키지(100)와 실질적으로 동일한 형상을 가질 수 있다.
- [0032] 제2서브 패키지(200)는 제2몰드층(210)에 에워싸인 제2반도체 칩(220)을 포함한 패키지 구조로 형성된다. 제2서브 패키지(200)는 제2몰드층(210)을 실질적으로 관통하는 제2쓰루 몰드 비아(230)들을 포함한다. 제2쓰루 몰드 비아(230)들은 제2몰드층(210)의 제1표면(211)로부터 제2표면(212)에 이르기까지 연장되는 도전 비아로 구비될 수 있다. 제2몰드층(210)의 제1표면(211)과 제2표면(212)은 서로 마주보는 표면들일 수 있다.
- [0033] 제2몰드층(210)은 제2반도체 칩(220)의 제1표면(223)을 드러내 노출(reveal)하고, 제2반도체 칩(220)의 측면(225)을 덮도록 형성된다. 제2몰드층(210)은 제2반도체 칩(220)의 제2표면(224)을 덮도록 연장될 수 있다. 제2몰드층(210)의 제1표면(211)에 제2반도체 칩(220)의 제2표면(224)이 마주보도록, 제2반도체 칩(220)이 위치할 수 있다. 제2반도체 칩(220)의 제1표면(223)은 제2몰드층(210)의 제2표면(212)에 대해 드러나 노출될 수 있다. 제2반도체 칩(220)의 제1표면(223)에 접속 단자로서 제2칩 패드(221)들이 구비될 수 있다. 제2칩 패드(221)들은 제2반도체 칩(220) 내부에 집적된 집적회로 소자를 외부 기기와 전기적으로 연결시키는 접속 단자이다. 제2반도체 칩(220)에 집적된 집적회로 소자는 제1반도체 칩(120)에 집적된 집적회로 소자와 실질적으로 동일할 수 있다.
- [0034] 도 6 및 도 8을 함께 참조하면, 제2쓰루 몰드 비아(230)들은 제2반도체 칩(220) 주위에 배치된다. 제2쓰루 몰드 비아(230)들은 배치된 위치에 따라 두 부류로 구분될 수 있다. 제2쓰루 몰드 비아(230)들은 접속용 제2쓰루 몰드 비아(230X)들과, 바이패스(bypass)용 제2쓰루 몰드 비아(230Y)들로 구분될 수 있다.
- [0035] 접속용 제2쓰루 몰드 비아(230X)들은 제2반도체 칩(220)과 X축 방향으로 이격된 위치에 위치한다. 접속용 제2쓰루 몰드 비아(230X)들은 제2반도체 칩(220)의 X축 방향으로 향하는 제1측면(225X)에 대면하도록 배치된다. 접속용 제2쓰루 몰드 비아(230X)들은 Y축 방향을 따라 열을 이루며 배치된다. 접속용 제2쓰루 몰드 비아(230X)들은 제2몰드층(210)에 내장된 제2반도체 칩(220)과 전기적으로 연결 또는 접속될 제2쓰루 몰드 비아(230)들이다.

- [0036] 도 8와 함께 도 7을 참조하면, 바이패스용 제2쓰루 몰드 비아(230Y)는 제2반도체 칩(220)과 Y축 방향으로 이격된 위치에 위치한다. 바이패스용 제2쓰루 몰드 비아(230Y)들은 제2반도체 칩(220)의 Y축 방향으로 향하는 제2측면(225Y)에 대면하도록 배치된다. 바이패스용 제2쓰루 몰드 비아(230Y)들은 X축 방향을 따라 열을 이루며 배치된다. 바이패스용 제2쓰루 몰드 비아(230Y)들은 제2몰드층(210)에 내장된 제2반도체 칩(220)과 전기적으로 연결되지 않을 제2쓰루 몰드 비아(230)들이다. 바이패스용 제2쓰루 몰드 비아(230Y)들은 접속용 제2쓰루 몰드 비아(230X)들과 그 형상이 실질적으로 동일하게 형성된다. 그렇지만, 바이패스용 제2쓰루 몰드 비아(230Y)들은 제2반도체 칩(220)과 전기적으로 연결되지 않으므로, 접속용 제2쓰루 몰드 비아(230X)들과 구분된다.
- [0037] 도 6 및 도 9를 함께 참조하면, 제2서브 패키지(200)는 제4재배선 패턴(250)을 포함한다. 제4재배선 패턴(250)은 제2반도체 칩(220)의 제1표면(223)으로부터 제2몰드층(210)의 제2표면(212)에 걸쳐 연장된 도전 패턴들을 포함한다. 제4재배선 패턴(250)은 제4연장 패턴(255)과, 제4연장 패턴(255)의 양 단부들에 각각 연결되는 제7 및 제8접속 패턴들(251, 253)을 포함한다.
- [0038] 제4연장 패턴(255)은 제2반도체 칩(220)의 제1표면(223)으로부터 제2몰드층(210)의 제2표면(212)에 걸쳐 연장된다. 제4연장 패턴(255)은 X축 방향을 따라 연장될 수 있다. 제7접속 패턴(251)은 제2칩 패드(221)에 접속 연결된다. 제7접속 패턴(251)은 제2칩 패드(221)에 중첩된 패턴으로 형성된다. 제8접속 패턴(253)은 접속용 제2쓰루 몰드 비아(230X)에 접속된다. 제8접속 패턴(253)은 접속용 제2쓰루 몰드 비아(230X)의 제2몰드층(210)의 제2표면(212)에 노출된 단부에 중첩된 패턴으로 형성된다.
- [0039] 제4재배선 패턴(250)을 통해서, 제2반도체 칩(220)은 접속용 제2쓰루 몰드 비아(230X)와 전기적으로 연결된다. 반면에, 제4재배선 패턴(250)은 바이패스용 제2쓰루 몰드 비아(230Y)들과 제2반도체 칩(220)을 전기적으로 연결시키지 않는다. 바이패스용 제2쓰루 몰드 비아(230Y)들은 제2반도체 칩(220)과 전기적으로 격리된다.
- [0040] 도 6 및 도 7을 참조하면, 제2서브 패키지(200)는 제4재배선 패턴(250)을 덮는 제3유전층(270)을 포함한다. 제3유전층(270)은 제4재배선 패턴(250)이 배치된 제2반도체 칩(220)의 제1표면(223) 및 제2몰드층(210)의 제2표면(212)을 덮도록 형성된다. 제3유전층(270)은 제4재배선 패턴(250)을 이루는 도전 패턴들을 전기적으로 격리하는 절연층으로 형성될 수 있다. 도 6에 도시된 것과 같이, 제3유전층(270)은 제4재배선 패턴(250)의 제8접속 패턴(253)을 노출하여 드러내는 제5오프닝홀(271)을 제공한다. 도 7에 도시된 것과 같이, 제3유전층(270)에 바이패스용 제2쓰루 몰드 비아(230Y)의 단부를 노출하여 드러내는 제6오프닝홀(273)이 형성된다.
- [0041] 도 10은 일 예에 따른 제3서브 패키지(300)의 X축 방향으로의 단면 구조(300(X))를 보여준다. 도 11은 도10의 제3서브 패키지(300)의 Y축 방향으로의 단면 구조(300(Y))를 보여준다. 도 12는 도 10의 제3서브 패키지(300)의 제3몰드층(310)의 제1표면(311)에서 바라본 평면 구조(300(311))를 보여준다. 도 13은 도 10의 제3서브 패키지(300)의 제3몰드층(310)의 제2표면(312)에서 바라본 평면 구조(300(312))를 보여준다. 도 10은 도 12 및 도 13의 X축 방향으로의 X3-X3' 절단선을 따르는 단면 구조(300(X))를 보여주고, 도 11은 도 12 및 도 13의 Y축 방향으로의 Y3-Y3' 절단선을 따르는 단면 구조(300(Y))를 보여준다.
- [0042] 도 10을 참조하면, 제3서브 패키지(300)는 제2서브 패키지(도 9의 200)와 유사한 형상을 가질 수 있다. 제3서브 패키지(300)는 제2서브 패키지(200)를 X-Y 평면 상에서 90도(°) 회전시킨 형상과 실질적으로 동일한 형상을 가진다.
- [0043] 제3서브 패키지(300)는 제3몰드층(310)에 에워싸인 제3반도체 칩(320)을 포함한 패키지 구조로 형성된다. 제3서브 패키지(300)는 제3몰드층(310)을 실질적으로 관통하는 제3쓰루 몰드 비아(330)들을 포함한다. 제3쓰루 몰드 비아(330)들은 제3몰드층(320)의 제1표면(311)로부터 제2표면(312)에 이르기까지 연장되는 도전 비아로 구비될 수 있다. 제3몰드층(310)의 제1표면(311)과 제2표면(312)은 서로 마주보는 표면들일 수 있다.
- [0044] 제3몰드층(310)은 제3반도체 칩(320)의 제1표면(323)을 드러내 노출(reveal)하고, 제3반도체 칩(320)의 측면(325)을 덮도록 형성된다. 제3몰드층(310)은 제3반도체 칩(320)의 제2표면(324)을 덮도록 연장될 수 있다. 제3몰드층(310)의 제1표면(311)에 제3반도체 칩(320)의 제2표면(324)이 마주보도록, 제3반도체 칩(320)이 위치할 수 있다. 제3반도체 칩(320)의 제2표면(323)은 제3몰드층(310)의 제2표면(312)에 대해 드러나 노출될 수 있다.
- [0045] 도 11을 참조하면, 제3반도체 칩(320)의 제1표면(323)에 접속 단자로서 제3칩 패드(321)들이 구비될 수 있다. 제3칩 패드(321)들은 제3반도체 칩(320) 내부에 집적된 집적회로 소자를 외부 기기와 전기적으로 연결시키는 접속 단자이다. 제3반도체 칩(320)에 집적된 집적회로 소자는 제2반도체 칩(220)에 집적된 집적회로 소자와 실질적으로 동일할 수 있다. 제3반도체 칩(320)은 제2반도체 칩(220)을 X-Y 평면 상에서 90도 회전시킨 형상을 가질 수 있다.

- [0046] 도 11 및 도 12를 함께 참조하면, 제3쓰루 몰드 비아(330)들은 제3반도체 칩(320) 주위에 배치된다. 제3쓰루 몰드 비아(330)들은 배치된 위치에 따라 두 부류로 구분될 수 있다. 제3쓰루 몰드 비아(330)들은 접속용 제3쓰루 몰드 비아(330Y)들과, 바이패스용 제3쓰루 몰드 비아(330X)들로 구분될 수 있다. 접속용 제3쓰루 몰드 비아(330Y)들은 X-Y 평면상에서 접속용 제2쓰루 몰드 비아(230X)이 90도 회전한 위치에 위치할 수 있다. 바이패스용 제3쓰루 몰드 비아(330X)들은 X-Y 평면상에서 바이패스용 제2쓰루 몰드 비아(230Y)이 90도 회전한 위치에 위치할 수 있다. 제3서브 패키지(300)가 제2서브 패키지(도 8의 200)와 겹쳐질 경우를 고려하면, 접속용 제3쓰루 몰드 비아(330Y)들은 바이패스용 제2쓰루 몰드 비아(230Y)들에 중첩되도록 위치한다. 제3반도체 칩(320)은 제2반도체 칩(220)이 X-Y 평면 상에서 90도 회전한 형상과 실질적으로 동일한 형상을 가질 수 있다. 제3반도체 칩(320)은 제2반도체 칩(220)과 X-Y 평면 상에서 90도 각도로 교차되도록 스택될 수 있다.
- [0047] 도 12를 참조하면, 접속용 제3쓰루 몰드 비아(330Y)들은 제3반도체 칩(320)과 Y축 방향으로 이격된 위치에 위치한다. 접속용 제3쓰루 몰드 비아(330Y)들은 제3반도체 칩(320)의 Y축 방향으로 향하는 제2측면(325Y)에 대면하도록 배치된다. 접속용 제3쓰루 몰드 비아(330Y)들은 X축 방향을 따라 열을 이루며 배치될 수 있다. 접속용 제3쓰루 몰드 비아(330Y)들은 제3몰드층(310)에 내장된 제3반도체 칩(320)과 전기적으로 연결 또는 접속될 제3쓰루 몰드 비아(330)들이다.
- [0048] 도 12와 함께 도 10을 참조하면, 바이패스용 제3쓰루 몰드 비아(330X)는 제3반도체 칩(320)과 X축 방향으로 이격된 위치에 위치한다. 바이패스용 제3쓰루 몰드 비아(330X)들은 제3반도체 칩(320)의 X축 방향으로 향하는 제1측면(325X)에 대면하도록 배치된다. 바이패스용 제3쓰루 몰드 비아(330X)들은 Y축 방향을 따라 열을 이루며 배치된다. 바이패스용 제3쓰루 몰드 비아(330X)들은 제3몰드층(310)에 내장된 제3반도체 칩(320)과 전기적으로 연결되지 않을 제3쓰루 몰드 비아(330)들이다. 바이패스용 제3쓰루 몰드 비아(330X)들은 접속용 제3쓰루 몰드 비아(330Y)들과 그 형상이 실질적으로 동일하게 형성된다. 그렇지만, 바이패스용 제3쓰루 몰드 비아(330X)들은 제3반도체 칩(320)과 전기적으로 연결되지 않으므로, 접속용 제3쓰루 몰드 비아(330Y)들과 구분된다.
- [0049] 도 11 및 도 13을 함께 참조하면, 제3서브 패키지(300)는 제5재배선 패턴(350)을 포함한다. 제5재배선 패턴(350)은 제3반도체 칩(320)의 제1표면(323)으로부터 제3몰드층(310)의 제2표면(312)에 걸쳐 연장된 도전 패턴들을 포함한다. 제5재배선 패턴(350)은 제5연장 패턴(355)과, 제5연장 패턴(355)의 양 단부들에 각각 연결되는 제9 및 제10접속 패턴들(351, 353)을 포함한다.
- [0050] 제5연장 패턴(355)은 제3반도체 칩(320)의 제1표면(323)으로부터 제3몰드층(310)의 제2표면(312)에 걸쳐 연장된다. 제5연장 패턴(355)은 Y축 방향을 따라 연장되는 도전 패턴이다. 제9접속 패턴(351)은 제3칩 패드(321)에 접속 연결된다. 제9접속 패턴(351)은 제3칩 패드(321)에 중첩된 패턴으로 형성된다. 제10접속 패턴(353)은 접속용 제3쓰루 몰드 비아(330Y)에 접속된다. 제10접속 패턴(353)은 접속용 제3쓰루 몰드 비아(330Y)의 제3몰드층(310)의 제2표면(312)에 노출된 단부에 중첩된 패턴으로 형성된다.
- [0051] 제5재배선 패턴(350)를 통해서, 제3반도체 칩(320)은 접속용 제3쓰루 몰드 비아(330Y)와 전기적으로 연결된다. 이에 대조적으로, 제5재배선 패턴(350)은 바이패스용 제3쓰루 몰드 비아(330X)들과 제3반도체 칩(320)을 전기적으로 연결시키지 않는다. 바이패스용 제3쓰루 몰드 비아(330X)들은 제3반도체 칩(320)과 전기적으로 격리된다.
- [0052] 도 10 및 도 11을 참조하면, 제3서브 패키지(300)는 제5재배선 패턴(350)을 덮는 제4유전층(370)을 포함한다. 제4유전층(370)은 제5재배선 패턴(350)이 배치된 제3반도체 칩(320)의 제1표면(323) 및 제3몰드층(310)의 제2표면(312)을 덮도록 형성된다. 제5유전층(370)은 제5재배선 패턴(350)을 이루는 도전 패턴들을 전기적으로 격리하는 절연층으로 형성될 수 있다. 도 11에 도시된 것과 같이, 제4유전층(370)은 제5재배선 패턴(350)의 제10접속 패턴(353)을 노출하여 드러내는 제7오프닝홀(371)을 제공한다. 또한, 도 10에 도시된 것과 같이, 제4유전층(370)에 바이패스용 제3쓰루 몰드 비아(330X)의 단부를 노출하여 드러내는 제8오프닝홀(373)이 형성된다.
- [0053] 제1서브 패키지(도 1의 100) 상에 제3서브 패키지(도 10의 300)를 수직하게 스택하거나 또는 제2서브 패키지(도 6의 200) 상에 제3서브 패키지(도 10의 300)를 수직하게 스택할 수 있다. 또는 제1서브 패키지(도 1의 100) 상에 제2서브 패키지(도 6의 200) 및 제3서브 패키지(도 10의 300)를 수직하게 스택할 수 있다.
- [0054] 도 14 및 도 15는 일 예에 따른 스택 패키지(500)의 단면 구조를 보여주는 도면들이다. 도 14는 X축 방향의 스택 패키지의 단면 구조(500(X)) 형상을 보여주고, 도 15는 Y축 방향의 스택 패키지의 단면 구조(500(Y)) 형상을 보여준다. 도 14는 도 1의 X1-X1' 절단선을 따르고, 도 15는 도 2의 Y1-Y1' 절단선을 따르는 단면 형상들을 각각 보여준다. 도 14 및 도 15에 예시된 스택 패키지(500)는 제1서브 패키지(도 1의 100) 상에 제2서브 패키지(도 6의 200) 및 제3서브 패키지(도 10의 300)가 수직하게 스택된 구조를 포함할 수 있다.

- [0055] 도 14 및 도 15를 참조하면, 스택 패키지(500)는 제2단의 서브 패키지(S1-200) 상에 제3단의 서브 패키지(S2-300)가 실질적으로 수직하게 스택된다. 이에 따라, 제2반도체 칩(220) 상에 제3반도체 칩(320)이 실질적으로 수직하게 스택된다. 제2단의 서브 패키지(S1-200)의 제2반도체 칩(220)은 경우에 따라 편의 상 제1반도체 칩으로 지칭될 수도 있다. 제3단의 서브 패키지(S2-300)의 제3반도체 칩(320)은 경우에 따라 편의 상 제1반도체 칩으로 지칭될 수도 있다. 반도체 칩이나 서브 패키지의 단들, 재배선 패턴들을 지칭할 때, "제1" 내지 "제5" 등으로 지칭하는 것은 구분을 위한 것으로, 특별한 순서를 의미하는 것으로 제한되지는 않는다. 반도체 칩이나 서브 패키지의 단들, 재배선 패턴들은 도면에서 제시된 형상을 기준으로 이해되는 것이 보다 유효하다. 제2단의 서브 패키지(S1-200)는 도 6 및 도 7의 제2서브 패키지(200)가 적용될 수 있다. 제3단의 서브 패키지(S2-300)는 도 10 및 도 11의 제3서브 패키지(300)가 적용될 수 있다.
- [0056] 제2단의 서브 패키지(S1-200) 아래에 제1단의 서브 패키지(S3-100)가 실질적으로 수직하게 더 스택될 수 있다. 제1단의 서브 패키지(S3-100)는 도 1 및 도 2의 제1서브 패키지(100)가 적용될 수 있다. 제3단의 서브 패키지(S2-300) 상에 제4단의 서브 패키지(S4-300)가 실질적으로 수직하게 더 스택될 수 있다. 제4단의 서브 패키지(S4-300)는 도 10 및 도 11의 제3서브 패키지(300)가 적용될 수 있다. 제1단 내지 제4단은 스택된 순서를 의미하지 않고, 스택된 서브 패키지들을 구분하기 위해 사용된 용어이다.
- [0057] 제1 내지 제4단의 서브 패키지들(S3-100, S1-200, S2-300, S4-300)은 내측 커넥터(connector: 430)들에 의해서 전기적으로 연결될 수 있다. 내측 커넥터(430)는 도전 범프(conductive bump) 구조를 가질 수 있다.
- [0058] 도 14를 참조하면, 제2단의 서브 패키지(S1-200)의 접속용 제2쓰루 몰드 비아(230X)들은 제4재배선 패턴(250)에 의해서 내부의 제2반도체 칩(220)에 전기적으로 연결된다. 다시 말해서, 제2단의 서브 패키지(S1-200)의 접속용 제2쓰루 몰드 비아(230X)들과 제4재배선 패턴(250)들은 제2반도체 칩(220)에 전기적으로 접속하는 접속 경로를 제공한다.
- [0059] 제2단의 서브 패키지(S1-200)의 접속용 제2쓰루 몰드 비아(230X)는 하부에 위치하는 제1단의 서브 패키지(S3-100)의 접속용 제1쓰루 몰드 비아(130X)에 전기적으로 접속 연결된다. 내측 커넥터(430)에 의해서 접속용 제2쓰루 몰드 비아(230X)와 접속용 제1쓰루 몰드 비아(130X)가 서로 전기적으로 접속될 수 있다. 제1단의 서브 패키지(S3-100)의 접속용 제1쓰루 몰드 비아(130X)는 제2재배선 패턴(140X)에 전기적으로 접속된다. 제2재배선 패턴(140X)의 제3접속 패턴(141)에는 제1외측 커넥터(410X)가 접속될 수 있다. 제1외측 커넥터(410X)는 스택 패키지(500)를 외부 기기에 연결시키는 접속재이다. 제1외측 커넥터(410X)는 솔더 볼(solder ball) 구조 또는 범프 구조를 가질 수 있다.
- [0060] 제1외측 커넥터(410X), 제2재배선 패턴(140X), 제1단의 서브 패키지(S3-100)의 접속용 제1쓰루 몰드 비아(130X), 제2단의 서브 패키지(S1-200)의 접속용 제2쓰루 몰드 비아(230X), 및 제4재배선 패턴(250)은 제2반도체 칩(220)에 전기적으로 접속하는 경로를 제공한다. 또한, 제1외측 커넥터(410X), 제2재배선 패턴(140X), 제1단의 서브 패키지(S3-100)의 접속용 제1쓰루 몰드 비아(130X), 제1재배선 패턴(150)은 제1반도체 칩(120)에 전기적으로 접속하는 경로를 제공한다.
- [0061] 제2단의 서브 패키지(S1-200)의 접속용 제2쓰루 몰드 비아(230X)에 제3단의 서브 패키지(S2-300)의 바이패스용 제3쓰루 몰드 비아(330X)가 전기적으로 접속할 수 있다. 그렇지만, 제3단의 서브 패키지(S2-300)의 바이패스용 제3쓰루 몰드 비아(330X)나 제4단의 서브 패키지(S4-300)의 바이패스용 제4쓰루 몰드 비아(330X')는 제3반도체 칩(320) 및 제4반도체 칩(320')에 접속되지 않는 더미 비아(dummy via)들이다. 따라서, 제3단의 서브 패키지(S2-300)에 내장된 제3반도체 칩(320)이나, 제4단의 서브 패키지(S4-300)에 내장된 제4반도체 칩(320')은 제1외측 커넥터(410X)에 전기적으로 접속되지 않는다.
- [0062] 도 15를 참조하면, 제3단의 서브 패키지(S2-300)의 접속용 제3쓰루 몰드 비아(330Y)들은 제5재배선 패턴(350)에 의해서 내부의 제3반도체 칩(320)에 전기적으로 연결된다. 다시 말해서, 제3단의 서브 패키지(S2-300)의 접속용 제3쓰루 몰드 비아(330Y)들과 제5재배선 패턴(350)들은 제3반도체 칩(320)에 전기적으로 접속하는 접속 경로를 제공한다. 마찬가지로, 제4단의 서브 패키지(S4-300)의 접속용 제4쓰루 몰드 비아(330Y')들은 제6재배선 패턴(350')에 의해서 내부의 제4반도체 칩(320')에 전기적으로 연결된다. 제4쓰루 몰드 비아(330Y')들과 제6재배선 패턴(350') 및 제4반도체 칩(320')은 각각 제3쓰루 몰드 비아(330Y)들과 제5재배선 패턴(350) 및 제3반도체 칩(320)과 실질적으로 동일한 형태일 수 있다.
- [0063] 제3단의 서브 패키지(S2-300)의 접속용 제3쓰루 몰드 비아(330Y)는 하부에 위치하는 제2단의 서브 패키지(S1-200)의 바이패스용 제2쓰루 몰드 비아(230Y)에 전기적으로 접속 연결된다. 내측 커넥터(430)에 의해서 접속용

제3쓰루 몰드 비아(330Y)와 바이패스용 제2쓰루 몰드 비아(230Y)가 서로 전기적으로 접속될 수 있다. 바이패스용 제2쓰루 몰드 비아(230Y)는 그 아래에 위치하는 제1단의 서브 패키지(S3-100)의 바이패스용 제1쓰루 몰드 비아(130Y)에 내측 커넥터(430)에 의해 접속된다. 바이패스용 제1쓰루 몰드 비아(130Y)는 제3재배선 패턴(140Y)에 전기적으로 접속된다. 제3재배선 패턴(140Y)의 제5접속 패턴(142)에는 제2외측 커넥터(410Y)가 접속될 수 있다. 제2외측 커넥터(410Y)는 스택 패키지(500)를 외부 기기에 연결시키는 접속재이다. 제2외측 커넥터(410Y)는 제1외측 커넥터(410X)와 구분되는 접속재이다.

[0064] 제2외측 커넥터(410Y), 제3재배선 패턴(140Y), 제1단의 서브 패키지(S3-100)의 바이패스용 제1쓰루 몰드 비아(130Y), 제2단의 서브 패키지(S1-200)의 바이패스용 제2쓰루 몰드 비아(230Y), 접속용 제3쓰루 몰드 비아(330Y) 및 제5재배선 패턴(350)은 제3반도체 칩(320)에 전기적으로 접속하는 경로를 제공한다. 또한, 제2외측 커넥터(410Y), 제3재배선 패턴(140Y), 제1단의 서브 패키지(S3-100)의 바이패스용 제1쓰루 몰드 비아(130Y), 제2단의 서브 패키지(S1-200)의 바이패스용 제2쓰루 몰드 비아(230Y), 접속용 제3쓰루 몰드 비아(330Y), 접속용 제4쓰루 몰드 비아(330Y') 및 제6재배선 패턴(350')은 제4반도체 칩(320')에 전기적으로 접속하는 경로를 제공한다. 제2단의 서브 패키지(S1-200)의 바이패스용 제2쓰루 몰드 비아(230Y)와, 제1단의 서브 패키지(S3-100)의 바이패스용 제1쓰루 몰드 비아(130Y)는 접속용 제3쓰루 몰드 비아(330Y)를 제2외측 커넥터(410Y)에 접속시키는 중간 경로를 제공한다.

[0065] 도 14 및 도 15의 스택 패키지(500)는 4단의 서브 패키지들(S3-100, S1-200, S2-300, S4-300)을 포함하는 구조로 예시되고 있다. 그렇지만, 스택 패키지(500)는 제2단의 서브 패키지(S1-200)와 제4단의 서브 패키지(S4-300)가 생략된 2단의 서브 패키지들(S3-100, S2-300)을 포함하는 구조로도 구성될 수 있다.

[0066] 도 16 및 도 17에 제시된 스택 패키지(600)는 제1단의 서브 패키지(S3-100)에 제3단의 서브 패키지(S2-300)가 직접적으로 스택된 구조를 예시한다. 도 16은 X축 방향의 스택 패키지의 단면 구조(600(X)) 형상을 보여주고, 도 17은 Y축 방향의 스택 패키지의 단면 구조(600(Y)) 형상을 보여준다.

[0067] 도 16 및 도 17을 참조하면, 제1단의 서브 패키지(S3-100)의 접속용 제1쓰루 몰드 비아(130X)는 제1반도체 칩(120)을 제1외측 커넥터(410X)에 전기적으로 연결시키는 경로를 제공한다. 제3단의 서브 패키지(S2-300)의 접속용 제3쓰루 몰드 비아(330Y)와 제1단의 서브 패키지(S1-100)의 바이패스용 제1쓰루 몰드 비아(130Y)는 제3반도체 칩(320)을 제2외측 커넥터(410Y)에 전기적으로 연결시키는 경로를 제공한다.

[0068] 도 14 및 도 15를 다시 참조하면, 복수의 반도체 칩들(120, 220, 320, 320')이 페이스 업(face up)된 형상으로 스택된 스택 패키지(500)가 제공한다. 그렇지만, 반도체 칩들(120, 220, 320, 320')의 제1표면들(123, 223, 323, 323')들이 외측 커넥터들(410X, 410Y)이 위치하는 방향과 동일한 방향을 바라보도록 페이스 다운(face down)된 형상으로 스택될 수 있다. 이러한 경우, 가장 아래에 위치하는 제1단의 서브 패키지(S3-100)의 제1, 제2 및 제3재배선 패턴들(150, 140X, 140Y)들의 위치 및 상호 연결 관계 등이 변경된다.

[0069] 도 18 내지 도 21은 다른 일 예에 따른 제1서브 패키지(1100)의 구조를 보여주는 도면들이다. 도 18 내지 도 21에 예시된 제1서브 패키지(1100)는 도 1 내지 도 5에 예시된 제1서브 패키지(100)에 대한 다른 일 실시예로 제시된다. 도 18 내지 도 21에서 도 1 내지 도 5에와 동일한 형상으로 묘사된 부재는 실질적으로 동일한 부재로 해석될 수 있다.

[0070] 도 18은 일 예에 따른 제1서브 패키지(1100)의 X축 방향으로의 단면 구조(1100(X))를 보여준다. 도 19는 도 18의 제1서브 패키지(1100)의 Y축 방향으로의 단면 구조(1100(Y))를 보여준다. 도 20은 도 18의 제1서브 패키지(1100)의 제1유전층(1171)의 표면(1171S)에서 바라본 평면 구조(1100(1171S))를 보여준다. 도 21은 도 18의 제1서브 패키지(1100)의 제1몰드층(1110)의 제1표면(1112)에서 바라본 평면 구조(1100(1112))를 보여준다. 도 18은 도 20 및 21의 X축 방향으로의 X4-X4' 절단선을 따르는 단면 구조(1100(X))를 보여주고, 도 19는 도 20 및 21의 Y축 방향으로의 Y4-Y4' 절단선을 따르는 단면 구조(1100(Y))를 보여준다.

[0071] 도 18을 참조하면, 제1서브 패키지(1100)는 제1몰드층(1110)에 에워싸인 제1반도체 칩(1120)을 포함한 패키지 구조로 형성된다. 제1서브 패키지(1100)는 제1몰드층(1110)을 실질적으로 관통하는 제1쓰루 몰드 비아(1130)들을 포함한다. 제1쓰루 몰드 비아(1130)들은 제1몰드층(1110)의 제1표면(1112)로부터 제1표면(1111)에 이르기까지 연장되는 도전 비아로 구비될 수 있다.

[0072] 제1몰드층(1110)의 제1표면(1111)과 제2표면(1112)은 서로 마주보는 표면들일 수 있다. 제1몰드층(1110)의 제1표면(1111)과 제2표면(1112)은 편의 상 제2표면 및 제1표면으로 이해될 수도 있다. 제1몰드층(1110)의 측면(1113)은 제1서브 패키지(1100)의 측면의 일부를 이루도록 외부로 노출될 수 있다. 제1몰드층(1110)은 제1반도

체 칩(1120)의 제1표면(1123)을 드러내고, 제1반도체 칩(1120)의 측면(1125)을 덮도록 형성된다. 제1몰드층(1110)은 제1반도체 칩(1120)의 제2표면(1124)을 덮도록 연장될 수 있다.

- [0073] 제1반도체 칩(1120)의 제1표면(1123)에 접속 단자로서 제1칩 패드(1121)들이 구비될 수 있다.
- [0074] 도 18 및 도 21을 함께 참조하면, 제1쓰루 몰드 비아(1130)들은 접속용 제1쓰루 몰드 비아(1130X)들과, 바이패스용 제1쓰루 몰드 비아(1130Y)들로 구분될 수 있다. 접속용 제1쓰루 몰드 비아(1130X)들은 제1반도체 칩(1120)과 X축 방향으로 이격된 위치에 위치한다. 접속용 제1쓰루 몰드 비아(1130X)들은 제1반도체 칩(1120)의 X축 방향으로 향하는 제1측면(1125X)에 대면하도록 배치된다. 접속용 제1쓰루 몰드 비아(1130X)들은 제1몰드층(1110)에 내장된 제1반도체 칩(1120)과 전기적으로 연결 또는 접속될 제1쓰루 몰드 비아(1130)들이다.
- [0075] 도 19 및 도 21을 함께 참조하면, 바이패스용 제1쓰루 몰드 비아(1130Y)는 제1반도체 칩(1120)과 Y축 방향으로 이격된 위치에 위치한다. 바이패스용 제1쓰루 몰드 비아(1130Y)들은 제1반도체 칩(1120)의 Y축 방향으로 향하는 제2측면(1125Y)에 대면하도록 배치된다. 바이패스용 제1쓰루 몰드 비아(1130Y)들은 제1몰드층(1110)에 내장된 제1반도체 칩(1120)과 전기적으로 연결되지 않고 전기적으로 격리(isolation)된 제1쓰루 몰드 비아(130)들이다.
- [0076] 도 18 및 도 21을 다시 참조하면, 제1서브 패키지(1100)는 제1재배선 패턴(1150)을 포함한다. 제1재배선 패턴(1150)은 접속용 제1쓰루 몰드 비아(1130X)와 제1반도체 칩(1120)을 전기적으로 연결한다. 제1재배선 패턴(1150)은 제1몰드층(1110)의 제1표면(1112)으로부터 제1반도체 칩(1120)의 제1표면(1123)까지 연장된 도전 패턴들을 포함한다. 제1재배선 패턴(1150)은 제1연장 패턴(1155)과, 제1연장 패턴(1155)의 양 단부들에 각각 연결되는 제1 및 제2접속 패턴들(1151, 1153)을 포함한다. 제1연장 패턴(1155)은 제1반도체 칩(1120)의 제1표면(1123)으로부터 제1몰드층(1110)의 제1표면(1112)에 걸쳐 연장된다. 제1접속 패턴(1151)은 제1칩 패드(1121)에 접속 연결된다. 제2접속 패턴(1153)은 접속용 제1쓰루 몰드 비아(1130X)에 접속된다. 제1재배선 패턴(1150)을 통해서, 제1반도체 칩(1120)은 접속용 제1쓰루 몰드 비아(1130X)와 전기적으로 연결된다.
- [0077] 도 18 및 도 19를 참조하면, 제1서브 패키지(1100)는 제1재배선 패턴(1150)을 덮어 전기적으로 격리하는 제1유전층(1171)을 포함한다. 제1유전층(1171)은 제1재배선 패턴(1150)이 배치된 제1반도체 칩(1120)의 제1표면(1123) 및 제1몰드층(1110)의 제1표면(1112)을 덮도록 형성된다. 제1유전층(1171)은 제1재배선 패턴(1150)의 제2접속 패턴(1153)을 드러내는 제1오프닝홀(1175)을 제공한다. 제1유전층(1171)은 바이패스용 제1쓰루 몰드 비아(1130Y)의 일 단부를 드러내는 제2오프닝홀(1179)을 제공한다.
- [0078] 도 18 및 도 20을 참조하면, 제1서브 패키지(1100)는 제1재배선 패턴(1150) 상측으로 이격된 제2재배선 패턴(1140X)을 구비한다. 제2재배선 패턴(1140X)는 제1유전층(1171) 상에 연장되는 도전 패턴으로 구비된다. 제2재배선 패턴(1140X)는 제1재배선 패턴(1150) 상측에 일부 부분 중첩된다. 제2재배선 패턴(1140X)은 제1재배선 패턴(1150)과 다른 층 레벨(level)에 위치한다. 스택 제1재배선 패턴(1150)은 제1반도체 칩(1120)과 제2재배선 패턴(1140X) 사이에 위치할 수 있다. 제1재배선 패턴(1150)은 접속용 제1쓰루 몰드 비아(1130X)와 제1반도체 칩(1120)을 연결하고, 제2재배선 패턴(1240X)에 접속용 제1쓰루 몰드 비아(1130X)를 전기적으로 연결시킨다.
- [0079] 도 19 및 도 20을 참조하면, 제1서브 패키지(1100)는 제2재배선 패턴(1140X)과 구분되는 제3재배선 패턴(1140Y)을 제1유전층(1171) 상에 연장되는 도전 패턴으로 구비된다. 제2재배선 패턴(1140X)과 제3재배선 패턴(1140Y)은 서로 구분되는 영역들에 각각 도전 패턴들로 형성될 수 있다. 제2재배선 패턴(1140X)은 제1유전층(1171)의 표면(1171S) 내의 제1영역(1140G1)들 내에 위치하도록 형성될 수 있다. 제1영역(1140G1)들은 X축 방향으로 서로 이격된 두 영역들일 수 있다. 제3재배선 패턴(1140Y)는 제1유전층(1171)의 표면(1171S) 내의 제1영역(1140G1)에 구분되는 제2영역(1140G2)들 내에 위치할 수 있다. 제2영역(1140G2)들은 Y축 방향으로 서로 이격된 두 영역들일 수 있다.
- [0080] 도 18 및 도 20을 다시 참조하면, 제2재배선 패턴(1140X)은 제2연장 패턴(1145)과, 제2연장 패턴(1145)의 양 단부들에 각각 연결되는 제3 및 제4접속 패턴들(1141, 1143)을 포함한다. 제3접속 패턴(1141)은 외부 기기와의 전기적 연결 또는 접속을 위해 준비되는 볼 랜딩 패턴일 수 있다. 제4접속 패턴(1143)은 제1유전층(1171)의 제1오프닝홀(1175)을 채우도록 연장되어, 제1오프닝홀(1175)을 통해 제1재배선 패턴(1150)의 제2접속 패턴(1153)에 접촉한다. 제2재배선 패턴(1140X)의 제4접속 패턴(1143)은 제1재배선 패턴(1150)의 제2접속 패턴(1153)에 중첩되고 접촉하여 전기적으로 연결된다. 제2재배선 패턴(1140X)의 제4접속 패턴(1143)은 접속용 제1쓰루 몰드 비아(1130X)의 제1몰드층(1110)의 제1표면(1112)에 노출된 단부에 중첩된 패턴으로 형성된다.
- [0081] 제4접속 패턴(1143)은 제1반도체 칩(1120) 바깥의 제1몰드층(1110) 부분에 위치한다. 제3접속 패턴(1141)은 제1반도체 칩(1120)에 중첩된 위치에 위치하거나 또는 제1반도체 칩(1120) 바깥의 제1몰드층(1110) 부분에 위치할

수 있다. 제2연장 패턴(1145)은 제3접속 패턴(1141)과 제4접속 패턴(1143)을 이어주도록 형성되므로, 제2연장 패턴(1145)들 중 일부는 제1반도체 칩(1120) 바깥의 제1몰드층(1110) 부분으로부터 제1반도체 칩(1120)에 중첩된 위치에까지 연장될 수 있다. 이와 같이, 제2재배선 패턴(1140X)의 제3접속 패턴(1141)들 중 일부가 제1반도체 칩(1120) 바깥의 제1몰드층(1110) 부분에 위치하여, 제2재배선 패턴(1140X)을 포함하는 제1서브 패키지(1100)는 팬아웃 패키지 구조를 가질 수 있다.

[0082] 도 19 및 도 20을 다시 참조하면, 제3재배선 패턴(1140Y)은 제2재배선 패턴(1140X)과 유사하게 형성될 수 있다. 제3재배선 패턴(1140Y)은 제3연장 패턴(1146)과, 제3연장 패턴(1146)의 양 단부들에 각각 연결되는 제5 및 제6 접속 패턴들(1142, 1144)을 포함한다. 제5접속 패턴(1142)은 외부 기기와의 전기적 연결 또는 접속을 위해 준비되는 볼 랜딩 패턴일 수 있다. 제6접속 패턴(1144)은 바이패스용 제1쓰루 몰드 비아(1130Y)에 접속된다. 제6접속 패턴(1144)은 바이패스용 제1쓰루 몰드 비아(1130Y)의 제1유전층(1171)의 제2오프닝홀(1179)에 드러난 단부에 중첩되고 접촉하여 연결되는 패턴으로 형성된다. 제3재배선 패턴(1140Y)의 제5접속 패턴(1142)들 중 일부가 제1반도체 칩(1120) 바깥의 제1몰드층(1110) 부분에 위치할 수 있다. 따라서, 제3재배선 패턴(1140Y) 또한 팬아웃 배선 구조를 가질 수 있다.

[0083] 도 18 및 도 19를 참조하면, 제1서브 패키지(1100)는 제2 및 제3재배선 패턴들(1140X, 1140Y)을 덮는 제2유전층(1173)을 포함한다. 제2유전층(1173)은 제2 및 제3재배선 패턴들(1140X, 1140Y)이 배치된 제1유전층(1171)의 표면(1171S)을 덮도록 형성된다. 제2유전층(1173)은 제2재배선 패턴(1140X)의 제3접속 패턴(1141) 및 제3재배선 패턴(1140Y)의 제5접속 패턴(1142)을 노출하여 드러내는 제3오프닝홀(1177)들을 제공할 수 있다.

[0084] 제3접속 패턴(1141)과 제5접속 패턴(1142)은 서로 다른 신호 전달 경로, 또는 채널(channel)을 제1서브 패키지(1100)에 제공한다. 제3접속 패턴(1141)에 인가되는 신호는 제2재배선 패턴(1140X), 제1재배선 패턴(150)을 거쳐 제1반도체 칩(120)에 전달된다. 제5접속 패턴(1142)에 인가되는 신호는 제3재배선 패턴(1140Y), 바이패스용 제1쓰루 몰드 비아(1130Y)를 거쳐, 바이패스용 제1쓰루 몰드 비아(1130Y)에 접속될 또 다른 반도체 칩에 전달될 수 있다.

[0085] 도 22 및 도 23은 일 예에 따른 스택 패키지(700)의 단면 구조를 보여주는 도면들이다. 도 22는 X축 방향의 스택 패키지의 단면 구조(700(X)) 형상을 보여주고, 도 23은 Y축 방향의 스택 패키지의 단면 구조(700(Y)) 형상을 보여준다. 도 22는 도 20 및 도 21의 X4-X4' 절단선을 따르고, 도 23은 도 20 및 도 21의 Y4-Y4' 절단선을 따르는 단면 형상들을 각각 보여준다.

[0086] 도 22 및 도 23을 참조하면, 제1서브 패키지(도 18 및 도 19의 1100) 상에 제2서브 패키지(도 6의 200), 제3서브 패키지(도 10의 300), 및 또 다른 제3서브 패키지(도 10의 300)가 수직하게 스택된 구조로 스택 패키지(700)가 구성될 수 있다. 제2서브 패키지(200), 제3서브 패키지(300), 및 또 다른 제3서브 패키지(300)들은 제1서브 패키지(1100) 상에 페이스 다운 형태로 뒤집혀 각각 스택된다.

[0087] 스택 패키지(700)의 제1단의 서브 패키지(S5-1100)는 도 18 및 도 19의 제1서브 패키지(1100)의 형태로 도입될 수 있다. 도 22에 제시된 것과 같이, 제1단의 서브 패키지(S5-1100)는 제2재배선 패턴(1140X)의 제3접속 패턴(1141)에 접속된 제1외측 커넥터(1410X)들을 더 구비한다. 도 23에 제시된 것과 같이 제1단의 서브 패키지(S5-1100)는 제3재배선 패턴(1140Y)의 제5접속 패턴(1142)에 접속된 제2외측 커넥터(1410Y)들을 더 구비한다. 제1외측 커넥터(1410X)들과 제2외측 커넥터(1410Y)들과 서로 다른 구분되는 접속 채널들을 스택 패키지(700)에 각각 제공한다. 제1외측 커넥터(1410X)들은 스택 패키지(700)에 제1채널을 제공하고, 제2외측 커넥터(1410Y)들은 스택 패키지(700)에 제2채널을 제공한다. 이에 따라, 스택 패키지(700)는 2개의 채널들을 통해서 외부 기기와 전기적 및 신호적으로 접속될 수 있다.

[0088] 제2단의 서브 패키지(S1-200)는 도 6의 제2서브 패키지(200)를 뒤집은 형태로 제1단의 서브 패키지(S5-1100)에 스택된다. 제3단의 서브 패키지(S2-300)는 도 10의 제3서브 패키지(300)를 뒤집은 형태로 제2단의 서브 패키지(S1-200)에 스택된다. 제4단의 서브 패키지(S4-300)는 도 10의 제3서브 패키지(300)를 뒤집은 형태로 제3단의 서브 패키지(S2-300)에 스택된다. 제2단의 서브 패키지(S1-200)의 제2반도체 칩(220)은 제1표면(223)이 제1단의 서브 패키지(S5-1100)의 제1반도체 칩(1120)의 제1표면(1123)과 동일한 방향을 바라보도록 위치할 수 있다. 제3단의 서브 패키지(S2-300)의 제3반도체 칩(320)은 제1표면(323)이 제1단의 서브 패키지(S5-1100)의 제1반도체 칩(1120)의 제1표면(1123)과 동일한 방향을 바라보도록 위치할 수 있다. 제4단의 서브 패키지(S4-300)의 제4반도체 칩(320')은 제1표면(323')이 제1단의 서브 패키지(S5-1100)의 제1반도체 칩(1120)의 제1표면(1123)과 동일한 방향을 바라보도록 위치할 수 있다. 제1 내지 제4단의 서브 패키지들(S5-1100, S1-200, S3-100, S4-300)은 내측 커넥터(430)들에 의해서 전기적으로 연결될 수 있다.

- [0089] 도 22를 참조하면, 제2단의 서브 패키지(S1-200)의 접속용 제2쓰루 몰드 비아(230X)는 하부에 위치하는 제1단의 서브 패키지(S5-1100)의 접속용 제1쓰루 몰드 비아(1130X)에 전기적으로 접속 연결된다. 제2단의 서브 패키지(S1-200)의 접속용 제2쓰루 몰드 비아(230X)들과 제4재배선 패턴(250)들은 제2반도체 칩(220)에 전기적으로 접속하는 접속 경로를 제공한다. 내측 커넥터(430)에 의해서 접속용 제2쓰루 몰드 비아(230X)와 접속용 제1쓰루 몰드 비아(1130X)가 서로 전기적으로 접속될 수 있다. 제1단의 서브 패키지(S5-1100)의 접속용 제1쓰루 몰드 비아(1130X)는 제2재배선 패턴(1140X)을 통해서, 제1외측 커넥터(1410X)가 접속될 수 있다.
- [0090] 제1외측 커넥터(1410X), 제2재배선 패턴(1140X), 제1단의 서브 패키지(S5-1100)의 접속용 제1쓰루 몰드 비아(130X), 제2단의 서브 패키지(S1-200)의 접속용 제2쓰루 몰드 비아(230X), 및 제4재배선 패턴(250)은, 제2반도체 칩(220)에 전기적으로 접속하는 경로를 제공한다. 또한, 제1외측 커넥터(1410X), 제2재배선 패턴(1140X), 제1단의 서브 패키지(S5-1100)의 제2 및 제1재배선 패턴(1140X, 1150)은 제1반도체 칩(1120)에 전기적으로 접속하는 경로를 제공한다.
- [0091] 제2단의 서브 패키지(S1-200)의 접속용 제2쓰루 몰드 비아(230X)에 제3단의 서브 패키지(S2-300)의 바이패스용 제3쓰루 몰드 비아(330X)가 전기적으로 접속할 수 있다. 그렇지만, 제3단의 서브 패키지(S2-300)의 바이패스용 제3쓰루 몰드 비아(330X)나 제4단의 서브 패키지(S4-300)의 바이패스용 제4쓰루 몰드 비아(330X')는 제3반도체 칩(320) 및 제4반도체 칩(320')에 접속되지 않는 더미 비아들이다. 따라서, 제3단의 서브 패키지(S2-300)에 내장된 제3반도체 칩(320)이나, 제4단의 서브 패키지(S4-300)에 내장된 제4반도체 칩(320')은 제1외측 커넥터(1410X)에 전기적으로 접속되지 않는다. 이와 같이, 제3단의 서브 패키지(S2-300)의 바이패스용 제3쓰루 몰드 비아(330X)나 제4단의 서브 패키지(S4-300)의 바이패스용 제4쓰루 몰드 비아(330X')와 제2단의 서브 패키지(S1-200)의 접속용 제2쓰루 몰드 비아(230X)는 더미 비아들일 수 있으므로, 생략될 수도 있다.
- [0092] 도 23을 참조하면, 제3단의 서브 패키지(S2-300)의 접속용 제3쓰루 몰드 비아(330Y)들은 제5재배선 패턴(350)에 의해서 내부의 제3반도체 칩(320)에 전기적으로 연결된다. 다시 말해서, 제3단의 서브 패키지(S2-300)의 접속용 제3쓰루 몰드 비아(330Y)들과 제5재배선 패턴(350)들은 제3반도체 칩(320)에 전기적으로 접속하는 접속 경로를 제공한다. 마찬가지로, 제4단의 서브 패키지(S4-300)의 접속용 제4쓰루 몰드 비아(330Y')들은 제6재배선 패턴(350')에 의해서 내부의 제4반도체 칩(320')에 전기적으로 연결된다. 제4쓰루 몰드 비아(330Y')들과 제6재배선 패턴(350') 및 제4반도체 칩(320')은 각각 제3쓰루 몰드 비아(330Y)들과 제5재배선 패턴(350) 및 제3반도체 칩(320)과 실질적으로 동일한 형태일 수 있다.
- [0093] 제2외측 커넥터(1410Y), 제3재배선 패턴(1140Y), 제1단의 서브 패키지(S5-1100)의 바이패스용 제1쓰루 몰드 비아(1130Y), 제2단의 서브 패키지(S1-200)의 바이패스용 제2쓰루 몰드 비아(230Y), 및 제5재배선 패턴(350)은 제3반도체 칩(320)에 전기적으로 접속하는 경로를 제공한다. 또한, 제2외측 커넥터(1410Y), 제3재배선 패턴(1140Y), 제1단의 서브 패키지(S5-1100)의 바이패스용 제1쓰루 몰드 비아(1130Y), 제2단의 서브 패키지(S1-200)의 바이패스용 제2쓰루 몰드 비아(230Y), 접속용 제3쓰루 몰드 비아(330Y), 및 제6재배선 패턴(350')은 제4반도체 칩(320')에 전기적으로 접속하는 경로를 제공한다. 제2단의 서브 패키지(S1-200)의 바이패스용 제2쓰루 몰드 비아(230Y)와, 제1단의 서브 패키지(S5-1100)의 바이패스용 제1쓰루 몰드 비아(1130Y)는, 접속용 제3쓰루 몰드 비아(330Y)를 제2외측 커넥터(1410Y)에 접속시키는 중간 경로를 제공한다. 이때, 제4단의 서브 패키지(S4-300)의 접속용 제4쓰루 몰드 비아(330Y')는 더미 비아로 생략될 수 있다.
- [0094] 도 22 및 도 23을 참조하면, 스택 패키지(700)의 제1단의 서브 패키지(S5-1100)에 스택된 제2단의 서브 패키지(S1-200) 및 제3단의 서브 패키지(S2-300)를 포함하는 구조를 가질 수도 있다. 스택 패키지(700)는 스택 패키지(700)의 제2단의 서브 패키지(S1-200)에 스택된 제3단의 서브 패키지(S2-300)를 포함하는 단순 구조로도 변형될 수 있다.
- [0095] 도 22 및 도 23의 스택 패키지(700)는 4단의 서브 패키지들(S5-1100, S1-200, S2-300, S4-300)을 포함하는 구조로 예시되고 있다. 그렇지만, 스택 패키지(700)는 제2단의 서브 패키지(S1-200)와 제4단의 서브 패키지(S4-300)가 생략된 2단의 서브 패키지들(S5-1100, S2-300)을 포함하는 구조로도 구성될 수 있다.
- [0096] 도 24 및 도 25에 제시된 스택 패키지(800)는 제1단의 서브 패키지(S5-1100)에 제3단의 서브 패키지(S2-300)가 직접적으로 스택된 구조를 예시한다. 도 24는 X축 방향의 스택 패키지의 단면 구조(800(X)) 형상을 보여주고, 도 25는 Y축 방향의 스택 패키지의 단면 구조(800(Y)) 형상을 보여준다. 도 24는 도 20 및 도 21의 X4-X4' 절단선을 따르고, 도 25는 도 20 및 도 21의 Y4-Y4' 절단선을 따르는 단면 형상들을 각각 보여준다.
- [0097] 도 26 및 도 25를 참조하면, 제1단의 서브 패키지(S5-1100)의 접속용 제1쓰루 몰드 비아(1130X)와 제3단의 서브

패키지(S2-300)의 바이패스용 제3쓰루 몰드 비아(330Y)는 더미 비아들이므로 생략될 수도 있다. 제3단의 서브 패키지(S2-300)의 접속용 제3쓰루 몰드 비아(330Y)와 제1단의 서브 패키지(S5-1100)의 바이패스용 제1쓰루 몰드 비아(1130Y)는 제3반도체 칩(320)을 제2외측 커넥터(1410Y)에 전기적으로 연결시키는 경로를 제공한다.

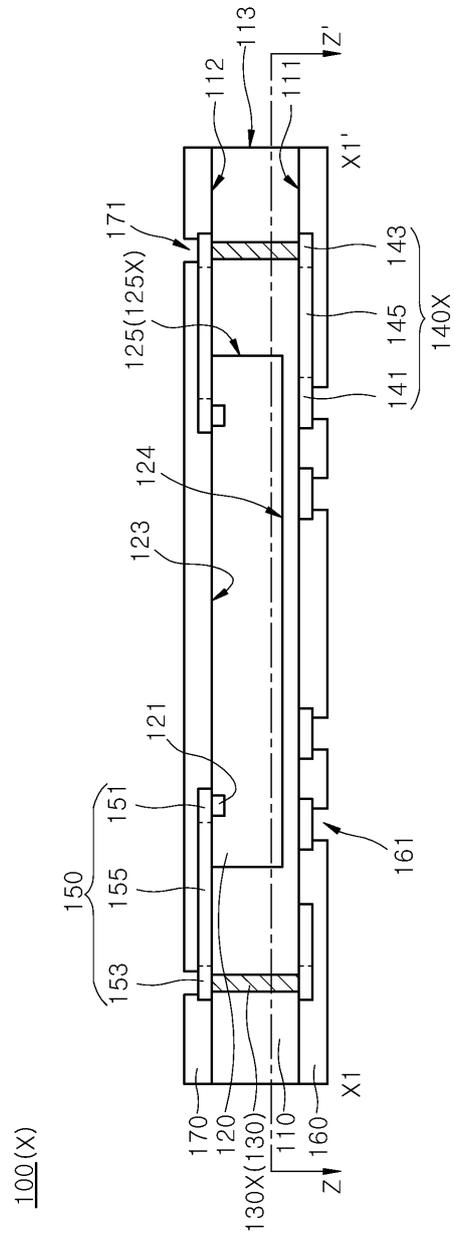
[0098] 상술한 바와 같이 본 출원의 실시 형태들을 도면들을 예시하며 설명하지만, 이는 본 출원에서 제시하고자 하는 바를 설명하기 위한 것이며, 세밀하게 제시된 형상으로 본 출원에서 제시하고자 하는 바를 한정하고자 한 것은 아니다. 본 출원에서 제시한 기술적 사상이 반영되는 한 다양한 다른 변형예들이 가능할 것이다.

부호의 설명

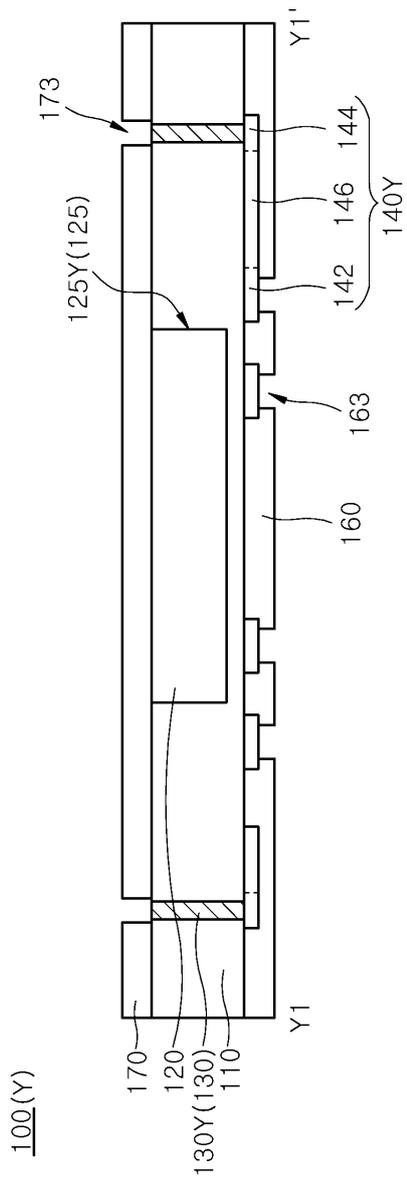
[0099] 1100, 100, 200, 300: 서브 패키지,
 1120, 120, 220, 320: 반도체 칩,
 1130X, 130X, 230X, 330Y: 접속용 쓰루 몰드 비아.
 1130Y 130Y, 230Y, 330Y: 바이패스용 쓰루 몰드 비아,
 1140X, 1140Y, 1150, 140X, 140Y, 150, 250, 350: 재배선 패턴.

도면

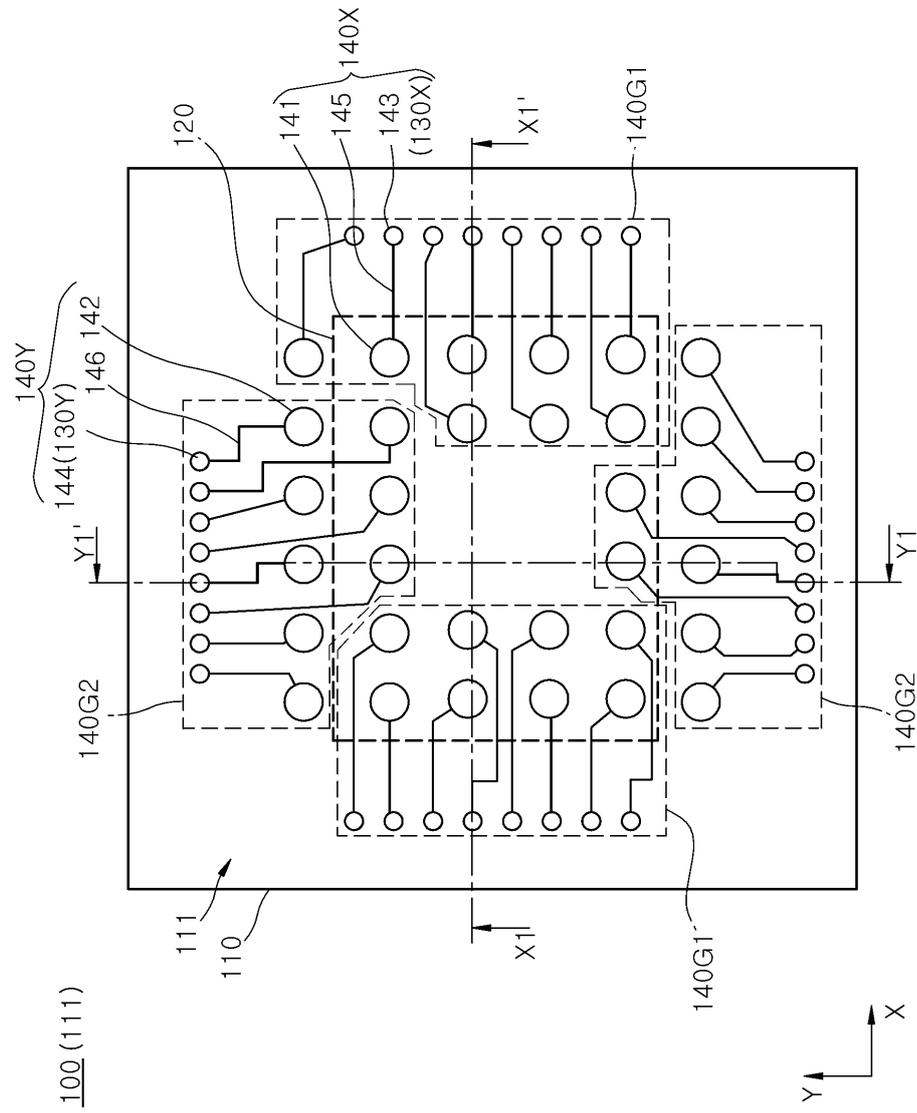
도면1



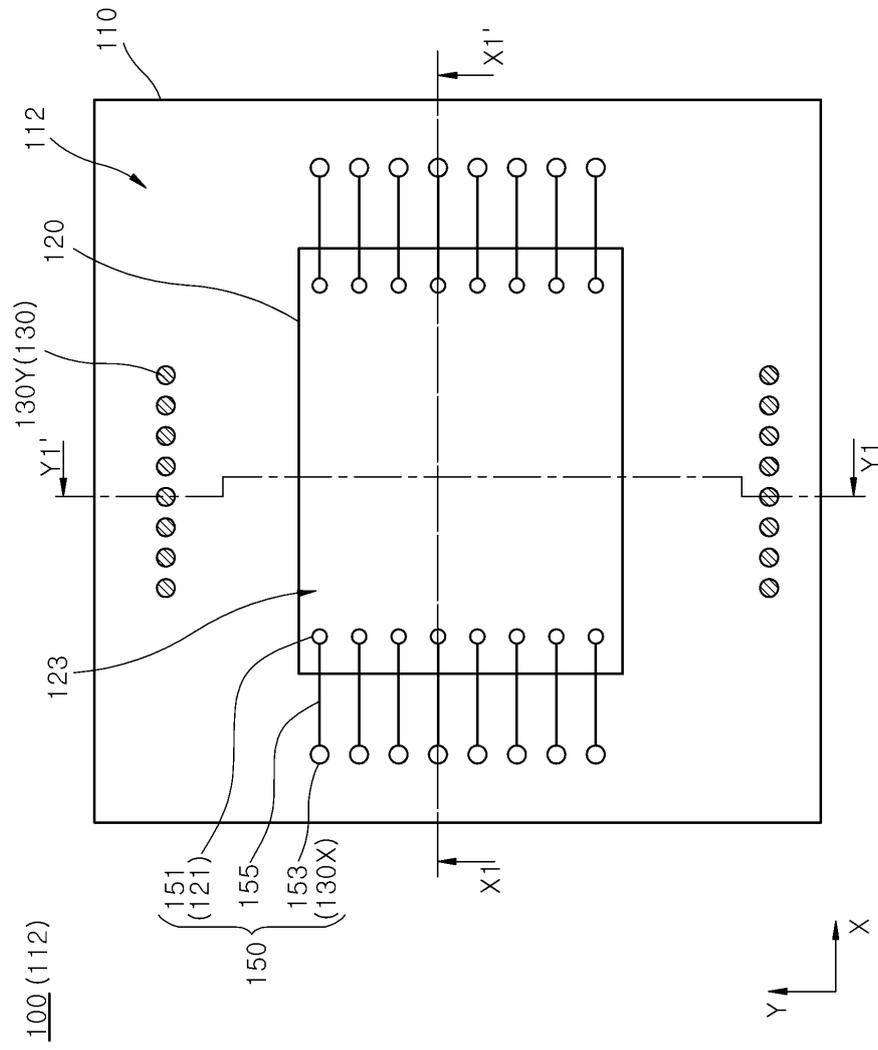
도면2



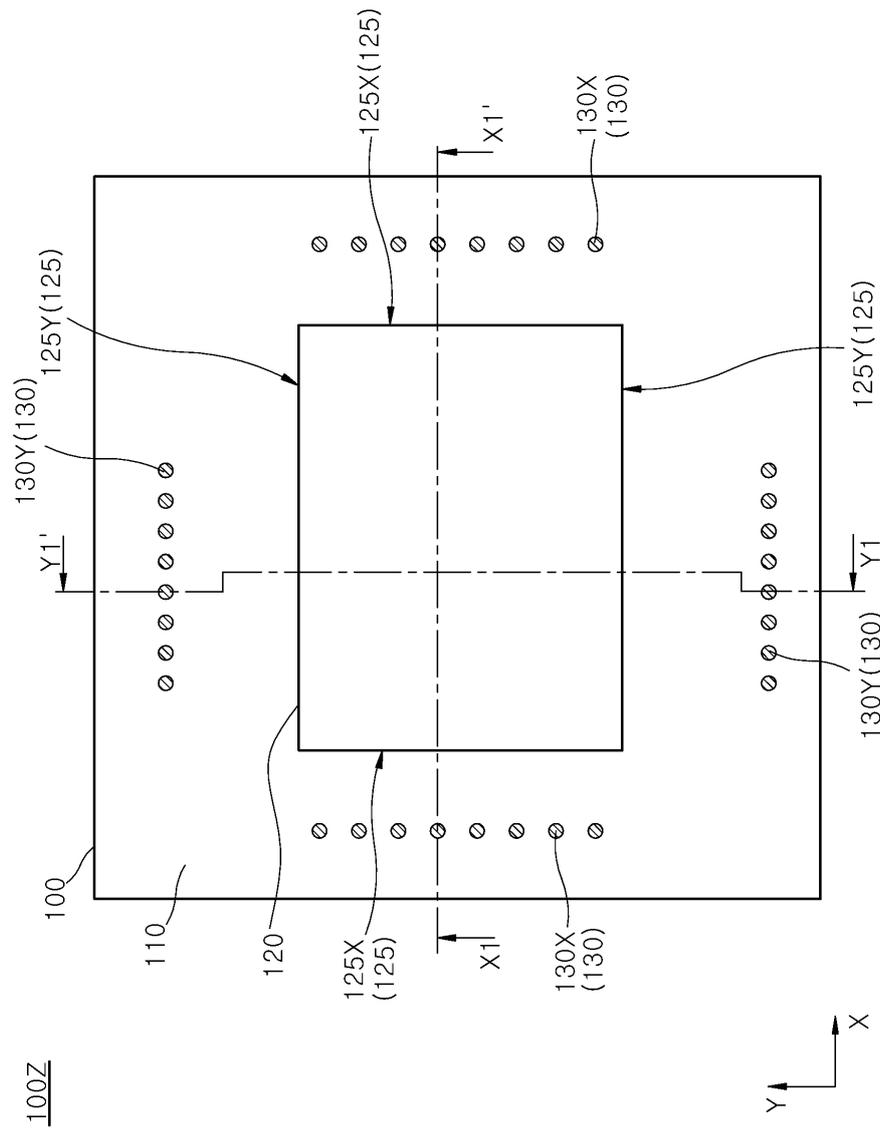
도면3



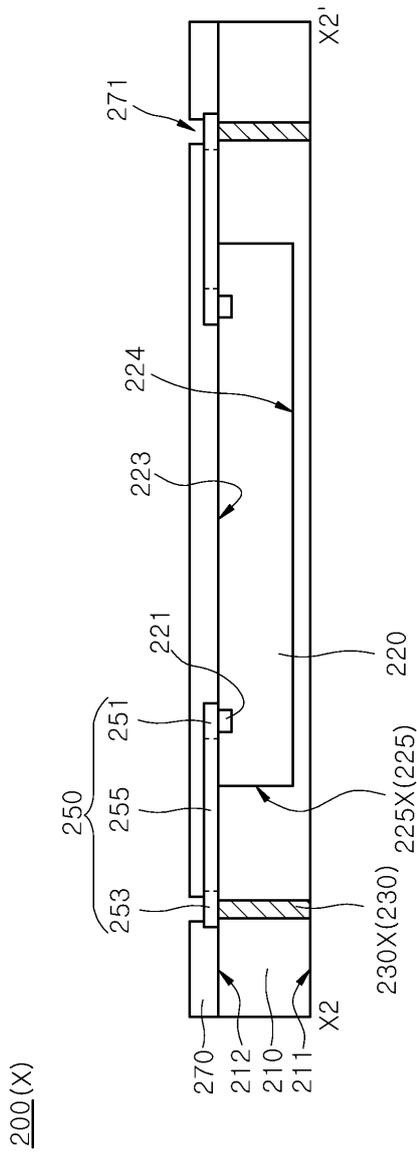
도면4



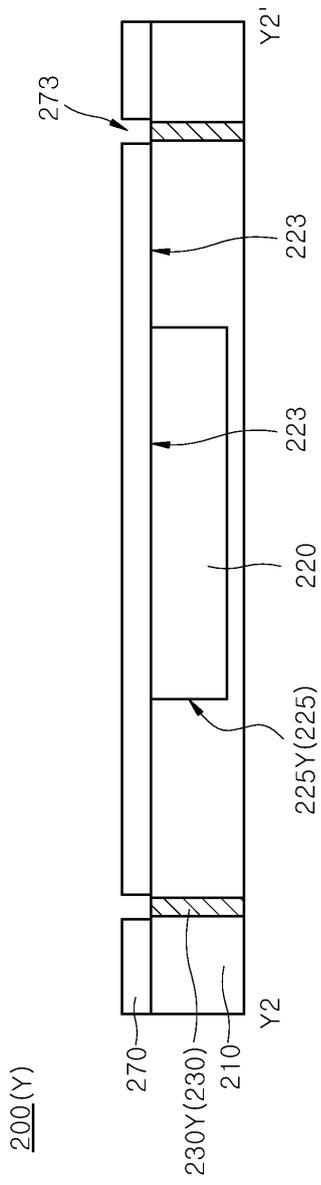
도면5



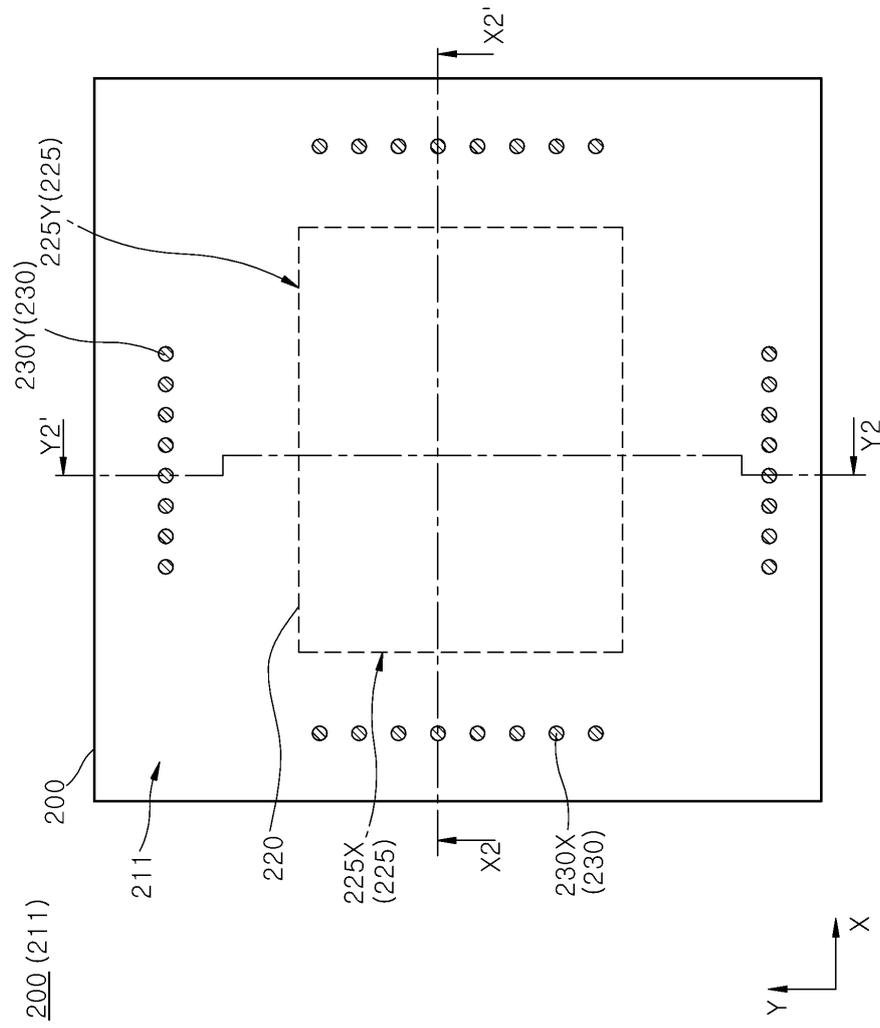
도면6



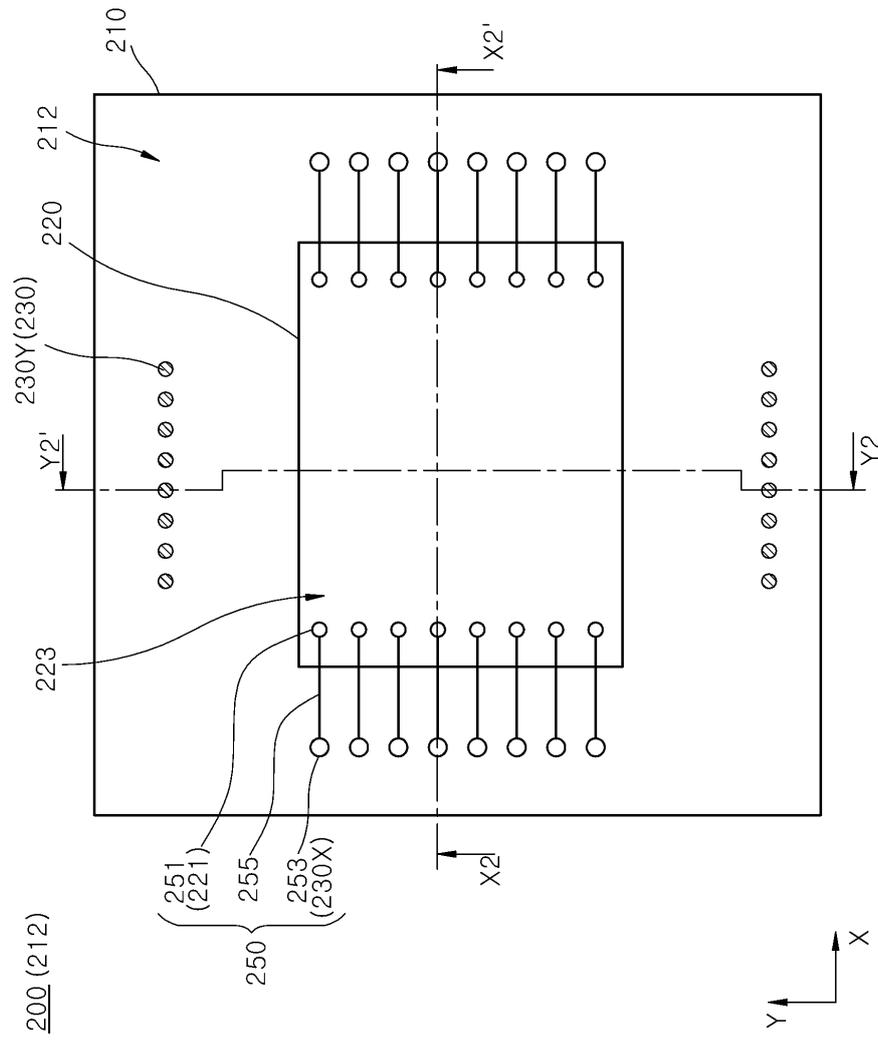
도면7



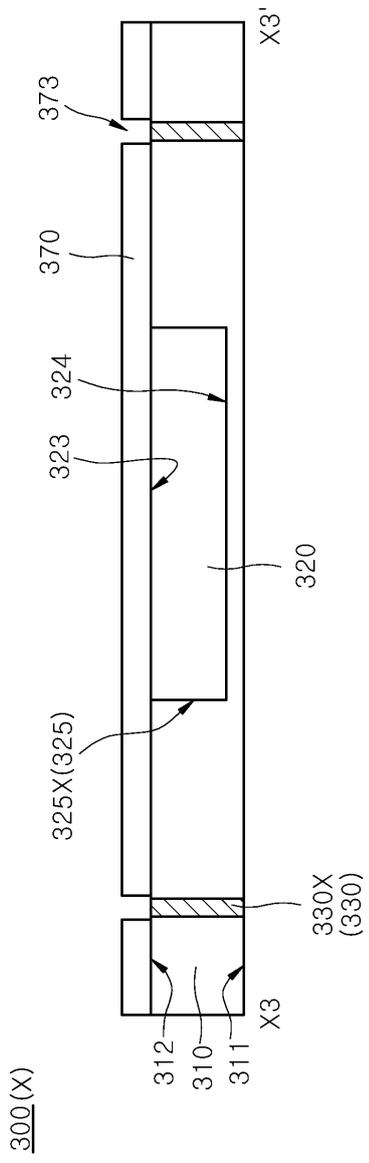
도면8



도면9

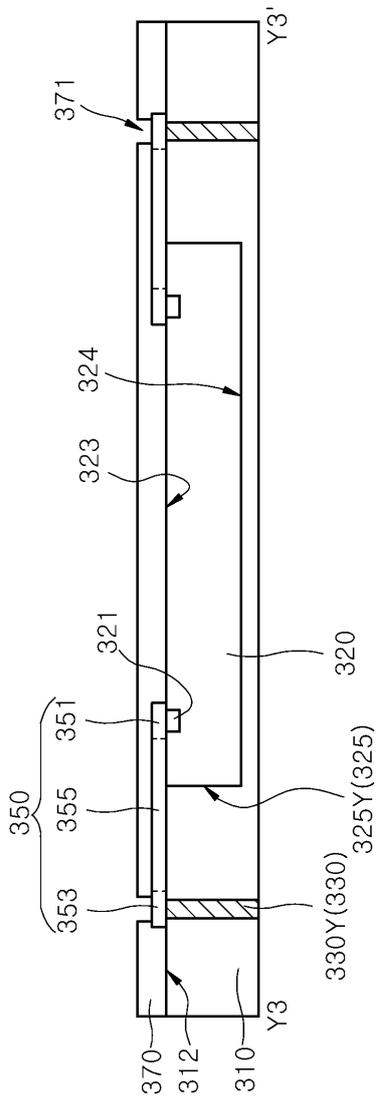


도면10

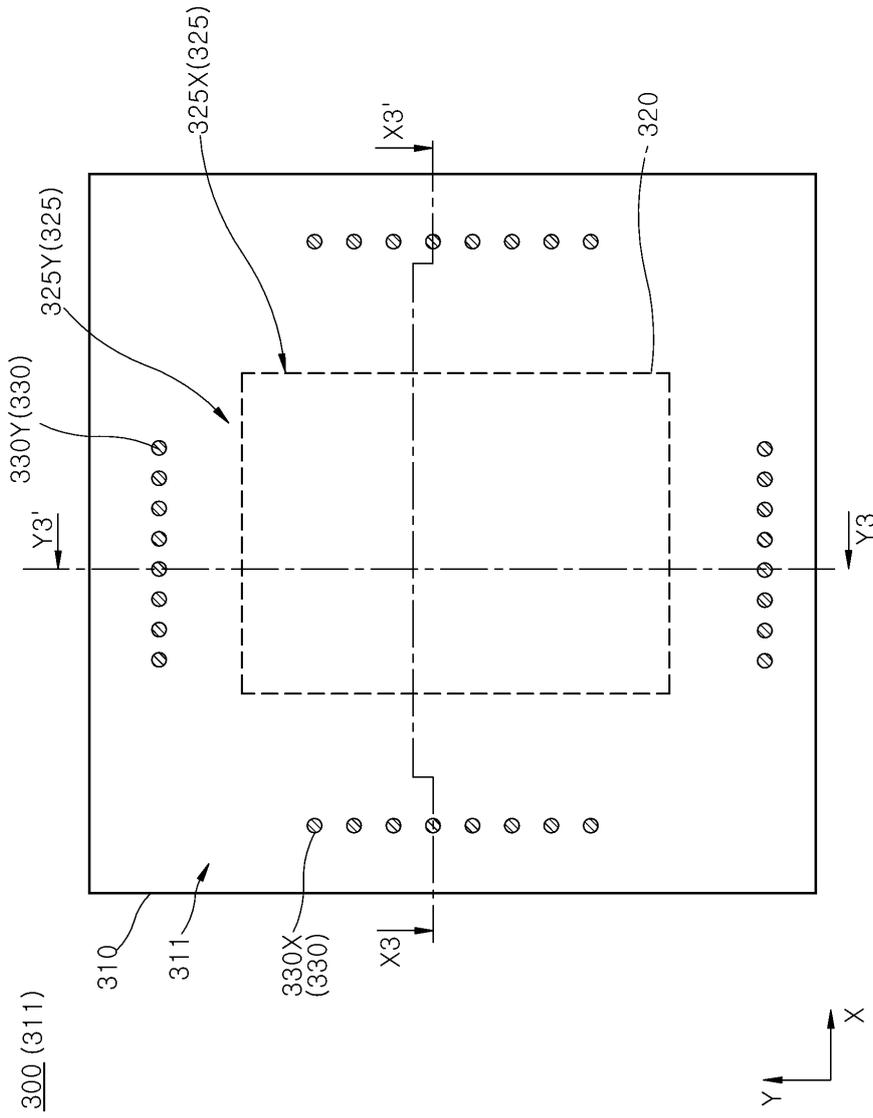


도면11

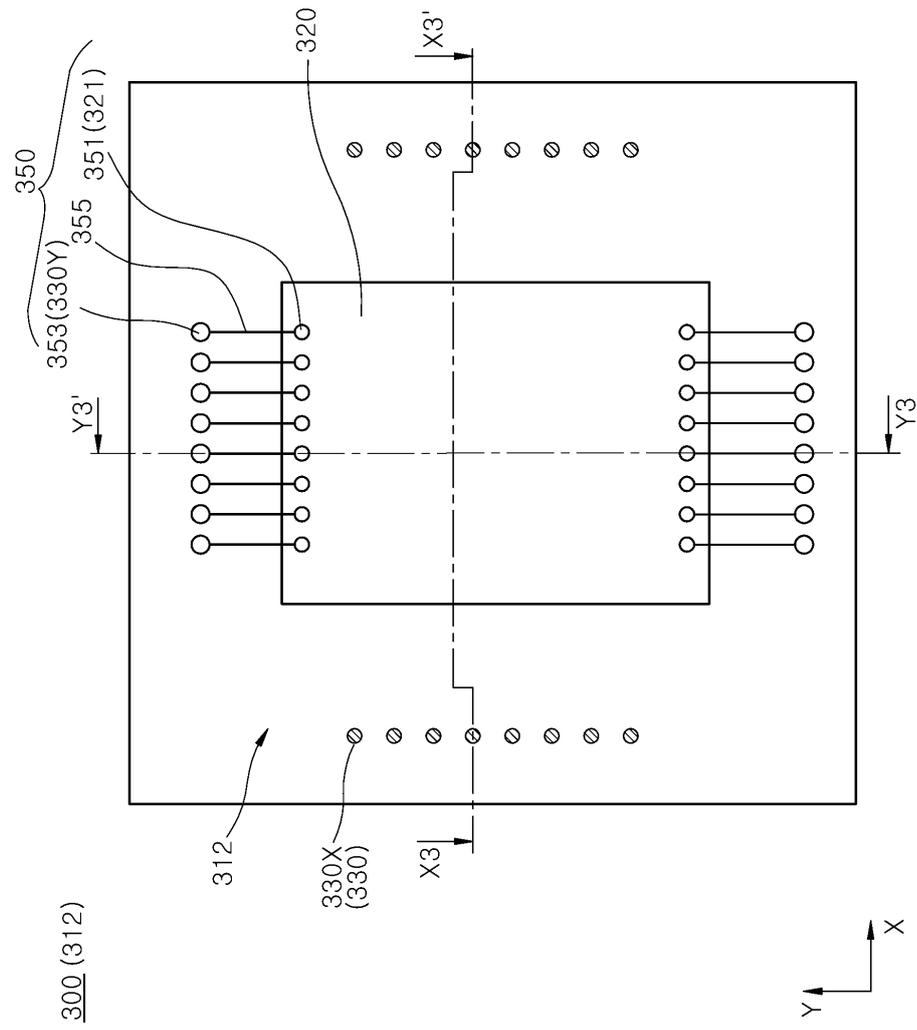
300(Y)



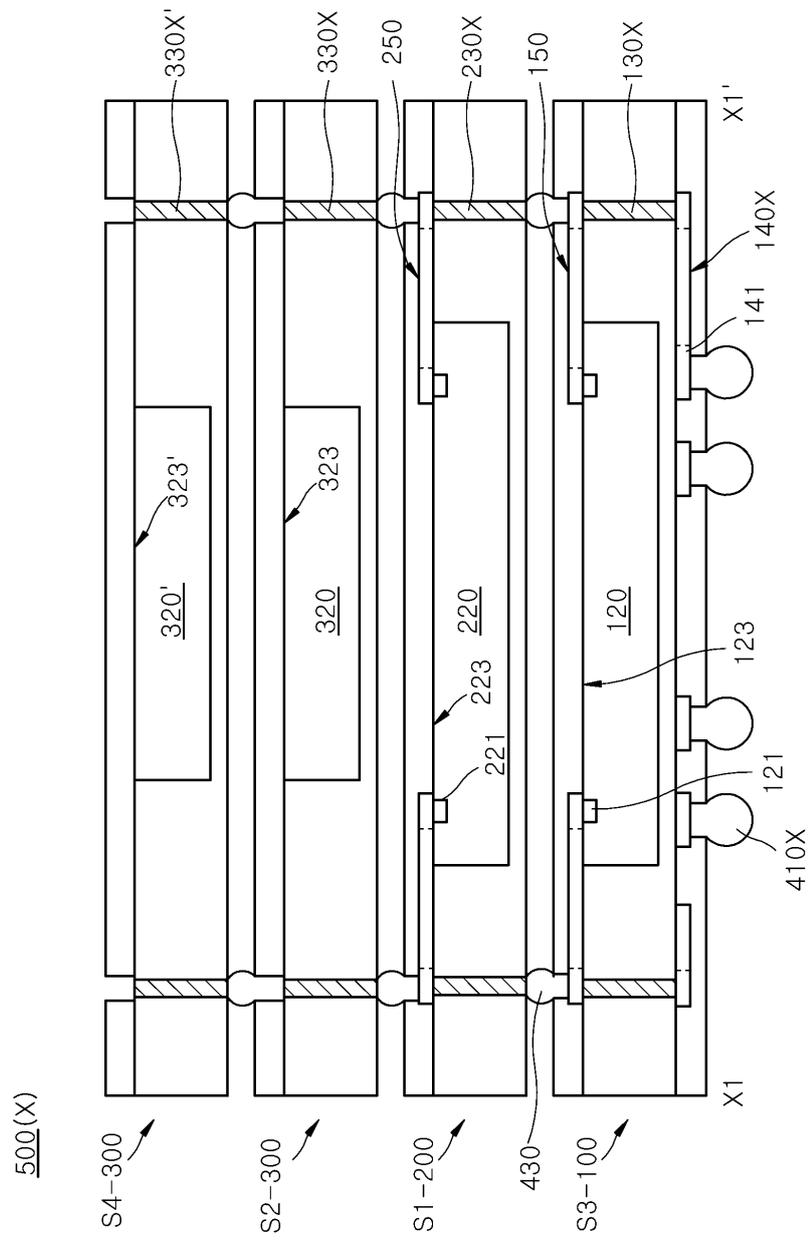
도면12



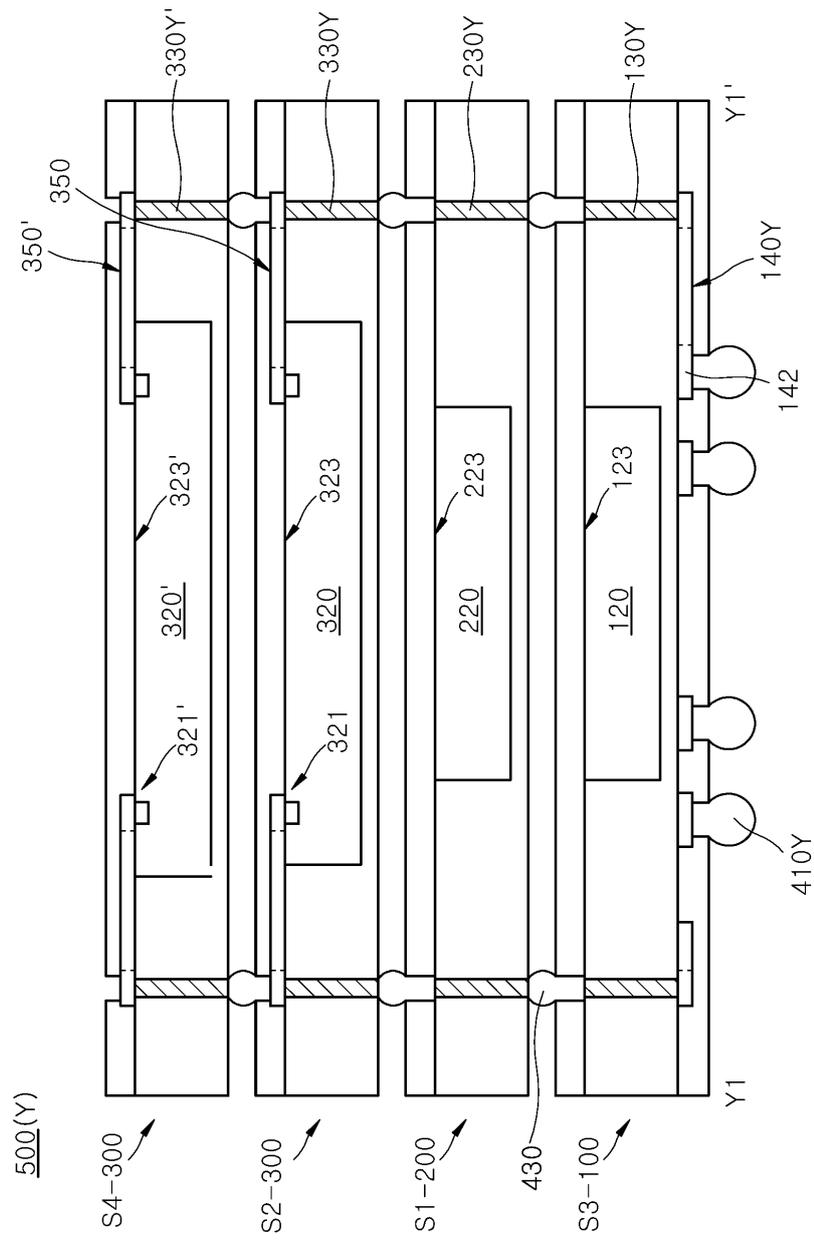
도면13



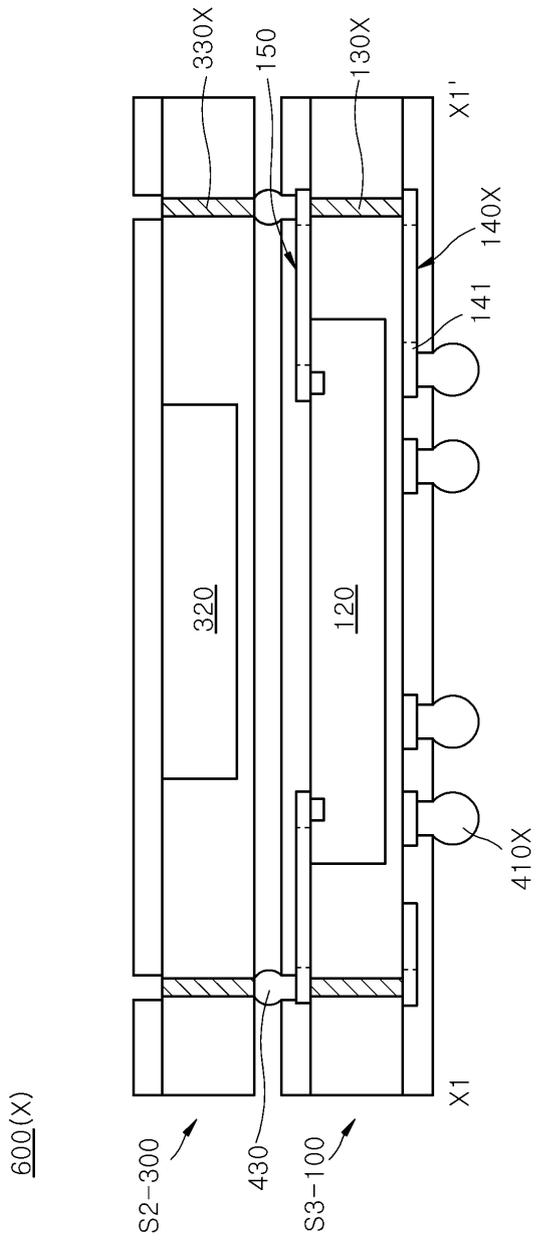
도면14



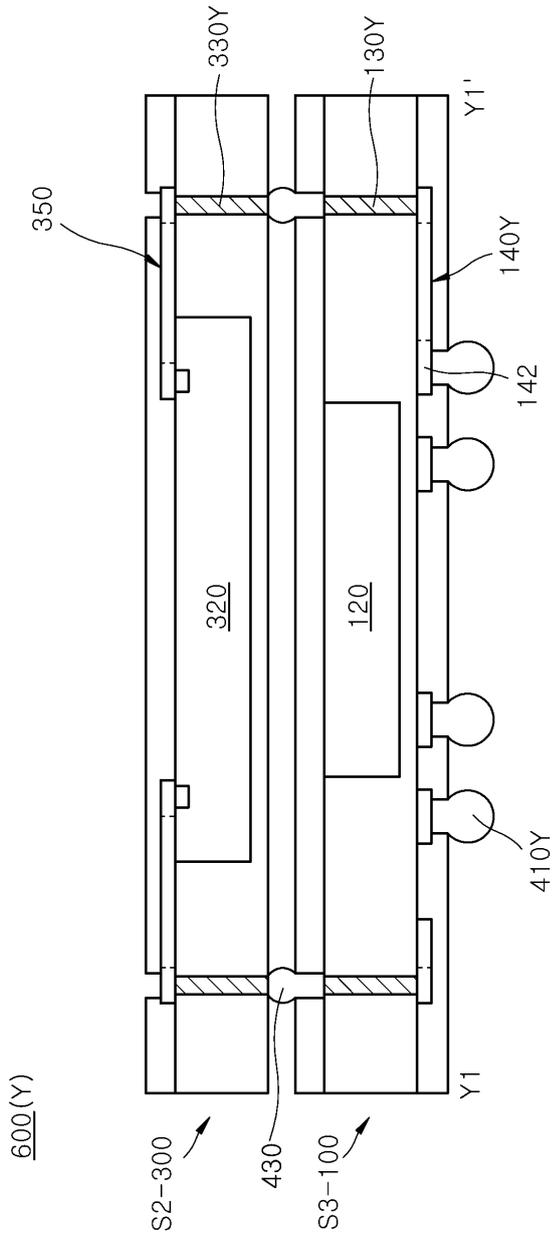
도면15



도면16

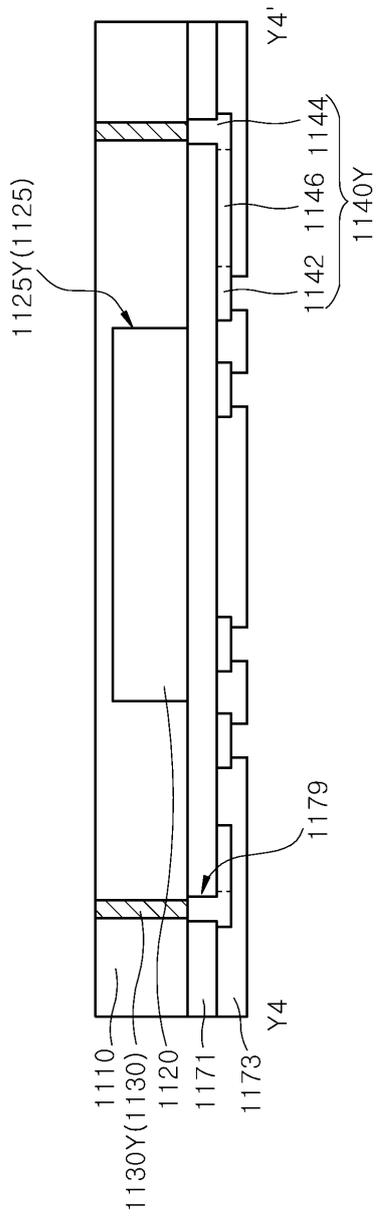


도면17

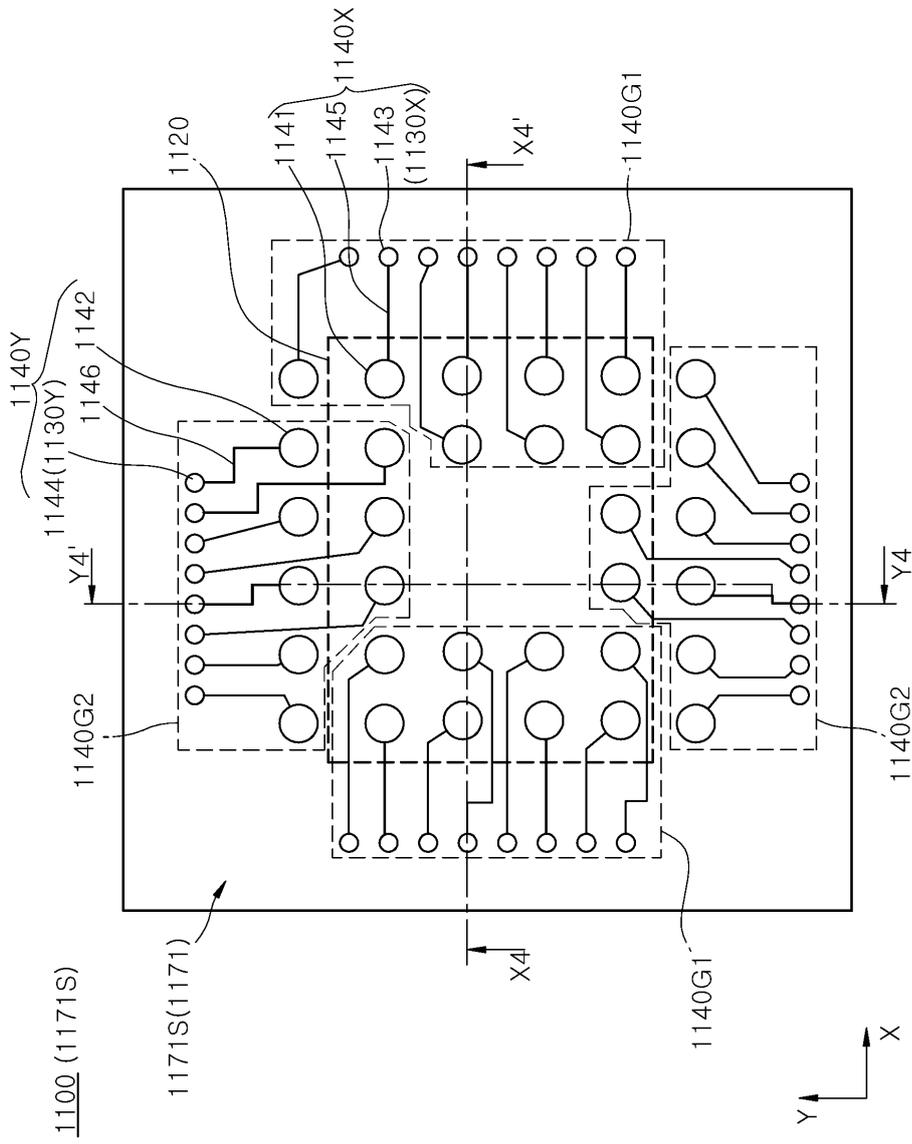


도면19

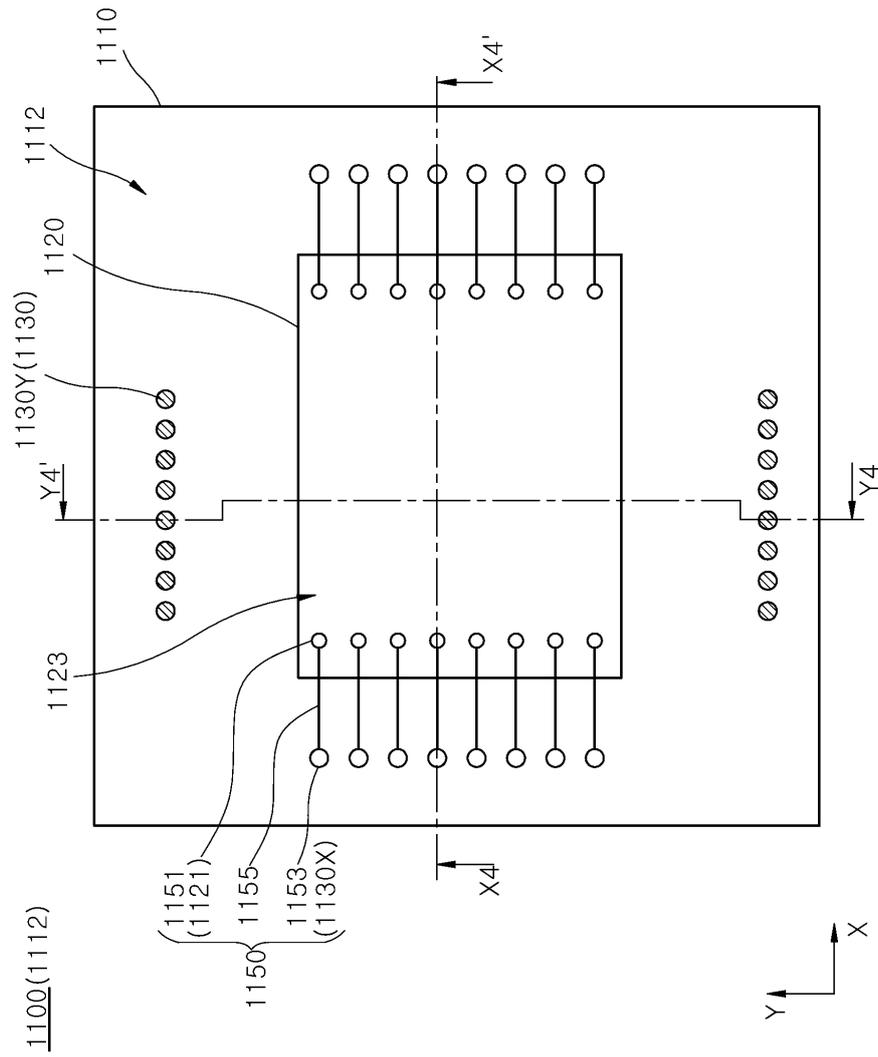
1100(Y)



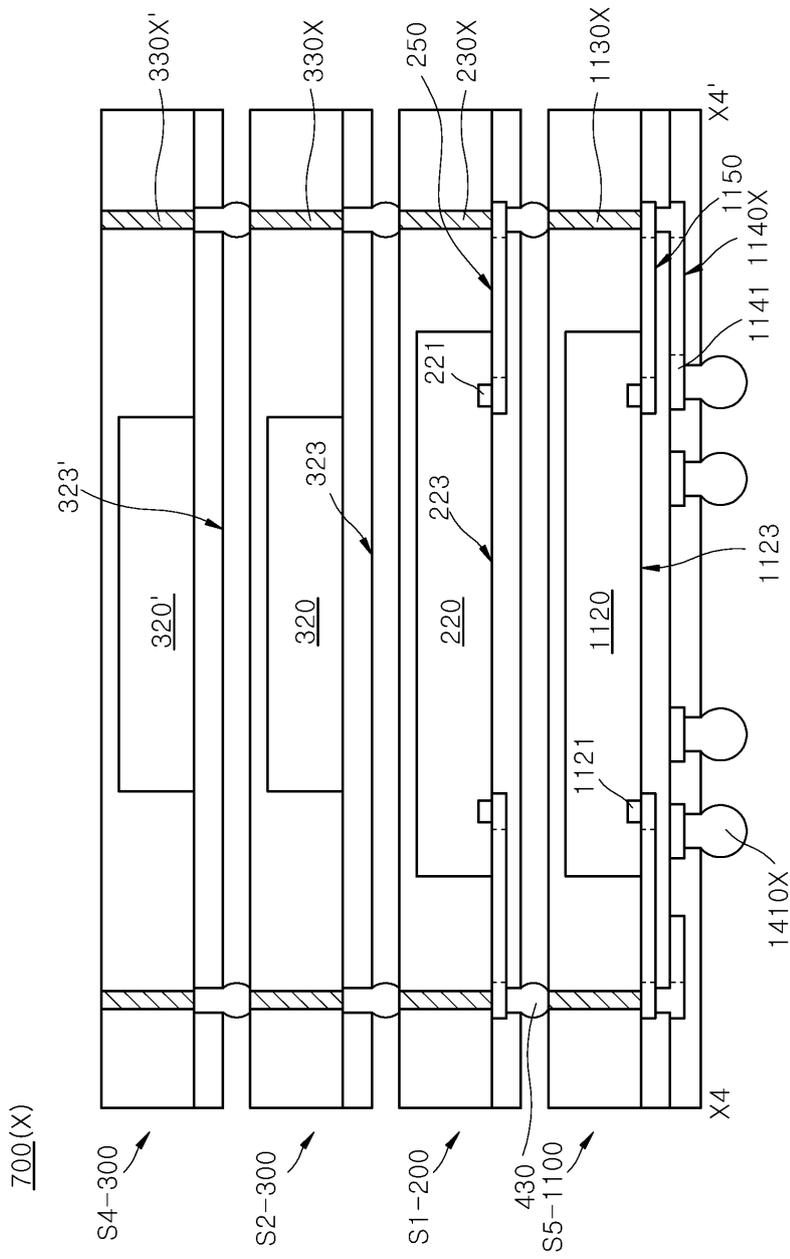
도면20



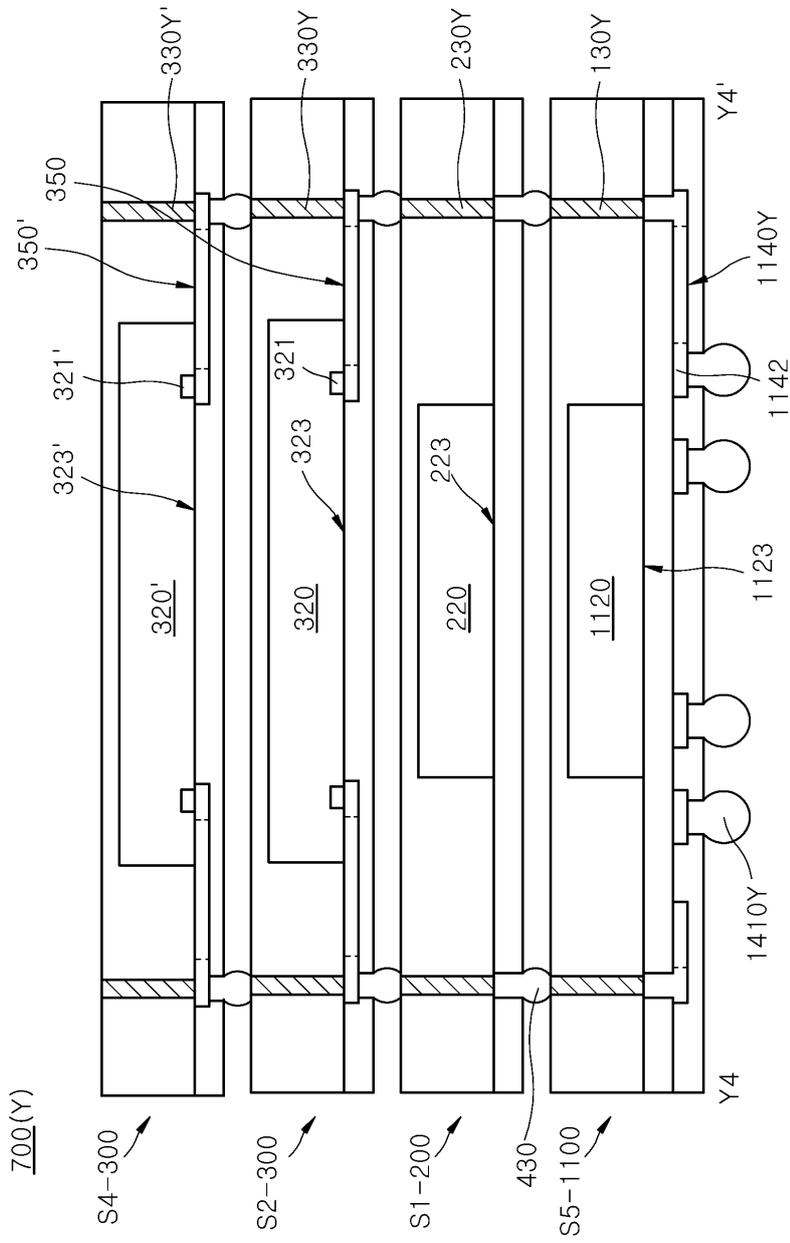
도면21



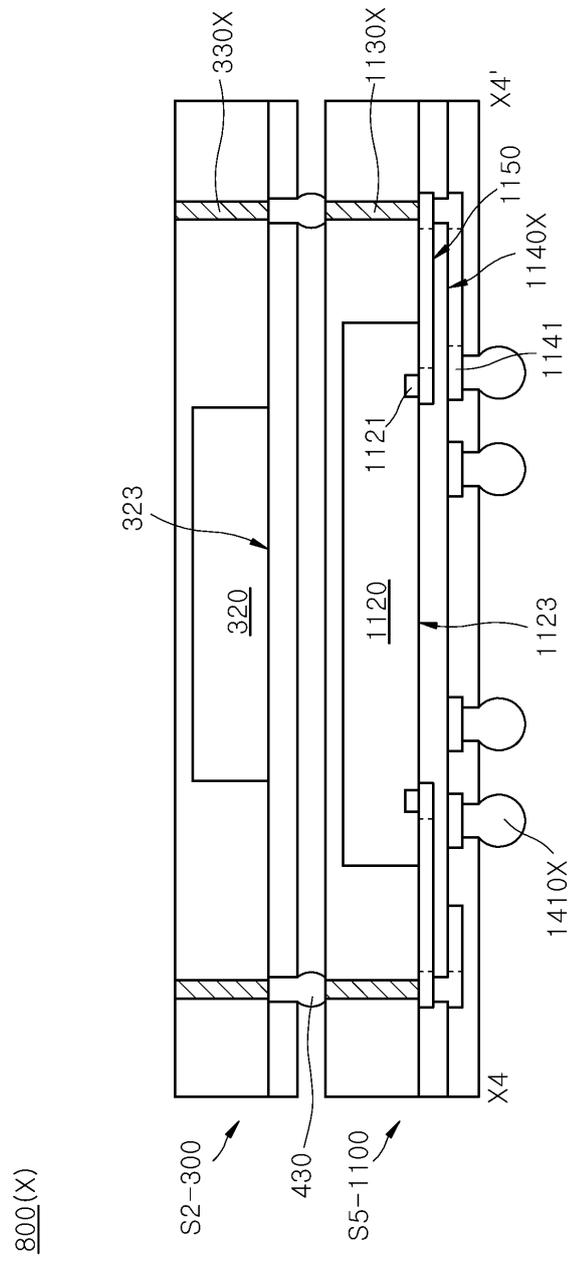
도면22



도면23



도면24



도면25

