



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 781973

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 04.11.78 (21) 2680485/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 23.11.80. Бюллетень № 43

Дата опубликования описания 23.11.80

(51) М. Кл.³

G 11 C 11/00

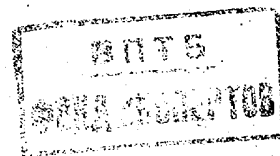
G 11 C 29/00

(53) УДК 681.327.
.6(088.8)

(72) Авторы
изобретения

Г. Н. Острась, А. И. Кись и К. Р. Бурик

(71) Заявитель



(54) ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО

Изобретение относится к автоматике и вычислительной технике, а именно к запоминающим устройствам (ЗУ) вычислительных машин параллельного действия, к которым предъявляются требования устранения одной неисправности.

Известно параллельное запоминающее устройство, содержащее числовые и разрядные тракты, дополнительный разрядный тракт и регистр, нулевые выходы которого подсоединены к управляющим входам 10 вентилей, включенных во входные и выходные цепи разрядных трактов, а единичные выходы триггеров регистра подсоединены к управляющим входам 15 вентилей, включенных во входные цепи связи каждого предыдущего разрядного тракта с последующим разрядным трактом, и к управляющим входам вентилей, включенных в выходные цепи связи каждого последующего разрядного тракта с предыдущим разрядным трактом, при этом единичные входы триггеров адреса связаны через вентили с управляющей шиной [1].

Недостаток этого устройства - низкое быстродействие при переключении резервного разряда на место отказавшего, так как резервный разряд подключается последовательно вместо первого, второго, n -го до тех пор, пока не заблокируется разряд, являющийся источником ошибки. Если неисправность в n -ом разряде, то необходимо n переключений для устранения неисправности.

Наиболее близким техническим решением к предлагаемому является устройство, содержащее группы элементов И, регистр адреса, нулевые выходы которого подключены к одним из входов элементов И первой и второй групп, другие входы которых соединены соответственно с входами устройства и выходами одноразрядных блоков памяти, а выходы подключены соответственно к входам одноразрядных блоков памяти и выходам устройства, резервный одноразрядный блок памяти, управляющую и контрольные шины, третью, четвертую и пятую группы элементов И, причем пер-

вые входы элементов И третьей и четвертой групп подключены к единичным выходам регистра адреса, вторые входы - соответственно к входам устройства и выходу резервного одноразрядного блока памяти, а выходы - соответственно к входу резервного одноразрядного блока памяти и выходам устройства, первые входы элементов И пятой группы соединены с входами устройства, вторые входы - с управляющей шиной, а выходы - с выходами регистра адреса, нулевые выходы регистра адреса подключены к входам первого элемента И, выход которого соединен с первыми входами второго и третьего элементов И (входной и выходной элементы И резервного одноразрядного блока памяти), вторые входы которых подключены соответственно к входной контрольной шине и выходу резервного одноразрядного блока памяти, а выходы - соответственно к входу резервного одноразрядного блока памяти и выходной контрольной шине [2].

Недостатки этого устройства - наличие многовходового элемента И для стробирования резервного разряда, так как для построения памяти с большим количеством разрядов, например 64, при использовании имеющейся элементной базы требуется 9 шт. восьмивходовых элементов И, что значительно усложняет устройство в целом; резервный одноразрядный блок памяти по входу и выходу также должен иметь дополнительные входные и выходные элементы для согласования нагрузочных режимов, так, при указанной разрядности на входе резервного одноразрядного блока памяти требуется установка 9 шт. восьмивходовых элементов И, а на выходе - 8 шт. элементов, что увеличивает количество резервного оборудования и создает дополнительные задержки по тракту вход-выход резервного разряда, т.е. снижает быстродействие резервного одноразрядного блока памяти и устройства в целом; резервный разряд подключается к каждому из основных разрядов, что обуславливает наличие длинных линий связи и отрицательно влияет на помехоустойчивость и быстродействие устройства.

Целью изобретения является упрощение устройства и повышение его быстродействия.

Поставленная цель достигается тем, что в запоминающем устройстве, содержащем группы элементов И, регистр адреса, входы которого через элементы И первой группы подключены к управляющей шине,

входным шинам и к одним из входов элементов И второй и третьей групп, другие входы элементов И второй и четвертой, третьей и пятой групп соединены соответственно с нулевыми и единичными выходами регистра адреса, выходы элементов И второй группы через соответствующие одноразрядные блоки памяти подключены к одним из входов элементов И четвертой группы, выходы элементов И четвертой группы подключены к выходным шинам и выходу элементов И пятой группы, одни из входов элементов И пятой группы подключены к выходам соответствующих одноразрядных блоков памяти, одноразрядный резервный блок памяти, вход и выход которого подключены через соответствующие элементы И к входной и выходной контрольным шинам, выходы каждого элемента И третьей группы, кроме последнего соединены через соответствующие одноразрядные блоки памяти с одним из входов каждого элемента И пятой группы, кроме последнего, выход последнего элемента И третьей группы соединен через одноразрядный резервный блок памяти с одним из входов последнего элемента И пятой группы, а одни из нулевых выходов регистра адреса подключены к одним из входов элементов И.

За счет такого подключения обеспечивается использование вместо отказавшего одноразрядного блока памяти последующего одноразрядного блока памяти, а резервный разряд выполняет функции последнего одноразрядного блока памяти, что существенно упрощает устройство и повышает его быстродействие.

На чертеже представлена функциональная схема запоминающего устройства.

Устройство содержит одноразрядные блоки 1 памяти, одноразрядный резервный блок 2 памяти, блоки 3 и 4 элементов И, регистр 5 адреса, состоящий из триггеров 6. В блок 3 входят элементы 7 И второй группы, выходы которых подключены ко входам одноразрядных блоков 1 памяти. В блок 4 входят элементы 8 И четвертой группы, один из входов которых подключены к выходам соответствующих блоков 1 памяти, а выходы - к выходам устройства. В блок 3 также входят элементы 9 И третьей группы. Выход первого элемента И третьей группы подключен ко входу второго одноразрядного блока 1 памяти, выход $n-1$ элемента - ко входу одноразрядного резервного блока 2 памяти. В блок 4 входят также элементы

10 И пятой группы. Один из входов первого элемента И пятой группы подключен к выходу второго одноразрядного блока 1 памяти, вход η -1 элемента И этой группы - к выходу η -го блока 1, а вход η -го элемента И этой же группы - к выходу одноразрядного резервного блока 1 памяти. Выходы элементов 10 И пятой группы соединены с выходами устройства. Нулевые выходы триггеров 6 соединены с первыми входами элементов И второй группы и четвертой группы, единичные выходы - с первыми входами элементов И третьей группы и вторыми входами элементов И пятой группы. Устройство также содержит элементы 11 И первой группы, одни входы которых подключены к входам устройства и вторым входам элементов И второй и третьей групп, другие входы - к управляющей шине 12, а выходы - к входам 20 триггеров 6.

Устройство также содержит элементы 13 и 14 И одноразрядного резервного блока памяти, одни из входов которых подключены к нулевому выходу триггера 6 η -го разряда регистра адреса, вторые входы - соответственно к входной контрольной шине 15 и выходу блока 2, а выходы - соответственно ко входу блока 2 и выходной контрольной шине 16.

Устройство работает следующим образом.

В исходном состоянии при отсутствии сигнала на шине 12 элементы 11 И закрыты, триггеры 6 регистра 5 установлены в нулевое состояние (на нулевых выходах высокий потенциал, а на единичных выходах - низкий). Элементы 9 и 10 И закрыты, элементы 7 и 8 И открыты и пропускают сигналы со входов 3У на входы одноразрядных блоков памяти (БП) 1 и с выходов одноразрядных БП 1 на входы устройства. Высокий потенциал на нулевом выходе последнего триггера 6 регистра 5 открывает элементы 13 и 14 И, и вход 15 контрольной шины подсоединяется ко входу одноразрядного резервного БП 2, а выход одноразрядного резервного БП 2 подсоединяется к выходной контрольной шине. До появления неисправности одноразрядный резервный БП 2 используется для контроля на четность.

При наличии неисправности одного из одноразрядных БП 1 на шину 12 подается сигнал, который открывает элементы 11 И. Со входов 3У через элементы 11 И подается код на единичные входы триггеров 6 регистра 5. Код состоит из ну-

лей и единиц. На входы триггеров 6 регистра адреса 5, находящихся перед неисправным разрядом БП 1, подаются нулевые сигналы, а на остальные - единичные. Единичные сигналы устанавливают триггеры 6 регистра 5 в единичное состояние (на единичных выходах триггеров 6 высокий потенциал, на нулевых выходах - низкий), нулевые сигналы кода подтверждают нулевое состояние остальных триггеров 6. Сигнал снимается с шины 12 и элементы И закрываются. Триггеры 6, находящиеся перед неисправным разрядом, остаются в нулевом состоянии, а триггеры 6 неисправного и всех последующих разрядов - в единичном, элементы 7 и 8 И, подключенные к нулевым выходам триггеров 6, установленных в единичное состояние, закрываются, а элементы 9 и 10 И, подключенные к единичным выходам триггеров 6, установленных в нулевое состояние, открываются и соединяют входы устройства, начиная с неисправного разряда, со входами последующих одноразрядных БП 1 таким образом, что последний вход устройства оказывается подключенным ко входу одноразрядного резервного БП 2, а выход одноразрядного БП 2 подключается к последнему выходу устройства, выход последнего одноразрядного БП 1 подсоединяется к предпоследнему выходу устройства и т.д., выход БП 1, стоящего перед неисправным БП 1, подсоединяется к выходу устройства неисправного разряда.

Таким образом, неисправный одноразрядный БП 1 блокируется, вместо него подключается последующий БП 1, вместо η -1 одноразрядного БП 1 подключается η -ый одноразрядный БП 1, а резервный БП 2 выполняет функции η -го одноразрядного БП 1. Одновременно отключается схема контроля, так как с нулевого выхода последнего триггера 6 подается низкий потенциал на входы элементов 13 и 14 И. При этом элементы 13 и 14 И выключаются и прорывают цепи для сигналов со входа 15 на вход одноразрядного резервного БП 2 и с выхода одноразрядного резервного БП 2 на выход 16. При этом контроль не производится.

Предлагаемое устройство имеет по сравнению с известным более простую конструкцию вследствие исключения многоходового элемента И, формирующего сигнал на подключение резервного разряда вместо отказавшего одного из основных разрядов, и применения в данном устройстве только двухходовых элементов

И, а также обеспечивает повышение быстродействия резервного разряда и всего устройства в целом за счет уменьшения задержки на величину, обусловленную необходимостью, включения дополнительного оборудования в тракт вход-выход резервного разряда при каком-либо неисправном одноразрядном блоке памяти, и уменьшении длины линий связи по цепям подключения резервного блока вместо одного из основных до величины связи только между двумя соседними блоками, что увеличивает помехоустойчивость и быстродействие устройства.

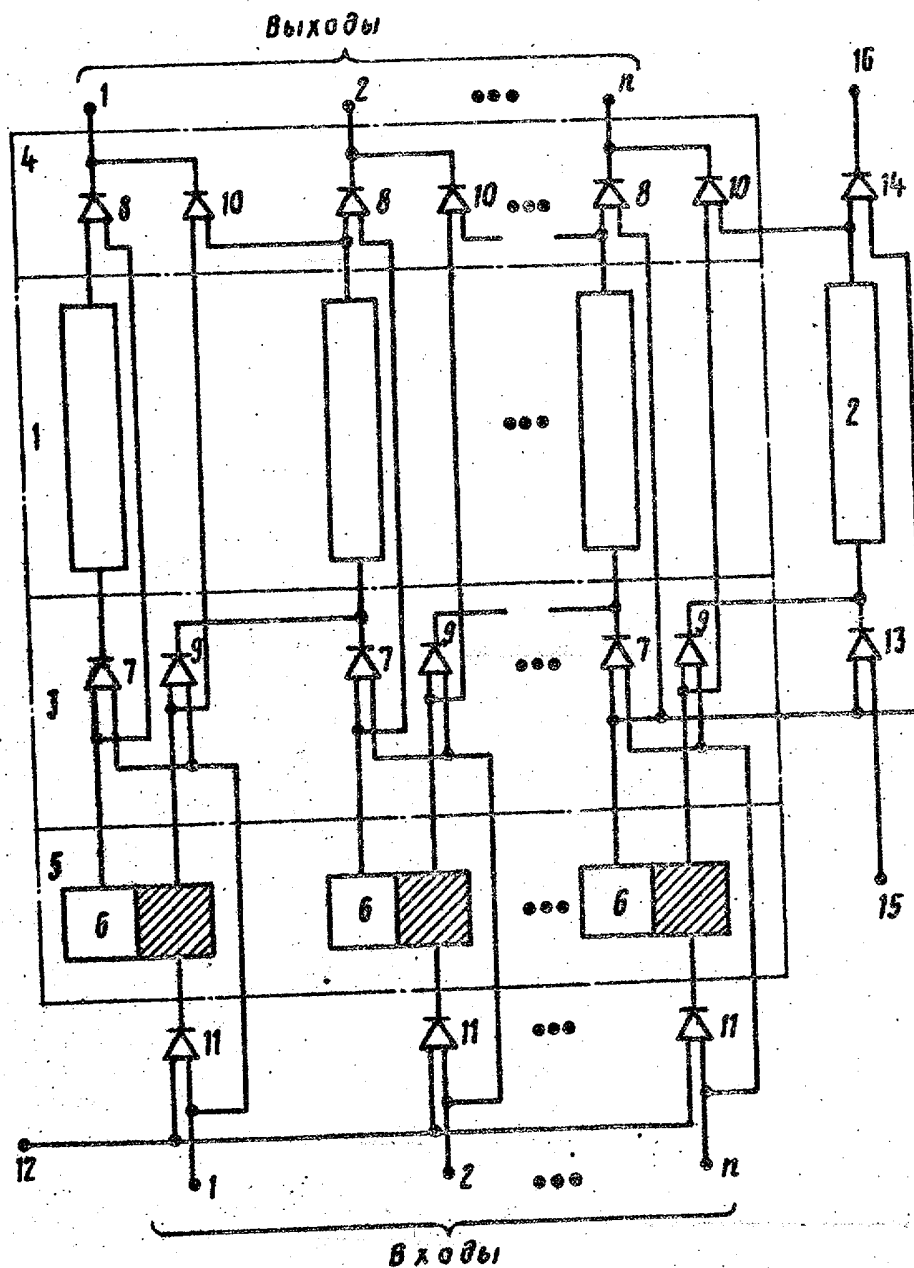
Ф о р м у л а и з о б р е т е н и я

Запоминающее устройство, содержащее группы элементов И, регистр адреса, входы которого через элементы И первой группы подключены к управляющей шине, входным шинам и к одним из входов элементов И второй и третьей групп, другие входы элементов И второй и четвертой, третьей и пятой групп соединены соответственно с нулевыми и единичными выходами регистра адреса, выходы элементов И второй группы через соответствующие одноразрядные блоки памяти подключены к одним из входов элементов И

четвертой группы, выходы элементов И четвертой группы подключены к выходным шинам и выходу элементов И пятой группы, одни из входов элементов И пятой группы подключены к выходам соответствующих одноразрядных блоков памяти, одноразрядный резервный блок памяти, вход и выход которого подключены через соответствующие элементы И к входной и выходной контрольным шинам, отличающееся тем, что, с целью упрощения устройства и повышения его быстродействия, выход каждого элемента И третьей группы, кроме последнего, соединен через соответствующие одноразрядные блоки памяти с одним из входов каждого элемента И пятой группы, кроме последнего, выход последнего элемента И третьей группы соединен через одноразрядный резервный блок памяти с одним из входов последнего элемента И пятой группы, а один из нулевых выходов регистра адреса подключен к одним из входов элементов И.

Источники информации,

принятые во внимание при экспертизе
1. Авторское свидетельство СССР № 263681, кл. G 11 C 7/00, 1967,
2. Авторское свидетельство СССР № 607276, кл. G 11 C 11/00, G 11 C 29/00, 1975 (прототип).



Составитель Л. Амусьева
 Редактор И. Николайчук Техред С. Мигунова Корректор Г. Назарова
 Заказ 8154/63 Тираж 662 Подписное
 ВНИИТИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5
 Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4