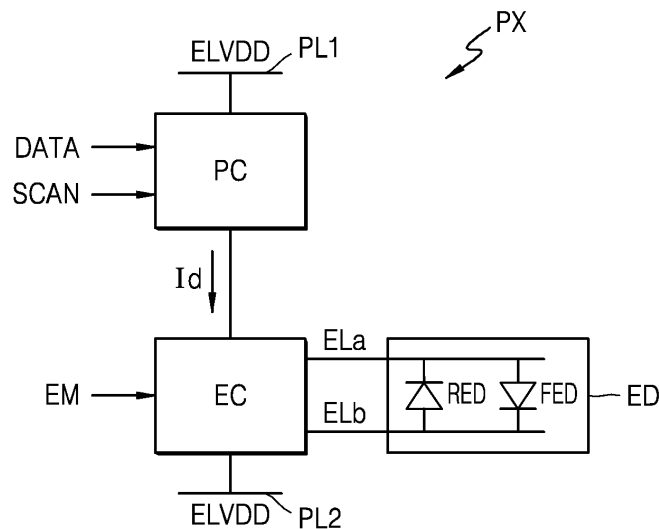


- 전체 청구항 수 : 총 20 항

(57) 요약

다양한 실시예들에 따른 화소 및 표시 장치가 제공된다. 표시 장치의 화소들 각각은 제1 전극과 제2 전극 사이에 정방향으로 연결되는 제1 발광 소자들과 역방향으로 연결되는 제2 발광 소자들을 포함하는 발광부, 상기 주사 신호들 중에서 대응하는 주사 신호에 동기화하여 상기 데이터 전압들 중에서 대응하는 데이터 전압을 수신하고, 상기 데이터 전압에 기초하여 구동 전류를 생성하여 제1 노드에 출력하는 화소 회로, 및 상기 제어 신호들 중에서 대응하는 제어 신호에 의해 제어되며, 제1 발광 구간 동안 상기 구동 전류를 상기 제1 발광 소자들에게 제공하고, 제2 발광 구간 동안 상기 구동 전류를 상기 제2 발광 소자들에게 제공하는 발광 회로를 포함한다.

대표도 - 도2



(52) CPC특허분류
G09G 2320/0233 (2013.01)

명세서

청구범위

청구항 1

제1 방향과 제2 방향으로 배열되는 복수의 화소들을 포함하는 표시부;

복수의 주사선들을 통해 상기 복수의 화소들에 주사 신호들을 전달하는 주사 구동부;

복수의 데이터선들을 통해 상기 복수의 화소들에 데이터 전압들을 전달하는 데이터 구동부;

제어선을 통해 상기 복수의 화소들에 제어 신호를 전달하는 제어 구동부; 및

제1 및 제2 전원선들을 통해 상기 복수의 화소들에 제1 및 제2 구동 전압들을 각각 공급하는 전압 생성부를 포함하고,

상기 화소들 각각은,

제1 전극과 제2 전극 사이에 정방향으로 연결되는 제1 발광 소자들과 역방향으로 연결되는 제2 발광 소자들을 포함하는 발광부;

상기 주사 신호들 중에서 대응하는 주사 신호에 동기화하여 상기 데이터 전압들 중에서 대응하는 데이터 전압을 수신하고, 상기 데이터 전압에 기초하여 구동 전류를 생성하여 제1 노드에 출력하는 화소 회로; 및

상기 제어 신호에 의해 제어되며, 제1 발광 구간 동안 상기 구동 전류를 상기 제1 발광 소자들에게 제공하고, 제2 발광 구간 동안 상기 구동 전류를 상기 제2 발광 소자들에게 제공하는 발광 회로를 포함하는 표시 장치.

청구항 2

제1 항에 있어서,

상기 제1 및 제2 발광 소자들은 초소형 발광 다이오드(micro LED)이고,

상기 제1 발광 소자들 각각은 상기 제1 전극에 접속하는 애노드 및 상기 제2 전극에 접속하는 캐소드를 갖고,

상기 제2 발광 소자들 각각은 상기 제2 전극에 접속하는 애노드 및 상기 제1 전극에 접속하는 캐소드를 갖는 것을 특징으로 하는 표시 장치.

청구항 3

제1 항에 있어서,

상기 화소들 각각에서 상기 제1 발광 소자들의 개수에 대한 상기 제2 발광 소자들의 개수의 비율은 일정하지 않은 것을 특징으로 하는 표시 장치.

청구항 4

제1 항에 있어서,

상기 화소들 각각은 한 프레임 기간 동안 복수의 상기 제1 발광 구간과 복수의 상기 제2 발광 구간을 교대로 갖는 것을 특징으로 하는 표시 장치.

청구항 5

제1 항에 있어서,

상기 발광 회로는,

상기 제1 노드와 상기 제1 전극 사이에 연결되는 제1 트랜지스터;

상기 제1 노드와 상기 제2 전극 사이에 연결되는 제2 트랜지스터;

상기 제1 전극과 상기 제2 전원선 사이에 연결되는 제3 트랜지스터; 및

상기 제2 전극과 상기 제2 전원선 사이에 연결되는 제4 트랜지스터를 포함하는 것을 특징으로 하는 표시 장치.

청구항 6

제5 항에 있어서,

상기 제1 및 제4 트랜지스터들의 도전형은 상기 제2 및 제3 트랜지스터들의 도전형과 반대이고,

상기 제1 내지 제4 트랜지스터들 각각의 게이트 전극은 상기 제어선에 공통적으로 연결되는 것을 특징으로 하는 표시 장치.

청구항 7

제6 항에 있어서,

상기 제어 구동부는,

상기 제1 발광 구간 동안, 상기 제1 및 제4 트랜지스터들이 턴 온되고 상기 제2 및 제3 트랜지스터들이 턴 오프되어 상기 구동 전류가 상기 제1 발광 소자들을 통해 흐르도록, 제1 논리 레벨을 갖는 상기 제어 신호를 상기 제어선에 출력하고,

상기 제2 발광 구간 동안, 상기 제2 및 제3 트랜지스터들이 턴 온되고 상기 제1 및 제4 트랜지스터들이 턴 오프되어 상기 구동 전류가 상기 제2 발광 소자들을 통해 흐르도록, 제2 논리 레벨을 갖는 상기 제어 신호를 상기 제어선에 출력하는 것을 특징으로 하는 표시 장치.

청구항 8

제7 항에 있어서,

상기 제어 구동부는 한 프레임 기간 동안 상기 제1 논리 레벨을 갖는 상기 제어 신호와 상기 제2 논리 레벨을 갖는 상기 제어 신호를 교대로 복수 회 출력하는 것을 특징으로 하는 표시 장치.

청구항 9

제5 항에 있어서,

상기 제어선은 상기 복수의 화소들에 제1 제어 신호를 전달하는 제1 제어선, 및 상기 복수의 화소들에 제2 제어 신호를 전달하는 제2 제어선을 포함하고,

상기 제1 및 제4 트랜지스터들 각각의 게이트 전극은 상기 제1 제어선에 공통적으로 연결되고,

상기 제2 및 제3 트랜지스터들 각각의 게이트 전극은 상기 제2 제어선에 공통적으로 연결되는 것을 특징으로 하는 표시 장치.

청구항 10

제9 항에 있어서,

상기 제어 구동부는,

상기 제1 발광 구간 동안, 턴 온 레벨을 갖는 상기 제1 제어 신호를 상기 제1 제어선에 출력하고 턴 오프 레벨을 갖는 상기 제2 제어 신호를 상기 제2 제어선에 출력하며,

상기 제2 발광 구간 동안, 턴 온 레벨을 갖는 상기 제2 제어 신호를 상기 제2 제어선에 출력하고 턴 오프 레벨을 갖는 상기 제1 제어 신호를 상기 제1 제어선에 출력하는 것을 특징으로 하는 표시 장치.

청구항 11

제10 항에 있어서,

상기 제어 구동부는 제1 듀티비로 상기 턴 온 레벨을 갖는 상기 제1 제어 신호 및 제2 듀티비로 상기 턴 온 레벨을 갖는 상기 제2 제어 신호를 상기 화소들 각각의 상기 발광 회로에 공통으로 출력하는 것을 특징으로 하는

표시 장치.

청구항 12

제11 항에 있어서,

상기 제어 구동부를 통해 상기 제1 제어 신호의 상기 제1 듀티비와 상기 제2 제어 신호의 상기 제2 듀티비가 조절됨으로써, 상기 표시부의 전체 밝기가 조절되는 것을 특징으로 하는 표시 장치.

청구항 13

주사 신호를 전달하는 주사선, 데이터 전압을 전달하는 데이터선, 제어 신호를 전달하는 제어선, 및 제1 및 제2 전원선들에 접속되는 화소에 있어서,

제1 전극과 제2 전극 사이에 정방향으로 연결되는 제1 발광 소자들과 역방향으로 연결되는 제2 발광 소자들을 포함하는 발광부;

상기 주사 신호에 동기화하여 상기 데이터 전압을 수신하고, 상기 데이터 전압에 기초하여 상기 제1 전원선으로부터 공급되는 제1 구동 전압으로부터 구동 전류를 생성하여 제1 노드에 출력하는 화소 회로; 및

상기 제1 및 제2 전극들, 상기 제1 노드, 상기 제2 전원선 및 상기 제어선에 연결되어 상기 제어 신호에 의해 제어되며, 제1 발광 구간 동안 상기 구동 전류를 상기 제1 발광 소자들에게 제공하고, 제2 발광 구간 동안 상기 구동 전류를 상기 제2 발광 소자들에게 제공하는 발광 회로를 포함하는 화소.

청구항 14

제13 항에 있어서,

상기 발광 회로는,

상기 제1 노드와 상기 제1 전극 사이에 연결되는 제1 트랜지스터;

상기 제1 노드와 상기 제2 전극 사이에 연결되는 제2 트랜지스터;

상기 제1 전극과 상기 제2 전원선 사이에 연결되는 제3 트랜지스터; 및

상기 제2 전극과 상기 제2 전원선 사이에 연결되는 제4 트랜지스터를 포함하는 것을 특징으로 하는 화소.

청구항 15

제14 항에 있어서,

상기 제1 내지 제4 트랜지스터들 각각의 게이트 전극은 상기 제어선에 공통적으로 연결되고,

상기 제1 및 제4 트랜지스터들은 제1 도전형의 트랜지스터이고, 상기 제2 및 제3 트랜지스터들은 상기 제1 도전형과 다른 제2 도전형의 트랜지스터인 것을 특징으로 하는 화소.

청구항 16

제14 항에 있어서,

상기 제1 발광 구간 동안, 제1 논리 레벨을 갖는 상기 제어 신호에 의하여 상기 제1 및 제4 트랜지스터들은 턴 온되고 상기 제2 및 제3 트랜지스터들은 턴 오프됨으로써, 상기 구동 전류가 상기 제1 발광 소자들을 통해 흐르고,

상기 제2 발광 구간 동안, 제2 논리 레벨을 갖는 상기 제어 신호에 의하여 상기 제2 및 제3 트랜지스터들은 턴 온되고 상기 제1 및 제4 트랜지스터들은 턴 오프됨으로써, 상기 구동 전류가 상기 제2 발광 소자들을 통해 흐르는 것을 특징으로 하는 화소.

청구항 17

제14 항에 있어서,

상기 제어선은 제1 제어 신호를 전달하는 제1 제어선, 및 제2 제어 신호를 전달하는 제2 제어선을 포함하고,

상기 제1 및 제4 트랜지스터들 각각의 게이트 전극은 상기 제1 제어선에 공통적으로 연결되고,

상기 제2 및 제3 트랜지스터들 각각의 게이트 전극은 상기 제2 제어선에 공통적으로 연결되는 것을 특징으로 하는 화소.

청구항 18

제17 항에 있어서,

상기 제1 발광 구간 동안, 턴 온 레벨을 갖는 상기 제1 제어 신호에 의하여 상기 제1 및 제4 트랜지스터들이 턴 온되고 턴 오프 레벨을 갖는 상기 제2 제어 신호에 의해 상기 제2 및 제3 트랜지스터들이 턴 오프되어, 상기 구동 전류가 상기 제1 발광 소자들을 통해 흐르고,

상기 제2 발광 구간 동안, 턴 온 레벨을 갖는 상기 제2 제어 신호에 의하여 상기 제2 및 제3 트랜지스터들이 턴 온되고 턴 오프 레벨을 갖는 상기 제1 제어 신호에 의해 상기 제1 및 제4 트랜지스터들이 턴 오프되어, 상기 구동 전류가 상기 제2 발광 소자들을 통해 흐르는 것을 특징으로 하는 화소.

청구항 19

제12 항에 있어서,

상기 화소 회로는,

상기 제1 전원선과 상기 제1 노드 사이에 연결되어 상기 데이터 전압에 따라 상기 구동 전류를 생성하는 구동 트랜지스터;

상기 데이터선과 상기 구동 트랜지스터의 게이트 전극 사이에 연결되고, 상기 주사 신호에 의해 제어되는 제1 스위칭 트랜지스터; 및

상기 구동 트랜지스터의 게이트 전극에 연결되어 상기 데이터 전압을 한 프레임 기간 동안 저장하는 저장 커패시터를 포함하는 것을 특징으로 하는 화소.

청구항 20

제19 항에 있어서,

상기 화소 회로는 기준 전압을 전달하는 제3 전원선과 상기 제1 노드 사이에 연결되는 제2 스위칭 트랜지스터를 더 포함하고,

상기 저장 커패시터는 상기 구동 트랜지스터의 게이트 전극과 상기 제1 노드 사이에 연결되는 것을 특징으로 하는 화소.

발명의 설명

기술 분야

[0001]

본 발명의 실시예들은 화소 및 표시 장치에 관한 것으로서, 더욱 상세하게는 초소형 발광 소자(micro LED, micro Light Emitting Diode)를 포함하는 화소 및 표시 장치에 관한 것이다.

배경 기술

[0002]

발광 소자(LED)는 광 변환 효율이 높고 에너지 소비량이 매우 적으며, 수명이 반영구적이고 환경 친화적이다. LED를 조명이나 표시 장치 등에 활용하기 위해서는, LED에 전원을 인가할 수 있는 한 쌍의 전극 사이에 LED를 연결하는 것이 필요하다. LED와 전극을 연결하는 방식은 한 쌍의 전극 상에 LED들을 직접 성장시키는 방식과 LED를 별도로 성장시킨 후 전극들 상에 LED들을 정렬시키는 방식으로 분류할 수 있다. 후자의 방법은 LED들이 나노 또는 마이크로 단위의 초소형일 경우, LED들을 전극들 상에 정렬시키기가 어렵다. 게다가, LED들은 극성이 있으므로, 극성에 맞게 LED들을 전극들 사에 정렬시키는 것은 더욱 어렵다.

발명의 내용

해결하려는 과제

- [0003] 본 발명의 실시예들은 상술한 문제점을 해결하기 위한 것으로서, 독립적으로 제조된 초소형 발광 소자들이 한 쌍의 전극 사이에 정방향으로 정렬되는 비율이 균일하지 않더라도 화소 단위에서 균일한 휘도로 빛을 방출할 수 있는 표시 장치를 제공한다.
- [0004] 또한, 본 발명의 실시예들은 한 쌍의 전극 사이에 정방향으로 정렬된 초소형 발광 소자뿐만 아니라 역방향으로 정렬된 초소형 발광 소자들도 발광시킬 수 있는 화소를 제공한다.
- [0005] 본 발명이 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 본 발명의 기재로부터 당해 분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0006] 상술한 기술적 과제를 달성하기 위한 본 발명의 일 측면에 따른 표시 장치는 제1 방향과 제2 방향으로 배열되는 복수의 화소들을 포함하는 표시부, 복수의 주사선들을 통해 상기 복수의 화소들에 주사 신호들을 전달하는 주사 구동부, 복수의 데이터선들을 통해 상기 복수의 화소들에 데이터 전압들을 전달하는 데이터 구동부, 복수의 제어선들을 통해 상기 복수의 화소들에 제어 신호들을 전달하는 제어 구동부, 및 제1 및 제2 전원선들을 통해 상기 복수의 화소들에 제1 및 제2 구동 전압을 각각 공급하는 전압 생성부를 포함한다.
- [0007] 상기 화소들 각각은, 제1 전극과 제2 전극 사이에 정방향으로 연결되는 제1 발광 소자들과 역방향으로 연결되는 제2 발광 소자들을 포함하는 발광부, 상기 주사 신호들 중에서 대응하는 주사 신호에 동기화하여 상기 데이터 전압들 중에서 대응하는 데이터 전압을 수신하고, 상기 데이터 전압에 기초하여 구동 전류를 생성하여 제1 노드에 출력하는 화소 회로, 및 상기 제어 신호들 중에서 대응하는 제어 신호에 의해 제어되며, 제1 발광 구간 동안 상기 구동 전류를 상기 제1 발광 소자들에게 제공하고, 제2 발광 구간 동안 상기 구동 전류를 상기 제2 발광 소자들에게 제공하는 발광 회로를 포함한다.
- [0008] 본 발명의 일 측면에 따른 화소는 주사 신호를 전달하는 주사선, 데이터 전압을 전달하는 데이터선, 제어 신호를 전달하는 제어선, 및 제1 및 제2 전원선들에 접속된다. 상기 화소는 제1 전극과 제2 전극 사이에 정방향으로 연결되는 제1 발광 소자들과 역방향으로 연결되는 제2 발광 소자들을 포함하는 발광부, 상기 주사 신호에 동기화하여 상기 데이터 전압을 수신하고, 상기 데이터 전압에 기초하여 상기 제1 전원선으로부터 공급되는 제1 구동 전압으로부터 구동 전류를 생성하여 제1 노드에 출력하는 화소 회로, 및 상기 제1 및 제2 전극들, 상기 제1 노드, 상기 제2 전원선 및 상기 제어선에 연결되어 상기 제어 신호에 의해 제어되며, 제1 발광 구간 동안 상기 구동 전류를 상기 제1 발광 소자들에게 제공하고, 제2 발광 구간 동안 상기 구동 전류를 상기 제2 발광 소자들에게 제공하는 발광 회로를 포함한다.
- [0009] 전술한 것 외의 다른 측면, 특징, 이점은 아래의 도면, 특허청구범위 및 발명의 상세한 설명으로부터 명확해질 것이다.

발명의 효과

- [0010] 본 발명의 다양한 실시예들에 따르면, 한 쌍의 전극 사이에 초소형 발광 소자들의 일부가 역방향으로 정렬된 표시 장치에서 역방향으로 정렬된 초소형 발광 소자들도 발광시킴으로써 전체적으로 인지되는 휘도의 균일도가 향상될 수 있다.

도면의 간단한 설명

- [0011] 도 1은 일 실시예에 따른 표시 장치의 개략적인 블록도이다.
- 도 2는 일 실시예에 따른 화소의 개략적인 블록도이다.
- 도 3은 일 실시예에 따른 발광부의 개략적인 평면도를 도시한다.
- 도 4a 내지 도 4d는 다양한 실시예들에 따른 발광 소자들을 도시한다.
- 도 5는 일 실시예에 따른 발광 회로들의 회로도 및 타이밍도를 도시한다.
- 도 6은 다른 실시예에 따른 발광 회로들의 회로도 및 타이밍도를 도시한다.

도 7a 내지 도 7c는 다양한 실시예들에 따른 화소 회로들의 회로도를 도시한다.

도 8은 일 실시예에 따라서 예시적인 화소의 회로도 및 타이밍도를 도시한다.

도 9는 다양한 실시예들에 따라서 정렬도가 다른 화소들의 인지 휘도를 나타내는 그래프들이다.

발명을 실시하기 위한 구체적인 내용

- [0012] 본 발명은 다양하게 변형되고 여러 가지 실시예를 가질 수 있으므로, 특정 실시예들을 도면에 도시하고 상세한 설명을 통해 상세하게 설명하고자 한다. 본 발명의 특징, 및 효과, 그리고 그것들을 달성하는 방법은 도면과 함께 아래에서 상세하게 기술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 아래에 개시되는 실시예들로 한정되지 않으며, 다양한 형태로 구현될 수 있다.
- [0013] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들이 상세히 설명된다. 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0014] 도면에서는 설명의 편의를 위하여 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에 도시된 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 선택되었으므로, 본 발명이 반드시 도시된 형태로 한정되지 않는다.
- [0015] 이하의 실시예들에서, 막, 영역, 구성 요소 등이 연결되었다고 할 때, 막, 영역, 구성 요소들이 직접적으로 연결된 경우뿐만 아니라 막, 영역, 구성요소들 중간에 다른 막, 영역, 구성 요소들이 개재되어 간접적으로 연결된 경우도 포함한다.
- [0016] 이하의 실시예들에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용된다. 명세서 전체에서, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 제1 구성요소가 제2 구성요소를 포함한다 또는 가진다고 할 때, 이는 특별히 반대되는 기재가 없는 한 제2 구성요소 외의 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0017] 본 명세서에서 "대응하는" 또는 "대응하게"라는 용어는 문맥에 따라서 동일한 열 및/또는 행에 배치된다 또는 연결된다는 것을 의미할 수 있다. 예컨대, 제1 부재가 복수의 제2 부재들 중에서 "대응하는" 제2 부재에 연결된다는 것은 제1 부재가 제1 부재와 동일 열 및/또는 동일 행에 배치된 제2 부재에 연결된다는 것을 의미한다. 예를 들면, 복수의 픽셀 회로들과 복수의 발광 소자들이 각각 기판 상에 행 방향과 열 방향으로 배열되는 경우, 발광 소자가 대응하는 픽셀 회로에 연결된다는 것은 복수의 픽셀 회로들 중에서 동일 행과 동일 열에 위치한 픽셀 회로에 연결된다는 것을 의미한다.
- [0018] 첨부 도면에 있어서, 예를 들면, 제조 기술 및/또는 공차에 따라, 도시된 형상의 변형들이 예상될 수 있다. 따라서 본 발명의 실시예들은 본 명세서에 도시된 영역의 특정 형상에 제한된 것으로 해석되어서는 아니 되며, 예를 들면 제조 과정에서 초래되는 형상의 변화를 포함하여야 한다.
- [0020] 도 1은 일 실시예에 따른 표시 장치의 개략적인 블록도이다.
- [0021] 도 1을 참조하면, 표시 장치(100)는 표시부(110), 주사 구동부(120), 데이터 구동부(130), 제어 구동부(140), 타이밍 제어부(150), 및 전압 생성부(160)를 포함한다.
- [0022] 표시부(110)는 제1 방향(예컨대 행 방향)과 제2 방향(예컨대, 열 방향)으로 배열되는 화소(PX)들을 포함한다. 도 1에는 용이한 이해를 위하여 하나의 화소(PX)만이 도시된 것이다.
- [0023] 화소들(PX)은 주사선들(SL1 내지 SLn)과 데이터선들(DL1 내지 DLm)에 접속된다. 주사선들(SL1 내지 SLn) 각각은 주사 구동부(120)로부터 출력되는 주사 신호들(S1 내지 Sn)을 동일 행의 화소들(PX)에게 전달하고, 데이터선들(DL1 내지 DLm) 각각은 데이터 구동부(130)로부터 출력되는 데이터 전압(D1 내지 Dm)을 동일 열의 화소들(PX)에게 전달한다. 화소(PX)는 주사선들(SL1 내지 SLn) 중 동일 행에 위치하는 주사선(SL)과 데이터선들(DL1 내지 DLm) 중 동일 열에 위치하는 데이터선(DL)에 접속된다. 화소(PX)에 접속되는 주사선과 데이터선은 각각 주사선(SL)과 데이터선(DL)으로 지칭하고, 화소(PX)에 전달되는 주사 신호와 데이터 전압은 각각 주사 신호(SCAN)와 데이터 전압(DATA)으로 지칭한다.

- [0024] 화소들(PX)은 제어선(CL)에 접속될 수 있다. 제어선(CL)은 제어 구동부(140)로부터 출력되는 제어 신호(EM)를 화소들(PX)에게 전달할 수 있다.
- [0025] 제어선(CL)은 행 방향과 열 방향으로 배열되는 화소들(PX)에 접속하기 위해 복수의 서브 제어선들을 포함할 수 있다. 일 예에 따르면, 서브 제어선들은 주사선들(SL1 내지 SLn)과 평행하게 행 방향으로 연장될 수 있다. 주사선들(SL1 내지 SLn)은 서로 상이한 타이밍의 주사 신호들(S1 내지 Sn)을 전달하는 데에 반하여, 서브 제어선들은 모두 동일 타이밍의 제어 신호(EM)를 화소들(PX)에게 전달할 수 있다. 모두 전기적으로 접속되는 서브 제어선들은 제어선(CL)으로 통칭될 수 있다.
- [0026] 다른 실시예에 따르면, 제어선(CL)은 화소들(PX)에게 제1 제어 신호(EM1)를 전달하는 제1 제어선(CL1)과 화소들(PX)에게 제2 제어 신호(EM2)를 전달하는 제2 제어선(CL2)을 포함할 수 있다.
- [0027] 화소들(PX)은 제1 및 제2 전원선들(PL1, PL2)에 공통적으로 접속된다. 제1 및 제2 전원선들(PL1, PL2)은 전압 생성부(160)로부터 출력되는 제1 구동 전압(ELVDD)과 제2 구동 전압(ELVSS)을 각각 화소들(PX)에 전달할 수 있다.
- [0028] 제1 전원선(PL1)도 역시 행 방향과 열 방향으로 배열되는 화소들(PX)에 접속하기 위해 복수의 제1 서브 전원선들을 포함할 수 있다. 일 예에 따르면, 제1 서브 전원선들은 데이터선들(DL1 내지 DLm)과 평행하게 열 방향으로 연장될 수 있다. 모두 전기적으로 접속되는 제1 서브 전원선들은 제1 전원선(PL1)으로 통칭될 수 있다.
- [0029] 제2 전원선(PL2)도 역시 행 방향과 열 방향으로 배열되는 화소들(PX)에 접속하기 위해 복수의 제2 서브 전원선들을 포함할 수 있다. 일 예에 따르면, 제2 서브 전원선들은 데이터선들(DL1 내지 DLm)과 평행하게 열 방향으로 연장될 수 있다. 모두 전기적으로 접속되는 제2 서브 전원선들은 제2 전원선(PL2)으로 통칭될 수 있다. 다른 예에 따르면, 제2 전원선(PL2)은 공통 전극의 형태로 화소들(PX)에 공통적으로 접속될 수 있다.
- [0030] 화소(PX)는 발광부, 화소 회로 및 발광 회로를 포함할 수 있다. 발광부는 제1 전극과 제2 전극 사이에 정방향으로 연결되는 제1 발광 소자들과 역방향으로 연결되는 제2 발광 소자들을 포함할 수 있다. 화소 회로는 주사 신호(SCAN)에 동기화하여 데이터 전압(ϕ DATA)을 수신하고, 데이터 전압(DATA)에 기초하여 구동 전류를 생성하여 제1 노드에 출력할 수 있다. 발광 회로는 제어 신호(EM)에 의해 제어되며, 제1 발광 구간 동안 구동 전류를 제1 발광 소자들에게 제공하고, 제2 발광 구간 동안 구동 전류를 제2 발광 소자들에게 제공할 수 있다. 제1 발광 구간 동안에는 제1 발광 소자들이 발광하고 제2 발광 구간 동안에는 제2 발광 소자들이 발광하므로, 화소(PX)가 방출하는 광의 밝기는 제1 발광 소자들의 개수에 대한 제2 발광 소자들의 개수의 비율에 관계없이 일정하게 인지될 수 있다. 화소(PX)는 풀 컬러를 표시할 수 있는 화소의 일부, 예컨대, 부화소에 대응될 수 있다. 화소(PX)에 대하여 도 2를 참조로 아래에서 더욱 자세히 설명한다.
- [0031] 전압 생성부(160)는 주사 구동부(120) 및 제어 구동부(140)의 동작에 필요한 전압들을 생성할 수 있다. 예컨대, 전압 생성부(160)는 제1 구동 전압(ELVDD)과 제2 구동 전압(ELVSS)을 생성할 수 있다. 제1 구동 전압(ELVDD)은 제1 전원선(PL1)을 통해 화소들(PX)에 인가되는 전압이고, 제2 구동 전압(ELVSS)은 제2 전원선(PL2)을 통해 화소들(PX)에 인가되는 전압이다. 제2 구동 전압(ELVSS)의 레벨은 제1 구동 전압(ELVDD)의 레벨보다 낮을 수 있다.
- [0032] 전압 생성부(160)는 화소(PX)의 스위칭 트랜지스터를 제어하기 위한 제1 게이트 전압(VGH) 및 제2 게이트 전압(VGL)을 생성할 수 있다. 제1 게이트 전압(VGH)의 레벨은 제2 게이트 전압(VGL)의 레벨보다 높을 수 있다.
- [0033] 스위칭 트랜지스터의 도전형이 n형인 경우, 제1 게이트 전압(VGH)이 스위칭 트랜지스터의 게이트 전극에 인가되면 스위칭 트랜지스터는 턴 온되고, 제2 게이트 전압(VGL)이 스위칭 트랜지스터의 게이트 전극에 인가되면 스위칭 트랜지스터는 턴 오프된다. 이 경우, 제1 게이트 전압(VGH)은 턴 온 전압으로 지칭되고, 제2 게이트 전압(VGL)은 턴 오프 전압으로 지칭될 수 있다. 반대로, 스위칭 트랜지스터의 도전형이 p형인 경우, 제1 게이트 전압(VGH)이 스위칭 트랜지스터의 게이트 전극에 인가되면 스위칭 트랜지스터는 턴 오프되고, 제2 게이트 전압(VGL)이 스위칭 트랜지스터의 게이트 전극에 인가되면 스위칭 트랜지스터는 턴 온된다. 이 경우, 제1 게이트 전압(VGH)은 턴 오프 전압으로 지칭되고, 제2 게이트 전압(VGL)은 턴 온 전압으로 지칭될 수 있다.
- [0034] 전압 생성부(160)는 상기 4가지 전압들 외에, 다른 레벨의 전압들을 생성하여 제어 구동부(140)에 제공할 수도 있다. 예컨대, 전압 생성부(160)는 감마 기준 전압들을 생성하여 데이터 구동부(130)에 제공할 수도 있다.
- [0035] 타이밍 제어부(150)는 주사 구동부(120), 데이터 구동부(130) 및 제어 구동부(140)의 동작 타이밍을 제어함으로써, 표시부(110)를 제어할 수 있다. 표시부(110)의 화소들(PX)은 매 프레임 기간마다 새로운 데이터 전압

(DATA)를 수신하고 수신된 데이터 전압(DATA)에 대응하는 휘도로 발광함으로써 한 프레임의 영상 데이터(RGB)에 대응하는 영상을 표시할 수 있다. 일 실시예에 따르면, 한 프레임 기간은 한 프레임의 영상이 표시부(110)의 화소들(PX)을 통해 표시되는 기간으로서, 화소들(PX) 각각은 매 프레임마다 주사 신호(SCAN)에 동기화하여 데이터 전압(DATA)을 수신하고, 데이터 전압(DATA)에 대응하는 휘도의 광을 한 프레임 기간 동안 방출할 수 있다.

[0036] 타이밍 제어부(150)는 외부로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 클럭 신호(CLK), 영상 데이터(RGB)를 수신한다. 타이밍 제어부(150)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(DE), 클럭 신호(CLK) 등의 타이밍 신호를 이용하여 주사 구동부(120), 데이터 구동부(130) 및 제어 구동부(140)의 동작 타이밍을 제어할 수 있다. 타이밍 제어부(150)는 1 수평 주사 기간(horizontal scanning period)의 데이터 인에이블 신호(DE)를 카운트하여 프레임 기간을 판단할 수 있으며, 이 경우, 외부로부터 공급되는 수직 동기신호(Vsync)와 수평 동기신호(Hsync)는 생략될 수 있다. 영상 데이터(RGB)는 화소들(PX)의 휘도(luminance) 정보를 포함한다. 휘도는 정해진 수효, 예를 들어, $1024(=2^{10})$, $256(=2^8)$ 또는 $64(=2^6)$ 개의 계조(gray)를 가질 수 있다.

[0037] 타이밍 제어부(150)는 주사 구동부(120)의 동작 타이밍을 제어하기 위한 제1 게이트 타이밍 제어 신호(GDC1), 데이터 구동부(130)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어 신호(DDC), 및 제어 구동부(140)의 동작 타이밍을 제어하기 위한 제2 게이트 타이밍 제어 신호(GDC2)를 포함하는 제어 신호들을 생성할 수 있다.

[0038] 제1 게이트 타이밍 제어 신호(GDC1)는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 시프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블(Gate Output Enable, GOE) 신호 등을 포함할 수 있다. 게이트 스타트 펄스(GSP)는 주사 기간의 시작 시점에 첫 번째 주사 신호를 생성하는 주사 구동부(120)에 공급된다. 게이트 시프트 클럭(GSC)은 주사 구동부(120)에 공통으로 입력되는 클럭 신호로서, 게이트 스타트 펄스(GSP)를 시프트 시키기 위한 클럭 신호이다. 게이트 출력 인에이블(GOE) 신호는 주사 구동부(120)의 출력을 제어한다. 제2 게이트 타이밍 제어 신호(GDC2)는 제어 구동부(140)에 제공된다.

[0039] 데이터 타이밍 제어 신호(DDC)는 소스 스타트 펄스(Source, Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 소스 출력 인에이블(Source Output Enable, SOE) 신호 등을 포함할 수 있다. 소스 스타트 펄스(SSP)는 데이터 구동부(130)의 데이터 샘플링 시작 시점을 제어하며, 주사 기간의 시작 시점에 데이터 구동부(130)에 제공된다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 데이터 구동부(130) 내에서 데이터의 샘플링 동작을 제어하는 클럭 신호이다. 소스 출력 인에이블 신호(SOE)는 데이터 구동부(130)의 출력을 제어한다. 한편, 데이터 구동부(130)에 공급되는 소스 스타트 펄스(SSP)는 데이터 전송 방식에 따라 생략될 수도 있다.

[0040] 주사 구동부(120)는 전압 생성부(160)로부터 제공되는 제1 및 제2 게이트 전압(VGH, VGL)을 이용하여 타이밍 제어부(150)로부터 공급된 제1 게이트 타이밍 제어 신호(GDC1)에 응답하여 주사 신호들(S1 내지 Sn)을 순차적으로 생성한다. 주사 구동부(120)는 주사선들(SL1 내지 SLn)을 통해 주사 신호들(S1 내지 Sn)을 표시부(110)의 화소들(PX)에게 제공할 수 있다.

[0041] 데이터 구동부(130)는 타이밍 제어부(150)로부터 공급된 데이터 타이밍 제어 신호(DDC)에 응답하여 타이밍 제어부(150)로부터 공급되는 디지털 형태의 데이터 신호(RGB)를 샘플링하고 래치하여 병렬 데이터 체계의 데이터로 변환한다. 데이터 구동부(130)는 병렬 데이터 체계의 데이터로 변환할 때, 디지털 형태의 데이터 신호(RGB)를 감마 기준 전압으로 변환하여 아날로그 형태의 데이터 전압으로 변환한다. 데이터 구동부(130)는 데이터선들(DL1 내지 DLm)을 통해 데이터 전압(D1 내지 Dm)을 표시부(110)에 포함된 화소들(PX)에게 제공할 수 있다. 화소(PX)는 주사 신호(SCAN)에 응답하여 데이터 전압(DATA)을 수신할 수 있다.

[0042] 제어 구동부(140)는 전압 생성부(160)로부터 제공되는 제1 및 제2 게이트 전압(VGH, VGL)을 이용하여 타이밍 제어부(150)로부터 공급된 제2 게이트 타이밍 제어 신호(GDC2)에 응답하여 제어선(CL)을 구동할 수 있다. 제어 구동부(140)는 제2 게이트 타이밍 제어 신호(GDC2)에 응답하여 제1 게이트 전압(VGH)과 제2 게이트 전압(VGL)을 교대로 제어선(CL)에 출력할 수 있다. 제어선(CL)을 통해 전달되는 제1 게이트 전압(VGH)과 제2 게이트 전압(VGL)은 각각 제1 논리 레벨 및 제2 논리 레벨을 갖는 제어 신호(EM)일 수 있다. 제어 구동부(140)는 한 프레임 기간 동안 제1 게이트 전압(VGH)과 제2 게이트 전압(VGL)을 교대로 복수 회 제어선(CL)에 출력할 수 있다. 예를 들면, 제어 구동부(140)는 한 프레임 기간 동안 제1 게이트 전압(VGH), 제2 게이트 전압(VGL), 제1 게이트 전압(VGH), 및 제2 게이트 전압(VGL)을 순차적으로 제어선(CL)에 출력할 수 있다. 다른 예에 따르면, 제어 구동부(140)는 한 프레임 기간 동안 제1 게이트 전압(VGH), 제2 게이트 전압(VGL), 제1 게이트 전압(VGH), 제2 게이트 전압(VGL)을 순차적으로 제어선(CL)에 출력할 수 있다.

이트 전압(VGL), 제1 게이트 전압(VGH), 제2 게이트 전압(VGL), 제1 게이트 전압(VGH), 및 제2 게이트 전압(VGL)을 순차적으로 제어선(CL)에 출력할 수 있다.

- [0044] 도 2는 일 실시예에 따른 화소의 개략적인 블록도이다.
- [0045] 도 2를 참조하면, 화소(PX)는 화소 회로(PC), 발광 회로(EC) 및 발광부(ED)를 포함할 수 있다. 화소(PX)는 제1 및 제2 전원선(PL1, PL2)에 접속하여 제1 및 제2 구동 전압(ELVDD, ELVSS)을 수신할 수 있다. 또한, 화소(PX)는 주사 신호(SCAN), 데이터 전압(DATA) 및 제어 신호(EM)를 수신할 수 있다.
- [0046] 발광부(ED)는 제1 전극(ELa)과 제2 전극(ELb) 사이에 정방향으로 연결되는 제1 발광 소자들과 역방향으로 연결되는 제2 발광 소자들을 포함할 수 있다. 제1 전극(ELa)과 제2 전극(ELb) 사이에 정방향으로 연결되는 제1 발광 소자들은 도 2에서 제1 발광 소자(FED)로 통칭하여 표시되고, 제1 전극(ELa)과 제2 전극(ELb) 사이에 역방향으로 연결되는 제2 발광 소자들은 도 2에서 제2 발광 소자(RED)로 통칭하여 표시된다.
- [0047] 화소 회로(PC)는 제1 전원선(PL1)과 제1 노드(N) 사이에 연결되고, 주사 신호(SCAN) 및 데이터 전압(DATA)을 수신할 수 있다. 화소 회로(PC)는 주사 신호(SCAN)에 동기화하여 데이터 전압(DATA)을 수신하고, 데이터 전압(DATA)에 기초하여 구동 전류(Id)를 생성하여 제1 노드(N)에 출력할 수 있다. 구동 전류(Id)의 크기는 데이터 전압(DATA)의 전압 레벨에 따라 결정될 수 있다.
- [0048] 발광 회로(EC)는 제1 노드(N)와 제2 전원선(PL2) 사이에 연결되고, 제어 신호(EM)를 수신할 수 있다. 발광 회로(EC)는 제1 전극(ELa)과 제2 전극(ELb)을 통해 발광부(ED)와 연결된다. 발광 회로(EC)는 제어 신호(EM)에 의해 제어된다. 발광 회로(EC)는 제1 발광 구간 동안 구동 전류(Id)를 제1 발광 소자(FED)에게 제공하고, 제2 발광 구간 동안 구동 전류(Id)를 제2 발광 소자(RED)에게 제공할 수 있다. 제1 발광 구간의 시간 길이와 제2 발광 구간의 시간 길이는 서로 동일할 수 있다. 한 프레임 기간은 제1 발광 구간의 시간 길이 또는 제2 발광 구간의 시간 길이의 4배 이상의 짝수 배일 수 있다. 제1 발광 구간의 시간 길이와 제2 발광 구간의 시간 길이가 한 프레임 기간의 1/2보다 짧음으로써, 표시부(110)에는 플리커 현상이 발생하지 않거나 사용자에게 의해 시인되지 않을 수 있다.
- [0050] 도 3은 일 실시예에 따른 발광부(ED)의 개략적인 평면도를 도시한다.
- [0051] 도 3을 참조하면, 발광부(ED)는 제1 전극(ELa)과 제2 전극(ELb) 사이에 정방향으로 연결되는 발광 소자들과 제1 전극(ELa)과 제2 전극(ELb) 사이에 역방향으로 연결되는 발광 소자들을 포함할 수 있다.
- [0052] 제1 전극(ELa)과 제2 전극(ELb) 사이에 정방향으로 연결되는 발광 소자들은 제1 발광 소자들(nLED_F)으로 지칭되고, 제1 전극(ELa)과 제2 전극(ELb) 사이에 역방향으로 연결되는 발광 소자들은 제2 발광 소자들(nLED_R)으로 지칭된다. 그러나, 제1 발광 소자들(nLED_F)과 제2 발광 소자들(nLED_R)은 실질적으로 동일한 구조 및 특성을 가지며, 발광 소자들(nLED)로 통칭될 수 있다. 발광 소자들(nLED) 각각은 초소형 발광 다이오드(micro LED)로서, 애노드와 캐소드를 가질 수 있으며, 애노드와 캐소드 사이에 문턱 전압을 초과하는 전압이 인가되면 발광한다. 도 3에는 발광 소자들(nLED) 각각에는 캐소드를 나타내는 줄(st)이 그려져 있다.
- [0053] 제1 전극(ELa)과 제2 전극(ELb) 사이에 정방향으로 연결되는 제1 발광 소자들(nLED_F)에서는 줄(st)이 그려진 캐소드가 제2 전극(ELb)에 연결되고, 제1 발광 소자들(nLED_F)의 애노드는 제1 전극(ELa)에 연결된다. 제1 전극(ELa)과 제2 전극(ELb) 사이에 역방향으로 연결되는 제2 발광 소자들(nLED_R)에서는 줄(st)이 그려진 캐소드가 제1 전극(ELa)에 연결되고, 제2 발광 소자들(nLED_R)의 애노드는 제2 전극(ELa)에 연결된다.
- [0054] 도 3에는 예시적으로 서로 다른 제1 발광부(ED1)와 제2 발광부(ED2)가 도시된다. 제1 발광부(ED1)와 제2 발광부(ED2)는 동일한 표시 장치(100) 내의 서로 다른 화소(PX)를 구성할 수 있다. 예를 들면, 제1 발광부(ED1)를 포함하는 화소(PX)와 제2 발광부(ED2)를 포함하는 화소(PX)는 서로 인접하게 배치될 수도 있다.
- [0055] 제1 발광부(ED1)와 제2 발광부(ED2)에서 전체 발광 소자들(nLED)에 대한 제1 발광 소자들(nLED_F)의 비율은 서로 다를 수 있다. 도 3에서 제1 발광부(ED1)에서 제1 발광 소자들(nLED_F)의 비율은 약 80%이고, 제2 발광부(ED2)에서 제1 발광 소자들(nLED_F)의 비율은 약 70%이다.
- [0056] 발광부(ED)는 기판 상에 형성된 제1 전극(ELa)과 제2 전극(ELb) 사이에 전압을 인가하여 전기장을 형성한 후, 제1 전극(ELa)과 제2 전극(ELb) 상에 발광 소자들(nLED)이 함유된 혼합액을 떨어뜨려 전기장에 의해 발광 소자

들(nLED)을 제1 전극(ELa)과 제2 전극(ELb) 상에 정렬시킴으로써 형성될 수 있다. 발광 소자들(nLED)은 제1 전극(ELa)과 제2 전극(ELb) 사이에 정방향으로 연결되어야 하지만, 도 3에 도시된 바와 같이 발광 소자들(nLED) 중에서 일부의 발광 소자들은 제1 전극(ELa)과 제2 전극(ELb) 사이에 역방향으로 연결될 수 있다. 이러한 방식으로 발광부(ED)가 형성되는 경우, 화소들(PX) 각각에 포함되는 발광 소자들(nLED)의 개수는 일정하지 않을 수 있다. 또한, 화소들(PX) 각각에서 제1 발광 소자들(nLED_F)의 개수에 대한 제2 발광 소자들(nLED_R)의 개수의 비율은 일정하지 않을 수 있다. 즉, 역방향으로 연결되는 제2 발광 소자들(nLED_R)의 비율은 화소(PX)마다 다를 수 있다.

[0057] 제1 전극(ELa)에서 제2 전극(ELb)으로만 구동 전류가 흐르도록 화소(PX)가 설계된 경우, 제2 발광 소자들(nLED_R)은 발광하지 않게 된다. 동일 제조에서 동일한 휘도로 발광해야 하는 화소(PX)들은 제1 발광 소자들(nLED_F)의 비율에 따라 다른 휘도로 발광하는 문제가 발생할 수 있다.

[0058] 제1 전극(ELa)과 제2 전극(ELb)은 일정한 간격으로 이격되도록 배치될 수 있다. 도 3에서 제1 전극(ELa)과 제2 전극(ELb)은 각각 서로 교대로 배치되고, 제1 전극(ELa)은 상단에서 서로 연결되고, 제2 전극(ELb)은 하단에서 서로 연결되는 구조를 가지지만, 이는 예시적이다. 제1 전극(ELa)과 제2 전극(ELb)은 서로 평행하게 배치되는 구조를 가질 수도 있고, 서로 일정한 간격으로 나선 형상으로 배치되는 구조를 가질 수도 있다. 제1 전극(ELa)과 제2 전극(ELb)의 배치는 본 발명을 한정하지 않는다.

[0060] 도 4a 내지 도 4d는 다양한 실시예들에 따른 발광 소자들(nLED)을 도시한다.

[0061] 도 4a를 참조하면, 일 실시예에 따른 발광 소자(nLED)는 제1 전극층(410), 제2 전극층(420), 제1 반도체층(430), 제2 반도체층(440) 및 제1 반도체층(430)과 제2 반도체층(440) 사이에 배치된 활성층(450)을 포함할 수 있다. 일 예에 따르면, 제1 전극층(410), 제1 반도체층(420), 활성층(450), 제2 반도체층(440) 및 제2 전극층(420)은 발광 소자(nLED)의 길이 방향으로 순차적으로 적층될 수 있다. 발광 소자(nLED)의 길이는 1 내지 10 μ m 일 수 있고, 발광 소자(nLED)의 직경은 0.5 μ m 내지 500 μ m 일 수 있으나, 본 발명의 실시예들은 이에 제한되지 않는다.

[0062] 제1 전극층(410) 및 제2 전극층(420)은 오믹(ohmic) 콘택 전극일 수 있다. 다만, 제1 전극층(410) 및 제2 전극층(420)은 이에 한정되지 아니하며, 쇼트키(Schottky) 콘택 전극일 수도 있다. 제1 전극층(410) 및 제2 전극층(420)은 예컨대 알루미늄, 티타늄, 인듐, 골드 및 실버 등과 같은 하나 이상의 금속을 포함할 수 있다. 제1 전극층(410) 및 제2 전극층(420)에 포함된 물질은 서로 동일 또는 상이할 수 있다.

[0063] 제1 반도체층(430)은, 예컨대, n형 반도체층을 포함하고, 제2 반도체층(440)은, 예컨대, p형 반도체층을 포함할 수 있다. 반도체층은 GaN, AlN, AlGaIn, InGaIn, InN, InAlGaIn, AlInN 등과 같은 반도체 물질을 포함할 수 있다. 제1 반도체층(430)에는 Si, Ge, Sn 등과 같은 n형 도펀트가 도핑되고, 제2 반도체층(440)에는 Mg, Zn, Ca, Sr, Ba 등과 같은 p형 도펀트가 각각 도핑될 수 있다. 본 발명은 이로 한정되지 않고, 제1 반도체층(430)이 p형 반도체층을 포함하고, 제2 반도체층(440)이 n형 반도체층을 포함할 수도 있다.

[0064] 활성층(450)은 제1 반도체층(430)과 제2 반도체층(440) 사이에 배치되며, 예컨대, 단일 또는 다중 양자 우물 구조로 형성될 수 있다. 활성층(450)은 전자와 정공이 재결합되는 영역으로, 전자와 정공이 재결합함에 따라 낮은 에너지 준위로 천이하며, 그에 상응하는 파장을 가지는 빛을 생성할 수 있다. 활성층(450)은 발광 다이오드의 종류에 따라 다양하게 위치할 수 있다. 본 발명의 실시예들은 전술된 예에 한정되지 않으며, 일 예로서, 발광 소자(nLED)는 제1 반도체층(430)과 제2 반도체층(440)의 상부 및 하부에 별도의 형광체층, 활성층, 반도체층 및/또는 전극층을 더 포함할 수도 있다. 활성층(450)으로부터 생성된 빛은 발광 소자(nLED)의 외부면 및/또는 양 측면으로 방출될 수 있다.

[0065] 발광 소자(nLED)는 외부면을 덮는 절연막(470)을 더 포함할 수 있다. 일 예로서, 절연막(470)은 활성층(450)을 덮을 수 있으며, 활성층(450)이 제1 전극(ELa) 또는 제2 전극(ELb)과 접촉하는 것을 방지할 수 있다. 절연막(470)은 활성층(450)의 외부면을 포함하는 발광 소자(nLED)의 외부면을 보호함으로써 발광 효율의 저하를 방지할 수 있다.

[0066] 도 4b를 참조하면, 도 4b에 도시된 발광 소자(nLED)는 절연막(470)이 발광 소자(nLED)의 외부면 전체를 덮는다는 점에서, 도 4a에 도시된 발광 소자(nLED)와 상이하지만, 그 외 구성은 실질적으로 동일하다.

[0067] 도 4c를 참조하면, 도 4a의 발광 소자(nLED)에서 제1 전극층(410) 및 제2 전극층(420) 중 하나의 전극층, 예컨

대, 제2 전극층(420)이 생략된 발광 소자(nLED)가 도시된다. 도 4c에 도시된 발광 소자(nLED)는 제1 및 제2 전극층들(410, 420) 중 하나인 제1 전극층(410)만을 포함한다. 발광 소자(nLED)는 제1 및 제2 전극층들(410, 420) 중 다른 하나인 제2 전극층(420)만을 포함할 수도 있다. 도 4c의 발광 소자(nLED)는 절연막(470)이 제1 전극층(410)의 외부면 일부를 덮고, 제2 반도체층(440)의 외부면의 일부를 덮는다. 다른 실시예에 따르면, 절연막(470)은 제2 반도체층(440)의 외부면 전체를 덮을 수 있다.

[0068] 도 4d를 참조하면, 도 4a의 발광 소자(nLED)에서 제1 전극층(410) 및 제2 전극층(420)이 모두 생략된 발광 소자(nLED)가 도시된다. 도 4d에 도시된 바와 같이, 절연막(470)은 제1 반도체층(430), 활성층(450) 및 제2 반도체층(440)의 외부면 전체를 덮고 있지만, 본 발명은 이로 한정되지 않는다. 절연막(470)은 제1 반도체층(430)과 제2 반도체층(440)의 외부면을 적어도 부분적으로 덮고 외부면의 일부를 노출할 수도 있다.

[0070] 도 5는 일 실시예에 따른 발광 회로(ECa)의 회로도 및 구동 타이밍도를 도시한다.

[0071] 도 5의 회로도(a)를 참조하면, 일 실시예에 따른 발광 회로(ECa)는 노드(N)와 제2 전원선(PL2) 사이에 연결되며, 제어선(CL)에 연결되어 제어 신호(EM)를 수신할 수 있다. 발광 회로(ECa)는 제1 전극(ELa)과 제2 전극(ELb)을 통해 발광부(ED)와 접속할 수 있다. 전술한 바와 같이 발광부(ED)는 제1 전극(ELa)과 제2 전극(ELb) 사이에 정방향으로 연결되는 제1 발광 소자들(nLED_F)과 제1 전극(ELa)과 제2 전극(ELb) 사이에 역방향으로 연결되는 제2 발광 소자들(nLED_R)을 포함한다. 제1 발광 소자들(nLED_F)은 제1 발광 소자(FED)로 표시되고, 제2 발광 소자들(nLED_R)은 제2 발광 소자(RED)로 표시된다.

[0072] 발광 회로(ECa)는 노드(N)와 제1 전극(ELa) 사이에 연결되는 제1 트랜지스터(M1), 노드(N)와 제2 전극(ELb) 사이에 연결되는 제2 트랜지스터(M2), 제1 전극(ELa)과 제2 전원선(PL2) 사이에 연결되는 제3 트랜지스터(M3), 및 제2 전극(ELb)과 제2 전원선(PL2) 사이에 연결되는 제4 트랜지스터(M4)를 포함할 수 있다. 제1 내지 제4 트랜지스터(M1-M4) 각각의 게이트 전극은 모두 제어선(CL)에 공통적으로 연결되어, 제1 내지 제4 트랜지스터(M1-M4)는 모두 제어 신호(EM)에 의해 제어될 수 있다.

[0073] 제1 및 제4 트랜지스터들(M1, M4)의 도전형은 제2 및 제3 트랜지스터들(M2, M3)의 도전형과 반대일 수 있다. 일 예에 따르면, 도 5에 도시된 바와 같이, 제1 및 제4 트랜지스터들(M1, M4)의 도전형은 p형이고, 제2 및 제3 트랜지스터들(M2, M3)의 도전형은 n형일 수 있다. 다른 예에 따르면, 제1 및 제4 트랜지스터들(M1, M4)의 도전형은 n형이고, 제2 및 제3 트랜지스터들(M2, M3)의 도전형은 p형일 수 있다.

[0074] 도 5의 타이밍도(b)를 참조하면, 제1 발광 구간(E1)은 제1 발광 소자(FED)가 발광하는 구간이고, 제2 발광 구간(E2)은 제2 발광 소자(RED)가 발광하는 구간일 수 있다. 도 5에 도시된 발광 회로(ECa)의 경우, 제어 신호(EM)는 제1 발광 구간(E1) 동안 하이 레벨(VGH)을 갖고, 제2 발광 구간(E2) 동안 로우 레벨(VGL)을 가질 수 있다. 다른 예에 따라서, 제1 내지 제4 트랜지스터들(M1-M4)의 도전형이 반대인 경우, 제어 신호(EM)는 제1 발광 구간(E1) 동안 로우 레벨(VGL)을 갖고, 제2 발광 구간(E2) 동안 하이 레벨(VGH)을 가질 수 있다.

[0075] 제1 발광 구간(E1) 동안 하이 레벨(VGH)의 제어 신호(EM)에 의해 제1 및 제4 트랜지스터들(M1, M4)이 턴 온되고 제2 및 제3 트랜지스터들(M2, M3)이 턴 오프된다. 이 경우, 노드(N)를 통해 화소 회로(PC)에 의해 출력되는 구동 전류(도 2의 Id)는 제1 발광 소자(FED)를 통해 흐르게 된다. 제2 발광 구간(E2) 동안 로우 레벨(VGL)의 제어 신호(EM)에 의해 제2 및 제3 트랜지스터들(M2, M3)이 턴 온되고 제1 및 제4 트랜지스터들(M1, M4)이 턴 오프된다. 이 경우, 노드(N)를 통해 화소 회로(PC)에 의해 출력되는 구동 전류(도 2의 Id)는 제2 발광 소자(RED)를 통해 흐르게 된다.

[0076] 제어 구동부(도 1의 140)는 제1 발광 구간(E1) 동안, 구동 전류(도 2의 Id)가 제1 발광 소자(FED)를 통해 흐르도록, 제1 및 제4 트랜지스터들(M1, M4)을 턴 온 시키고 제2 및 제3 트랜지스터들(M2, M3)을 턴 오프 시키기 위해 제1 논리 레벨(VGH)을 갖는 제어 신호(EM)를 제어선(CL)에 출력할 수 있다. 제어 구동부(도 1의 140)는 제2 발광 구간(E2) 동안, 구동 전류(도 2의 Id)가 제2 발광 소자(RED)를 통해 흐르도록, 제2 및 제3 트랜지스터들(M2, M3)을 턴 온 시키고 제1 및 제4 트랜지스터들(M1, M4)을 턴 오프 시키기 위해 제2 논리 레벨(VGL)을 갖는 제어 신호(EM)를 제어선(CL)에 출력할 수 있다.

[0077] 한 프레임 기간(1 Frame) 동안 복수의 제1 발광 구간(E1)과 복수의 제2 발광 구간(E2)이 교대로 존재할 수 있다. 도 5의 타이밍도(b)에 도시된 바와 같이, 한 프레임 기간(1 Frame) 동안 2번의 제1 발광 구간(E1)과 2번의 제2 발광 구간(E2)이 교대로 존재할 수 있다. 그러나, 이는 예시적이며, 한 프레임 기간(1 Frame) 동안, 3번 이상의 제1 발광 구간(E1)과 3번 이상의 제2 발광 구간(E2)이 교대로 존재할 수 있다. 이를 위하여, 제어

구동부(도 1의 140)는 한 프레임 기간(1 Frame) 동안 제1 논리 레벨(예컨대, VGH)을 갖는 제어 신호(EM)와 제2 논리 레벨(예컨대, VGL)을 갖는 제어 신호(EM)를 교대로 복수 회 출력할 수 있다. 이 경우, 표시부(도 1의 110)에는 플리커 현상이 감소할 수 있다.

[0078] 제1 발광 구간(E1)의 시간 길이와 제2 발광 구간(E2)의 시간 길이는 서로 동일할 수 있다. 제1 발광 구간(E1)의 시간 길이와 제2 발광 구간(E2)의 시간 길이는 한 프레임 기간(1 Frame)의 $1/2k$ (k 는 2 이상의 자연수)일 수 있다.

[0080] 도 6은 다른 실시예에 따른 발광 회로(ECb)의 회로도 및 구동 타이밍도를 도시한다.

[0081] 도 6의 회로도(a)를 참조하면, 다른 실시예에 따른 발광 회로(ECb)는 노드(N)와 제2 전원선(PL2) 사이에 연결되며, 제1 전극(ELa)과 제2 전극(ELb)을 통해 발광부(ED)와 접속할 수 있다. 발광 회로(ECb)는 제1 제어선(CL1)에 연결되어 제1 제어 신호(EM1)를 수신하고, 제2 제어선(CL2)에 연결되어 제2 제어 신호(EM2)를 수신할 수 있다.

[0082] 발광 회로(ECb)는 노드(N)과 제1 전극(ELa) 사이에 연결되는 제1 트랜지스터(M1), 노드(N)과 제2 전극(ELb) 사이에 연결되는 제2 트랜지스터(M2), 제1 전극(ELa)과 제2 전원선(PL2) 사이에 연결되는 제3 트랜지스터(M3), 및 제2 전극(ELb)과 제2 전원선(PL2) 사이에 연결되는 제4 트랜지스터(M4)를 포함할 수 있다. 제1 및 제4 트랜지스터들(M1, M4)의 도전형은 모두 동일할 수 있다. 도 6에는 제1 및 제4 트랜지스터들(M1, M4)의 도전형이 모두 n형인 것으로 도시되어 있지만, 이는 예시적이며, 제1 및 제4 트랜지스터들(M1, M4)의 도전형이 모두 p형일 수도 있다.

[0083] 제1 및 제4 트랜지스터(M1, M4)의 게이트 전극은 모두 제1 제어선(CL1)에 공통적으로 연결되며, 제1 및 제4 트랜지스터(M1, M4)는 제1 제어 신호(EM1)에 의해 제어될 수 있다. 제2 및 제3 트랜지스터(M2, M3)의 게이트 전극은 모두 제2 제어선(CL2)에 공통적으로 연결되며, 제2 및 제3 트랜지스터(M2, M3)는 제2 제어 신호(EM2)에 의해 제어될 수 있다.

[0084] 도 6의 타이밍도(b)를 참조하면, 제1 발광 구간(E1)은 제1 발광 소자(FED)가 발광하는 구간이고, 제2 발광 구간(E2)은 제2 발광 소자(RED)가 발광하는 구간일 수 있다. 도 6에 도시된 발광 회로(ECb)의 경우, 제1 제어 신호(EM1)는 제1 발광 구간(E1) 동안 하이 레벨(VGH)을 갖고, 나머지 구간 동안 로우 레벨(VGL)을 가질 수 있다. 제2 제어 신호(EM2)는 제2 발광 구간(E2) 동안 하이 레벨(VGH)을 갖고, 나머지 구간 동안 로우 레벨(VGL)을 가질 수 있다.

[0085] 제1 발광 구간(E1) 동안 하이 레벨(VGH)의 제1 제어 신호(EM1)에 의해 제1 및 제4 트랜지스터들(M1, M4)이 턴 온되고 로우 레벨(VGL)의 제2 제어 신호(EM2)에 의해 제2 및 제3 트랜지스터들(M2, M3)이 턴 오프된다. 이 경우, 노드(N)를 통해 화소 회로(PC)에 의해 출력되는 구동 전류(도 2의 I_d)는 제1 발광 소자(FED)를 통해 흐르게 된다. 제2 발광 구간(E2) 동안 로우 레벨(VGL)의 제1 제어 신호(EM1)에 의해 제1 및 제4 트랜지스터들(M1, M4)이 턴 오프되고, 하이 레벨(VGH)의 제2 제어 신호(EM2)에 의해 제2 및 제3 트랜지스터들(M2, M3)이 턴 온된다. 이 경우, 노드(N)를 통해 화소 회로(PC)에 의해 출력되는 구동 전류(도 2의 I_d)는 제2 발광 소자(RED)를 통해 흐르게 된다.

[0086] 제어 구동부(도 1의 140)는 제1 발광 구간(E1) 동안, 구동 전류(도 2의 I_d)가 제1 발광 소자(FED)를 통해 흐르도록, 제1 및 제4 트랜지스터들(M1, M4)을 턴 온 시키기 위해 턴 온 레벨(예컨대, VGH)을 갖는 제1 제어 신호(EM1)를 제1 제어선(CL1)에 출력하고, 제2 및 제3 트랜지스터들(M2, M3)을 턴 오프 시키기 위해 턴 오프 레벨(예컨대, VGL)을 갖는 제2 제어 신호(EM2)를 제2 제어선(CL2)에 출력할 수 있다. 제어 구동부(도 1의 140)는 제2 발광 구간(E2) 동안, 구동 전류(도 2의 I_d)가 제2 발광 소자(RED)를 통해 흐르도록, 제1 및 제4 트랜지스터들(M1, M4)을 턴 오프 시키기 위해 턴 오프 레벨(예컨대, VGL)을 갖는 제1 제어 신호(EM1)를 제1 제어선(CL1)에 출력하고, 제2 및 제3 트랜지스터들(M2, M3)을 턴 온 시키기 위해 턴 온 레벨(예컨대, VGH)을 갖는 제2 제어 신호(EM2)를 제2 제어선(CL2)에 출력할 수 있다.

[0087] 제1 제어선(CL1)은 표시부(110) 내의 모든 화소들(PX)에 공통적으로 접속할 수 있다. 제2 제어선(CL2)도 역시 표시부(110) 내의 모든 화소들(PX)에 공통적으로 접속할 수 있다.

[0088] 제어 구동부(도 1의 140)는 타이밍 컨트롤러(도 1의 150)의 제어에 따라 제1 제어 신호(EM1)가 턴 온 레벨을 갖는 비율인 제1 듀티비를 제어하고, 제2 제어 신호(EM2)가 턴 온 레벨을 갖는 비율인 제2 듀티비를 제어할 수 있

다. 제1 제어 신호(EM1)의 제1 듀티비와 제2 제어 신호(EM2)의 제2 듀티비는 서로 동일할 수 있다. 제1 듀티비와 제2 듀티비는 50% 이하일 수 있다. 제1 듀티비와 제2 듀티비가 낮아질수록 표시부(110)의 화소들(PX)의 전체 밝기가 어두워진다. 타이밍 컨트롤러(150)는 제어 구동부(140)를 통해 제1 제어 신호(EM1)의 제1 듀티비와 제2 제어 신호(EM2)의 제2 듀티비를 조절할 수 있으며, 이 경우, 표시부(110)의 전체 밝기가 조절될 수 있다.

[0090] 도 7a는 일 실시예에 따른 화소 회로(PCa)의 회로도도를 도시한다.

[0091] 도 7a를 참조하면, 화소 회로(PCa)는 제1 전원선(PL1)과 노드(N) 사이에 연결되며, 데이터선(DL)과 주사선(SL)에 연결되어 데이터 전압(DATA)과 주사 신호(SCAN)를 수신할 수 있다. 화소 회로(PCa)는 주사 신호(SCAN)에 동기화하여 데이터 전압(DATA)을 수신하고, 데이터 전압(DATA)에 기초하여 제1 전원선(PL1)으로부터 공급되는 제1 구동 전원(ELVDD)으로부터 구동 전류(Id)를 생성하여 노드(N)에 출력할 수 있다.

[0092] 도 7a에 도시된 바와 같이, 화소 회로(PCa)는 제1 전원선(PL1)과 노드(N) 사이에 연결되어 데이터 전압(DATA)에 따라 구동 전류(Id)를 생성하는 구동 트랜지스터(Tdr)를 포함할 수 있다. 화소 회로(PCa)는 데이터선(DL)과 구동 트랜지스터(Tdr)의 게이트 전극 사이에 연결되고, 주사 신호(SCAN)에 의해 제어되는 스위칭 트랜지스터(Tsw)를 포함할 수 있다. 화소 회로(PCa)는 구동 트랜지스터(Tdr)의 게이트 전극에 연결되어 데이터 전압(DATA)을 한 프레임 기간 동안 저장하는 저장 커패시터(Cst)를 포함할 수 있다. 저장 커패시터(Cst)는 구동 트랜지스터(Tdr)의 게이트 전극과 제1 전원선(PL1) 사이에 연결될 수 있다.

[0093] 도 7a에 도시된 바와 같이, 구동 트랜지스터(Tdr)와 스위칭 트랜지스터(Tsw)는 p형 MOSFET일 수 있다.

[0094] 도 7b는 다른 실시예에 따른 화소 회로(PCb)의 회로도도를 도시한다.

[0095] 도 7b에 도시된 화소 회로(PCb)는 구동 트랜지스터(Tdr)와 스위칭 트랜지스터(Tsw)의 도전형을 제외하고는 도 7a의 화소 회로(PCa)와 실질적으로 동일할 수 있다. 도 7b에 도시된 바와 같이, 화소 회로(PCb)의 구동 트랜지스터(Tdr)와 스위칭 트랜지스터(Tsw)는 n형 MOSFET일 수 있다.

[0096] 도 7c는 또 다른 실시예에 따른 화소 회로(PCc)의 회로도도를 도시한다.

[0097] 도 7c를 참조하면, 화소 회로(PCc)는 제1 전원선(PL1)과 노드(N) 사이에 연결되며, 데이터선(DL)에 연결되어 데이터 전압(DATA)을 수신할 수 있다. 화소 회로(PCc)는 제1 주사선(SL1)을 통해 제1 주사 신호(SCAN1)를 수신하고, 제2 주사선(SL2)을 통해 제2 주사 신호(SCAN2)를 수신할 수 있다. 화소 회로(PCc)는 기준 전압(Vref)을 전달하는 제3 전원선(PL3)에 연결될 수 있다. 화소 회로(PCc)는 제1 주사 신호(SCAN1)에 동기화하여 데이터 전압(DATA)을 수신하고, 데이터 전압(DATA)에 기초하여 제1 전원선(PL1)으로부터 공급되는 제1 구동 전원(ELVDD)으로부터 구동 전류(Id)를 생성하여 노드(N)에 출력할 수 있다.

[0098] 도 7c에 도시된 바와 같이, 화소 회로(PCc)는 제1 전원선(PL1)과 노드(N) 사이에 연결되어 데이터 전압(DATA)에 따라 구동 전류(Id)를 생성하는 구동 트랜지스터(Tdr)를 포함할 수 있다. 화소 회로(PCc)는 데이터선(DL)과 구동 트랜지스터(Tdr)의 게이트 전극 사이에 연결되고, 제1 주사 신호(SCAN)에 의해 제어되는 제1 스위칭 트랜지스터(Tsw1)를 포함할 수 있다. 화소 회로(PCc)는 구동 트랜지스터(Tdr)의 게이트 전극과 노드(N) 사이에 연결되어 데이터 전압(DATA)을 한 프레임 기간 동안 저장하는 저장 커패시터(Cst)를 포함할 수 있다. 화소 회로(PCc)는 기준 전압(Vref)을 전달하는 제3 전원선(PL3)과 노드(N) 사이에 연결되는 제2 스위칭 트랜지스터(Tsw2)를 포함할 수 있다. 제2 스위칭 트랜지스터(Tsw2)는 제2 주사 신호(SCAN2)에 의해 제어될 수 있다.

[0099] 본 발명의 다양한 실시예에 따르면, 화소(PX)는 도 5에 도시되는 발광 회로(ECa)와 도 6에 도시되는 발광 회로(ECb) 중 하나, 및 도 7a 내지 도 7c에 도시되는 화소 회로(PCa, PCb, PCc) 중 하나를 포함할 수 있다.

[0101] 도 8은 일 실시예에 따라서 예시적인 화소(PX)의 회로도 및 타이밍도를 도시한다.

[0102] 도 8을 참조하면, 화소(PX)는 도 7a에 도시된 화소 회로(PCa), 도 5에 도시된 발광 회로(ECa), 및 발광부(ED)를 포함한다.

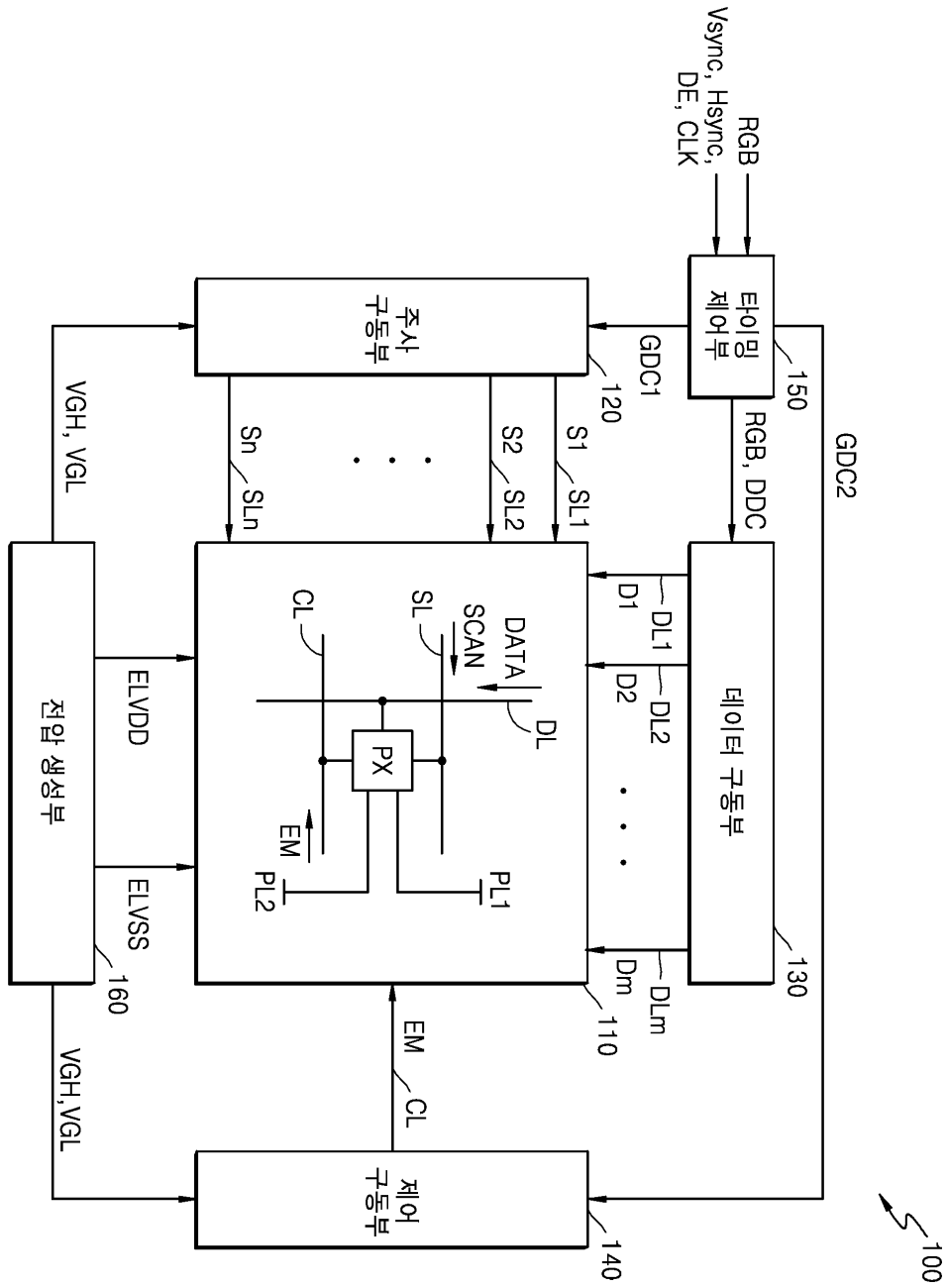
[0103] 도 8의 타이밍도(b)를 참조하면, 주사 신호(SCAN)가 턴 온 레벨(예컨대, VGL)을 가질 때 데이터 전압(DATA)이 화소 회로(PCa)에 수신된다. 화소 회로(PCa)의 저장 커패시터(Cst)는 한 프레임 기간(1 Frame) 동안 데이터 전

압(DATA)을 저장할 수 있다. 화소 회로(PCa)는 수신된 데이터 전압(DATA)에 따른 구동 전류(Id)를 생성하여, 노드(N)에 출력할 수 있다.

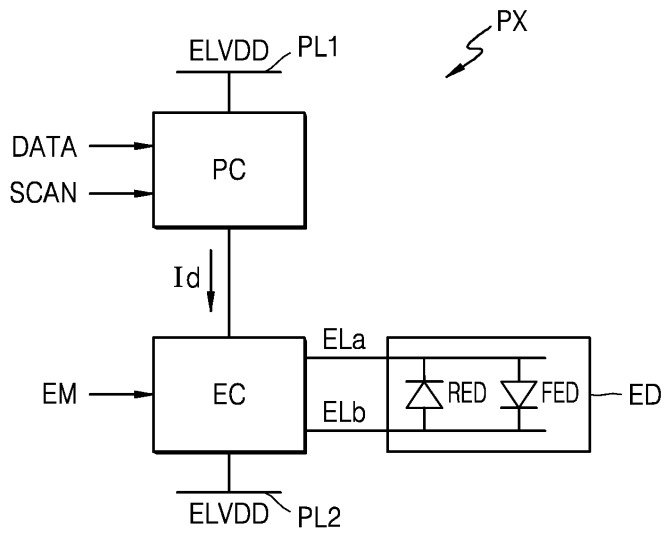
- [0104] 제어 신호(EM)는 제1 발광 구간(E1) 동안 제1 논리 레벨(예컨대, VGH)을 갖고, 제2 발광 구간(E2) 동안 제2 논리 레벨(예컨대, VGL)을 가질 수 있다. 제1 발광 구간(E1) 동안, 제1 트랜지스터(M1), 제1 발광 소자(FED), 및 제4 트랜지스터(M4)를 통해 구동 전류(Id)가 흐름에 따라 제1 발광 소자(FED)가 발광할 수 있다. 제2 발광 구간(E2) 동안, 제2 트랜지스터(M2), 제2 발광 소자(RED), 및 제3 트랜지스터(M3)를 통해 구동 전류(Id)가 흐름에 따라 제2 발광 소자(RED)가 발광할 수 있다.
- [0106] 도 9는 다양한 실시예들에 따라서 정렬도가 다른 화소들의 인지 휘도를 나타내는 그래프들이다.
- [0107] 정렬도는 화소(PX) 내에 포함되는 전체 발광 소자들에서 정방향으로 연결되는 제1 발광 소자들이 차지하는 비율을 나타낸다. 정렬도가 100%인 경우, 화소(PX) 내의 모든 발광 소자들이 제1 전극(ELa)과 제2 전극(ELb) 사이에 정방향으로 연결되었음을 나타낸다. 정렬도가 80%인 경우, 화소(PX) 내의 80%의 발광 소자들이 제1 전극(ELa)과 제2 전극(ELb) 사이에 정방향으로 연결되고, 나머지 20%의 발광 소자들이 제1 전극(ELa)과 제2 전극(ELb) 사이에 역방향으로 연결되었음을 나타낸다.
- [0108] 제1 발광 구간(E1)에는 정방향으로 연결되는 제1 발광 소자들(도 3의 nLED_F)이 발광하고, 제2 발광 구간(E2)에는 역방향으로 연결되는 제2 발광 소자들(도 3의 nLED_R)이 발광한다.
- [0109] 정렬도가 100%인 경우, 제1 발광 구간(E1)에는 모든 발광 소자들이 발광하므로 이때의 상대적 휘도를 100이라고 가정하며, 제2 발광 구간(E2)에는 발광하는 발광 소자가 없으므로 이때의 휘도는 0이다. 제1 발광 구간(E1)과 제2 발광 구간(E2)의 길이가 동일할 경우, 시청자가 인지하는 인지 휘도는 50이다.
- [0110] 정렬도가 80%인 경우, 제1 발광 구간(E1)에는 80% 발광 소자들이 발광하므로 이때의 상대적 휘도는 80이고, 제2 발광 구간(E2)에는 20%의 발광 소자들이 발광하므로 이때의 상대적 휘도는 20이다. 따라서, 시청자가 인지하는 인지 휘도는 50이다.
- [0111] 정렬도가 60%인 경우, 제1 발광 구간(E1)에는 60% 발광 소자들이 발광하므로 이때의 상대적 휘도는 60이고, 제2 발광 구간(E2)에는 40%의 발광 소자들이 발광하므로 이때의 상대적 휘도는 40이다. 이 경우의 인지 휘도는 50이다.
- [0112] 정렬도가 40%인 경우, 제1 발광 구간(E1)에는 40% 발광 소자들이 발광하므로 이때의 상대적 휘도는 40이고, 제2 발광 구간(E2)에는 60%의 발광 소자들이 발광하므로 이때의 상대적 휘도는 60이다. 이 경우의 인지 휘도는 50이다.
- [0113] 정렬도가 20%인 경우, 제1 발광 구간(E1)에는 20% 발광 소자들이 발광하므로 이때의 상대적 휘도는 20이고, 제2 발광 구간(E2)에는 80%의 발광 소자들이 발광하므로 이때의 상대적 휘도는 80이다. 이 경우에도 역시 인지 휘도는 50이다.
- [0114] 따라서, 본 발명에 따르면, 제1 전극(ELa)과 제2 전극(ELb) 사이에 정방향으로 연결된 발광 소자들뿐만 아니라, 역방향으로 연결된 발광 소자들도 발광시킴으로써, 시청자가 인지하는 인지 휘도를 일정하게 유지할 수 있으므로, 표시 장치의 휘도 균일도가 개선될 수 있다.
- [0115] 이와 같이 본 발명은 도면에 도시된 일 실시예를 참고로 하여 설명하였으나 이는 예시적인 것에 불과하며 당해 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 실시예의 변형이 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

도면

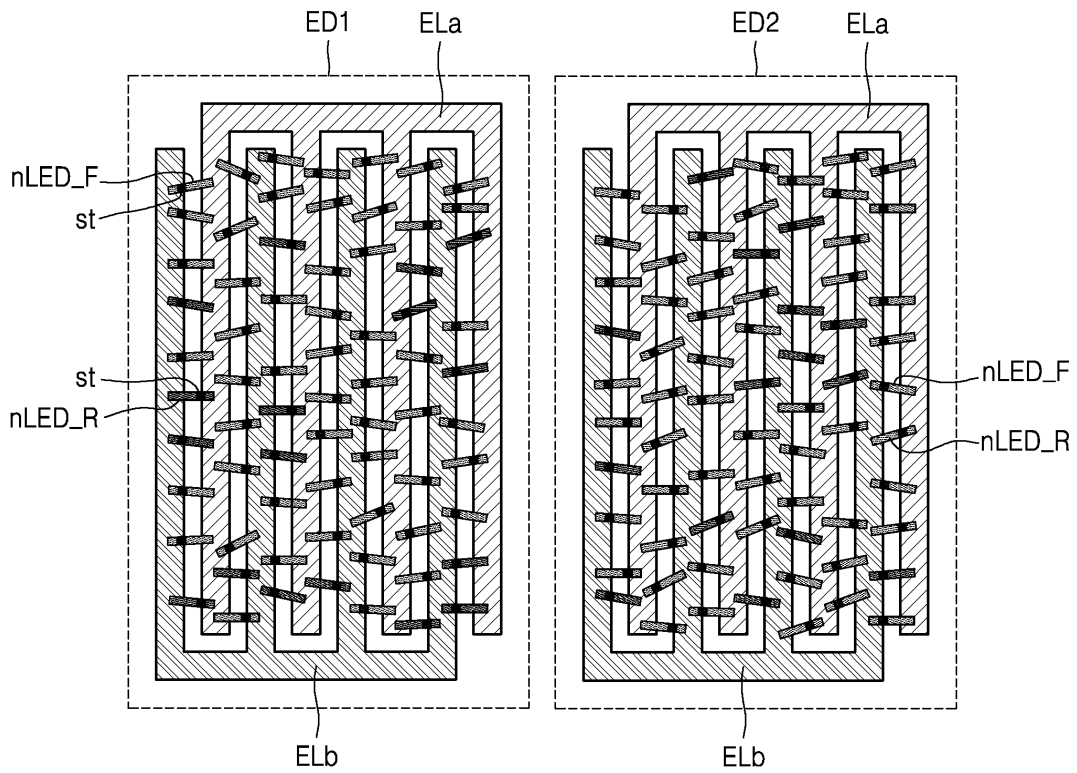
도면1



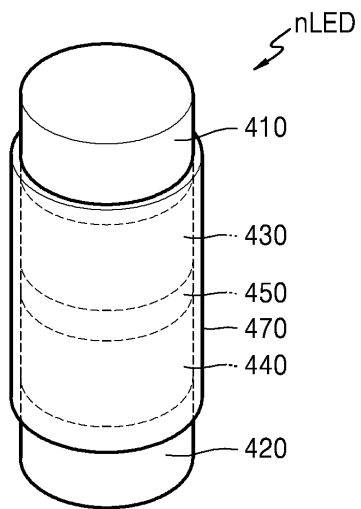
도면2



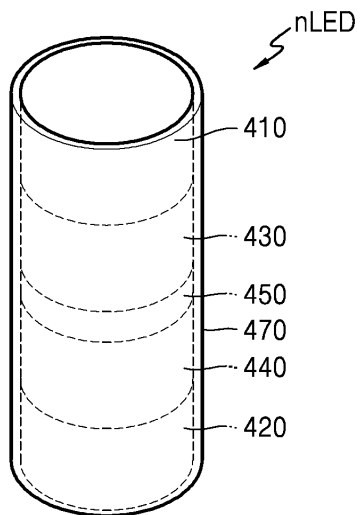
도면3



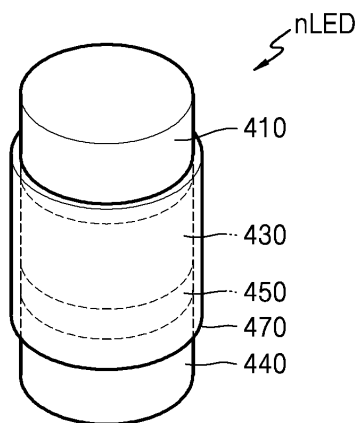
도면4a



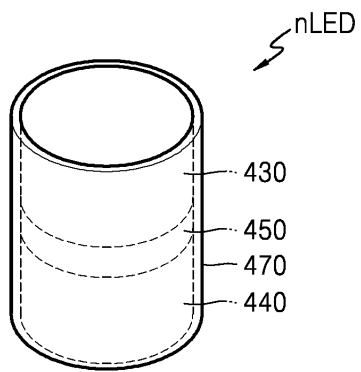
도면4b



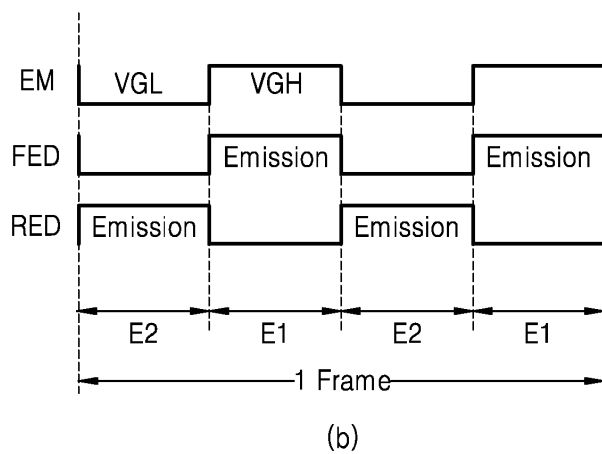
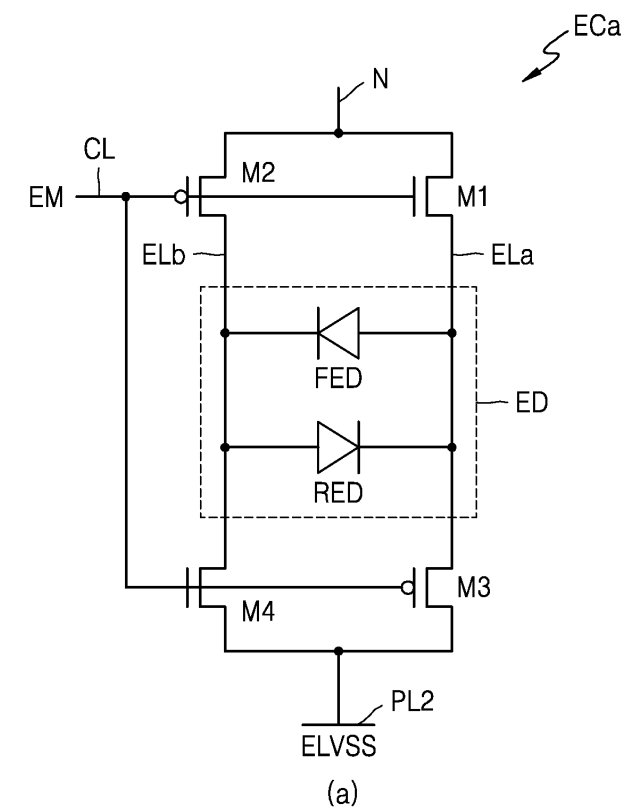
도면4c



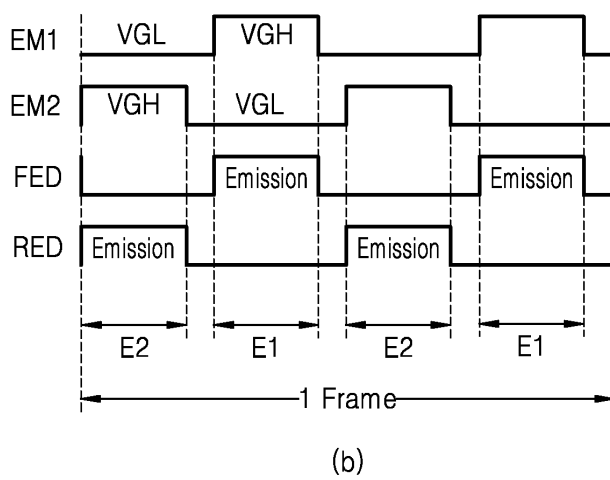
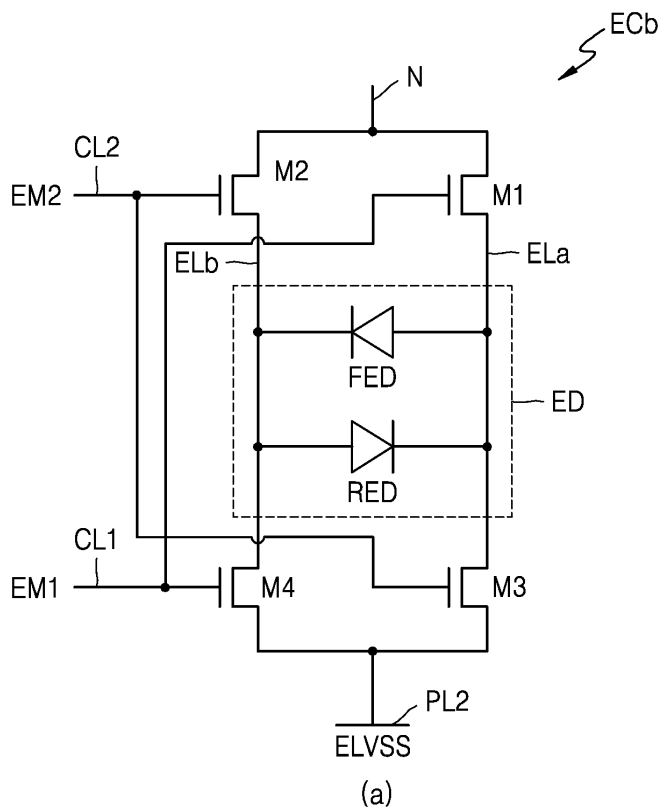
도면4d



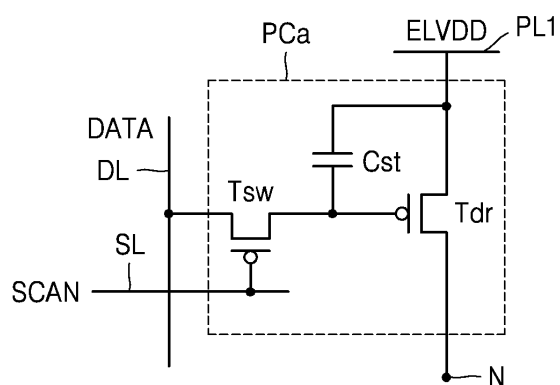
도면5



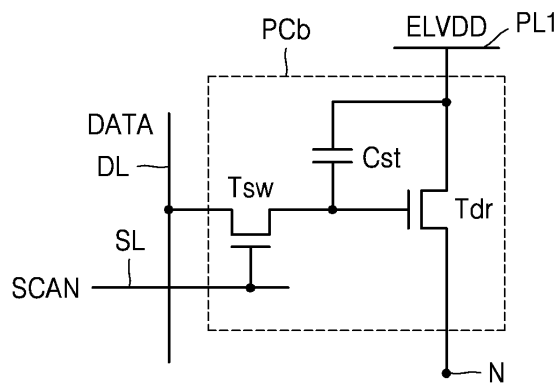
도면6



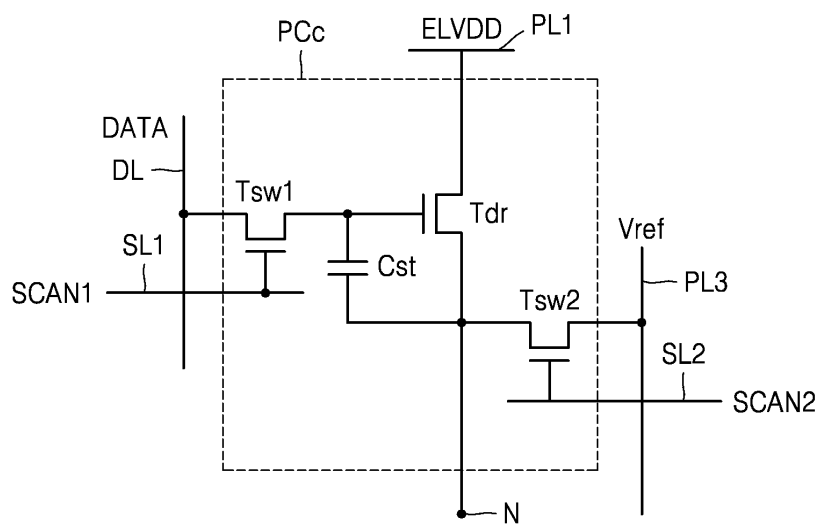
도면7a



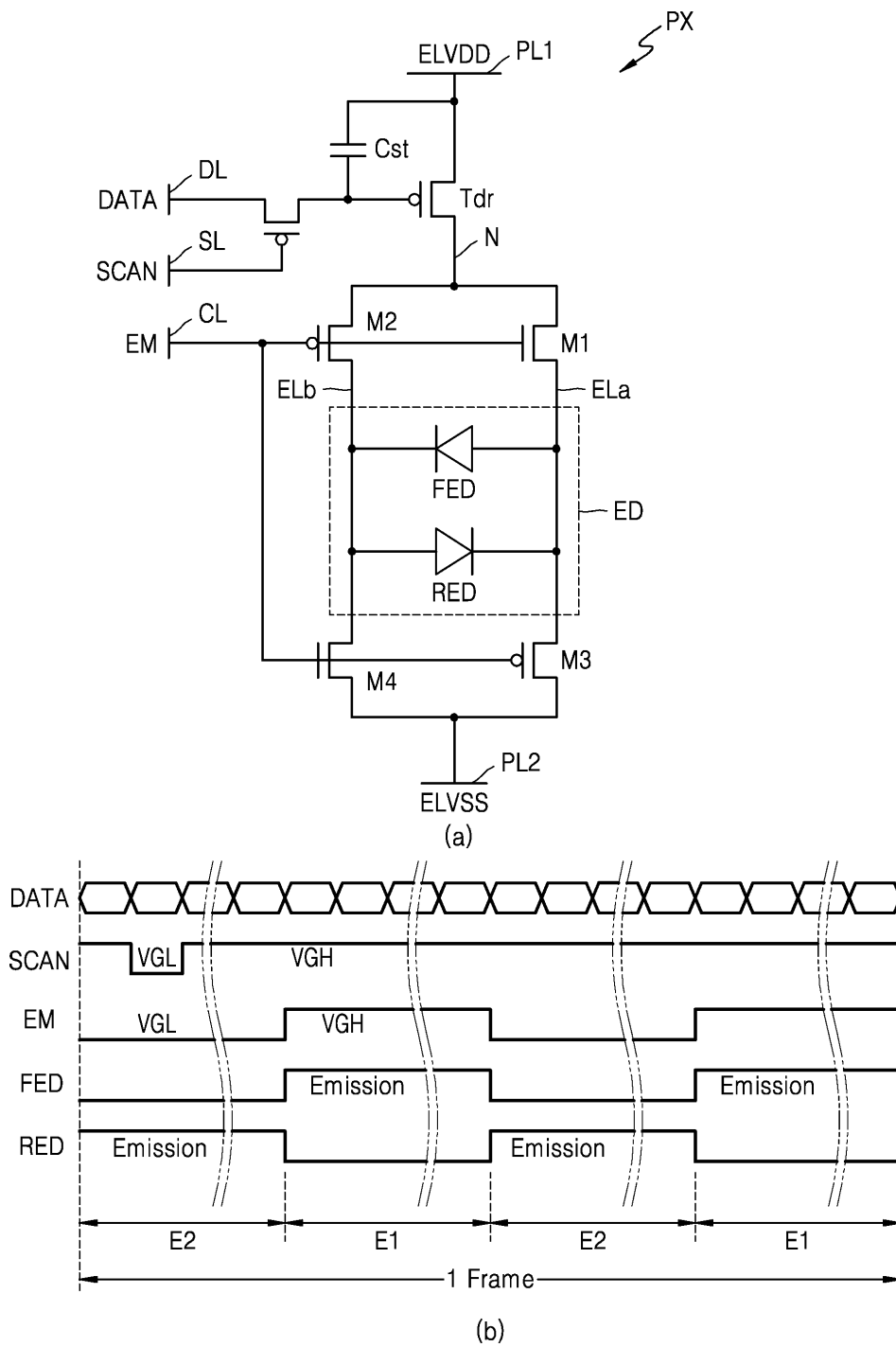
도면7b



도면7c



도면8



도면9

