

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年1月21日(21.01.2016)



(10) 国際公開番号
WO 2016/009496 A1

- (51) 国際特許分類:
H01L 25/07 (2006.01) H01L 25/18 (2006.01)
H01L 23/48 (2006.01)
- (21) 国際出願番号: PCT/JP2014/068804
- (22) 国際出願日: 2014年7月15日(15.07.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒1008280 東京都千代田区丸の内一丁目6番6号 Tokyo (JP).
- (72) 発明者: 増田 徹(MASUDA Toru); 〒1008280 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内 Tokyo (JP). 紺野 哲豊(KONNO Akitoyo); 〒1008280 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内 Tokyo (JP).
- (74) 代理人: ポレール特許業務法人(POLAIRE I.P.C.); 〒1040032 東京都中央区八丁堀二丁目7番1号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

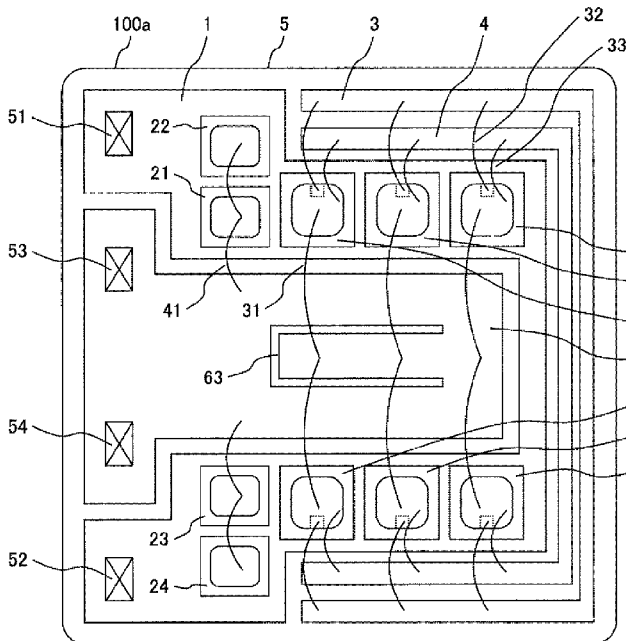
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: POWER TRANSISTOR MODULE
(54) 発明の名称: パワートランジスタモジュール

図 1A



(57) Abstract: Provided is a highly reliable power transistor module wherein impedance from a semiconductor element to an external lead-out terminal is highly accurately uniformized. This power transistor module is characterized in that a first conductive pattern has: a first feeding point for supplying a potential to the first conductive pattern, said first feeding point being at one end of the first conductive pattern; one or more diode elements on the first conductive pattern; and a plurality of switching elements on the first conductive pattern, said switching elements being on the reverse side of the first feeding point by sandwiching the diode elements therebetween. The power transistor module is also characterized in that: the second conductive pattern has a second feeding point for supplying a potential different from the potential supplied to the first conductive pattern, said second feeding point being close to the first feeding point; the switching elements are electrically connected to the second conductive pattern by means of a plurality of bonding wires; and the second conductive pattern is provided with a slit pattern that defines a connecting region of the bonding wires with the second conductive pattern, said connecting region being on the second conductive pattern.

(57) 要約:

[続葉有]

WO 2016/009496 A1



半導体素子から外部導出端子までのインピーダンスを高精度に均一化した信頼性の高いパワートランジスタモジュールを提供する。第1の導電パターンは、その一端に前記第1の導電パターンに電位を供給する第1の給電点と、前記第1の導電パターン上に少なくとも1つ以上のダイオード素子と、前記ダイオード素子を挟んで前記第1の給電点と反対側の前記第1の導電パターン上に複数のスイッチング素子を有し、第2の導電パターンは、前記第1の給電点の近傍に設けられ、かつ、前記第1の導電パターンとは異なる電位を前記第2の導電パターンに供給する第2の給電点と、を有し、前記複数のスイッチング素子は、複数のボンディングワイヤにより前記第2の導電パターンと電氣的に接続され、前記第2の導電パターンは、前記第2の導電パターン上における前記複数のボンディングワイヤの前記第2の導電パターンとの接続領域を規定するスリットパターンが設けられていることを特徴とするパワートランジスタモジュール。

明 細 書

発明の名称： パワートランジスタモジュール

技術分野

[0001] 本発明は、回路基板上に IGBT や MOSFET 等のパワートランジスタを搭載して構成するモジュールに係り、特に、その内部配線構造に関する。

背景技術

[0002] 産業機器や電気鉄道車両、自動車、家電などの電力制御やモーター制御においては、パワー MOSFET (Metal-Oxide-Semiconductor-Field-Effect-Transistor) や IGBT (Insulated-Gate-Bipolar-Transistor) のスイッチング素子やフリーホイールダイオード等の半導体素子を複数個用いてひとつのモジュールに搭載したパワートランジスタモジュールが使用されている。

[0003] このようなパワートランジスタモジュールは、金属などの放熱板の一方の表面に、所定の形状の金属配線パターンを絶縁基板を介して配置し、その金属配線パターン上に半導体素子を半田接合などの方法によって搭載し、ボンディングワイヤなどにより外部への接続端子（外部導出端子）へと電氣的に接続している。以降、絶縁基板と金属配線パターンを合わせたものを回路基板と称す。

[0004] 上記のようなパワートランジスタモジュールにおいては、大電流を扱えるようにするために、モジュール内部の所定の形状の金属配線パターン上に複数の半導体素子を並列接続して使用する場合がある。しかしながら、複数の半導体素子を単純に並列配置することによって電氣的な並列接続を実現する場合には問題が発生する。すなわち、金属配線パターン上の半導体素子の配置位置によって外部導出端子への電流経路長が異なるため、並列接続された半導体素子個々の電流値が異なり、一部の半導体素子に電流が集中する問題が生じる。

- [0005] 半導体素子間の電流量にばらつきがある場合には、半導体素子で発生する発熱量がばらつくため、半導体素子を金属配線パターンへ接続している半田接続部の劣化が素子毎に異なる。半導体素子の発熱が特に大きい場合には、その半田接続部の劣化が最も顕著となり、回路基板の中で最初に接続不良となり、電流が減少する。このため、他の半導体素子へと電流集中が発生し、そのうち最も電流量が多い半導体素子が上記のような理由により半田接続部の接続不良を発生し、順次回路基板上の電流通電できる素子が減少する不良事象が発生してしまう。この問題は、上記のように、半導体素子と外部導出端子との電流経路長、言い換えればインピーダンスが異なっていることが原因である。
- [0006] 並列配置された半導体素子から外部導出端子に至るインピーダンスのばらつきを低減する技術として、例えば特許文献1がある。特許文献1には、内部接続部にスリットを設けることにより、各半導体素子から外部導出端子に至るインピーダンスを均等化し、かつ、内部接続部に放熱構造も兼ねさせることにより半導体素子と内部接続部を接続するボンディングワイヤの熱ストレスを緩和できる半導体装置が開示されている。
- [0007] 特許文献1の半導体装置は、ケースと、前記ケース内に配置され、金属配線パターンが設けられた絶縁基板上に半導体素子が搭載された複数の半導体回路基板と、主電流を前記ケース外へ取り出す外部導出端子と、前記外部導出端子の一部が前記ケース内に延伸され、前記複数の半導体基板に沿って配設されるとともに前記半導体素子の主電極と電気的に接合される内部接続部と、前記内部接続部は、放熱性を維持する放熱手段と、前記半導体素子からの電流経路長を均一化するスリット構造を有している。
- [0008] また、特許文献2には、回路基板上のエミッタパターン部に対し、電流通路の幅を細分化する切込みスリットを入れてインダクタンス形成領域を形成する技術が開示されている。
- [0009] 特許文献2のパワートランジスタモジュールによれば、仕様の異なる各種トランジスタモジュールでも端子部品の変更なしに、回路パターン上でのワ

イヤ接続地点を変更することで適正な内部配線インダクタンス付与に容易に対応できる。

先行技術文献

特許文献

[0010] 特許文献1：特開2010-87400号公報

特許文献2：特開平7-99275号公報

発明の概要

発明が解決しようとする課題

[0011] 上記の通り、従来のパワートランジスタモジュールにおいては、回路基板上に並列配置された半導体素子は前記回路基板上に接続される外部導出端子までのインピーダンスが不均一であり、そのために各半導体素子を流れる電流量が異なってしまうという問題がある。

[0012] 特許文献1の半導体装置のスリット構造は、半導体回路基板ではなく、前記回路基板間を接続する内部接続部に設けられているため、並列配置されている回路基板間の外部導出端子へのインピーダンスの均一化には効果があるものの、回路基板上に搭載された並列チップ間のインピーダンス均一効果は薄いと考えられる。

[0013] さらに、内部接続部は、特許文献1の図4で明らかにされた複数の内部接続部の積層構造により、他の内部接続部の電流による干渉効果の悪影響が大きいと考えられるため、スリットによるインピーダンス均一効果は完全なものではなく、並列配置された個々の半導体素子および配列配置された回路基板間には、それぞれインピーダンスのばらつきが残存するものと考えられる。

[0014] また、特許文献2は、パワートランジスタモジュールを構成する回路基板上にスリット構造を有しているが、これはハーフブリッジを構成する上アームと下アームのトランジスタに係るインダクタンス値の均一化を成すものに限定了なものであり、その目的は、回路基板上に搭載された並列チップ間の

インピーダンスの均一化とは異なる。

[0015] 従来のインピーダンス、特にインダクタンスを調整する先行技術は、上記した特許文献1 或いは特許文献2 のようなスリット構造の導入があるが、並列配置された半導体素子のインピーダンスの均一化には不十分である。

[0016] そこで、本発明の目的は、回路基板上に複数の半導体素子を並列配置して構成されるパワートランジスタモジュールにおいて、各半導体素子から外部導出端子までのインピーダンスを高精度に均一化し、信頼性の高いパワートランジスタモジュールを提供することにある。

課題を解決するための手段

[0017] 上記課題を解決するために、本発明は、絶縁基板の主面に複数の半導体素子が配置された回路基板を少なくとも1つ以上含むパワートランジスタモジュールであって、前記回路基板は、前記絶縁基板上に形成された第1の導電パターンと、前記絶縁基板上前記第1の導電パターンとは異なる領域に、前記第1の導電パターンと電気的に絶縁して形成された第2の導電パターンと、を備え、前記第1の導電パターンは、その一端に前記第1の導電パターンに電位を供給する第1の給電点と、前記第1の導電パターン上に少なくとも1つ以上のダイオード素子と、前記ダイオード素子を挟んで前記第1の給電点と反対側の前記第1の導電パターン上に複数のスイッチング素子を有し、前記第2の導電パターンは、前記第1の給電点の近傍に設けられ、かつ、前記第1の導電パターンとは異なる電位を前記第2の導電パターンに供給する第2の給電点と、を有し、前記複数のスイッチング素子は、複数のボンディングワイヤにより前記第2の導電パターンと電気的に接続され、前記第2の導電パターンは、前記第2の導電パターン上における前記複数のボンディングワイヤの前記第2の導電パターンとの接続領域を規定するスリットパターンが設けられていることを特徴とする。

[0018] また、本発明は、絶縁基板の主面に複数の半導体素子が配置された回路基板を少なくとも1つ以上含むパワートランジスタモジュールであって、前記回路基板は、絶縁基板上に形成された第1の導電パターンと、前記絶縁基板

上の前記第1の導電パターンとは異なる領域に、前記第1の導電パターンと電氣的に絶縁して形成された第2の導電パターンと、を備え、前記第1の導電パターンは、その一端に前記第1の導電パターンに電位を供給する第1の給電点と、前記第1の給電部から前記第1の給電部が設けられた端部の反対側の前記第1の導電パターンの端部に向かう方向に沿って配置された複数のスイッチング素子を有し、前記第2の導電パターンは、前記第1の給電点の近傍に設けられ、かつ、前記第1の導電パターンとは異なる電位を前記第2の導電パターンに供給する第2の給電点と、を有し、前記複数のスイッチング素子は、複数のボンディングワイヤにより前記第2の導電パターンと電氣的に接続され、前記第2の導電パターンは、前記第2の導電パターン上における前記複数のボンディングワイヤの前記第2の導電パターンとの接続領域を規定するスリットパターンが設けられていることを特徴とする。

発明の効果

[0019] 本発明によれば、回路基板上に複数の半導体素子を並列配置して構成されるパワートランジスタモジュールにおいて、各半導体素子から外部導出端子までのインピーダンスを高精度に均一化し、信頼性の高いパワートランジスタモジュールを実現できる。

[0020] 上記した以外の課題、構成及び効果は、以下の実施形態の説明により明らかにされる。

図面の簡単な説明

[0021] [図1A]本発明の一実施形態に係るパワートランジスタモジュールの構成を示す図である。

[図1B]本発明の一実施形態に係るパワートランジスタモジュールの等価回路の一部を示す図である。

[図2A]本発明の一実施形態に係るパワートランジスタモジュールの断面図である。

[図2B]本発明の一実施形態に係るパワートランジスタモジュールの平面図である。

[図3A]従来のパワートランジスタモジュールの構成を示す図である。

[図3B]従来のパワートランジスタモジュールの等価回路の一部を示す図である。

[図4]従来のパワートランジスタモジュールの等価回路を示す図である。

[図5A]本発明の一実施形態に係るパワートランジスタモジュールの構成を示す図である。

[図5B]本発明の一実施形態に係るパワートランジスタモジュールの等価回路の一部を示す図である。

[図6]本発明の一実施形態に係るパワートランジスタモジュールの構成を示す図である。

[図7]本発明の一実施形態に係るパワートランジスタモジュールの構成を示す図である。

[図8]本発明の一実施形態に係るパワートランジスタモジュールの構成を示す図である。

[図9]本発明の一実施形態に係るパワートランジスタモジュールの構成を示す図である。

[図10]本発明のパワートランジスタモジュールにおける効果を示す図である。

発明を実施するための形態

[0022] 以下、図面を用いて本発明の実施例を説明する。

実施例 1

[0023] 本実施例では、並列配置された半導体素子のインピーダンス均一化を実現するパワートランジスタモジュールの構成を説明する。

[0024] 本実施例におけるパワートランジスタモジュールの構成を図2Aおよび図2Bに示す。図2Aおよび図2Bは各々パワートランジスタモジュールの断面図および平面図を示している。図2Aおよび図2Bにおいて、パワートランジスタモジュール500は、ケース400、金属ベース300、外部導出端子201～203、制御信号端子211～214、回路基板100、半田

接合層 7 で構成されている。このうち、ケース 400 は、モジュールの外形を決めるものであり、絶縁性を有する樹脂で作製されている。以降の説明では、ケース 400 については特に必要がない限り説明を割愛する。

[0025] 金属ベース 300 は、ケース 400 と共にモジュールの外形を決めるもので、金属材で作製し、放熱器（図示せず）と接することで半田接合層 7 で接合された 1 つ以上の回路基板 100 で発生した発熱を放熱する経路として機能する。

[0026] 外部導出端子 201～203 は、回路基板 100 上の金属（配線）パターンとモジュール外部の主回路とを接続する端子で、モジュールの通電電流の入出力の経路となる。

[0027] 制御信号端子 211～214 は、回路基板 100 上の金属（配線）パターンとモジュール外部の制御信号発生回路とをボンディングワイヤ 61～64 を介して電氣的に接続する端子で、モジュール内のスイッチング素子の制御信号の経路となる。

[0028] 回路基板 100 は、金属（配線）パターン 1 および 2、スイッチング素子の制御信号パターン 3 および 4、絶縁基板 5、金属（配線）パターン 6 で構成され、パワートランジスタモジュールに用いられる回路基板 100 の枚数は、その定格電流容量や金属（配線）パターンによって決まる機能に応じて決定される。

[0029] 半田接合層 7 は、回路基板 100 と金属ベース 300 を機械的および電氣的に接続するものである。

[0030] 本実施例におけるパワートランジスタモジュールは、図 2 B に示すように、回路基板 100 a と回路基板 100 b の 2 枚の回路基板を用いてパワートランジスタモジュールを構成しており、外部導出端子 201 は回路基板 100 a の高電位となる金属パターンに接続し、外部導出端子 202 は回路基板 100 b の低電位となる金属パターンに接続し、外部導出端子 203 は回路基板 100 a の低電位となる金属パターンと回路基板 100 b の高電位となる金属パターンを接続する機能を有している。

- [0031] ここで、回路基板100aおよび回路基板100bにおいて、高電位および低電位それぞれの外部導出端子を接続する位置は、実装技術上そして絶縁設計上問題ない範囲で近傍に配置する。これは高電位の金属パターンから低電位の金属パターンへと電流が流れる経路のループ面積を極力小さくし、電流経路で発生するインダクタンスを小さく抑えるためである。
- [0032] 図3Aは、従来のパワートランジスタモジュールにおける回路基板100aの金属（配線）パターンと半導体素子の搭載例を示すものである。回路基板100aは、高電位の金属パターン1、低電位の金属パターン2、スイッチング素子の制御信号パターン3および4、半導体で形成されたダイオード素子21～24とスイッチング素子11～16、半導体素子を接続するボンディングワイヤ31～33と41によって構成される。このうち、金属パターン1には、半導体で形成されたダイオード素子21～24のカソード端子が電氣的に接続され、半導体で形成されたスイッチング素子11～16のコレクタ端子もしくはドレイン端子が電氣的に接続され、外部導出端子201との接続のための給電位置51および52が配置されている。
- [0033] 金属パターン2には、ダイオード素子21～24のアノード端子がボンディングワイヤ41を介して電氣的に接続され、スイッチング素子11～16のコレクタ端子もしくはドレイン端子がボンディングワイヤ31を介して電氣的に接続され、外部導出端子203との接続のための給電位置53および54が配置されている。
- [0034] スwitchング素子の制御信号パターン3は、ボンディングワイヤ32を介してスイッチング素子のゲート端子と電氣的に接続され、また、モジュール外の制御信号発生回路（図示せず）とボンディングワイヤ61を介して接続されている。
- [0035] スwitchング素子の制御信号パターン4は、ボンディングワイヤ33を介してスイッチング素子のソース端子と電氣的に接続され、また、モジュール外の制御信号発生回路（図示せず）とボンディングワイヤ62を介して接続されている。

- [0036] 外部導出端子201との接続のための給電位置51および52、外部導出端子203との接続のための給電位置53および54は、回路基板100aを流れる電流経路のインダクタンスを低減するために、近傍に配置する。
- [0037] 図4は、図2Aのパワートランジスタモジュールに図3Aに示す回路基板を搭載した場合の等価回路を示したものである。例として回路基板100aおよび100bに搭載するスイッチング素子はFET型の素子を想定している。スイッチング素子がIGBT型の素子であっても本発明の効果は変わるものではないことは言うまでもない。
- [0038] 図4に示すパワートランジスタモジュールの等価回路は、上アームを回路基板100aによって、下アームを回路基板100bによって構成するハーフブリッジ回路である。外部導出端子201が高電位側の主端子となり、外部導出端子202が低電位側の主端子となり、外部導出端子203が中間電位の主端子となることを示している。この回路基板の等価回路は、2つのダイオード素子と3つのFET素子の並列回路の例を示している。本発明が解決する課題は、上述の通り3つのFET素子間の電流の不均一性、特に、パワートランジスタモジュールのスイッチング時に生じる過渡電流の不均一性である。
- [0039] 図3Bを用いて、従来の回路基板すなわち回路基板上の金属パターンにスリットを設けていない回路基板を用いたパワートランジスタモジュールの電流の不均一性について説明する。図3Bは、図3Aの素子配置の上半分を簡略化して等価回路としたものである。この回路基板を搭載するパワートランジスタモジュールがターンオンする場合の電流経路に着目して等価回路を作製しているため、ダイオード素子は割愛している。
- [0040] Node Dは、金属パターン1の外部導出端子201との接続のための給電位置51を示し、インダクタ $L_{d1} \sim L_{d3}$ はNode DからFET素子M11~M13のドレインに向かう金属パターン1上の電流経路のインダクタンスを示す。FET素子M11~M13のソースにはボンディングワイヤの等価回路表現としてインダクタ $L_{w1} \sim L_{w3}$ を配置し、金属パターン2

上の電流経路のインダクタンスとして $L_{s1} \sim L_{s3}$ を配置している。Node Sは金属パターン2上の外部導出端子203との接続のための給電位置53を示している。図中には電流の流れる方向を矢印にて示している。

[0041] また、金属パターン1上のインダクタ L_{d2} と金属パターン2上のインダクタ L_{s1} の間には、パターン間の間隙を介して磁氣的結合が発生し、結合係数 $K2$ によって決まる相互インダクタンス $M2$ を有している。外部導出端子201との接続のための給電位置51と外部導出端子203との接続のための給電位置53を近傍に配置する構成であり、金属パターン1と金属パターン2の電流の向きは反対方向となるため、相互インダクタンスはお互いの自己インダクタンスを打ち消す（低減する）効果を有する。インダクタ L_{d3} とインダクタ L_{s2} においても同様である。

[0042] この等価回路を用いて、電流の不均一性について説明する。図3Bに示すように各FET素子が導通（オン）した場合に、電流経路は3つ発生する。すなわち、FET素子 $M11$ 、 $M12$ 、 $M13$ を経路とする3種である。それぞれの経路に等しい過渡電流の変化率 (di/dt) が発生すると仮定して、各経路の総インダクタンスを求める。

[0043] 経路 $M11$ の場合：

[0044] [数1]

$$L_{d1} + L_{w1} + L_{s3}$$

[0045] 経路 $M12$ の場合：

[0046] [数2]

$$L_{d1} + L_{d2} + L_{w2} + L_{s1} + L_{s3} - 2M2$$

[0047] ここで $M2 \geq 0$ である。

[0048] 経路 $M13$ の場合：

[0049] [数3]

$$L_{d1} + L_{d2} + L_{d3} + L_{w3} + L_{s2} + L_{s1} + L_{s3} - 4M2$$

[0050] となる。ここで $L_{d1} \sim L_{d2}$ の値を L_d 、 $L_{s1} \sim L_{s3}$ の値を L_s とす

ると、

経路M11の場合：

[0051] [数4]

$$L_d + L_w + L_s$$

[0052] 経路M12の場合：

[0053] [数5]

$$2L_d + L_w + 2L_s - 2M_2$$

[0054] ここで $M_2 \geq 0$ である。

[0055] 経路M13の場合：

[0056] [数6]

$$3L_d + L_w + 3L_s - 4M_2$$

[0057] となる。例えば経路M11とM13のインダクタンスを比較すると、その差分は、

[0058] [数7]

$$2(L_d + L_s - 2M_2)$$

[0059] $L_d + L_s = 2M_2$ であれば、経路M11とM13のインダクタンスは等しいことになるが、これは結合係数 $K_2 = 1$ の場合のみ満足する。実際には $K_2 < 1$ となるため、経路M11とM13にはインダクタンスの差が発生する。電流経路の d_i / dt をすべて等しいと仮定したが、上記のように経路によってインダクタンス差が発生するために、NodeDとNodeS間の起電力 $dV (= d_i / dt \cdot L)$ を基準に考えると、経路M11～M13の d_i / dt はそれぞれ異なる値となる。

[0060] 例えば、経路M11の d_i / dt は経路M13の d_i / dt より大きくなることから、経路間に分担電流の不均一性が発生する。不均一の度合いは、インダクタンスの差異に依存することから、各スイッチング素子の経路のインダクタンスの均一化手段が必要になる。

[0061] 本実施例におけるパワートランジスタモジュールの構成とその効果につい

て、図5 Aおよび図5 Bを用いて説明する。図5 Aの回路基板は、上記の図3 Aの説明で述べた構成に加えて、金属パターン2に2つのL字型のスリットパターン6 2を設けている。この回路基板では、近傍配置した外部導出端子2 0 1との接続のための給電位置5 1と外部導出端子2 0 3との接続のための給電位置5 3もしくは外部導出端子2 0 1との接続のための給電位置5 2と外部導出端子2 0 3との接続のための給電位置5 4に対し、ダイオード素子を近傍に、F E T素子を遠方に配置し、スリットパターン6 2を複数のF E T素子を配列する方向がスリットパターン6 2の長手方向となるように形成されるように配置される。

[0062] つまり、スリットパターン6 2は、金属パターン2内にL字型に形成され、複数のボンディングワイヤと金属パターン2との接続領域は、L字型のスリットパターン6 2と外部導出端子2 0 3との接続のための給電位置5 3近傍の金属パターン2の一辺とは反対側の辺を含む金属パターン2の二辺により囲まれた領域に設けられている。

[0063] 図5 Bは、図5 Aの素子配置の上半分を簡略化して等価回路としたものである。この回路基板を搭載するパワートランジスタモジュールがターンオンする場合の電流経路に着目して等価回路を作製しているため、ダイオード素子は割愛している。N o d e Dは、金属パターン1の外部導出端子2 0 1との接続のための給電位置5 1を示し、インダクタL d 1～L d 3はN o d e Dから各F E T素子M 1 1～M 1 3のドレインに向かう金属パターン1上の電流経路のインダクタンスを示している。

[0064] F E T素子M 1 1～M 1 3のソースにはボンディングワイヤの等価回路表現としてインダクタL w 1～L w 3を配置し、金属パターン2上の電流経路のインダクタンスとしてL s 1～L s 7を配置している。スリットパターン6 2によって、金属パターン2の電流経路は延長され、かつ相互インダクタンスによって磁氣的結合を発生している。N o d e Sは金属パターン2上の外部導出端子2 0 3との接続のための給電位置5 3を示している。図中には電流の流れる方向を矢印にて示している。

[0065] また、金属パターン1上のインダクタ L_{d2} と金属パターン2上のインダクタ L_{s1} の間には、パターン間の間隙を介して磁氣的結合が発生し、結合係数 K_2 によって決まる相互インダクタンス M_2 を有している。 M_2 は、電流の流れる方向が同方向のために、結合する自己インダクタンスを増加させる。インダクタ L_{d3} とインダクタ L_{s2} との関係も同様である。

[0066] また、スリットパターン62を介して磁氣的結合をする L_{s1} と L_{s6} では、電流方向が逆方向であるため、相互インダクタンス M_1 は自己インダクタンスを低減する効果を有する。インダクタ L_{s2} と L_{s5} との関係も同様である。

[0067] この等価回路を用いて、本実施例の効果について説明する。上記の図3Bの説明と同様に、FET素子が導通（オン）した場合に、電流経路は3つ発生する。それぞれの経路に等しい過渡電流の変化率(di/dt)が発生すると仮定して、各経路の総インダクタンスを求める。ここで $M_1 \geq 0$ 、 $M_2 \geq 0$ である。

[0068] 経路M11の場合：

[0069] [数8]

$$L_{d1} + L_{w1} + L_{s1} + L_{s2} + L_{s3} + L_{s4} + L_{s5} + L_{s6} + L_{s7} - 4M_1 + 2M_2$$

[0070] 経路M12の場合：

[0071] [数9]

$$L_{d1} + L_{d2} + L_{w2} + L_{s2} + L_{s3} + L_{s4} + L_{s5} + L_{s6} + L_{s7} - 3M_1 + 2M_2$$

[0072] 経路M13の場合：

[0073] [数10]

$$L_{d1} + L_{d2} + L_{d3} + L_{w3} + L_{s3} + L_{s4} + L_{s5} + L_{s6} + L_{s7} - 2M_1 + 2M_2$$

[0074] となる。 $L_{d1} \sim L_{d3}$ の値を L_d 、 $L_{s1} \sim L_{s7}$ の値を L_s とすると、

経路M11の場合：

[0075] [数11]

$$L_d + L_w + 7 L_s - 4 M_1 + 2 M_2$$

[0076] 経路M12の場合：

[0077] [数12]

$$2 L_d + L_w + 6 L_s - 3 M_1 + 2 M_2$$

[0078] 経路M13の場合：

[0079] [数13]

$$3 L_d + L_w + 5 L_s - 2 M_1 + 2 M_2$$

[0080] 例えば経路M11とM13のインダクタンスを比較すると、その差分は、

[0081] [数14]

$$2 (L_d + L_s - 1 M_1)$$

[0082] となる。

[0083] 従来の回路基板でのインダクタンスの経路差（数7）と比較すると、 $M_1 = 2 M_2$ であれば、経路M11と経路M13のインダクタンスの差は等しくなる。一方、本実施例の回路基板パターンではスリットパターン62の導入により、各経路のインダクタンスの絶対値が大きくなっていることから、インダクタンスのバラツキ（各経路のインダクタンスの平均値に対するインダクタンス経路差の比率）を低減できることになる。

[0084] 例えば、 $L_d = 2 nH$ 、 $L_w = 5 nH$ 、 $L_s = 3 nH$ 、 $M_1 = 3 nH$ 、 $M_2 = 2 nH$ と仮定した場合に、図3Bの等価回路で示す従来の回路基板パターンの各スイッチングトランジスタ経路M11～M13のバラツキは36%である一方、図5Bの等価回路で示す本実施例の回路基板パターンの各スイッチングトランジスタ経路M11～M13のバラツキは18%と低減できることが明らかである。

[0085] インダクタンスの絶対値の平均は、図3Bの等価回路で示す従来の回路基板パターンの場合には11nH、本実施例の場合には22nHである。上記の説明から、スリットパターン62を導入した本実施例の回路基板パターン

が並列配置されたFET素子の電流経路のインダクタンスばらつきを低減させ、インダクタンス値の均一性を改善することがわかる。

実施例 2

[0086] 本発明の第2の実施例とその効果について、図1Aおよび図1Bを用いて説明する。図1Aの回路基板パターンは、実施例1の説明で述べた図5Aのスリットパターン62を、図示するように金属パターン2の内部に配置した1つのコの字型のスリットパターン63に置き換えたものである。

[0087] つまり、スリットパターン63は、金属パターン2内にコの字型に形成され、複数のボンディングワイヤと金属パターン2との接続領域は、コの字型のスリットパターン63と外部導出端子203との接続のための給電位置53近傍の金属パターン2の一辺とは反対側の辺により囲まれた領域に設けられている。

[0088] この回路基板100aでは、実施例1と同様に、近傍配置した外部導出端子201との接続のための給電位置51と外部導出端子203との接続のための給電位置53もしくは外部導出端子201との接続のための給電位置52と外部導出端子203との接続のための給電位置54に対し、ダイオード素子を近傍に、FET素子を遠方に配置し、スリットパターン63は、複数のFET素子の配置される方向がスリットパターン63の長手方向となるように形成されるように配置される。さらに、スリットパターン63を金属パターン2の内部に配置したことから、以下の2点の利点が発生する。

[0089] 第1の利点は、回路基板100aの上下対称に配置するFET素子のソース電極からのボンディングワイヤの配置点を兼ねることができるために、金属パターン2の面積を低減することができる点である。実施例1では、金属パターン上下にボンディングワイヤを配置する領域を設定していたが、本実施例の回路基板パターンでは、その領域を兼用でき、ボンディングワイヤ領域を約1/2に減少させることができる。

[0090] 第2の利点は、回路基板100aを流れる電流の方向が、隣接する全てのパターン間において逆方向となることである。これにより、隣接パターン間

の磁氣的結合による相互インダクタンスは、自己インダクタンスを低減する効果を有し、スリット導入による反作用であるインダクタンス絶対値の増大を抑えることができる。この作用効果について、図1Bを用いて詳細に説明する。

[0091] 図1Bは、図1Aの素子配置の上半分を簡略化して等価回路としたものである。この回路基板100aを搭載するパワートランジスタモジュールがターンオンする場合の電流経路に着目して等価回路を作製しているため、ダイオード素子は割愛している。NodeDは、金属パターン1の外部導出端子201との接続のための給電位置51を示し、インダクタ $L_{d1} \sim L_{d3}$ はNodeDから各FET素子 $M_{11} \sim M_{13}$ のドレインに向かう金属パターン1上の電流経路のインダクタンスを示す。FET素子 $M_{11} \sim M_{13}$ のソースにはボンディングワイヤの等価回路表現としてインダクタ $L_{w1} \sim L_{w3}$ を配置し、金属パターン2上の電流経路のインダクタンスとして $L_{s1} \sim L_{s7}$ を配置している。

[0092] スリットパターン63によって、金属パターン2の電流経路は延長され、かつ相互インダクタンスによって磁氣的結合が発生している。NodeSは金属パターン2上の外部導出端子203との接続のための給電位置53を示している。図中には電流の流れる方向を矢印にて示している。

[0093] また、金属パターン1上のインダクタ L_{d2} と金属パターン2上のインダクタ L_{s6} との間には、パターン間の間隙を介して磁氣的結合が発生し、結合係数 K_2 によって決まる相互インダクタンス M_2 を有している。本実施例では、 M_2 は電流の流れる方向が逆方向のために、結合する自己インダクタンスを減少させる。インダクタ L_{d3} とインダクタ L_{s5} との関係も同様である。

[0094] また、スリットパターン63を介して磁氣的結合をする L_{s1} と L_{s6} では、電流方向が逆方向であるため、結合係数 K_1 によって決まる相互インダクタンス M_1 は自己インダクタンスを低減する効果を有する。インダクタ L_{s2} と L_{s5} との関係も同様である。この等価回路を用いて、本実施例の効

果について説明する。

[0095] 上記の図3Bの説明と同様に、FET素子が導通（オン）した場合に、電流経路は3つ発生する。それぞれの経路に等しい過渡電流の変化率(di/dt)が発生すると仮定して、各経路の総インダクタンスを求める。ここで $M_1 \geq 0$ 、 $M_2 \geq 0$ である。

[0096] 経路M11の場合：

[0097] [数15]

$$L_{d1} + L_{w1} + L_{s1} + L_{s2} + L_{s3} + L_{s4} + L_{s5} + L_{s6} + L_{s7} - 4M_1 - 2M_2$$

[0098] 経路M12の場合：

[0099] [数16]

$$L_{d1} + L_{d2} + L_{w2} + L_{s2} + L_{s3} + L_{s4} + L_{s5} + L_{s6} + L_{s7} - 3M_1 - 2M_2$$

[0100] 経路M13の場合：

[0101] [数17]

$$L_{d1} + L_{d2} + L_{d3} + L_{w3} + L_{s3} + L_{s4} + L_{s5} + L_{s6} + L_{s7} - 2M_1 - 2M_2$$

[0102] となる。 $L_{d1} \sim L_{d3}$ の値を L_d 、 $L_{s1} \sim L_{s7}$ の値を L_s とすると、

経路M11の場合：

[0103] [数18]

$$L_d + L_w + 7L_s - 4M_1 - 2M_2$$

[0104] 経路M12の場合：

[0105] [数19]

$$2L_d + L_w + 6L_s - 3M_1 - 2M_2$$

[0106] 経路M13の場合：

[0107] [数20]

$$3L_d + L_w + 5L_s - 2M_1 - 2M_2$$

[0108] 例えば経路M11とM13のインダクタンスを比較すると、その差分は、
[0109] [数21]

$$2(L_d + L_s - M1)$$

[0110] となる。

[0111] 例えば、 $L_d = 2 \text{ nH}$ 、 $L_w = 5 \text{ nH}$ 、 $L_s = 3 \text{ nH}$ 、 $M1 = 3 \text{ nH}$ 、 $M2 = 2 \text{ nH}$ と仮定した場合に、図3Bの等価回路で示す従来の回路基板パターン各スイッチングトランジスタ経路M11～M13のバラツキは36%である一方、図5Bの等価回路で示す本実施例の回路基板パターン各スイッチングトランジスタ経路M11～M13のバラツキは27%と低減できることが明らかである。

[0112] また、インダクタンスの絶対値の平均は、図3Bの等価回路で示す従来の回路基板パターンの場合には11nHであるのに対して、本実施例の場合には約15nHと、実施例1よりもインダクタンスを低く抑えながら、かつ、各経路間のインダクタンスばらつきを低減できることが明らかである。上記の説明から、スリットパターン63を導入した本実施例の回路基板パターンが並列配置されたFET素子の電流経路のインダクタンスとインダクタンスばらつきを共に低減させることがわかる。

実施例 3

[0113] 本発明の第3の実施例とその効果について、図6を用いて説明する。図6の回路基板パターンは、実施例2の説明で述べたスリットパターンを、図示のように外部導出端子201との接続のための給電位置51と外部導出端子203との接続のための給電位置53もしくは外部導出端子201との接続のための給電位置52と外部導出端子203との接続のための給電位置54に対し、遠方になるほどそのスリット幅を単調増加的に広く変化させたものである。この不均一なスリット幅を有する略コの字型のスリットパターン64によって、実施例2で述べた効果に加え、インダクタンスの絶対値を調整することが可能となる。すなわち、本実施例の回路基板100aを用いることで、回路基板のスリットパターン幅のみの設計変更によって、インダクタ

ンスの絶対値およびばらつきの値を調整可能とする利点を得ることができる。

実施例 4

[0114] 本発明の第4の実施例とその効果について、図7乃至図9を用いて説明する。図7の回路基板パターンは実施例2で説明した図1Aの回路基板パターンの上半分の構成からなる回路基板パターンである。実施例1乃至実施例3では、回路基板100aの両側すなわち図1A、図5A、図6の回路基板100aの金属パターン2を挟んで回路基板100aの上下に金属パターン1を設け、各々の金属パターン1上に複数のダイオード素子および複数のスイッチング素子を配置した形態を用いて説明したが、図7に示すように、回路基板100aの片側すなわち図7の上半分の領域に複数のダイオード素子とスイッチング素子を設けて、回路基板100aのもう一方の片側すなわち図7の下半分の領域に金属パターン2を設けた回路基板100aにおいても、その金属パターン2に図7に示すようなL字型のスリット65を設けることにより、実施例1乃至実施例3のような効果を得ることができる。

[0115] また、同様に、図8或いは図9に示す回路基板100aの金属パターン2にそれぞれL字型のスリット66、略L字型のスリット67を設けることにより、実施例1乃至実施例3と同様な効果を得ることができる。なお、図8の回路基板100aは図5Aの回路基板パターンの上半分の構成からなる回路基板パターンであり、図9の回路基板100aは図6の回路基板パターンの上半分の構成からなる回路基板パターンである。

[0116] 実施例1および実施例2で説明した回路基板100aを用いた場合の効果を図10に示す。図10はスイッチング素子M11からM13における経路インダクタンスの相対比較を示している。

[0117] 図3Aに示す従来の回路基板100aにおいては、各スイッチング素子の経路インダクタンスのばらつきが大きいのに対し、図5Aに示す回路基板100a（実施例1）および図1Aに示す回路基板100a（実施例2）では、そのばらつきが改善し、ほぼ均一化されていることが分かる。

[0118] なお、本発明は上記した実施例に限定されるものではなく、様々な変形例が含まれる。例えば、上記した実施例は本発明を分かりやすく説明するために詳細に説明したものであり、必ずしも説明した全ての構成を備えるものに限定されるものではない。また、ある実施例の構成の一部を他の実施例の構成に置き換えることが可能であり、また、ある実施例の構成に他の実施例の構成を加えることも可能である。また、各実施例の構成の一部について、他の構成の追加・削除・置換をすることが可能である。

[0119] 例えば、スイッチング素子を各実施例で用いたMOSFET (Metal-Oxide-Semiconductor-Field-Effect-Transistor: MOS型電界効果トランジスタ) に対して、J-FET (Junction-Field-Effect-Transistor: 接合型電界効果トランジスタ) のユニポーラデバイス、そしてIGBT (Insulated-Gate-Bipolar-Transistor: 絶縁ゲートバイポーラトランジスタ) のようなバイポーラデバイスのいずれのデバイスに置き換え、さらに端子の機能のうち、例えば、ドレインをコレクタ、ソースをエミッタ、ゲートをベースに置き換えた場合であっても、本発明の効果は変わるものではない。

[0120] また、ダイオード素子に関しても、同様に、PN接合ダイオードやSB (Schottky-Barrier-junction: ショットキー接合) ダイオードのいずれを用いても本発明の効果は変わるものではない。さらに、スイッチング素子内部にダイオードを形成し、各実施例で説明した回路基板100aに単体のダイオード素子を搭載しない場合であっても、上記の各実施例で説明したように金属パターン2内にスリットパターンを設けることにより各実施例と同様の効果を得ることができる。

符号の説明

- [0121] 1, 2, 6…金属 (配線) パターン
3, 4…スイッチング素子の制御信号パターン, 5…絶縁基板
7…半田接合層

1 1, 1 2, 1 3, 1 4, 1 5, 1 6…スイッチング素子
2 1, 2 2, 2 3, 2 4…ダイオード素子
3 1, 3 2, 3 3, 3 4, 3 5, 3 6, 3 7, 4 1…ボンディングワイヤ
5 1, 5 2…外部導出端子 2 0 1 との接続のための給電位置
5 3, 5 4…外部導出端子 2 0 3 との接続のための給電位置
6 2, 6 3, 6 4, 6 5, 6 6, 6 7…スリットパターン
1 0 0, 1 0 0 a, 1 0 0 b…回路基板
2 0 1, 2 0 2, 2 0 3…外部導出端子
2 1 1, 2 1 2, 2 1 3, 2 1 4…制御信号端子
3 0 0…金属ベース
4 0 0…ケース
5 0 0…パワートランジスタモジュール
K 1, K 2…結合係数
L d 1, L d 2, L d 3, L w 1, L w 2, L w 3, L s 1, L s 2, L
s 3, L s 4, L s 5, L s 6, L s 7…インダクタ
M 1, M 2…相互インダクタンス
M 1 1, M 1 2, M 1 3…F E T 素子。

請求の範囲

[請求項1]

絶縁基板の主面に複数の半導体素子が配置された回路基板を少なくとも1つ以上含むパワートランジスタモジュールであって、

前記回路基板は、前記絶縁基板上に形成された第1の導電パターンと、

前記絶縁基板上の前記第1の導電パターンとは異なる領域に、前記第1の導電パターンと電氣的に絶縁して形成された第2の導電パターンと、を備え、

前記第1の導電パターンは、その一端に前記第1の導電パターンに電位を供給する第1の給電点と、

前記第1の導電パターン上に少なくとも1つ以上のダイオード素子と、

前記ダイオード素子を挟んで前記第1の給電点と反対側の前記第1の導電パターン上に複数のスイッチング素子を有し、

前記第2の導電パターンは、前記第1の給電点の近傍に設けられ、かつ、前記第1の導電パターンとは異なる電位を前記第2の導電パターンに供給する第2の給電点と、を有し、

前記複数のスイッチング素子は、複数のボンディングワイヤにより前記第2の導電パターンと電氣的に接続され、

前記第2の導電パターンは、前記第2の導電パターン上における前記複数のボンディングワイヤの前記第2の導電パターンとの接続領域を規定するスリットパターンが設けられていることを特徴とするパワートランジスタモジュール。

[請求項2]

絶縁基板の主面に複数の半導体素子が配置された回路基板を少なくとも1つ以上含むパワートランジスタモジュールであって、

前記回路基板は、絶縁基板上に形成された第1の導電パターンと、

前記絶縁基板上の前記第1の導電パターンとは異なる領域に、前記第1の導電パターンと電氣的に絶縁して形成された第2の導電パター

ンと、を備え、

前記第1の導電パターンは、その一端に前記第1の導電パターンに電位を供給する第1の給電点と、

前記第1の給電部から前記第1の給電部が設けられた端部の反対側の前記第1の導電パターンの端部に向かう方向に沿って配置された複数のスイッチング素子を有し、

前記第2の導電パターンは、前記第1の給電点の近傍に設けられ、かつ、前記第1の導電パターンとは異なる電位を前記第2の導電パターンに供給する第2の給電点と、を有し、

前記複数のスイッチング素子は、複数のボンディングワイヤにより前記第2の導電パターンと電氣的に接続され、

前記第2の導電パターンは、前記第2の導電パターン上における前記複数のボンディングワイヤの前記第2の導電パターンとの接続領域を規定するスリットパターンが設けられていることを特徴とするパワートランジスタモジュール。

[請求項3]

前記スリットパターンは、前記第2の導電パターン内にコの字型に形成され、前記複数のボンディングワイヤと前記第2の導電パターンとの接続領域は、前記コの字型のスリットパターンと前記第2の給電部近傍の前記第2の導電パターンの一辺とは反対側の辺により囲まれた領域に設けられていることを特徴とする請求項1または2に記載のパワートランジスタモジュール。

[請求項4]

前記スリットパターンは、前記第2の導電パターン内にL字型に形成され、前記複数のボンディングワイヤと前記第2の導電パターンとの接続領域は、前記L字型のスリットパターンと前記第2の給電部近傍の前記第2の導電パターンの一辺とは反対側の辺を含む前記第2の導電パターンの二辺により囲まれた領域に設けられていることを特徴とする請求項1または2に記載のパワートランジスタモジュール。

[請求項5]

前記スリットパターンは、前記第2の導電パターン内において、前

記第2の給電点から遠ざかるに従い、スリットの幅が単調増加的に広がっていることを特徴とする請求項1から4のいずれかに記載のパワートランジスタモジュール。

[請求項6] 前記複数のスイッチング素子は、前記第2の導電パターンの長手方向に沿って前記第1の導電パターン上に配置され、前記スリットパターンの長手方向は、前記第2の導電パターンの長手方向に沿うように設けられていることを特徴とする請求項1から5のいずれかに記載のパワートランジスタモジュール。

[請求項7] 前記第1の導電パターンは、前記複数のスイッチング素子のうち少なくとも1つのスイッチング素子のドレイン電極と電氣的に接続し、
前記第2の導電パターンは、前記複数のスイッチング素子のうち少なくとも1つのスイッチング素子のソース電極と電氣的に接続していることを特徴とする請求項1から6のいずれかに記載のパワートランジスタモジュール。

[請求項8] 前記第1の給電点および前記第2の給電点に各々異なる電位の電力を供給し、前記パワートランジスタモジュールを動作させた際、前記第2の導電パターンに前記第1の導電パターンを流れる電流の方向と反対方向の電流が生じるよう前記第2の導電パターンに前記スリットパターンを設けたことを特徴とする請求項1から7のいずれかに記載のパワートランジスタモジュール。

[請求項9] 前記第1の給電点および前記第2の給電点に各々異なる電位の電力を供給し、前記パワートランジスタモジュールを動作させた際、前記第1の導電パターンおよび前記第2の導電パターンの各々に流れる電流の方向が互いに隣接する電流に対し逆方向に流れるよう前記第2の導電パターンに前記スリットパターンを設けたことを特徴とする請求項1から8のいずれかに記載のパワートランジスタモジュール。

[請求項10] 前記スリットパターンの長手方向の長さは、前記第1の給電点および前記第2の給電点に各々異なる電位の電力を供給し、前記パワート

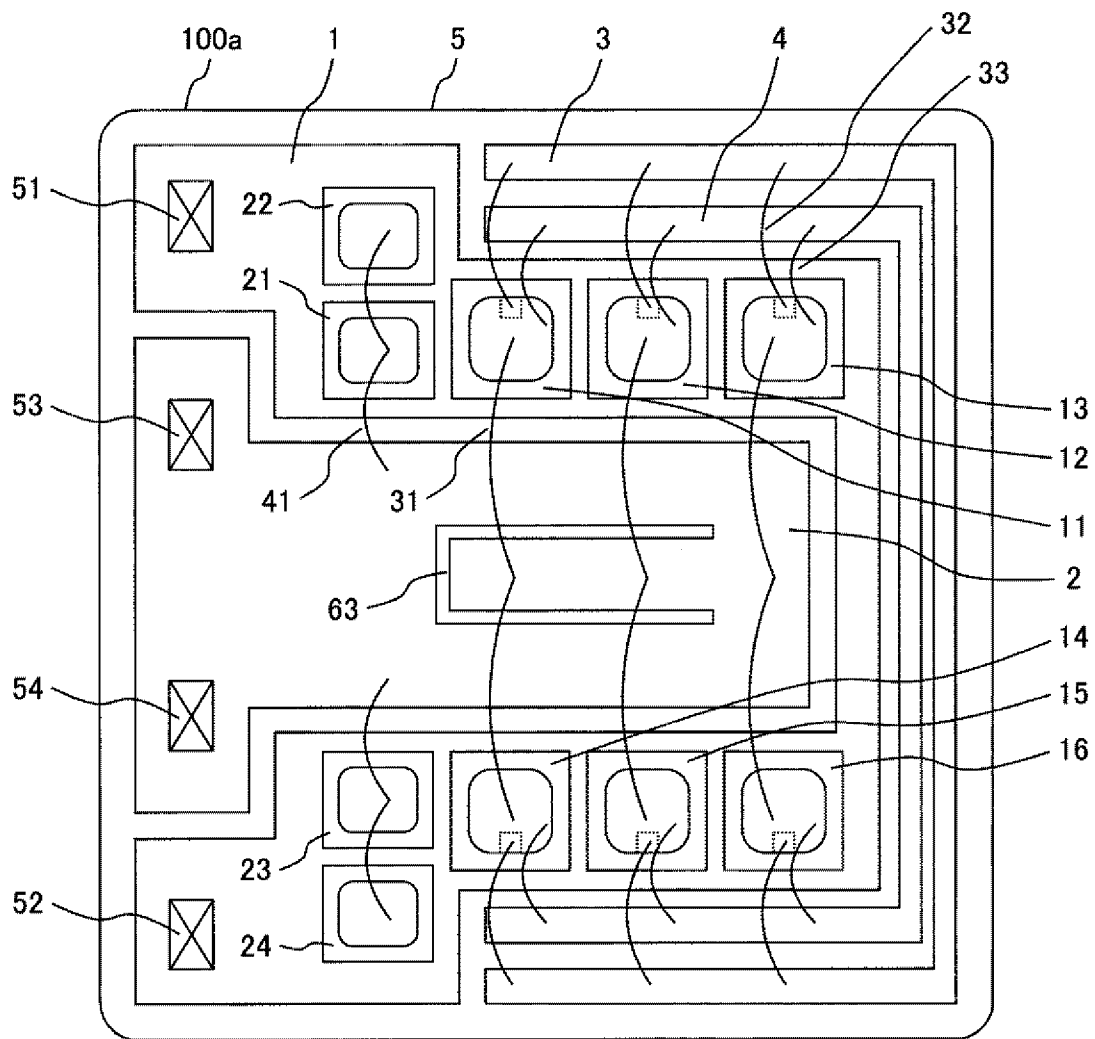
ランジスタモジュールを動作させた際、前記複数のスイッチング素子の電流経路に発生するインダクタンスの値の偏差が最小となる長さであることを特徴とする請求項1から9のいずれかに記載のパワートランジスタモジュール。

[請求項11]

前記スリットパターンの長手方向の長さは、前記第1の給電点および前記第2の給電点に各々異なる電位の電力を供給し、前記パワートランジスタモジュールを動作させた際、前記複数のスイッチング素子のソース端子或いはエミッタ端子から前記第2の給電点までの電流経路に発生するインダクタンスの値の偏差が最小となる長さであることを特徴とする請求項1から10のいずれかに記載のパワートランジスタモジュール。

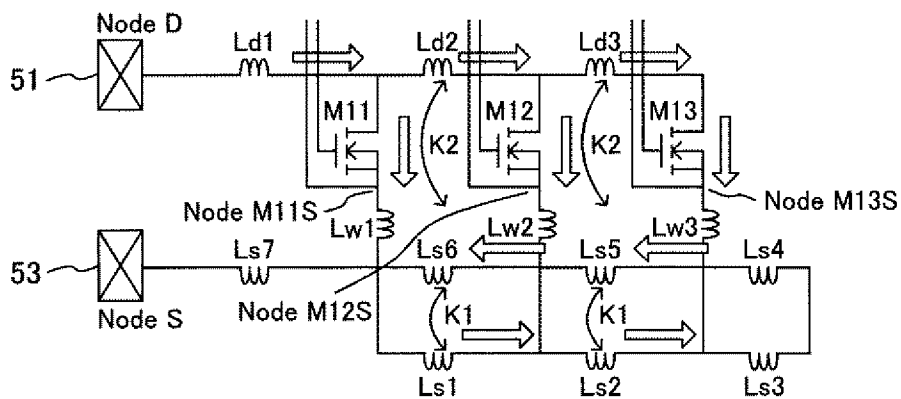
[図1A]

図 1A



[図1B]

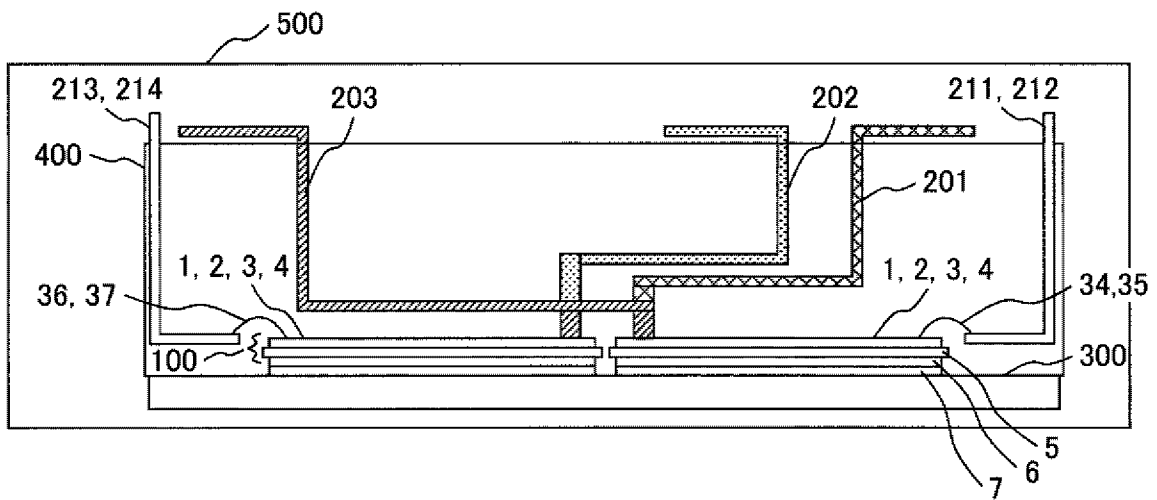
図 1B



⇒ : ターンオン時電流方向

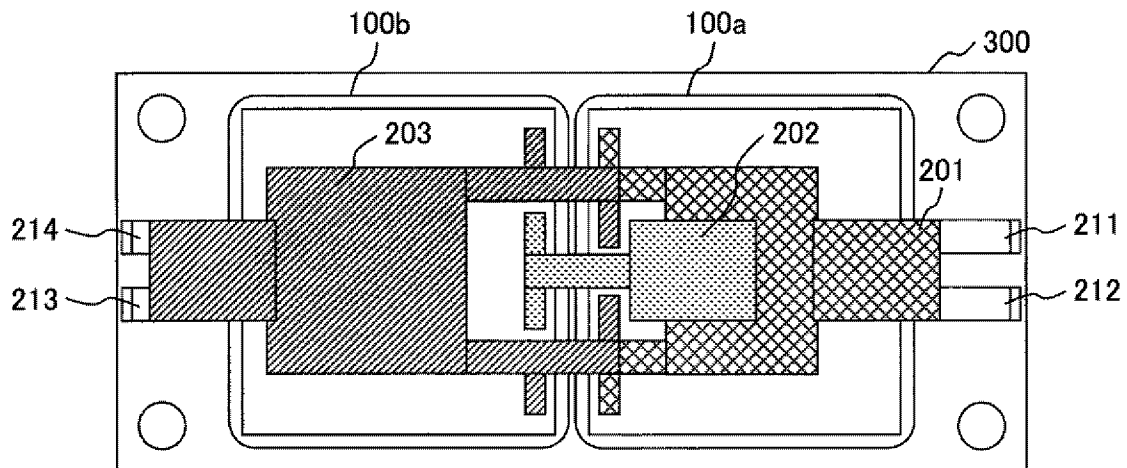
[図2A]

図 2A



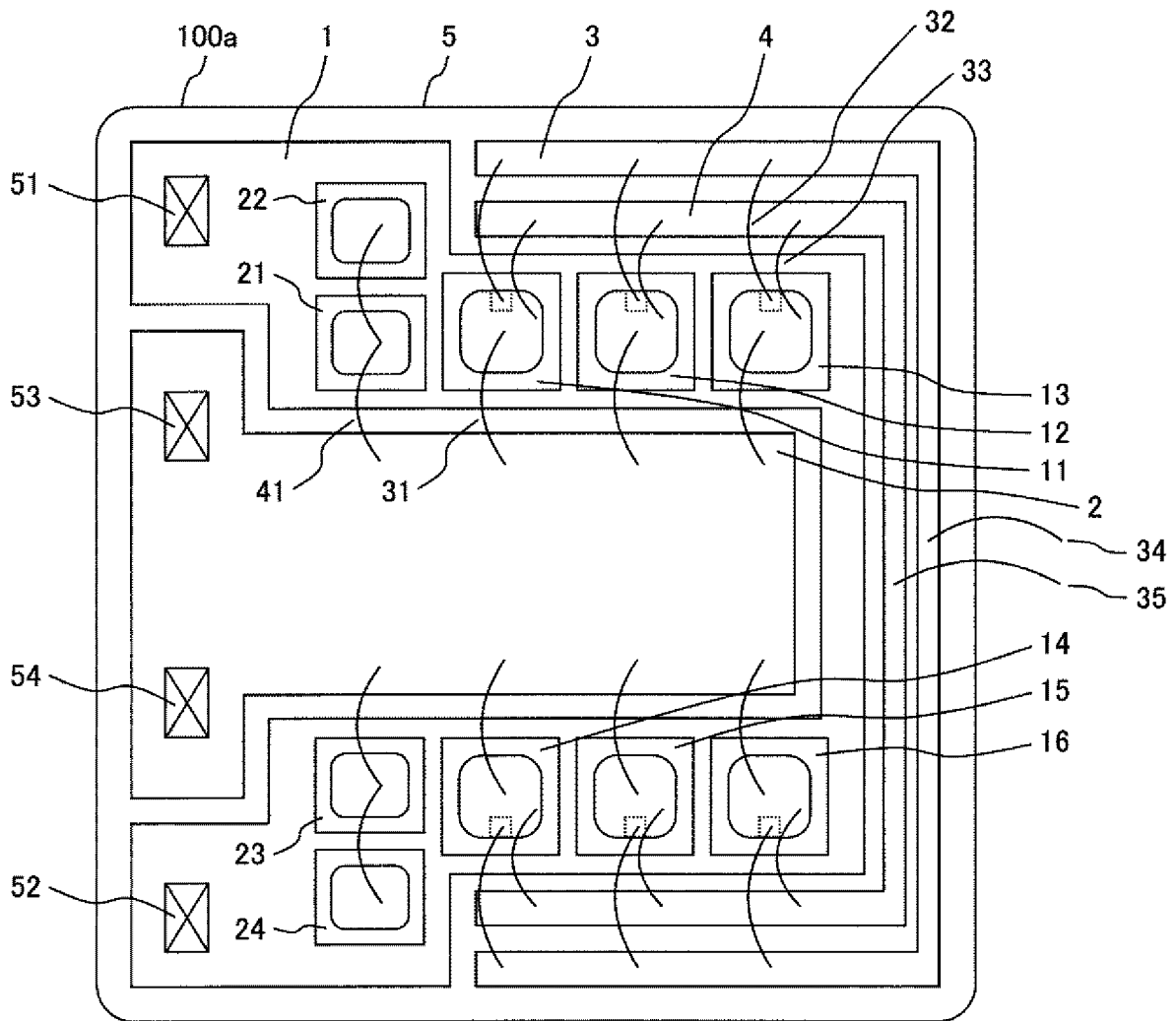
[図2B]

図 2B



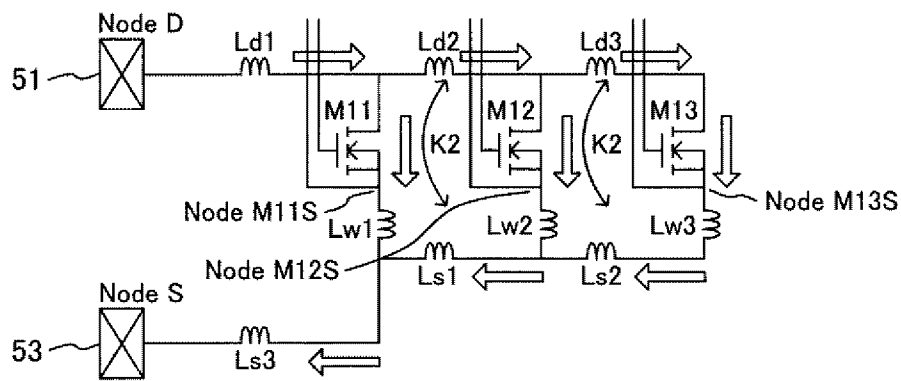
[図3A]

図 3A



[図3B]

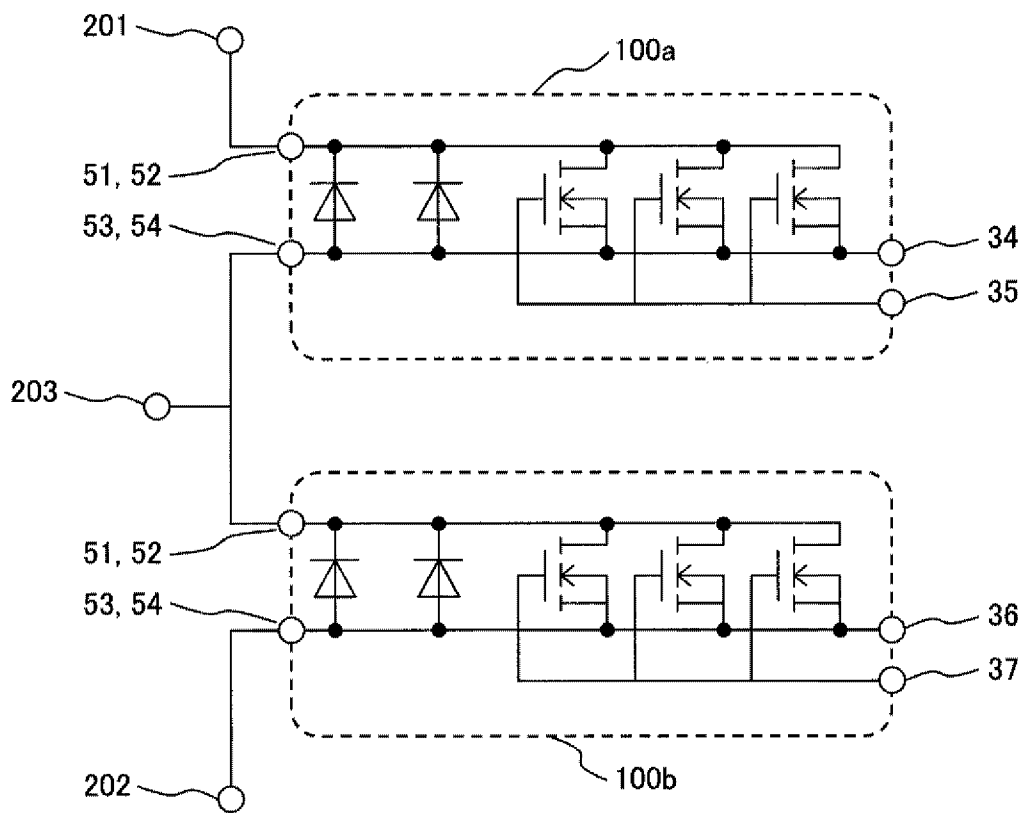
図 3B



⇒ : ターンオン時電流方向

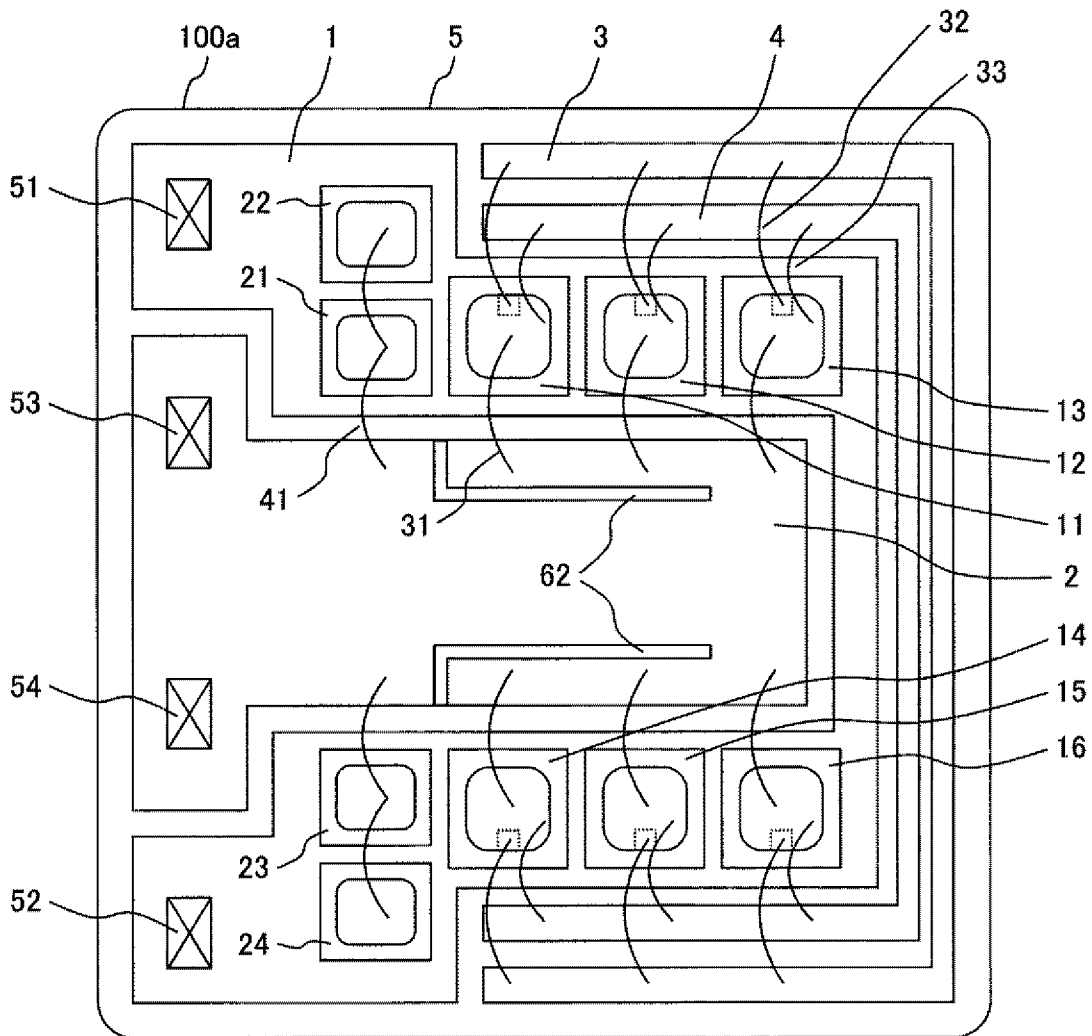
[図4]

図 4



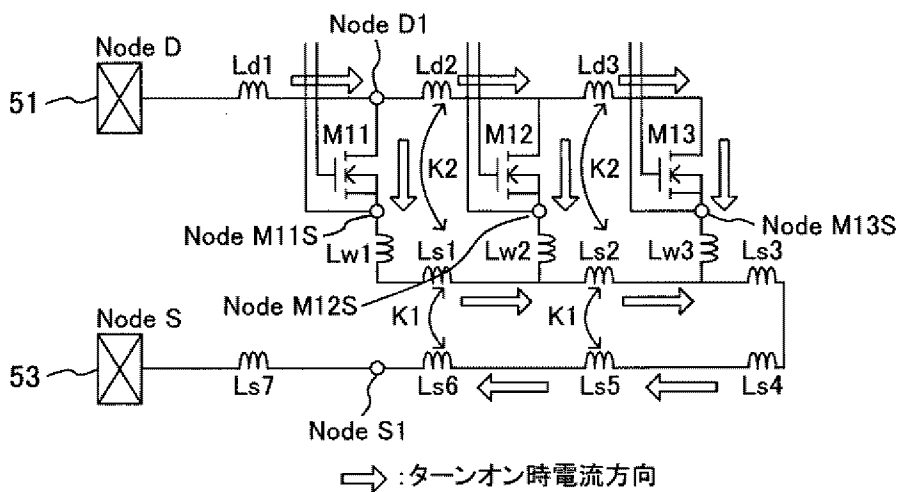
[図5A]

図 5A



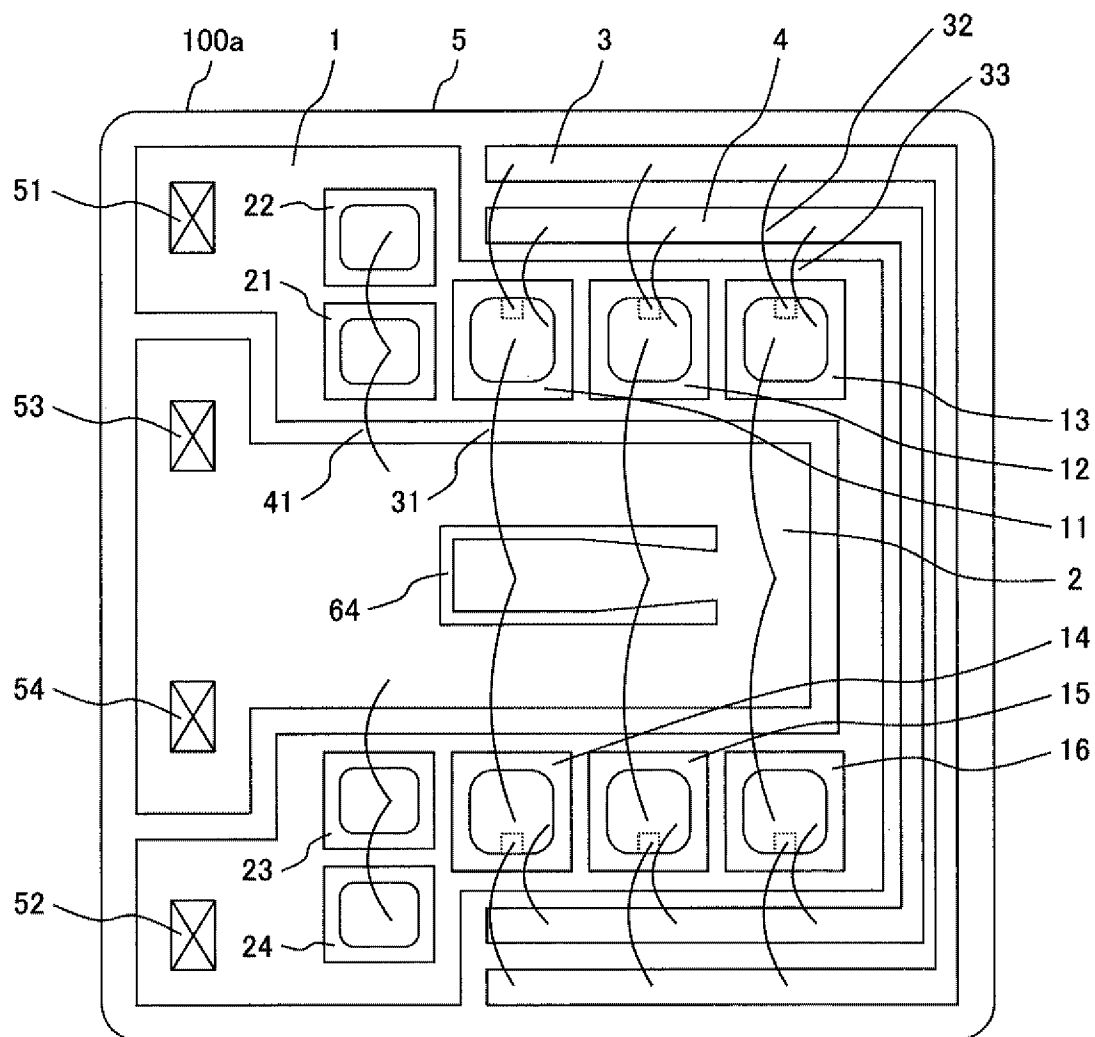
[図5B]

図 5B



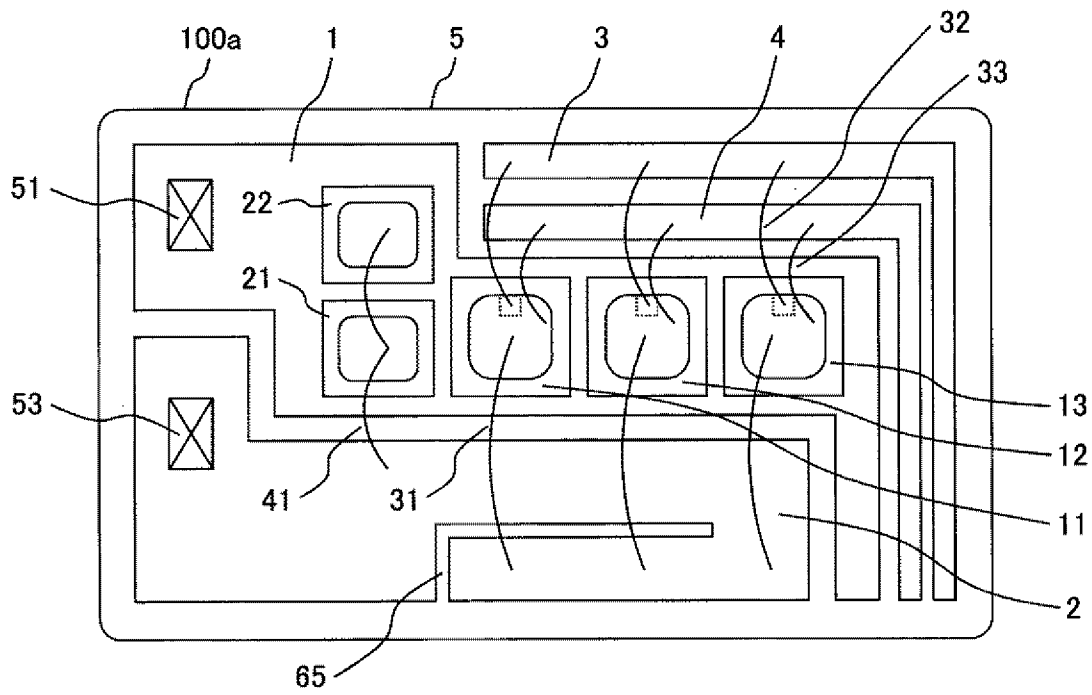
[図6]

図 6



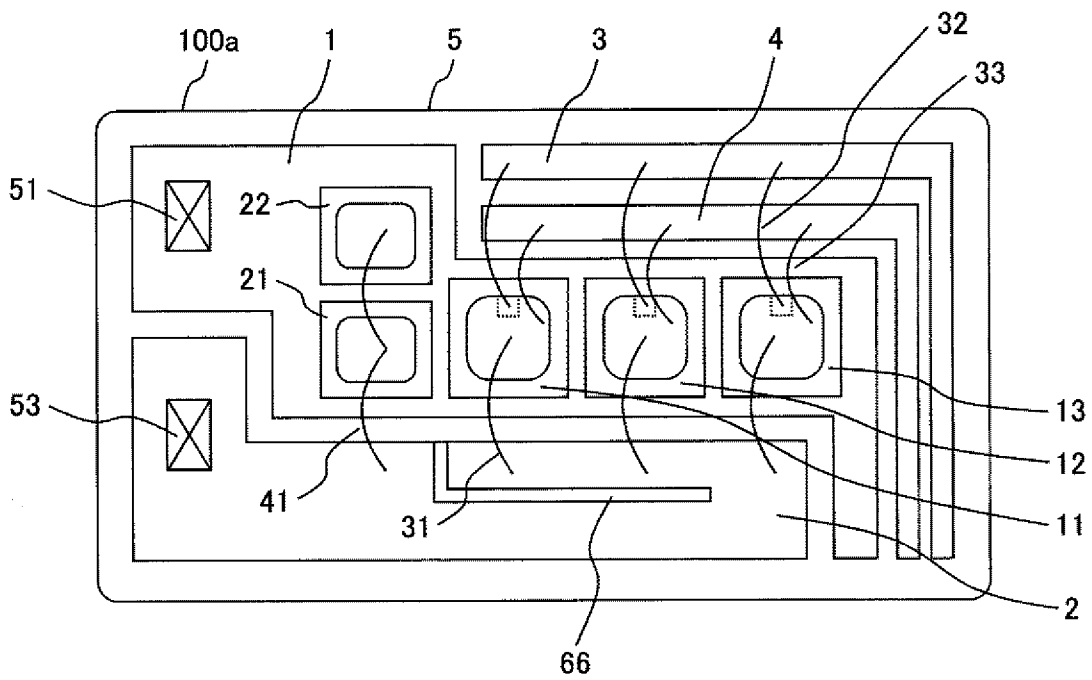
[図7]

図 7



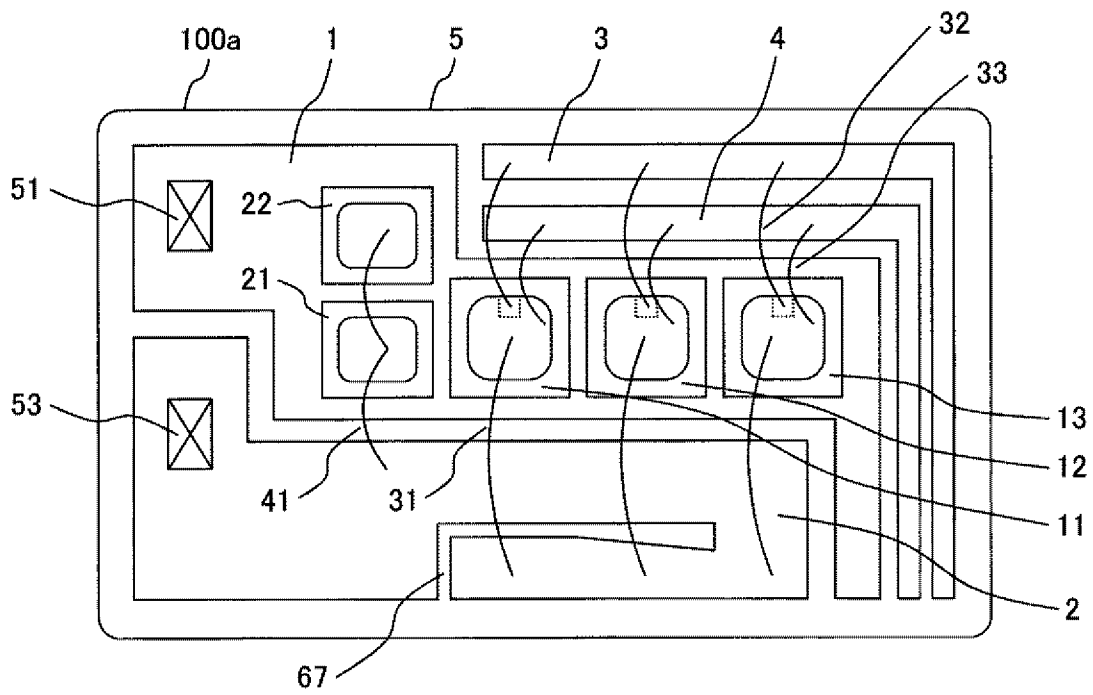
[図8]

図 8



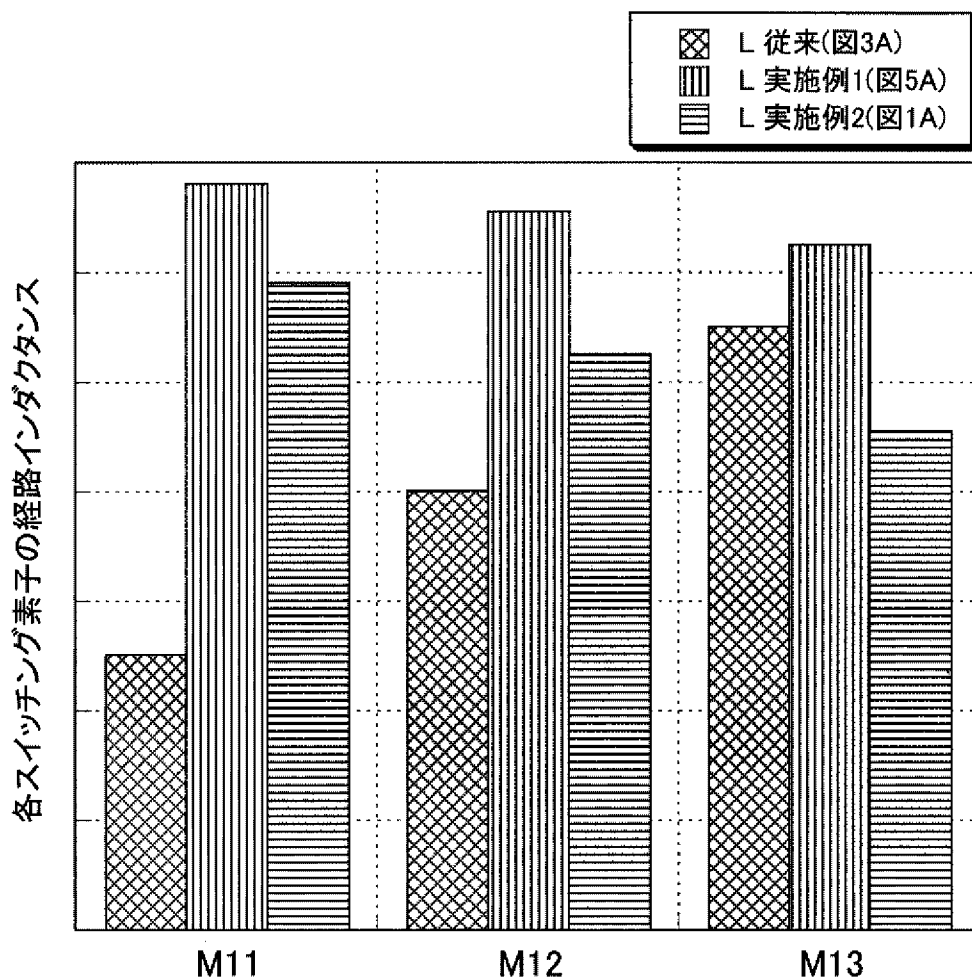
[図9]

図 9



[図10]

図 10



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/068804

A. CLASSIFICATION OF SUBJECT MATTER
H01L25/07(2006.01)i, H01L23/48(2006.01)i, H01L25/18(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L25/07, H01L23/48, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2001-094035 A (Toshiba Corp.), 06 April 2001 (06.04.2001), paragraphs [0008] to [0035]; fig. 1 (Family: none)	1, 2, 4, 6-11 3, 5
Y	JP 2006-203974 A (Fuji Electric FA Components & Systems Co., Ltd.), 03 August 2006 (03.08.2006), paragraph [0017]; fig. 7, 8 (Family: none)	3
Y	JP 7-029932 A (Origin Electric Co., Ltd.), 31 January 1995 (31.01.1995), paragraphs [0016], [0017]; fig. 3 (Family: none)	5

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 10 October, 2014 (10.10.14)	Date of mailing of the international search report 21 October, 2014 (21.10.14)
--	---

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/068804

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-203941 A (Nissan Motor Co., Ltd.), 19 July 2002 (19.07.2002), entire text (Family: none)	1-11

A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. H01L25/07(2006.01)i, H01L23/48(2006.01)i, H01L25/18(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. H01L25/07, H01L23/48, H01L25/18		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2014年 日本国実用新案登録公報 1996-2014年 日本国登録実用新案公報 1994-2014年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2001-094035 A（株式会社東芝）2001.04.06 【0008】 - 【0035】 , 図1（ファミリーなし）	1, 2, 4, 6-11 3, 5
Y	JP 2006-203974 A（富士電機機器制御株式会社）2006.08.03 【0017】 , 図7, 8（ファミリーなし）	3
Y	JP 7-029932 A（オリジン電気株式会社）1995.01.31 【0016】 , 【0017】 , 図3（ファミリーなし）	5
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的な技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	10.10.2014	国際調査報告の発送日 21.10.2014
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 原田 貴志 電話番号 03-3581-1101 内線 3551	5D 4690

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2002-203941 A (日産自動車株式会社) 2002.07.19, 全文 (ファミリーなし)	1-11