

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年9月11日(11.09.2015)



(10) 国際公開番号
WO 2015/133294 A1

- (51) 国際特許分類:
H03K 17/08 (2006.01) H02H 7/20 (2006.01)
H02H 3/08 (2006.01) H03K 17/687 (2006.01)
- (21) 国際出願番号: PCT/JP2015/054736
- (22) 国際出願日: 2015年2月20日(20.02.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-043038 2014年3月5日(05.03.2014) JP
- (71) 出願人: 株式会社オートネットワーク技術研究所 (AUTONETWORKS TECHNOLOGIES, LTD.) [JP/JP]; 〒5108503 三重県四日市市西末広町1番14号 Mie (JP). 住友電装株式会社 (SUMITOMO WIRING SYSTEMS, LTD.) [JP/JP]; 〒5108503 三重県四日市市西末広町1番14号 Mie (JP). 住友電気工業株式会社 (SUMITOMO ELECTRIC INDUSTRIES, LTD.) [JP/JP]; 〒5410041 大阪府大阪市中央区北浜四丁目5番33号 Osaka (JP).
- (72) 発明者: 矢野 佑典 (YANO, Yusuke); 〒5108503 三重県四日市市西末広町1番14号 株式会社

オートネットワーク技術研究所内 Mie (JP). 塚本克馬 (TSUKAMOTO, Katsuma); 〒5108503 三重県四日市市西末広町1番14号 株式会社オートネットワーク技術研究所内 Mie (JP).

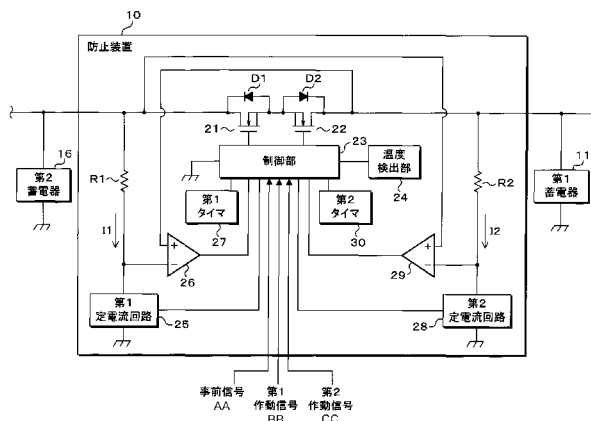
- (74) 代理人: 河野 英仁, 外 (KOHNO, Hideto et al.); 〒5400035 大阪府大阪市中央区釣鐘町二丁目4番3号 河野特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー

[続葉有]

(54) Title: PREVENTIVE APPARATUS

(54) 発明の名称: 防止装置

【図2】



- 10... PREVENTIVE APPARATUS
- 11... FIRST ELECTRICITY STORAGE APPARATUS
- 16... SECOND ELECTRICITY STORAGE APPARATUS
- 23... CONTROL UNIT
- 24... TEMPERATURE DETECTION UNIT
- 25... FIRST CONSTANT CURRENT CIRCUIT
- 27... FIRST TIMER
- 28... SECOND CONSTANT CURRENT CIRCUIT
- 30... SECOND TIMER
- AA... PRENOTIFICATION SIGNAL
- BB... FIRST OPERATION SIGNAL
- CC... SECOND OPERATION SIGNAL

(57) Abstract: A current flows between the drains of FETs (21, 22) that function as switches. A first constant current circuit (25) flows a constant current from the FET (21) side of a resistor (R1) to the other side thereof. A first comparator (26) outputs a high-level voltage to a control unit (23) in the cases where a potential at the drain of the FET (22) is higher than a potential at one end of the resistor (R1), said one end being on the first constant current circuit (25) side. Furthermore, the first comparator (26) outputs a low-level voltage to the control unit (23) in the cases where the potential at the drain of the FET (22) is lower than the potential at the one end of the resistor (R1), said one end being on the first constant current circuit (25) side. The control unit (23) turns off the FETs (21, 22) in the cases where the first comparator (26) outputted the low-level voltage. Furthermore, the control unit (23) changes a current that the first constant current circuit (25) flows to the resistor (R1).

(57) 要約: 電流は、スイッチとして機能する FET 21, 22 夫々のドレイン間を流れる。第1定電流回路 25 は抵抗 R1 の FET 21 側から他側に向けて一定の電流を流す。第1コンパレータ 26 は、FET 22 のドレインにおける電位が抵抗 R1 の第1定電流回路 25 側における電位よりも高い場合にハイレベルの電圧を制御部 23 へ出力する。更に、第1コンパレータ 26 は、FET 22 のドレインにおける電位が抵抗 R1 の第1定電流回路 25 側における電位よりも低い場合にローレベルの電圧を制御部 23 へ出力する。制御部 23 は、第1コンパレータ 26 がロー

レベルの電圧を出力した場合、FET 21, 22 夫々をオフにする。更に、制御部 23 は第1定電流回路 25 が抵抗 R1 に流す電流を変更する。

WO 2015/133294 A1

ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG). 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 防止装置

技術分野

[0001] 本発明は電流経路に過電流が流れることを防止する防止装置に関する。

背景技術

[0002] 車両には、電源から電気機器に給電する電源システムが搭載されている。この電源システムにおいて、短絡によって、電源及び電気機器を接続している導線に過電流が流れた場合、導線が発火する虞がある。このため、電源システムには、電源から電気機器への電流経路に過電流が流れることを防止する防止装置（例えば、特許文献1を参照）が搭載されている。

[0003] 特許文献1に記載の防止装置では、FET（Field Effect Transistor）を介して電源から負荷に給電されている。そして、電源から負荷への電流経路に所定電流以上の電流が流れた場合にFETが電流経路に流れる電流を遮断する。

先行技術文献

特許文献

[0004] 特許文献1：特許第3589392号公報

発明の概要

発明が解決しようとする課題

[0005] 従来の防止装置として、電源から負荷への電流経路にスイッチが設けられており、スイッチの負荷側の一端における電位を閾値電位と比較する防止装置がある。例えば、スイッチが半導体スイッチである場合において、電流経路に大きい電流が流れたとき、スイッチのオン抵抗での電圧降下によって、スイッチの負荷側の一端における電位が大きく低下する。

[0006] 前述した防止装置では、スイッチの負荷側の一端における電位が閾値電位よりも低くなった場合、スイッチをオフにする。これにより、電流経路に過電流が流れることが防止される。

[0007] しかしながら、負荷が誘導性である場合、負荷が作動した直後に電流経路に突入電流が流れる。前述した防止装置では、電流経路に突入電流が流れた場合に誤ってスイッチをオフにする虞がある。

[0008] また、電源システム内の温度は、車両が走行している環境又は負荷の作動状況等に応じて変化する。スイッチに流すことが許容される電流の値はスイッチ周辺の温度によって異なる。スイッチ周辺の温度が高い場合においては、スイッチに流れる電流の値が比較的小さいときであってもスイッチが故障する可能性がある。従って、前述した防止装置において、閾値電位が一定の値に設定されている場合、スイッチに流すことが許容される電流の値を超える過電流が電流経路に流れる虞がある。

[0009] 更に、前述した防止装置を大量に製造した場合において、スイッチのオン抵抗値のばらつきが大きい。このため、全ての防止装置について、閾値電位が同じである場合、スイッチのオン抵抗値が小さい防止装置では、スイッチの負荷側の一端における電位が閾値電位よりも高いときであっても電流経路に過電流が流れている虞がある。

[0010] 本発明は斯かる事情に鑑みてなされたものであり、その目的とするところは、電流経路に過電流が流れることを確実に防止することができる防止装置を提供することにある。

課題を解決するための手段

[0011] 本発明に係る防止装置は、電流経路に設けられたスイッチを備え、該スイッチをオフにすることによって前記電流経路に過電流が流れることを防止する防止装置において、一端が前記スイッチの一端に接続してある抵抗と、該抵抗の一端側から他端側に向けて一定の電流を流す定電流回路と、該定電流回路が流す電流の値を変更する変更手段と、前記スイッチ及び抵抗夫々の他端における電位を比較する比較部とを備え、該比較部が行った比較の結果が、前記スイッチの他端における電位が前記抵抗の他端における電位よりも低いことを示す場合に前記スイッチをオフにするように構成してあることを特徴とする。

- [0012] 本発明にあっては、例えば、スイッチの一端に電源が接続され、スイッチの他端に負荷が接続されており、電源から負荷への電流経路に電流が流れる。スイッチの一端に抵抗の一端が接続しており、定電流回路は、抵抗の一端側から他端側に向けて一定の電流を流す。そして、スイッチ及び抵抗夫々の他端における電位を比較する。
- [0013] スイッチがオンである場合において、スイッチの他端における電位は電源の出力電圧からスイッチの両端間の電圧を引いた値であり、抵抗の他端における電位は、電源の出力電圧から、抵抗の両端間の電圧を引いた値である。定電流回路によって一定の電流が抵抗に流れているため、抵抗の両端間の電圧は一定である。そして、所定値以上の電流が電流経路に流れて、スイッチの両端間の電圧が所定電圧以上となった場合、スイッチの他端における電位が抵抗の他端における電位よりも低くなる。このとき、スイッチがオフにされるので、電流経路に過電流が流れることが防止される。
- [0014] また、定電流回路が流す電流の値を変更する。これにより、抵抗の両端間の電圧を変更することが可能となるため、スイッチの他端における電位と比較する閾値電位を変更することができる。従って、例えば、スイッチの他端に誘導性負荷が接続されている場合、負荷が作動する直後から所定期間の間だけ、閾値電位を低い電位に変更することが可能である。また、スイッチ周辺の温度に応じて閾値電位を変更することも可能であり、装置ごとに閾値電位を変更することも可能である。閾値電位を適切に設定することによって、電流経路に過電流が流れることが確実に防止される。
- [0015] 本発明に係る防止装置は、前記スイッチ周辺の温度を検出する温度検出部を更に備え、前記変更手段は、前記温度検出部が検出した温度の高／低に応じて、前記定電流回路が流す電流の値を小／大に変更するように構成してあることを特徴とする。
- [0016] 本発明にあっては、スイッチ周辺の温度を検出する。そして、検出した温度が高い場合、即ち、スイッチが故障し易い場合においては、定電流回路が流す電流の値を小さい値に変更し、スイッチの他端における電位と比較する

閾値電位を高くする。また、検出した温度が低い場合、即ち、スイッチが故障し難い場合においては、定電流回路が流す電流の値を大きい値に変更し、スイッチの他端における電位と比較する閾値電位を低くする。これにより、スイッチの故障が確実に防止され、かつ、電流経路に電流を効率的に流すことが可能となる。

[0017] 本発明に係る防止装置は、前記スイッチの他端に負荷が接続しており、該負荷が作動するか否かを判定する判定手段を備え、前記変更手段は、該判定手段によって前記負荷が作動すると判定された場合、前記定電流回路が流す電流の値を上昇させるように構成してあることを特徴とする。

[0018] 本発明にあつては、スイッチの他端に負荷が接続してある。そして、負荷が作動すると判定した場合、定電流回路が流す電流の値を上昇させ、スイッチの他端における電位と比較する閾値電位を低くする。これにより、負荷が作動した直後に突入電流が発生した場合に、誤ってスイッチをオフにする確率は低い。

[0019] 本発明に係る防止装置は、前記変更手段は、前記判定手段によって前記負荷が作動すると判定されてから所定時間が経過した場合に、前記定電流回路が流す電流の値を、上昇させる前の電流値に戻すように構成してあることを特徴とする。

[0020] 本発明にあつては、負荷が作動すると判定して定電流回路が流す電流の値を上昇させた後、所定時間が経過した場合、定電流回路が流す電流の値を、上昇させる前の電流値に戻す。これにより、負荷が作動して電流経路に突入電流が流れる期間だけ、スイッチの他端における電位と比較する閾値電位を低くすることが可能となる。

[0021] 本発明に係る防止装置は、前記定電流回路は、2つのトランジスタを備え、該2つのトランジスタ夫々は第1端、第2端及び第3端を有し、前記2つのトランジスタ夫々では、第1端及び第2端間の電圧に応じた値の電流が第2端及び第3端間に流れ、前記2つのトランジスタ中の一方向のトランジスタにおける第1端及び第3端夫々が他方のトランジスタの第1端に接続されて

おり、前記2つのトランジスタ夫々における第2端の電位は略同じであり、前記他方のトランジスタの第3端に前記抵抗の他端が接続されており、前記変更手段は、前記一方のトランジスタの第2端及び第3端間を流れる電流の値を変更することによって、前記定電流回路が流す電流の値を変更するように構成してあることを特徴とする。

[0022] 本発明にあつては、定電流回路は2つのトランジスタを備え、2つのトランジスタ夫々は第1端、第2端及び第3端を有する。2つのトランジスタ夫々では、第1端及び第2端間の電圧に応じた値の電流が第2端及び第3端間に流れる。2つのトランジスタ中の一方のトランジスタにおける第1端及び第3端は他方のトランジスタの第1端に接続されており、2つのトランジスタ夫々における第2端の電位は略同じである。そして、他方のトランジスタの第3端に抵抗の他端が接続されている。

[0023] 以上のように2つのトランジスタが接続されている場合、2つのトランジスタ夫々における第1端及び第2端間の電圧は略一致する。このため、2つのトランジスタについて、第1端及び第2端間の電圧に対して、第2端及び第3端間を流れる電流の値が同様に変化する場合、一方のトランジスタの第2端及び第3端間に流れる電流の値を所定数倍にした値の電流が他方のトランジスタの第2端及び第3端間に流れる。そして、一方のトランジスタの第2端及び第3端間に流れる電流の値を変更することによって、定電流回路が流す電流、即ち、他方のトランジスタにおける第2端及び第3端間を流れる電流の値が容易に変更される。

2つのトランジスタ夫々がNPN型のバイポーラトランジスタである場合、第1端はベースであり、第2端はエミッタであり、第3端はコレクタである。

発明の効果

[0024] 本発明によれば、電流経路に過電流が流れることを確実に防止することができる。

図面の簡単な説明

[0025] [図1]実施の形態1における電源システムの要部構成を示すブロック図である。

[図2]防止装置の要部構成を示すブロック図である。

[図3]第1定電流回路の回路図である。

[図4]制御部の各出力状態における第1定電流回路の等価回路図である。

[図5]制御部が実行する第1防止処理を示すフローチャートである。

[図6]防止装置の効果を示す説明図である。

[図7]防止装置の他の効果を示す説明図である。

[図8]実施の形態2における第1定電流回路の回路図である。

[図9]実施の形態3における第1定電流回路の回路図である。

発明を実施するための形態

[0026] 以下、本発明をその実施の形態を示す図面に基づいて詳述する。

(実施の形態1)

図1は実施の形態1における電源システムの要部構成を示すブロック図である。この電源システム1は、車両に好適に搭載され、防止装置10、第1蓄電器11、第1負荷12、スタータ13、発電機14、第2負荷15及び第2蓄電器16を備える。防止装置10の一端は、第1蓄電器11の正極と、第1負荷12及びスタータ13夫々の一端とに接続されている。防止装置10の他端は、発電機14及び第2負荷15夫々の一端と、第2蓄電器16の正極とに接続されている。第1蓄電器11及び第2蓄電器16夫々の負極と、第1負荷12、スタータ13、発電機14及び第2負荷15夫々の他端とは接地されている。

[0027] 発電機14は、例えば、車両のブレーキペダルが踏み込まれており、かつ、車速が減速している場合に交流の回生電力を発生する。発電機14は、発生した交流の回生電力を直流の回生電力に整流する。発電機14は、整流した直流の回生電力を、防止装置10を介して第1蓄電器11及び第1負荷12に供給すると共に、第2負荷15及び第2蓄電器16にも供給する。

[0028] 第2負荷15は、車両に搭載される電気機器であり、第1蓄電器11、発

電機 14 及び第 2 蓄電器 16 から給電される。

第 2 蓄電器 16 は、電気二重層キャパシタ又はリチウムイオン電池等であり、発電機 14 から供給された電力を蓄える。第 2 蓄電器 16 は、更に、防止装置 10 を介して、第 1 蓄電器 11 から給電され、第 1 蓄電器 11 から供給された電力を蓄える。第 2 蓄電器 16 は、蓄えた電力を、防止装置 10 を介して第 1 蓄電器 11 及び第 1 負荷 12 に供給すると共に、第 2 負荷 15 に供給する。

[0029] 第 1 蓄電器 11 は、例えば鉛蓄電池であり、発電機 14 及び第 2 蓄電器 16 夫々から防止装置 10 を介して給電され、発電機 14 及び第 2 蓄電器 16 から供給された電力を蓄える。第 1 蓄電器 11 は、蓄えた電力を、第 1 負荷 12 及びスタータ 13 に供給すると共に、防止装置 10 を介して第 2 負荷 15 及び第 2 蓄電器 16 に供給する。

[0030] 第 1 負荷 12 は、第 2 負荷 15 と同様に車両に搭載される電気機器であり、第 1 蓄電器 11、発電機 14 及び第 2 蓄電器 16 から給電される。

スタータ 13 は、図示しないエンジンを始動させるためのモータであり、第 1 蓄電器 11 が蓄えた電力を用いて作動する。

[0031] 防止装置 10 には、スタータ 13 が作動することを事前に通知する事前信号と、第 1 負荷 12 が作動することを事前に通知する第 1 作動信号と、第 2 負荷 15 が作動することを事前に通知する第 2 作動信号とが入力される。

[0032] 防止装置 10 は、自身の両端間に遮断閾値以上の電流が流れた場合に、通電を遮断し、自身の両端間を流れる電流の電流経路に過電流が流れることを防止する。防止装置 10 は、事前信号が入力された場合にも通電を遮断する。これにより、スタータ 13 は第 1 蓄電器 11 によって給電される。また、防止装置 10 は、第 1 作動信号又は第 2 作動信号が入力された場合に遮断閾値を調整する。

[0033] 図 2 は防止装置 10 の要部構成を示すブロック図である。防止装置 10 は、Nチャネル型の FET 21、22、制御部 23、温度検出部 24、第 1 定電流回路 25、第 1 コンパレータ 26、第 1 タイマ 27、第 2 定電流回路 2

8、第2コンパレータ29、第2タイマ30、ダイオードD1、D2及び抵抗R1、R2を有する。ダイオードD1、D2夫々はFET21、22の寄生ダイオードである。

[0034] 発電機14及び第2負荷15夫々の一端と第2蓄電器16の正極とには、FET21のドレインと、ダイオードD1のカソードとが接続されている。FET21のソースには、ダイオードD1、D2夫々のアノードと、FET22のソースとが接続されている。FET22のドレインには、ダイオードD2のカソードと、第1蓄電器11の正極と、第1負荷12及びスタータ13夫々の一端とが接続されている。FET21、22夫々のゲートは制御部23に接続されており、制御部23には更に温度検出部24に接続されている。制御部23は接地もされている。

第1負荷12及び第2負荷15夫々は請求の範囲における負荷として機能する。

[0035] FET21のドレインに抵抗R1の一端が接続しており、抵抗R1の他端には、第1定電流回路25と、第1コンパレータ26のマイナス端子とが接続されている。第1定電流回路25は、更に制御部23に接続されており、接地もされている。第1コンパレータ26のプラス端子は、FET22のドレインに接続されており、第1コンパレータ26の出力端子は制御部23に接続されている。第1タイマ27も制御部23に接続されている。

[0036] FET22のドレインに抵抗R2の一端が接続しており、抵抗R2の他端には、第2定電流回路28と、第2コンパレータ29のマイナス端子とが接続されている。第2定電流回路28は、更に制御部23に接続されており、接地もされている。第2コンパレータ29のプラス端子はFET21のドレインに接続されており、第2コンパレータ29の出力端子は制御部23に接続されている。

[0037] FET21、22夫々はスイッチとして機能する。FET21、22夫々について、制御部23によってゲートに一定電圧以上の電圧が印加された場合、ドレイン及びソース間に電流を流すことが可能となり、FET21、2

2 夫々はオンとなる。また、F E T 2 1, 2 2 夫々について、制御部 2 3 によってゲートに印加されている電圧が一定電圧未満である場合、ドレイン及びソース間に電流が流れず、F E T 2 1, 2 2 夫々はオフとなる。制御部 2 3 は、F E T 2 1, 2 2 夫々のゲートに印加されている電圧の高さを調整することによって、F E T 2 1, 2 2 夫々を同時的にオン／オフする。請求の範囲におけるスイッチは、2 つの F E T 2 1, 2 2 全体に相当する。

[0038] F E T 2 1 のソースが F E T 2 2 のソースに接続されているため、ダイオード D 1 のアノードがダイオード D 2 のアノードに接続される。従って、F E T 2 1, 2 2 夫々がオフである場合に、ダイオード D 1, D 2 を介して電流が流れることはない。

F E T 2 1, 2 2 は防止装置 1 0 の両端間に流れる電流の電流経路に設けられている。

[0039] 第 1 定電流回路 2 5 は、抵抗 R 1 の F E T 2 1 側から他側に向けて一定の電流を流す。第 1 定電流回路 2 5 が流す電流の値 I 1 は制御部 2 3 によって変更される。制御部 2 3 は請求の範囲における変更手段として機能する。

[0040] 図 3 は第 1 定電流回路 2 5 の回路図である。第 1 定電流回路 2 5 は、カレントミラー回路 4 及び抵抗 R 3, R 4, R 5 を有する。カレントミラー回路 4 は 2 つの N P N 型のバイポーラトランジスタ 4 0, 4 1 を有する。バイポーラトランジスタ 4 0, 4 1 夫々はベース、エミッタ及びコレクタを有する。抵抗 R 1 の他端は、カレントミラー回路 4 のバイポーラトランジスタ 4 0 のコレクタに接続されている。バイポーラトランジスタ 4 0 のベースは、バイポーラトランジスタ 4 1 のベース及びコレクタに接続されている。バイポーラトランジスタ 4 0, 4 1 夫々のエミッタは接地されており、バイポーラトランジスタ 4 0, 4 1 夫々のエミッタにおける電位は略同じである。バイポーラトランジスタ 4 1 のコレクタは抵抗 R 3 の一端に接続されており、抵抗 R 3 の他端は抵抗 R 4, R 5 夫々の一端に接続されている。抵抗 R 4 の他端は制御部 2 3 に接続されており、抵抗 R 5 の他端は所定の電圧 V c c が印加されている。

[0041] バイポーラトランジスタ40, 41夫々では、ベース及びエミッタ間の電圧の高／低に応じて、値が大／小となる電流がエミッタ及びコレクタ間に流れる。バイポーラトランジスタ40, 41夫々のベース及びエミッタ間に同一の電圧が印加された場合、バイポーラトランジスタ40のコレクタ及びエミッタ間には、バイポーラトランジスタ41のコレクタ及びエミッタ間に流れる電流の値を所定数倍にした値の電流が流れる。

バイポーラトランジスタ40, 41夫々は、請求の範囲における他方及び一方のトランジスタとして機能する。バイポーラトランジスタ40, 41夫々のベース、エミッタ及びコレクタは請求の範囲における第1端、第2端及び第3端に相当する。

[0042] 第1定電流回路25では、電圧 V_{cc} が抵抗 R_5 の他端とバイポーラトランジスタ41のエミッタとの間に印加されている。これにより、電流が抵抗 R_5 の他端から抵抗 R_3 並びにバイポーラトランジスタ41のコレクタ及びエミッタの順に流れる。そして、バイポーラトランジスタ40, 41夫々のベースに同一の電圧が印加されるので、バイポーラトランジスタ41のコレクタ及びエミッタ間を流れる電流の値 I_{ref} を所定数倍した値 I_1 の電流が抵抗 R_1 に流れる。

なお、電圧 V_{cc} は例えば図示しないレギュレータによって生成される。レギュレータは例えば第2蓄電器16の出力電圧から電圧 V_{cc} を生成する。

[0043] 制御部23は、抵抗 R_4 の他端における電位の調整、及び、抵抗 R_4 の他端の開放のいずれかを行うことによって、電流値 I_{ref} を変更する。これにより、電流値 I_1 を変更する。

具体的には、制御部23は、抵抗 R_4 の他端にバイポーラトランジスタ41のエミッタの電位を基準とした電圧 V_{cc} を印加するか、又は、抵抗 R_4 の一端を接地することによって、抵抗 R_4 の他端における電位を調整する。

[0044] 図4は制御部23の各出力状態における第1定電流回路25の等価回路図である。制御部23が抵抗 R_4 の他端へ出力する出力状態は、抵抗 R_4 の一

端に電圧 V_{cc} が印加されている状態、抵抗 R_4 の一端が開放されている状態、及び、抵抗 R_4 の一端が接地されている状態のいずれかである。

[0045] 図4の左側、中央及び右側夫々には、抵抗 R_4 の他端に電圧 V_{cc} が印加されている場合、抵抗 R_4 の他端が開放されている場合、及び、抵抗 R_4 の一端が接地されている場合夫々における第1定電流回路25の等価回路が示されている。第1定電流回路25の等価回路は破線で囲まれている。

[0046] 制御部23が抵抗 R_4 の他端に電圧 V_{cc} を印加した場合、図4の左側に示す等価回路からわかるように、抵抗 R_4 、 R_5 が並列に接続される。従って、抵抗 R_3 と、並列に接続された抵抗 R_4 、 R_5 の合成抵抗とが直列に接続されている。

[0047] 次に、制御部23が抵抗 R_4 の他端を開放した場合、抵抗 R_4 に電流が流れることはない。このため、図4の中央に示す等価回路からわかるように、抵抗 R_3 、 R_5 が直列に接続されている。ここで、並列に接続された抵抗 R_4 、 R_5 の合成抵抗値は抵抗 R_5 の抵抗値よりも小さい。このため、制御部23が抵抗 R_4 の他端を開放した場合における電流値 I_{ref} は、制御部23が抵抗 R_4 の他端に電圧 V_{cc} を印加した場合における電流値 I_{ref} よりも小さい。

[0048] 次に、制御部23が抵抗 R_4 の他端を接地した場合、図4の右側に示す等価回路からわかるように、抵抗 R_5 を流れた電流の一部が、抵抗 R_3 に流れず、抵抗 R_4 に流れる。このため、制御部23が抵抗 R_4 の他端を接地した場合における電流値 I_{ref} は、制御部23が抵抗 R_4 の他端を開放した場合における電流値 I_{ref} よりも小さい。

[0049] 以上のように、制御部23は抵抗 R_4 の他端における電位の調整及び抵抗 R_4 の他端の開放のいずれかを行うことによって、第1定電流回路25が抵抗 R_1 に流す電流の値 I_1 、即ち、バイポーラトランジスタ40のエミッタ及びコレクタ間に流れる電流の値を容易に変更することができる。

なお、抵抗 R_4 の他端における電位を、電圧 V_{cc} が印加されている抵抗 R_5 の他端における電位と接地電位とに加えて、これら以外の電位に調整し

てもよい。この場合、電流値 I_{ref} をより細かく調整することが可能である。

[0050] 第1コンパレータ26は、図2に示すように、FET22のドレインにおける電位と、抵抗R1の他端における電位とを比較する。第1コンパレータ26は、FET22のドレインにおける電位が、抵抗R1の他端における電位よりも高い場合、出力端子からハイレベルの電圧を制御部23に出力する。更に、第1コンパレータ26は、FET22のドレインにおける電位が、抵抗R1の他端における電位よりも低い場合、出力端子からローレベルの電圧を制御部23に出力する。第1コンパレータ26は比較部として機能する。

[0051] 第1タイマ27には、計時の開始を指示する開始指示と、計時の終了を指示する終了指示とが制御部23から入力される。第1タイマ27は、制御部23から開始指示が入力された場合に計時を開始し、第1タイマ27が計時した第1計時時間が制御部23によって読込まれる。第1タイマ27は、制御部23から終了指示が入力された場合に計時を終了する。

[0052] 第2定電流回路28、第2コンパレータ29及び第2タイマ30夫々の構成及び作用は、第1定電流回路25、第1コンパレータ26及び第1タイマ27と同様である。第2定電流回路28、第2コンパレータ29及び第2タイマ30の構成及び作用について、第1定電流回路25、第1コンパレータ26及び第1タイマ27の説明で述べた抵抗R1、FET21及びFET22夫々は、抵抗R2、FET22及びFET21に対応する。

[0053] 従って、第2定電流回路28は、抵抗R2のFET22側から他側に向けて一定の電流を流し、第2定電流回路28が流す電流の値 I_2 は制御部23によって変更される。更に、第2コンパレータ29は、FET21のドレインにおける電位と、抵抗R2の他端における電位とを比較する。制御部23は第2タイマ30が計時した第2計時時間を第2タイマ30から読込む。第2コンパレータ29は第1コンパレータ26と同様に比較部として機能する。そして、制御部23は、第2定電流回路28が抵抗R2に流す電流の値 I

2を容易に変更することができる。

[0054] 温度検出部24は、例えば、サーミスタを用いて構成され、スイッチ周辺の温度（以下ではスイッチ温度と記載する）を検出する。温度検出部24が検出したスイッチ温度は制御部23によって読込まれる。

[0055] 制御部23には、事前信号、第1作動信号及び第2作動信号が入力される。更に、制御部23には、第1コンパレータ26及び第2コンパレータ29夫々の出力端子からハイレベルの電圧、又は、ローレベルの電圧が入力される。

[0056] 制御部23は、事前信号が入力された場合、FET21, 22をオフにする。そして、スタータ13が第1蓄電器11の電力を用いて作動し、エンジンが始動する。制御部23は、FET21, 22をオフにしてから、エンジンが始動するために十分な時間が経過した後、FET21, 22をオンにする。

[0057] 制御部23は、スタータ13の作動に関する期間を除く、他の期間については、通常、FET21, 22をオンにしている。FET21, 22がオンである期間、FET21, 22夫々のドレイン間に電流が流れる。以下では、FET21, 22夫々のドレイン間に流れる電流の値をスイッチ電流値と記載する。

制御部23は、スイッチ電流値が一定の電流値以上である場合にFET21, 22をオフにし、防止装置10の両端間に過電流が流れることを防止する。

[0058] 制御部23は、温度検出部24が検出した温度と、第1タイマ27が計時した第1計時時間とに基づいて第1定電流回路25が抵抗R1に流す電流の値I1を、前述したように変更する。同様に、制御部23は、温度検出部24が検出した温度と、第2タイマ30が計時した第2計時時間とに基づいて第2定電流回路28が抵抗R2に流す電流の値I2を変更する。更に、制御部23は、第1コンパレータ26及び第2コンパレータ29が出力した電圧に応じてFET21, 22夫々をオンからオフに切替える。

[0059] FET 21, 22、制御部 23、温度検出部 24、第1定電流回路 25、第1コンパレータ 26及び第1タイマ 27によって、FET 21のドレインからFET 22のドレインに過電流が流れることを防止する。そして、FET 21, 22、制御部 23、温度検出部 24、第2定電流回路 28、第2コンパレータ 29及び第2タイマ 30によって、FET 22のドレインからFET 21のドレインに過電流が流れることを防止する。制御部 23は、FET 21のドレインからFET 22のドレインに過電流が流れる防止するために第1防止処理を実行し、FET 22のドレインからFET 21のドレインに過電流が流れることを防止するために第2防止処理を実行する。制御部 23は、FET 21, 22夫々をオンしている場合に第1防止処理及び第2防止処理を実行する。

[0060] 図5は制御部 23が実行する第1防止処理を示すフローチャートである。制御部 23は、まず、温度検出部 24が検出したスイッチ温度を、温度検出部 24から読み込み（ステップS1）、読み込んだスイッチ温度の高／低に応じて第1電流値を小／大に設定する（ステップS2）。次に、制御部 23は、第1作動信号が入力されたか否かに基づいて、第1負荷 12がこれから作動するか否かを判定する（ステップS3）。ここで、制御部 23は、第1作動信号が入力されている場合に第1負荷 12がこれから作動すると判定し、第1作動信号が入力されていない場合、第1負荷 12が作動中又は停止中であるとして、第1負荷 12がこれから作動しないと判定する。制御部 23は請求の範囲における判定手段としても機能する。

[0061] 制御部 23は、第1負荷 12が作動しないと判定した場合（S3：NO）、電流値 I1を、ステップS2で設定した第1電流値に変更する（ステップS4）。制御部 23は、第1負荷 12が作動すると判定した場合（S3：YES）、電流値 I1を、ステップS2で設定した第1電流値に所定の電流値 ΔIを加算した値に変更し（ステップS5）、第1タイマ 27に開始指示を出力することによって第1タイマ 27による計時を開始する（ステップS6）。

[0062] 以上のように、制御部23は、ステップS3で第1負荷12が作動すると判定した場合、電流値 I_1 を第1電流値から電流値 ΔI だけ上昇させる。

また、制御部23は、ステップS2でスイッチ温度の高/低に応じて第1電流値を小/大に設定し、電流値 I_1 を、第1電流値、又は、第1電流値に電流値 ΔI を加算した電流値に変更する。言い換えると、制御部23は、スイッチ温度の高/低に応じて電流値 I_1 を小/大に変更する。

[0063] 制御部23は、ステップS4又はステップS6を実行した後、第1コンパレータ26が出力している電圧に基づいて、FET21, 22夫々のドレイン間の通電を遮断すべきか否かを判定する(ステップS7)。

[0064] FET21のドレインにおける電位を V_{b1} とし、抵抗R1の抵抗値を r_1 とし、FET21, 22夫々のオン抵抗値の和を r_s とし、スイッチ電流値の絶対値を I_s とする。

電流がFET21のドレインからFET22のドレインへ流れている場合、FET22のドレインにおける電位は、 $(V_{b1} - r_s \times I_s)$ であり、抵抗R1の他端、即ち、抵抗R1の第1定電流回路25側の一端における電位は $(V_{b1} - r_1 \times I_1)$ である。

[0065] FET22のドレインにおける電位から抵抗R1の他端における電位を引いた値は、 $(r_1 \times I_1 - r_s \times I_s)$ である。スイッチ電流値の絶対値 I_s が $(r_1 \times I_1 / r_s)$ 以下である場合、第1コンパレータ26は出力端子からハイレベルの電圧を制御部23に出力する。制御部23は、第1コンパレータ26がハイレベルの電圧を出力している場合、ステップS7では、通電を遮断すべきではないと判定する。

[0066] スイッチ電流値の絶対値 I_s が $(r_1 \times I_1 / r_s)$ を超えた場合、第1コンパレータ26は出力端子からローレベルの電圧を制御部23に出力する。制御部23は、第1コンパレータ26がローレベルの電圧を出力している場合、ステップS7では、通電を遮断すべきであると判定する。

[0067] FET22のドレインにおける電位を V_{b2} とする。電流がFET22のドレインからFET21のドレインへ流れている場合、抵抗R1の他端にお

ける電位は $(V_{b2} - r_s \times I_s - r_1 \times I_1)$ である。FET22のドレインにおける電位 V_{b2} から抵抗 R_1 の他端における電位を引いた値は、 $(r_s \times I_s + r_1 \times I_1)$ であり、常にゼロを超えている。

このため、電流がFET22のドレインからFET21のドレインへ流れている場合、第1コンパレータ26は常に出力端子からハイレベルの電圧を出力し、制御部23はステップS7で通電を遮断すべきではないと判定する。

[0068] 制御部23は、通電を遮断すべきではないと判定した場合 (S7: NO)、第1タイマ27が計時しているか否かを判定する (ステップS8)。制御部23は、第1タイマ27が計時していると判定した場合 (S8: YES)、第1タイマ27が計時している第1計時時間が、予め設定されている設定時間以上であるか否かを判定する (ステップS9)。

[0069] 制御部23は、第1計時時間が設定時間未満であると判定した場合 (S9: NO)、処理をステップS7に戻し、第1計時時間が設定時間以上となるまで、電流値 I_1 が、第1電流値に電流値 ΔI を加えた電流値に変更してある状態で、通電を遮断すべきか否かの判定を繰り返す。

[0070] 制御部23は、第1計時時間が設定時間以上であると判定した場合 (S9: YES)、終了表示を第1タイマ27に出力することによって、第1タイマ27による計時を終了する (ステップS10)。制御部23は、第1タイマ27が計時をしていないと判定した場合 (S8: NO)、又はステップS10を実行した後、第1防止処理を終了する。

[0071] 制御部23は、FET21, 22をオンにしている間、第1防止処理を繰り返す。ステップS3で第1負荷12が作動すると判定されてから設定時間が経過して、次に、制御部23が第1防止処理を実行したとき、第1負荷12は作動中であるため、スイッチ温度に変化がない限り、制御部23は、電流値 I_1 を、ステップS5で上昇させる前の電流値、即ち、第1電流値に戻す。

[0072] 制御部23は、通電を遮断すべきと判定した場合 (S7: YES)、即ち

、第1コンパレータ26が行った比較結果が、FET22のドレインにおける電位が抵抗R1の他端における電位よりも低いことを示す場合、FET21, 22をオフにする(ステップS11)。その後、制御部23は第1防止処理を終了する。

[0073] FET22のドレインからFET21のドレインへ過電流が流れることを防止する第2防止処理は、第1防止処理と同様である。第2防止処理の説明では、第1防止処理の説明における第1負荷12、第1定電流回路25、第1コンパレータ26、第1タイマ27、第1電流値、電流値I1、第1作動信号及び第1計時時間夫々は、第2負荷15、第2定電流回路28、第2コンパレータ29、第2タイマ30、第2電流値、電流値I2、第2作動信号及び第2計時時間に対応する。第2電流値は、第2防止処理において、第1防止処理のステップS2に対応するステップで設定される電流値であり、第1電流値と同様に、温度検出部24から読込んだスイッチ温度の高/低に応じて小/大に設定される。

[0074] 抵抗R2の抵抗値を r_2 とする。電流がFET22のドレインからFET21のドレインへ流れている場合、FET21のドレインにおける電位は、 $(V_{b2} - r_s \times I_s)$ であり、抵抗R2の他端、即ち、抵抗R2の第2定電流回路28側の一端における電位は $(V_{b2} - r_2 \times I_2)$ である。

[0075] FET22のドレインにおける電位から抵抗R2の他端における電位を引いた値は、 $(r_2 \times I_2 - r_s \times I_s)$ である。スイッチ電流値の絶対値 I_s が $(r_2 \times I_2 / r_s)$ 以下である場合、第2コンパレータ29は出力端子からハイレベルの電圧を制御部23に出力し、第2防止処理では、制御部23は通電を遮断すべきではないと判定する。そして、スイッチ電流の絶対値 I_s が $(r_2 \times I_2 / r_s)$ を超えた場合、第2コンパレータ29は出力端子からローレベルの電圧を出力し、第2防止処理において、制御部23は通電を遮断すべきであると判定する。

[0076] 電流がFET21のドレインからFET22のドレインへ流れている場合、抵抗R2の他端における電位は $(V_{b1} - r_s \times I_s - r_2 \times I_2)$ であ

る。FET 21のドレインにおける電位は V_{b1} であるため、FET 21のドレインにおける電位から抵抗 R_2 の他端における電位を引いた値は、 $(r_{s1} \times I_1 + r_2 \times I_2)$ であり、常にゼロを超えている。

このため、電流がFET 21のドレインからFET 22のドレインへ流れている場合、第2コンパレータ29は常に出力端子からハイレベルの電圧を出力し、第2防止処理では、制御部23は通電を遮断すべきではないと判定する。

[0077] 制御部23は、第1防止処理及び第2防止処理のいずれかでFET 21, 22夫々をオフにするまで、第1防止処理及び第2防止処理を繰り返す。このとき、制御部23は、第1防止処理及び第2防止処理を交互に実行するように構成されてもよいし、第1防止処理及び第2防止処理を並行に実行するように構成されてもよい。

[0078] 以上のように構成された防止装置10では、電流値 I_1 を変更することによって、第1コンパレータ26がFET 22のドレインにおける電位と比較する閾値電位、即ち、抵抗 R_1 の他端における電位を変更することができる。また、電流値 I_2 を変更することによって、第2コンパレータ29がFET 21のドレインにおける電位と比較する閾値電位、即ち、抵抗 R_2 の他端における電位を変更することができる。以上に述べた2つの閾値電位夫々を適切に設定することによって、電流経路に過電流が流れることを確実に防止することができる。

[0079] また、防止装置10を大量に製造した場合に、FET 21, 22のオン抵抗値がばらつく。しかしながら、防止装置10では、電流値 I_1 , I_2 、具体的には第1電流値及び第2電流値を微調整することによって、製造されたFET 21, 22夫々は適切なタイミングでオフにされ、通電が遮断される。

[0080] 図6は防止装置10の効果を示す説明図である。図6には、許容されるスイッチ電流値の絶対値である許容電流値とスイッチ温度との関係を示すグラフが細線で描かれている。更に、図6には、通電が遮断されるスイッチ電流

値の絶対値である遮断閾値と、スイッチ温度との関係を示すグラフが太線で描かれている。

[0081] 図6の細線で示されているように許容電流値はスイッチ温度の上昇と共に低下する。これは、スイッチ温度が高い場合、スイッチ電流値 I_s が比較的小さいときであっても、例えばFET21, 22夫々の構造が変化してしまい、FET21, 22夫々がスイッチとしての機能を失う可能性があるためである。

[0082] 第1防止処理及び第2防止処理では、前述したように第1電流値及び第2電流値夫々は、スイッチ温度の高／低に応じて小／大に設定されるので、電流値 I_1 , I_2 夫々は、スイッチ温度が高い程小さくなる。これにより、第1処理では $(r_1 \times I_1 / r_s)$ によって表され、第2処理では $(r_2 \times I_2 / r_s)$ によって表される遮断閾値は、スイッチ温度が高い程小さい。従って、図6の太線で示すように、各スイッチ温度において、遮断閾値を許容電流値未満の値に設定することが可能となる。このため、FET21, 22の故障を確実に防止することができ、FET21, 22のドレイン間に電流を効率的に流すことができる。

[0083] 図7は防止装置10の他の効果を示す説明図である。図7には、電流値 I_1 、スイッチ電流値の絶対値 I_s 及び遮断閾値の推移の一例が示されている。ここではスイッチ温度は一定であるとする。前述したように、第1防止処理において、第1作動信号が制御部23に入力された場合、制御部23は電流値 I_1 を第1電流値に電流値 ΔI を加算した値に変更する。これにより、FET22のドレインにおける電位と比較する閾値電位、即ち、抵抗 R_1 の他端における電位が低くなり、 $(r_1 \times I_1 / r_s)$ で表される遮断閾値が上昇する。従って、第1負荷12が停止状態から作動することによって、FET21, 22を介して突入電流が流れ、スイッチ電流値の絶対値 I_s が一時的に高い値となった場合に、誤ってFET21, 22夫々をオフにする確率は低い。

[0084] 前述したように、制御部23に第1作動信号が入力され、制御部23によ

って第1負荷12が作動すると判定されてから、設計時間が経過した後、電流値I1を第1電流値に戻す。これにより、遮断閾値も、電流値I1が第1電流値である場合における値に戻る。このため、FET21, 22夫々のドレイン間に突入電流が流れる期間だけ、FET22のドレインにおける電位と比較する閾値電位を低くし、遮断閾値を高くすることができる。

なお、設定時間は、第1作動信号が制御部23に入力されてから、突入電流が発生してスイッチ電流値の絶対値Isが安定するまでの時間よりも長い時間であることが好ましい。

[0085] 以上では、図7を用いて制御部23が第1防止処理を実行することによって得られる効果を述べたが、制御部23が第2防止処理を実行した場合においても同様の効果が得られる。即ち、第2負荷15がこれから作動する場合に制御部23が電流値I2を第2電流値に電流値ΔIを加算した値に上昇させることによって、突入電流が流れた場合に誤ってFET21, 22夫々をオフにする確率は低い。更には、電流値I2を上昇させてから設定時間が経過した場合に、電流値I2は第2電流値に戻されるので、突入電流が流れる期間だけ、FET21のドレインにおける電位と比較する閾値電位を上昇させて、遮断閾値を高くすることができる。

[0086] (実施の形態2)

図8は実施の形態2における第1定電流回路25の回路図である。実施の形態2は、実施の形態1と比較して第1定電流回路25及び第2定電流回路28の回路構成が異なる。

以下では、実施の形態2について、実施の形態1と異なる点を説明する。後述する構成を除く他の構成については、実施の形態1と同様であるため、同様の符号を付してその説明を省略する。

[0087] 実施の形態2における第1定電流回路25は、カレントミラー回路4及び抵抗R3, R4, R5を有し、これらは、実施の形態1と同様に接続されている。実施の形態2における第1定電流回路25は更に抵抗R6を有し、抵抗R6の一端は抵抗R5の一端に接続され、抵抗R6の他端は制御部23に

接続されている。

[0088] 制御部23は、抵抗R4の他端に対して行った動作と同様の動作を、抵抗R6の他端に対して行う。即ち、制御部23は、抵抗R6の他端における電位の調整、及び、抵抗R6の他端の開放のいずれかを行う。

抵抗R4の他端の状態が固定されている場合においては、図4を用いて説明したように、抵抗R6の他端に電圧Vccが印加されている場合における電流値Irefが最も大きい。そして、抵抗R6の他端を開放している場合における電流値Irefが次に大きく、抵抗R6の他端を接地している場合における電流値Irefが最も小さい。

[0089] 以上のように、抵抗R6の追加によって、制御部23は、電流値Irefをより細かく制御することができる。抵抗R4、R6夫々の抵抗値が異なる場合、電流値Irefの値の数は9つであり、制御部23は、電流値I1を9つの値に変更することができる。

また、抵抗R4、R6夫々の他端における電位を、電圧Vccが印加されている抵抗R5の他端における電位と接地電位とに加えて、これら以外の電位に調整してもよい。この場合、電流値Irefを更に細かく調整することができる。

[0090] 実施の形態2における第2定電流回路28は実施の形態2における第1定電流回路25と同様に構成されているため、制御部23は電流値I2をより細かく制御することができる。

実施の形態2における制御部23は実施の形態1と同様に第1防止処理及び第2防止処理を行い、電流値I1、I2を変更する構成のみが実施の形態1と異なるので、実施の形態2における防止装置10は、実施の形態1と同様の効果を奏する。

[0091] なお、実施の形態2において、電流値Irefを調整するための抵抗の数は2つに限定されず、3つ以上であってもよい。この場合、3つ目以降の抵抗は抵抗R4又は抵抗R6と同様に接続され、制御部23によって、抵抗R4の他端において行った動作と同様の動作を行う。

[0092] (実施の形態3)

図9は実施の形態3における第1定電流回路25の回路図である。実施の形態3は、実施の形態1と比較して第1定電流回路25及び第2定電流回路28の回路構成が異なる。

以下では、実施の形態3について、実施の形態1と異なる点を説明する。後述する構成を除く他の構成については、実施の形態1と同様であるため、同様の符号を付してその説明を省略する。

[0093] 実施の形態3における第1定電流回路25は、カレントミラー回路4及び抵抗R3を有し、これらは、実施の形態1と同様に接続されている。実施の形態3における第1定電流回路25は、更に、D/Aコンバータ5を有する。D/Aコンバータ5は抵抗R3の他端と制御部23とに接続されている。

なお、抵抗R3の一端はバイポーラトランジスタ41のコレクタ及びベースに接続されている。

[0094] D/Aコンバータ5には、抵抗R3の他端とバイポーラトランジスタ41のエミッタとの間に印加すべき電圧の高さを示すデジタル信号が制御部23から入力されている。D/Aコンバータ5は、制御部23から入力されたデジタル信号が示す高さの電圧を、抵抗R3の他端とバイポーラトランジスタ41のエミッタとの間に印加する。これにより、電流が抵抗R3の他端、並びに、バイポーラトランジスタ41のコレクタ及びエミッタの順に流れる。

[0095] D/Aコンバータ5が抵抗R3の他端とバイポーラトランジスタ41のエミッタとの間に印加する電圧を V_{da} とした場合、電流値 I_{ref} は下記式によって算出される。

$$I_{ref} = (V_{da} - V_{be}) / r_3 \dots (1)$$

ここで、 r_3 は抵抗R3の抵抗値であり、 V_{be} はバイポーラトランジスタ41のベース及びエミッタ間の電圧である。(1)式に示すように、電流値 I_{ref} は、電圧 V_{da} の高/低に応じて大/小となる。

[0096] 制御部23は、種々の高さを示すデジタル信号をD/Aコンバータ5に出力することによって、電圧 V_{da} の高さを調整する。これにより、制御部2

3は電流値 I_{ref} を変更し、電流値 I_1 を変更する。

以上のように構成された第1定電流回路25では、制御部25は簡単な構成で電流値 I_1 を変更することができる。

[0097] 実施の形態3における第2定電流回路28は、実施の形態3における第1定電流回路25と同様に構成されているため、制御部23は簡単な構成で電流値 I_2 を変更することができる。

[0098] 実施の形態3における制御部23は、実施の形態1と同様に第1防止処理及び第2防止処理を行い、電流値 I_1 、 I_2 を変更する構成のみが実施の形態1と異なるので、実施の形態3における防止装置10は、実施の形態1と同様の効果を奏する。

[0099] なお、実施の形態1～3において、第1負荷12（又は第2負荷15）がこれから作動する場合に電流値 I_1 （又は電流値 I_2 ）を第1電流値（又は第2電流値）から上昇させてから、第1電流値（又は第2電流値）に戻すタイミングは、電流値 I_1 （又は電流値 I_2 ）を上昇させてから設定時間が経過した後に限定されない。例えば、スイッチ電流値の絶対値 I_s を監視しておき、スイッチ電流値の絶対値 I_s が安定した場合に電流値 I_1 （又は電流値 I_2 ）を、第1電流値（又は第2電流値）に戻してもよい。

[0100] また、第1負荷12（又は第2負荷15）がこれから作動する場合に電流値 I_1 （又は電流値 I_2 ）を変更する処理、及び、スイッチ温度に応じて電流値 I_1 （又は電流値 I_2 ）を変更する処理の両方を行わなくてもよく、いずれか一方を行ってもよい。また、電流値 I_1 （又は電流値 I_2 ）を変更する条件は、第1負荷12（又は第2負荷15）がこれから作動する場合、又は、スイッチ温度が変化した場合に限定されず、例えば、使用者から電流値 I_1 （又は電流値 I_2 ）の変更指示を受け付けた場合であってもよい。

[0101] また、FET21、22夫々について、FET21のドレインをFET22のドレインに接続し、FET21のソースを抵抗R1の一端と第2コンパレータ29のプラス端子とに接続し、FET22のソースを抵抗R2の一端と第1コンパレータ26のプラス端子とに接続してもよい。以上のようにF

ET 21, 22が接続された場合、ダイオードD1, D2夫々について、カソードはFET 21, 22のソースに接続され、アノードはFET 21, 22のドレインに接続される。このため、ダイオードD1のカソードがダイオードD2のカソードに接続されるので、FET 21, 22夫々がオフである場合に、ダイオードD1, D2を介して電流が流れることはない。

[0102] 更に、FET 21, 22はスイッチとして機能すればよいため、FET 21, 22夫々はPチャネル型のFETでもよく、バイポーラトランジスタであってもよい。また、FET 21, 22の代わりに1つの半導体スイッチを用いてもよい。この半導体スイッチは、オフである間、自身の両端間に電流が流れないスイッチであることが好ましい。また、第1定電流回路25及び第2定電流回路28はバイポーラトランジスタを用いた構成に限定されず、FETを用いた構成であってもよい。例えば、2つのNチャネル型のFETがバイポーラトランジスタ40, 41の代わりに用いられる場合、2つのFET夫々のゲート、ソース及びドレインはバイポーラトランジスタ40, 41のベース、エミッタ及びコレクタに対応する。更に、第1定電流回路25及び第2定電流回路28の構成は異なってもよい。

[0103] 開示された実施の形態1～3は、全ての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上述の説明ではなく請求の範囲によって示され、請求の範囲と均等の意味及び範囲内での全ての変更が含まれることが意図される。

符号の説明

- [0104] 10 防止装置
12 第1負荷
15 第2負荷
21, 22 FET
23 制御部
24 温度検出部
25 第1定電流回路

- 26 第1コンパレータ
- 28 第2定電流回路
- 29 第2コンパレータ
- 40, 41 バイポーラトランジスタ
- R1, R2 抵抗

請求の範囲

- [請求項1] 電流経路に設けられたスイッチを備え、該スイッチをオフにすることによって前記電流経路に過電流が流れることを防止する防止装置において、
- 一端が前記スイッチの一端に接続してある抵抗と、
- 該抵抗の一端側から他端側に向けて一定の電流を流す定電流回路と、
- 、
- 該定電流回路が流す電流の値を変更する変更手段と、
- 前記スイッチ及び抵抗夫々の他端における電位を比較する比較部とを備え、
- 該比較部が行った比較の結果が、前記スイッチの他端における電位が前記抵抗の他端における電位よりも低いことを示す場合に前記スイッチをオフにするように構成してあること
- を特徴とする防止装置。
- [請求項2] 前記スイッチ周辺の温度を検出する温度検出部を更に備え、
- 前記変更手段は、前記温度検出部が検出した温度の高／低に応じて、前記定電流回路が流す電流の値を小／大に変更するように構成してあること
- を特徴とする請求項1に記載の防止装置。
- [請求項3] 前記スイッチの他端に負荷が接続してあり、
- 該負荷が作動するか否かを判定する判定手段を備え、
- 前記変更手段は、該判定手段によって前記負荷が作動すると判定された場合、前記定電流回路が流す電流の値を上昇させるように構成してあること
- を特徴とする請求項1又は請求項2に記載の防止装置。
- [請求項4] 前記変更手段は、前記判定手段によって前記負荷が作動すると判定されてから所定時間が経過した場合に、前記定電流回路が流す電流の値を、上昇させる前の電流値に戻すように構成してあること

を特徴とする請求項3に記載の防止装置。

[請求項5]

前記定電流回路は、2つのトランジスタを備え、

該2つのトランジスタ夫々は第1端、第2端及び第3端を有し、

前記2つのトランジスタ夫々では、第1端及び第2端間の電圧に応じた値の電流が第2端及び第3端間に流れ、

前記2つのトランジスタ中の一方向のトランジスタにおける第1端及び第3端夫々が他方のトランジスタの第1端に接続されており、

前記2つのトランジスタ夫々における第2端の電位は略同じであり、

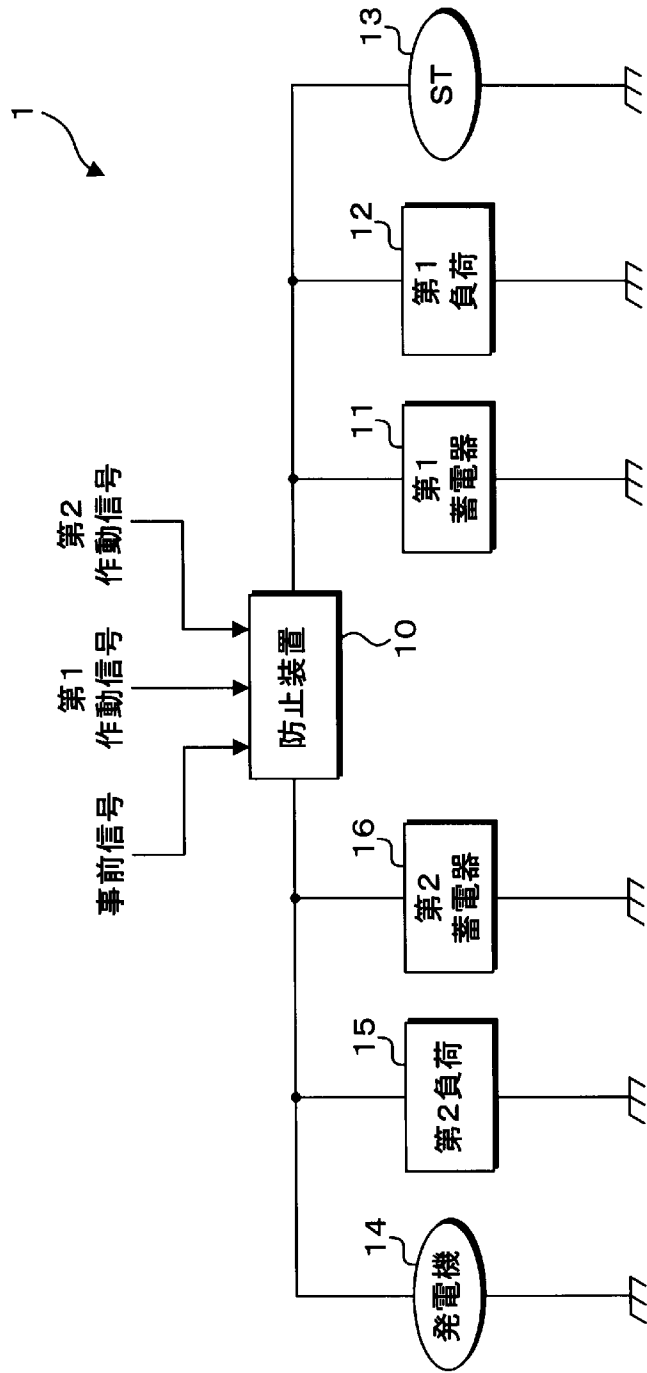
、

前記他方のトランジスタの第3端に前記抵抗の他端が接続されており、

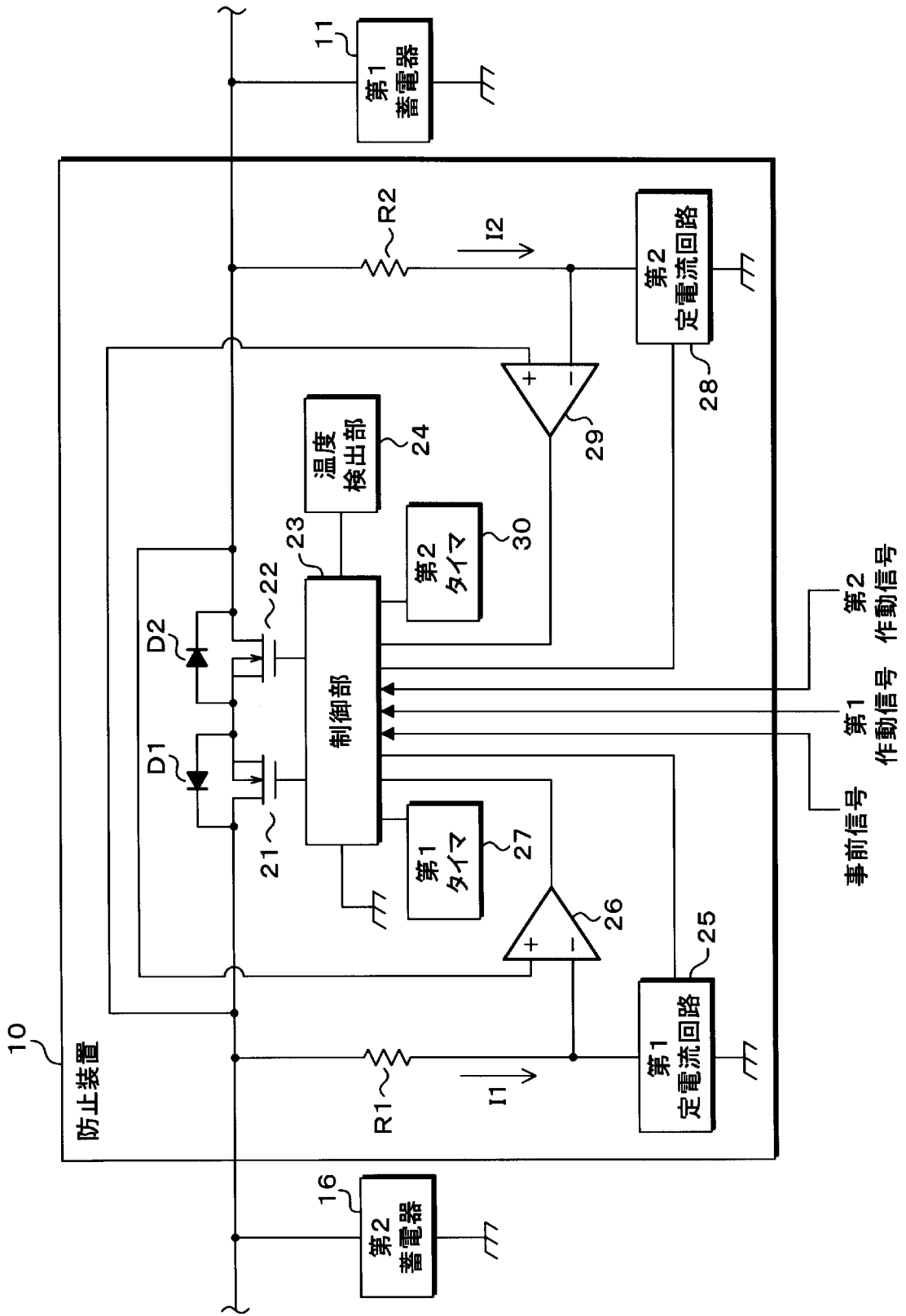
前記変更手段は、前記一方のトランジスタの第2端及び第3端間を流れる電流の値を変更することによって、前記定電流回路が流す電流の値を変更するように構成してあること

を特徴とする請求項1から請求項4のいずれか1つに記載の防止装置。

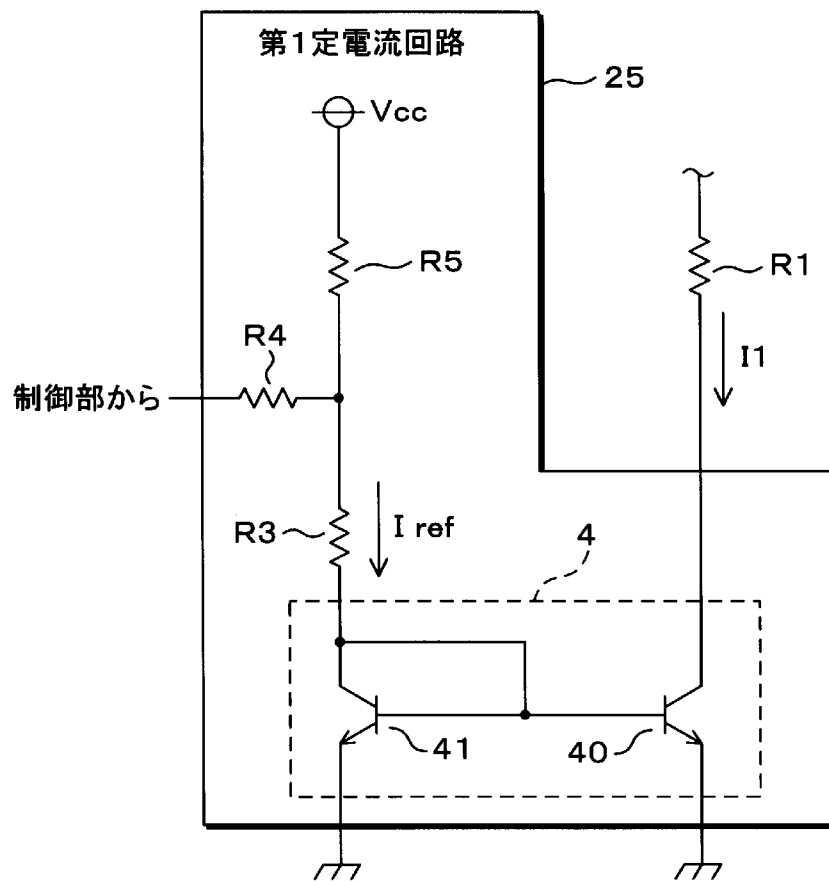
[図1]



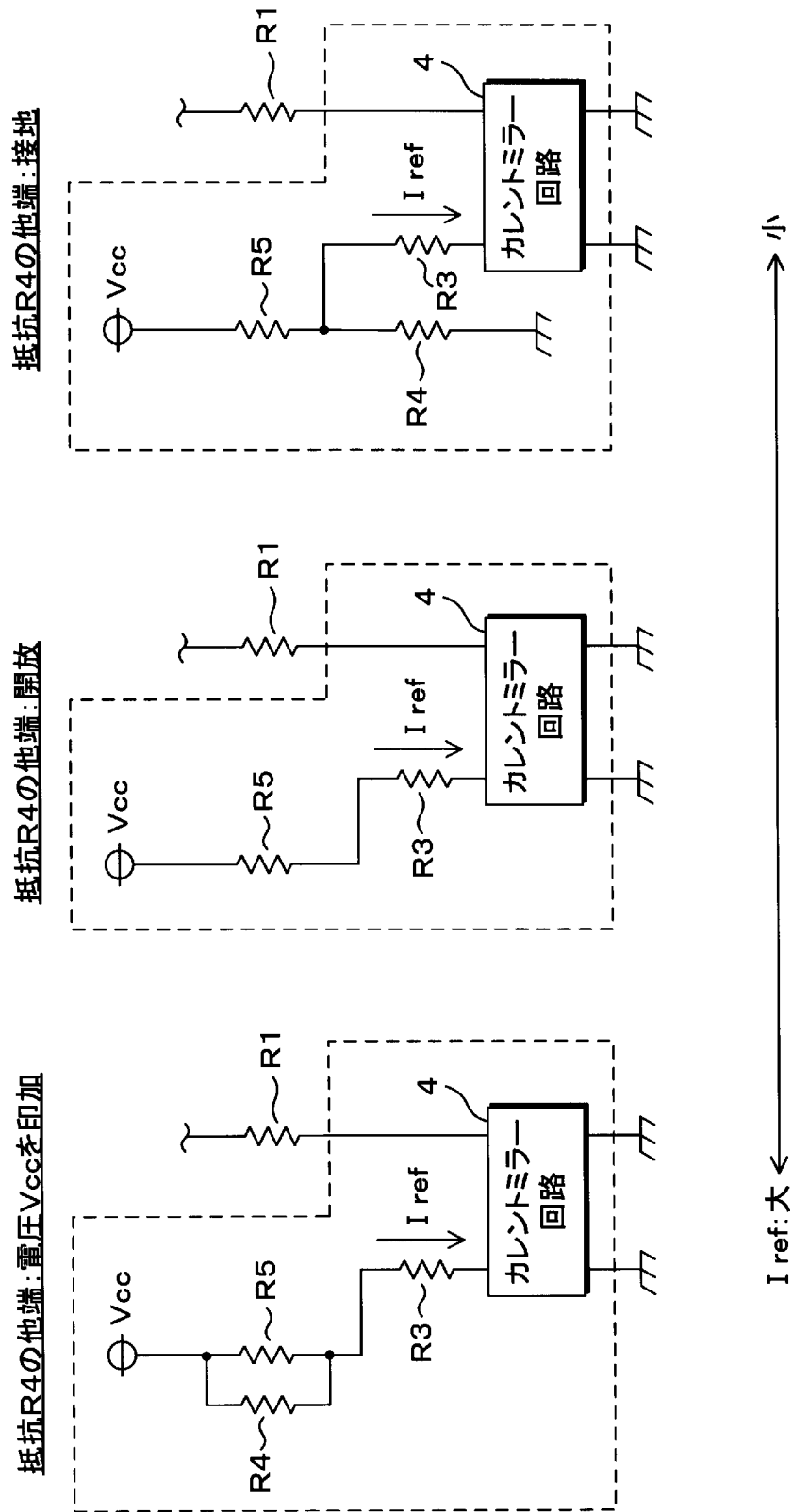
[図2]



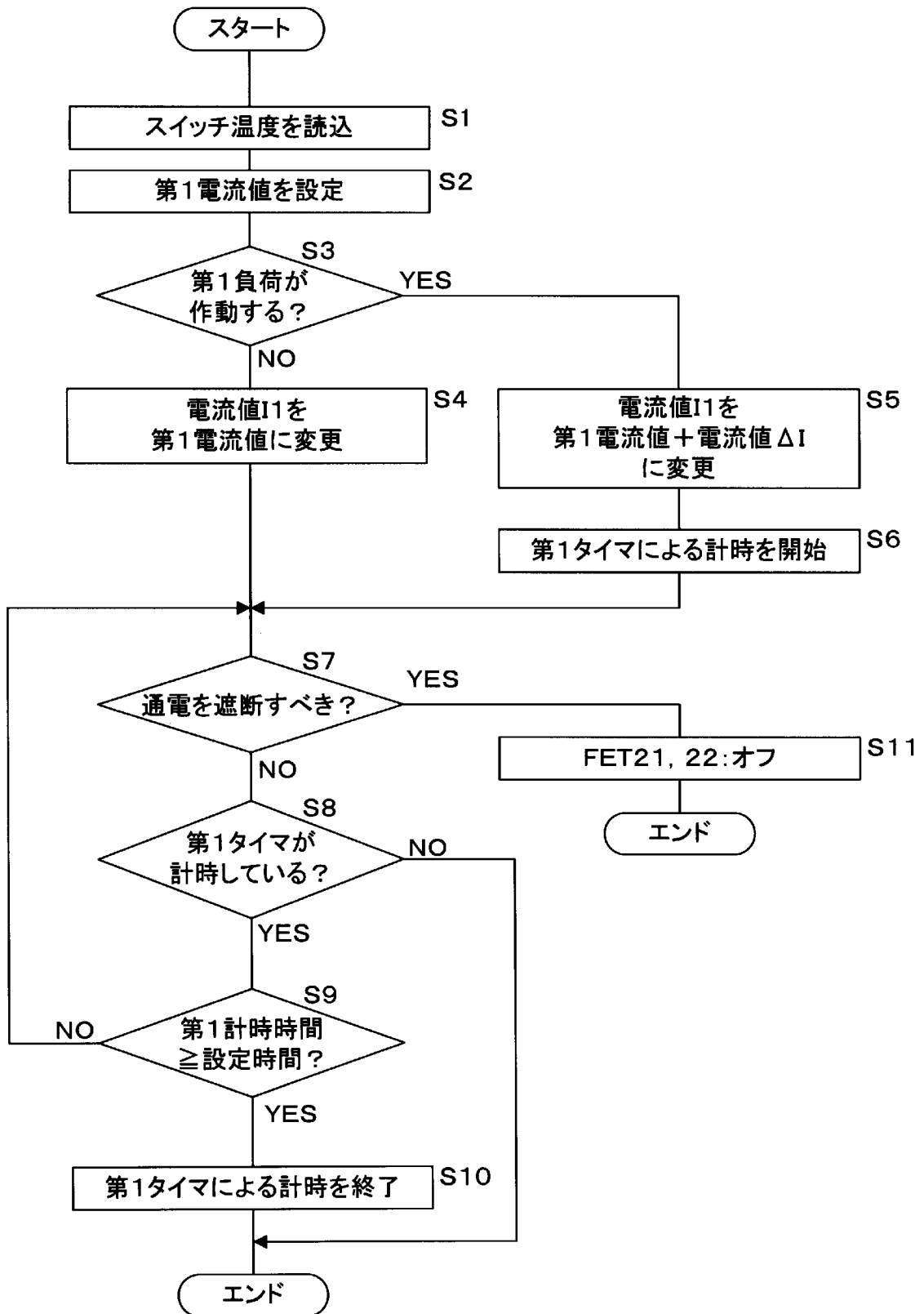
[図3]



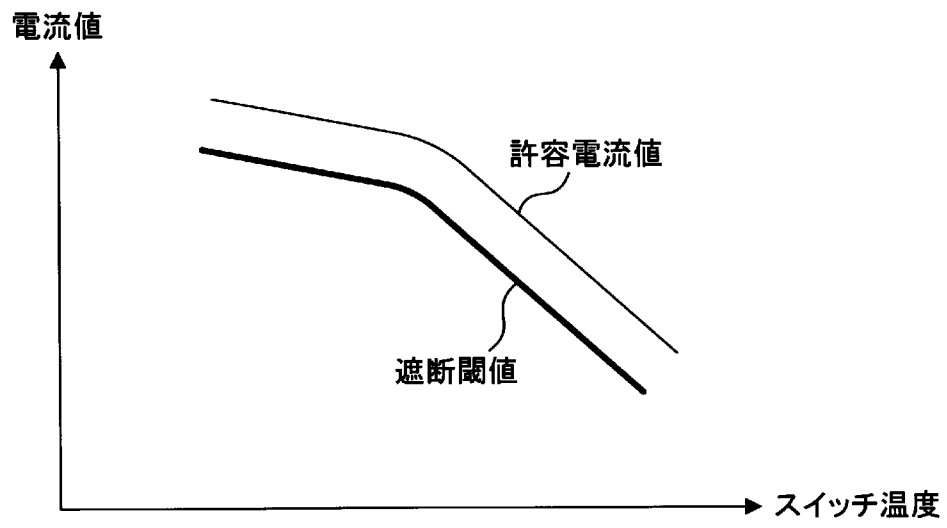
[図4]



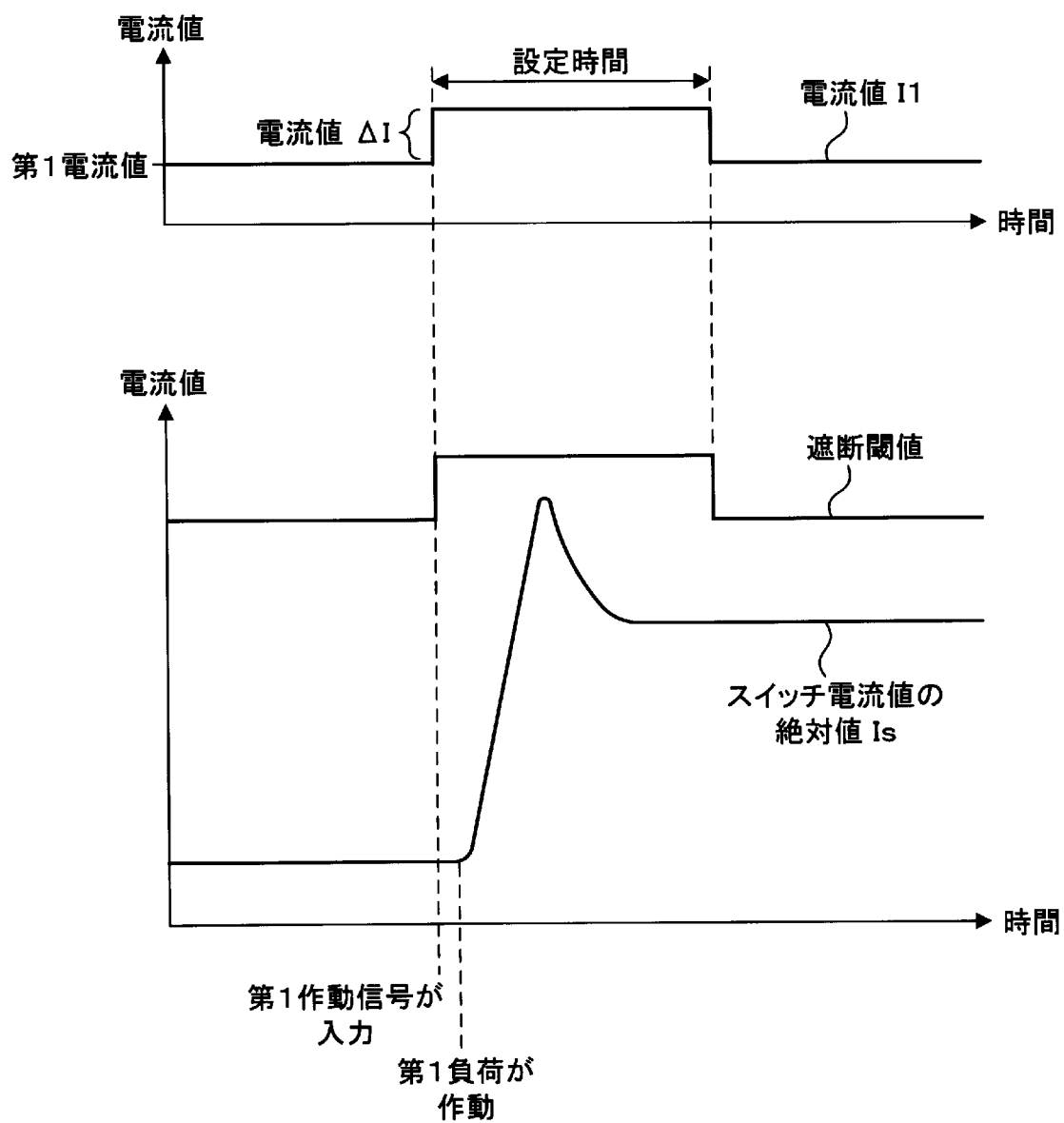
[図5]



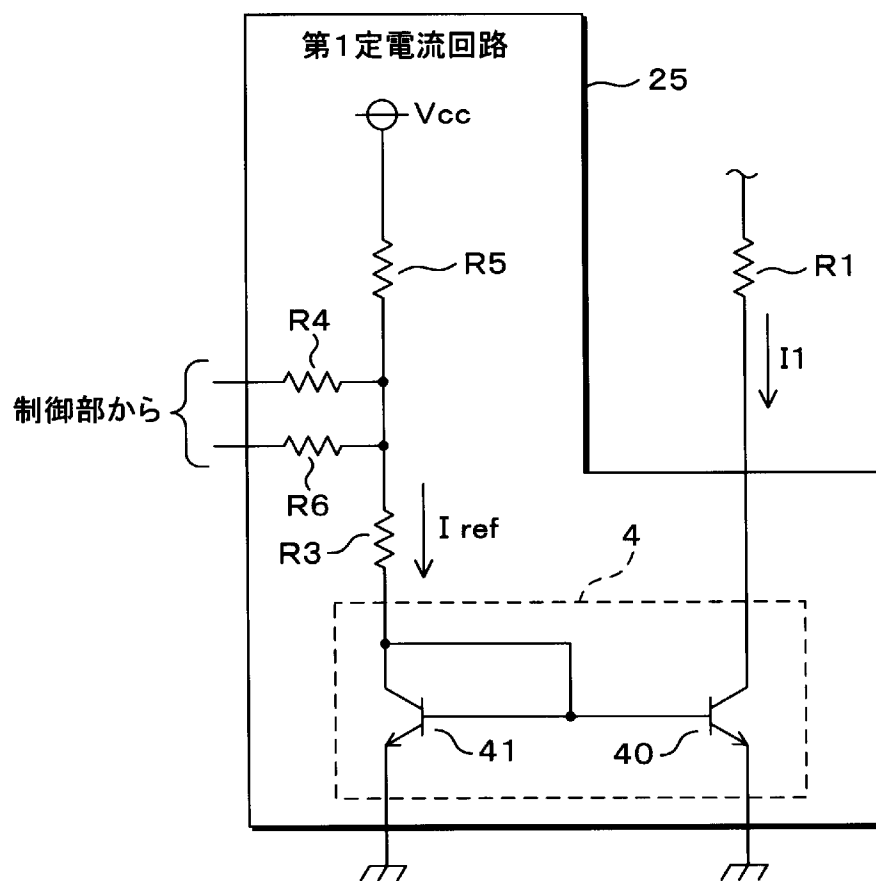
[図6]



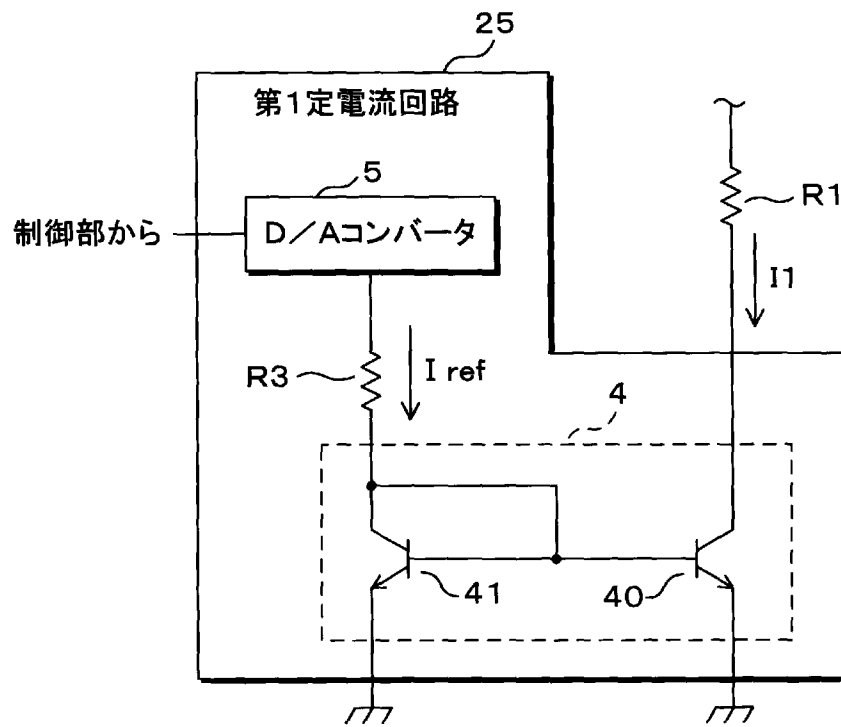
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/054736

A. CLASSIFICATION OF SUBJECT MATTER
H03K17/08(2006.01)i, H02H3/08(2006.01)i, H02H7/20(2006.01)i, H03K17/687(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03K17/00-17/70, H02H3/08, H02H7/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | | | |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2015 |
| Kokai Jitsuyo Shinan Koho | 1971-2015 | Toroku Jitsuyo Shinan Koho | 1994-2015 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|--|-----------------------|
| Y A | JP 2007-134780 A (Yazaki Corp.), 31 May 2007 (31.05.2007), paragraphs [0002] to [0012]; fig. 7 & US 2007/0103832 A1 & EP 1783886 A2 & KR 10-2007-0049561 A | 1-4 5 |
| Y A | JP 2013-205173 A (Lapis Semiconductor Co., Ltd.), 07 October 2013 (07.10.2013), fig. 3, 7 & US 2013/0257443 A1 | 1-4 5 |

Further documents are listed in the continuation of Box C. See patent family annex.

| | |
|---|--|
| * Special categories of cited documents: | "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention |
| "A" document defining the general state of the art which is not considered to be of particular relevance | "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone |
| "E" earlier application or patent but published on or after the international filing date | "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |
| "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | "&" document member of the same patent family |
| "O" document referring to an oral disclosure, use, exhibition or other means | |
| "P" document published prior to the international filing date but later than the priority date claimed | |

| | |
|---|--|
| Date of the actual completion of the international search 27 March 2015 (27.03.15) | Date of mailing of the international search report 07 April 2015 (07.04.15) |
|---|--|

| | |
|--|---|
| Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan | Authorized officer Telephone No. |
|--|---|

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/054736

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|--|-----------------------|
| A | Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 8077/1990 (Laid-open No. 101129/1991) (Mitsubishi Electric Corp.), 22 October 1991 (22.10.1991), entire text; all drawings (Family: none) | 1-5 |

| | | |
|---|---|----------------|
| A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H03K17/08(2006.01)i, H02H3/08(2006.01)i, H02H7/20(2006.01)i, H03K17/687(2006.01)i | | |
| B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H03K17/00-17/70, H02H3/08, H02H7/20 | | |
| 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2015年 日本国実用新案登録公報 1996-2015年 日本国登録実用新案公報 1994-2015年 | | |
| 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語) | | |
| C. 関連すると認められる文献 | | |
| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求項の番号 |
| Y A | JP 2007-134780 A (矢崎総業株式会社) 2007.05.31, 【0002】 - 【0012】, 図7 & US 2007/0103832 A1 & EP 1783886 A2 & KR 10-2007-0049561 A | 1-4 5 |
| Y A | JP 2013-205173 A (ラピスセミコンダクタ株式会社) 2013.10.07, 図3, 7 & US 2013/0257443 A1 | 1-4 5 |
| A | 日本国実用新案登録出願 2-8077 号 (日本国実用新案登録出願公開 3-101129 号) の 願書に添付した明細書及び図面の内容を撮影したマイクロフィルム (三菱電機株 式会社) 1991.10.22, 全文, 全図 (ファミリーなし) | 1-5 |
| <input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。 | | |
| * 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的な技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献 | | |
| 国際調査を完了した日 27.03.2015 | 国際調査報告の発送日 07.04.2015 | |
| 国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号 | 特許庁審査官 (権限のある職員) 栗栖 正和 電話番号 03-3581-1101 内線 3596 | 5 X 3 9 8 7 |