

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-93228

(P2010-93228A)

(43) 公開日 平成22年4月22日(2010.4.22)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 25/065 (2006.01)	H O 1 L 25/08 Z	4 M 1 1 2
H O 1 L 25/07 (2006.01)	H O 1 L 27/00 3 O 1 C	4 M 1 1 8
H O 1 L 25/18 (2006.01)	H O 1 L 29/84 Z	
H O 1 L 27/00 (2006.01)	H O 1 L 27/14 D	
H O 1 L 29/84 (2006.01)		

審査請求 有 請求項の数 19 O L (全 18 頁) 最終頁に続く

(21) 出願番号	特願2009-92393 (P2009-92393)	(71) 出願人	000004260
(22) 出願日	平成21年4月6日 (2009.4.6)		株式会社デンソー
(31) 優先権主張番号	特願2008-235813 (P2008-235813)		愛知県刈谷市昭和町1丁目1番地
(32) 優先日	平成20年9月15日 (2008.9.15)	(74) 代理人	100106149
(33) 優先権主張国	日本国 (JP)		弁理士 矢作 和行
		(74) 代理人	100121991
			弁理士 野々部 泰平
		(74) 代理人	100145595
			弁理士 久保 貴則
		(72) 発明者	杉浦 和彦
			愛知県刈谷市昭和町1丁目1番地 株式会
			社デンソー内
		Fターム(参考)	4M112 AA02 BA07 CA21 CA24 CA31
			CA32 DA03 DA18 EA18 FA20
			4M118 AA10 AB01 BA09 FA06 HA02
			HA33

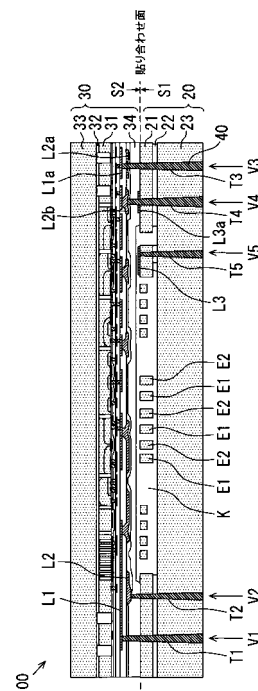
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】主面側に第1素子が形成されてなる第1半導体基板と、主面側に第2素子が形成されてなる第2半導体基板とが、互いの前記主面側を対向するようにして、貼り合わされてなる半導体装置およびその製造方法であって、前記貼り合わせによって第1素子と第2素子が密封されると共に、3次元的に配置される前記第1素子と第2素子に対して確実な配線接続がされてなる半導体装置およびその製造方法を提供する。

【解決手段】第1半導体基板20の裏面側から、該第1半導体基板20を貫通して、第2半導体基板30の主面側に形成された配線層L1、L2に達する貫通穴T1～T4が形成され、側壁絶縁された貫通穴T1～T4内に導電材40が埋め込まれた取り出し配線層V1～V4が形成されてなる半導体装置100とする。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

主面側に第 1 素子が形成されてなる第 1 半導体基板と、主面側に第 2 素子が形成されてなる第 2 半導体基板とが、互いの前記主面側を対向するようにして、貼り合わされてなる半導体装置であって、

前記第 1 半導体基板の裏面側から、該第 1 半導体基板を貫通して、前記第 2 半導体基板の主面側に形成された配線層に達する貫通穴が形成され、

側壁絶縁された前記貫通穴に導電材が埋め込まれた取り出し配線層が形成されてなることを特徴とする半導体装置。

【請求項 2】

10

前記第 1 素子が、センサ素子であり、

前記第 2 素子が、前記センサ素子の制御回路を構成する素子であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 半導体基板が、埋め込み酸化膜を有する S O I 基板からなり、

前記センサ素子が、

前記埋め込み酸化膜の一部を犠牲層エッチングすることにより変位可能に形成された可動電極と、前記可動電極と対向する固定電極とを有し、

前記可動電極と前記固定電極の対向面間における空間を誘電体層とする静電容量が形成され、

20

前記可動電極が印加される力学量に応じて前記対向面に対して垂直方向に変位し、

前記可動電極と固定電極の間の距離変化に伴う前記静電容量の変化を測定して前記印加される力学量を検出する、

力学量センサ素子であることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】

前記第 2 素子が、センサ素子であり、

前記第 1 素子が、前記センサ素子の制御回路を構成する素子であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】

前記第 2 半導体基板が、埋め込み酸化膜を有する S O I 基板からなり、

30

前記センサ素子が、

前記埋め込み酸化膜の一部を犠牲層エッチングすることにより変位可能に形成された可動電極と、前記可動電極と対向する固定電極とを有し、

前記可動電極と前記固定電極の対向面間における空間を誘電体層とする静電容量が形成され、

前記可動電極が印加される力学量に応じて前記対向面に対して垂直方向に変位し、

前記可動電極と固定電極の間の距離変化に伴う前記静電容量の変化を測定して前記印加される力学量を検出する、

力学量センサ素子であることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】

40

前記半導体装置が、赤外線が発光素子と受光素子とで構成されるセンサ装置であり、

前記センサ素子が、前記発光素子と前記受光素子の少なくとも一方であることを特徴とする請求項 2 または 4 に記載の半導体装置。

【請求項 7】

前記センサ素子が、イメージセンサ素子であることを特徴とする請求項 2 または 4 に記載の半導体装置。

【請求項 8】

前記第 2 半導体基板の主面側に、異なる深さの配線層が形成されてなり、

該異なる深さの配線層に対して、それぞれ、前記取り出し配線層が形成されてなることを特徴とする請求項 1 乃至 7 のいずれか一項に記載の半導体装置。

50

【請求項 9】

前記第 2 半導体基板の主面側に、異なる深さの配線層が形成されてなり、
前記主面側の浅い配線層に部分的に掛かるようにして、前記主面側の深い配線層に達する前記貫通穴が形成され、
前記異なる深さの配線層に共通接続する前記取り出し配線層が形成されてなることを特徴とする請求項 1 乃至 8 のいずれか一項に記載の半導体装置。

【請求項 10】

前記第 1 半導体基板の主面側に、第 2 の配線層が形成されてなり、
前記第 1 半導体基板の裏面側から、該第 1 半導体基板を貫通して、前記第 2 の配線層に達する第 2 の貫通穴が形成され、
側壁絶縁された前記第 2 の貫通穴に導電材が埋め込まれた第 2 の取り出し配線層が形成されてなることを特徴とする請求項 1 乃至 9 のいずれか一項に記載の半導体装置。

10

【請求項 11】

前記第 1 半導体基板の主面側に、第 2 の配線層が形成されてなり、
前記第 2 の配線層に部分的に掛かるようにして、前記配線層に達する前記貫通穴が形成され、
前記第 2 の配線層と前記配線層に共通接続する前記取り出し配線層が形成されてなることを特徴とする請求項 1 乃至 10 のいずれか一項に記載の半導体装置。

【請求項 12】

前記導電材が、金属または多結晶シリコンであることを特徴とする請求項 1 乃至 11 のいずれか一項に記載の半導体装置。

20

【請求項 13】

前記導電材が、前記第 1 半導体基板の裏面側の表面に露出するように形成されてなり、
該導電材に接続するパンプが形成されてなることを特徴とする請求項 1 乃至 12 のいずれか一項に記載の半導体装置。

【請求項 14】

前記導電材が、前記第 1 半導体基板の裏面側の表面に露出するように形成されてなり、
該導電材に、ワイヤがボンディングされてなることを特徴とする請求項 1 乃至 12 のいずれか一項に記載の半導体装置。

【請求項 15】

主面側に第 1 素子が形成されてなる第 1 半導体基板と、主面側に第 2 素子が形成されてなる第 2 半導体基板とが、互いの前記主面側を対向するようにして、貼り合わされてなり、

30

前記第 1 半導体基板の裏面側から、該第 1 半導体基板を貫通して、前記第 2 半導体基板の主面側に形成された配線層に達する貫通穴が形成され、

側壁絶縁された前記貫通穴に導電材が埋め込まれた取り出し配線層が形成されてなる半導体装置の製造方法であって、

前記第 1 半導体基板を準備する第 1 半導体基板準備工程と、

前記第 2 半導体基板を準備する第 2 半導体基板準備工程と、

前記第 1 半導体基板と前記第 2 半導体基板を貼り合わせる基板貼り合わせ工程と、

40

前記基板貼り合わせ工程の後において、エッチングにより前記貫通穴を形成する貫通穴形成工程と、

前記貫通穴を側壁絶縁した後、該貫通穴に導電材を埋め込んで取り出し配線層を形成する取り出し配線層形成工程とを有してなることを特徴とする半導体装置の製造方法。

【請求項 16】

前記半導体装置が、

前記第 2 半導体基板の主面側に、異なる深さの配線層が形成されてなる半導体装置であって、

前記貫通穴形成工程において、

前記異なる深さの配線層に達するそれぞれの前記貫通穴を、同時形成することを特徴と

50

する請求項 15 に記載の半導体装置の製造方法。

【請求項 17】

前記半導体装置が、

前記第 1 半導体基板の主面側に、第 2 の配線層が形成されてなり、

前記第 1 半導体基板の裏面側から、該第 1 半導体基板を貫通して、前記第 2 の配線層に達する第 2 の貫通穴が形成されてなる半導体装置であって、

前記貫通穴形成工程において、

前記第 2 の貫通穴と前記貫通穴を、同時形成することを特徴とする請求項 15 または 16 に記載の半導体装置の製造方法。

【請求項 18】

前記導電材が、金属または多結晶シリコンであることを特徴とする請求項 15 乃至 17 のいずれか一項に記載の半導体装置の製造方法。

【請求項 19】

前記導電材を、前記第 1 半導体基板の裏面側の表面に露出するように形成することを特徴とする請求項 15 乃至 18 のいずれか一項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、主面側に第 1 素子が形成されてなる第 1 半導体基板と、主面側に第 2 素子が形成されてなる第 2 半導体基板とが、互いの前記主面側を対向するようにして、貼り合わされてなる半導体装置およびその製造方法に関する。

【背景技術】

【0002】

半導体からなるベース基板の表層部に形成された各種の素子を保護するために、前記ベース基板の素子上に密封キャップが配置されてなる半導体装置およびその製造方法が、例えば、特開 2004-333133 号公報（特許文献 1）、米国特許第 6,936,491 号明細書（特許文献 2）および米国特許第 7,153,718 号明細書（特許文献 3）に開示されている。

【0003】

図 9（a）、（b）は、特許文献 1 に開示された半導体装置（慣性力センサ）を示す図で、図 9（a）は、慣性力センサの平面図であり、図 9（b）は、図 9（a）に示す A-A での断面図である。なお、以下では便宜上、図 9（a）及び図 9（b）における位置関係の左右方向を「横方向」といい、平面視でこれと垂直な方向を「縦方向」といつている。

【0004】

図 9（a）、（b）に示す慣性力センサには、一体加工により、バネ 1 と、アンカー 2 と、梁 3 と、質量体 4 と、アイランド電極 7a、7b と、枠 10 とが一体形成されたデバイス層 11 が設けられている。そして、デバイス層 11 の下面と上面とには、それぞれ、下面基板 12 と上面基板 13 とが接合され、デバイス層 11 は、両基板 12、13 により密封されている。

【0005】

アイランド電極 7a は、可動電極 5 を外部に電氣的に接続するためのもの（可動電極用電極部）であり、アイランド電極 7b は、固定電極 6 を外部に電氣的に接続するためのもの（固定電極用電極部）である。そして、各アイランド電極 7a、7b の上面には、それぞれ、外部機器との電気接続のための電極パッド 8 が付設されている。なお、上面基板 13 には、各電極パッド 8 と対応する位置にそれぞれ貫通穴 9 が設けられ、各電極パッド 8 は外部に露出している。図示していないが、各電極パッド 8 は、貫通穴 9 を通り抜けるワイヤボンディングを介して外部の IC 等に電氣的に接続される。

【0006】

図 9（a）、（b）に示す慣性力センサでは、アンカー 2 は下面基板 12 に固定（接合

10

20

30

40

50

）され、アイランド電極 7 a、7 b 及び枠 10 は、両基板 12、13 に固定（接合）されている。なお、パネ 1、梁 3 及び質量体 4 は、いずれの基板 12、13 にも固定されていない。ここで、各梁 3 は、それぞれ対応するアンカー 2 によって支持され、質量体 4 は 2 つの梁 3 によって横方向に変位可能に支持されている。また、各パネ 1 は、それぞれ対応するアンカー 2 とアイランド電極 7 a とを連結している。そして、アンカー 2 とアイランド電極 7 a とは、対応するパネ 1 によって電氣的に接続されている。

【0007】

縦方向にみて、質量体 4 の両側には、それぞれ可動電極 5 が付設されている。他方、固定電極用の各アイランド電極 7 b には、それぞれ固定電極 6 が付設されている。そして、質量体 4 の両側では、それぞれ、可動電極 5 と固定電極 6 とが横方向に対向している。ここで、慣性力センサに横方向の慣性力が作用すると、該慣性力により質量体 4 が横方向に変位し、可動電極 5 と固定電極 6 との横方向の位置関係（間隔）が変化する。これに伴って、可動電極 5 と固定電極 6 との間の静電容量が変化するのので、この静電容量変化により該慣性力センサに作用する慣性力を検出することができる。

【0008】

尚、図 9（a）、（b）に示す慣性力センサにおいては、各アイランド電極 7 a、7 b は、互いに電氣的に絶縁されている。そして、質量体 4 に付設された可動電極 5 は、順に、梁 3 と、アンカー 2 と、ばね 1 とを介して可動電極用のアイランド電極 7 a に電氣的に接続されている。なお、アイランド電極 7 a は、その上面の電極パッド 8 と、貫通穴 9 を通り抜けるワイヤボンディング（図示せず）とを介して、外部の IC 等に電氣的に接続されている。他方、固定電極用の各アイランド電極 7 b に付設された固定電極 6 は、該各アイランド電極 7 b と、その上面の電極パッド 8 と、貫通穴 9 を通り抜けるワイヤボンディング（図示せず）とを介して、外部の IC 等に電氣的に接続される。

【先行技術文献】

【特許文献】

【0009】

【特許文献 1】特開 2004 - 333133 号公報

【特許文献 2】米国特許第 6,936,491 号明細書

【特許文献 3】米国特許第 7,153,718 号明細書

【発明の概要】

【発明が解決しようとする課題】

【0010】

図 9（a）、（b）に示す半導体装置は、デバイス層 11 に設けられた慣性力センサ素子を下面基板 12 と上面基板 13 で密封することにより保護しているが、下面基板 12 と上面基板 13 は、上記密封構造を形成するためだけに利用されており、基板の利用効率が悪い。従って、図 9（a）、（b）に示す半導体装置においても、上記保護のための密封構造を確保できる範囲で下面基板 12 や上面基板 13 にも慣性力センサ素子を制御するための回路を形成し、基板を有効利用することが好ましい。

【0011】

また、前述したように、図 9（a）、（b）に示す半導体装置においては、上面基板 13 に形成された貫通穴 9 を介して、各アイランド電極 7 a、7 b 上の電極パッド 8 にワイヤボンディングし、外部の IC 等に電氣的接続を行っている。しかしながら、このワイヤボンディングを行うためには、ボンディングツールが上面基板 13 と接触しないように大きな貫通穴 9 を形成する必要がある。このため、チップサイズが大きくなり、コスト的な問題がある。また、ボンディング後においても確実に絶縁性を確保することが困難で、上記した下面基板 12 や上面基板 13 にも回路形成する場合の複雑な 3 次元配線構造には対応することができない。

【0012】

そこで本発明は、主面側に第 1 素子が形成されてなる第 1 半導体基板と、主面側に第 2 素子が形成されてなる第 2 半導体基板とが、互いの前記主面側を対向するようにして、貼

り合わされてなる半導体装置およびその製造方法であって、前記貼り合わせによって第 1 素子と第 2 素子が密封されると共に、3 次元的に配置される前記第 1 素子と第 2 素子に対して確実な配線接続がされてなる半導体装置およびその製造方法を提供することを目的としている。

【課題を解決するための手段】

【0013】

請求項 1 に記載の半導体装置は、主面側に第 1 素子が形成されてなる第 1 半導体基板と、主面側に第 2 素子が形成されてなる第 2 半導体基板とが、互いの前記主面側を対向するようにして、貼り合わされてなる半導体装置であって、前記第 1 半導体基板の裏面側から、該第 1 半導体基板を貫通して、前記第 2 半導体基板の主面側に形成された配線層に達する貫通穴が形成され、側壁絶縁された前記貫通穴に導電材が埋め込まれた取り出し配線層が形成されてなることを特徴としている。

10

【0014】

上記半導体装置は、主面側に第 1 素子が形成されてなる第 1 半導体基板と主面側に第 2 素子が形成されてなる第 2 半導体基板とが互いの前記主面側を対向するようにして貼り合わされた、3 次元構成の半導体装置である。上記半導体装置においては、第 1 半導体基板および第 2 半導体基板共に、それぞれ第 1 素子と第 2 素子が形成されており、基板が有効利用されている。また、上記半導体装置においては、第 1 素子と第 2 素子が形成されたそれぞれの主面側を対向するようにして第 1 半導体基板と第 2 半導体基板が貼り合わされるため、第 1 素子と第 2 素子は貼り合わされた基板の内部に密封されて保護される構造にすることができ。

20

【0015】

さらに、上記半導体装置においては、密封される上記第 1 素子と第 2 素子に電気接続する手段として、第 1 半導体基板の裏面側から該第 1 半導体基板を貫通して第 2 半導体基板の主面側に形成された配線層に達する貫通穴が形成され、側壁絶縁された前記貫通穴に導電材が埋め込まれた取り出し配線層が形成される。これによって、電氣的な引き出し線として例えばワイヤボンディング等を利用する方法に較べて、より確実で安定的な電気接続が実現される。また、上記取り出し配線層による電氣的な引き出し線構造は、上記第 1 素子と第 2 素子からなる密封された種々の複雑な 3 次元の配線構造に対しても後述する種々の対応が可能であり、配線設計の自由度が高く、配線設計が容易である。

30

【0016】

以上のようにして、上記半導体装置は、主面側に第 1 素子が形成されてなる第 1 半導体基板と、主面側に第 2 素子が形成されてなる第 2 半導体基板とが、互いの前記主面側を対向するようにして、貼り合わされてなる半導体装置であって、前記貼り合わせによって第 1 素子と第 2 素子が密封されると共に、3 次元的に配置される前記第 1 素子と第 2 素子に対して確実な配線接続がされてなる半導体装置とすることができる。

【0017】

上記半導体装置は、例えば請求項 2 に記載のように、前記第 1 素子が、センサ素子であり、前記第 2 素子が、前記センサ素子の制御回路を構成する素子である構成とすることができる。これによって、センサ素子とその制御回路を構成する素子が貼り合わせ基板の内部に密封され保護された、3 次元的な小型のセンサ装置を構成することができる。

40

【0018】

例えば請求項 3 に記載のように、前記第 1 半導体基板が、埋め込み酸化膜を有する SOI 基板からなり、前記センサ素子が、前記埋め込み酸化膜の一部を犠牲層エッチングすることにより変位可能に形成された可動電極と、前記可動電極と対向する固定電極とを有し、前記可動電極と前記固定電極の対向面間における空間を誘電体層とする静電容量が形成され、前記可動電極が印加される力学量に応じて前記対向面に対して垂直方向に変位し、前記可動電極と固定電極の間の距離変化に伴う前記静電容量の変化を測定して前記印加される力学量を検出する、力学量センサ素子である構成とする。

【0019】

50

力学量センサ素子を構成する場合、上記のように力学量に応じた静電容量の変化を検出する変位可能な可動電極と固定電極を形成するに伴い、可動電極と固定電極の対向面間に空間が構成される。該空間が必要な力学量センサ素子であっても、上記した半導体装置の構成とすることで、該力学量センサ素子とその制御回路を確実に密封して保護し、小型の力学量センサ装置とすることができる。

【0020】

上記請求項2に記載の半導体装置とは逆に、請求項4に記載のように、前記第2素子が、センサ素子であり、前記第1素子が、前記センサ素子の制御回路を構成する素子である構成としてもよい。

【0021】

この場合には、例えば請求項5に記載のように、前記第2半導体基板が、埋め込み酸化膜を有するSOI基板からなり、前記センサ素子が、前記埋め込み酸化膜の一部を犠牲層エッチングすることにより変位可能に形成された可動電極と、前記可動電極と対向する固定電極とを有し、前記可動電極と前記固定電極の対向面間における空間を誘電体層とする静電容量が形成され、前記可動電極が印加される力学量に応じて前記対向面に対して垂直方向に変位し、前記可動電極と固定電極の間の距離変化に伴う前記静電容量の変化を測定して前記印加される力学量を検出する、力学量センサ素子である構成とする。

【0022】

また、例えば請求項6に記載のように、前記半導体装置が、赤外線の発光素子と受光素子とで構成されるセンサ装置であり、前記センサ素子が、前記発光素子と前記受光素子の少なくとも一方である構成としてもよい。

【0023】

あるいは、請求項7に記載のように、前記センサ素子が、イメージセンサ素子である構成としてもよい。

【0024】

上記半導体装置は、例えば請求項8に記載のように、前記第2半導体基板の主面側に、異なる深さの配線層が形成されてなる場合には、該異なる深さの配線層に対して、それぞれ、前記取り出し配線層が形成されてなる構成とすることができる。該取り出し配線層は、例えば基板表面に形成された電極からの引き出し配線としてだけでなく、表面保護膜に覆われた内部の配線層からの引き出し配線としても利用することができる。

【0025】

また、同じく前記第2半導体基板の主面側に、異なる深さの配線層が形成されてなる場合には、請求項9に記載のように、前記主面側の浅い配線層に部分的に掛かるようにして、前記主面側の深い配線層に達する前記貫通穴が形成され、前記異なる深さの配線層に共通接続する前記取り出し配線層が形成されてなる構成とすることもできる。該取り出し配線層は、引き出し配線としてだけでなく、異なる深さの配線層間の接続導体にもなっている。

【0026】

上記半導体装置は、例えば請求項10に記載のように、前記第1半導体基板の主面側に、第2の配線層が形成されてなる場合には、前記第1半導体基板の裏面側から、該第1半導体基板を貫通して、前記第2の配線層に達する第2の貫通穴が形成され、側壁絶縁された前記第2の貫通穴に導電材が埋め込まれた第2の取り出し配線層が形成されてなる構成とすることも可能である。該第2の取り出し配線層は、第1半導体基板の主面側に形成された第2の配線層からの引き出し配線として利用することができる。

【0027】

また、同じく前記第1半導体基板の主面側に、第2の配線層が形成されてなる場合には、請求項11に記載のように、前記第2の配線層に部分的に掛かるようにして、前記配線層に達する前記貫通穴が形成され、前記第2の配線層と前記配線層に共通接続する前記取り出し配線層が形成されてなる構成とすることもできる。該取り出し配線層は、引き出し配線としてだけでなく、第1半導体基板に形成された第2の配線層と第2半導体基板に形

10

20

30

40

50

成された配線層間の接続導体にもなっている。

【0028】

上記半導体装置における前記導電材は、例えば請求項12に記載のように、金属または多結晶シリコンとすることができる。

【0029】

また、上記半導体装置は、例えば請求項13に記載のように、前記導電材が、前記第1半導体基板の裏面側の表面に露出するように形成されてなり、該導電材に接続するバンプが形成されてなる構成としてもよいし、請求項14に記載のように、前記導電材が、前記第1半導体基板の裏面側の表面に露出するように形成されてなり、該導電材に、ワイヤがボンディングされてなる構成としてもよい。

10

【0030】

請求項15～19に記載の発明は、上記した半導体装置の製造方法に関する発明である。

【0031】

請求項15に記載の発明は、主面側に第1素子が形成されてなる第1半導体基板と、主面側に第2素子が形成されてなる第2半導体基板とが、互いの前記主面側を対向するようにして、貼り合わされてなり、前記第1半導体基板の裏面側から、該第1半導体基板を貫通して、前記第2半導体基板の主面側に形成された配線層に達する貫通穴が形成され、側壁絶縁された前記貫通穴に導電材が埋め込まれた取り出し配線層が形成されてなる半導体装置の製造方法であって、前記第1半導体基板を準備する第1半導体基板準備工程と、前記第2半導体基板を準備する第2半導体基板準備工程と、前記第1半導体基板と前記第2半導体基板を貼り合わせる基板貼り合わせ工程と、前記基板貼り合わせ工程の後において、エッチングにより前記貫通穴を形成する貫通穴形成工程と、前記貫通穴を側壁絶縁した後、該貫通穴に導電材を埋め込んで取り出し配線層を形成する取り出し配線層形成工程とを有してなることを特徴としている。

20

【0032】

これによって、上述した半導体装置を製造することができる。尚、上記製造方法により製造される半導体装置の効果については上述したとおりであり、その説明は省略する。

【0033】

尚、特に請求項16に記載のように、前記半導体装置が、前記第2半導体基板の主面側に、異なる深さの配線層が形成されてなる半導体装置である場合には、異なる深さの各配線層をそれぞれエッチングストッパとして機能させ、前記貫通穴形成工程において、前記異なる深さの配線層に達するそれぞれの前記貫通穴を、同時形成することが好ましい。

30

【0034】

同様に、請求項17に記載のように、前記半導体装置が、前記第1半導体基板の主面側に、第2の配線層が形成されてなり、前記第1半導体基板の裏面側から、該第1半導体基板を貫通して、前記第2の配線層に達する第2の貫通穴が形成されてなる半導体装置である場合には、第1半導体基板に形成された第2の配線層と第2半導体基板に形成された配線層をそれぞれエッチングストッパとして機能させ、前記貫通穴形成工程において、前記第2の貫通穴と前記貫通穴を、同時形成することが好ましい。

40

【0035】

これら同時形成によって、貫通穴形成工程が簡略化され、製造コストを低減することができる。

【0036】

請求項18に記載のように、上記半導体装置の製造方法における前記導電材は、前述したように、金属または多結晶シリコンとすることができる。

【0037】

また、請求項19に記載のように、前記導電材は、前記第1半導体基板の裏面側の表面に露出するように形成することが好ましい。これによって、該導電材に直接接続するバンプを形成したり、該導電材にワイヤを直接ボンディングしたりすることが可能となる。

50

【図面の簡単な説明】**【 0 0 3 8 】**

【図 1】本発明の半導体装置の一例を示す図で、半導体装置 1 0 0 の模式的な断面図である。

【図 2】(a) ~ (c) は、それぞれ、図 1 の取り出し配線層 V 3 によって共通接続される配線層 L 1 a , L 2 a のパターン形状の例を示した模式的な平面図である。

【図 3】(a) ~ (c) は、図 1 に示した半導体装置 1 0 0 の製造方法の一例を示す図で、半導体装置 1 0 0 の製造工程別の断面図である。

【図 4】(a) , (b) は、図 1 に示した半導体装置 1 0 0 の製造方法の一例を示す図で、半導体装置 1 0 0 の製造工程別の断面図である。

【図 5】図 1 に示した半導体装置 1 0 0 の変形例で、半導体装置 1 0 0 a の模式的な断面図である。

【図 6】図 1 に示した半導体装置 1 0 0 の別の変形例で、半導体装置 1 0 0 b の模式的な断面図である。

【図 7】本発明に係る半導体装置の別の例で、半導体装置 1 0 0 c の模式的な断面図である。

【図 8】取り出し配線層 V 1 2 を示す模式的な断面図で、(a) は、取り出し配線層 V 1 2 にパンプを形成しており、(b) は、取り出し配線層 V 1 2 にワイヤ W をボンディングしている。

【図 9】(a) , (b) は、特許文献 1 に開示された半導体装置 (慣性力センサ) を示す図で、(a) は、慣性力センサの平面図であり、(b) は、(a) に示す A - A での断面図である。

【発明を実施するための形態】**【 0 0 3 9 】**

以下、本発明を実施するための最良の形態を、図に基づいて説明する。

【 0 0 4 0 】

図 1 は、本発明の半導体装置の一例を示す図で、半導体装置 1 0 0 の模式的な断面図である。

【 0 0 4 1 】

図 1 に示す半導体装置 1 0 0 は、主面 S 1 側に第 1 素子が形成された第 1 半導体基板 2 0 と、主面 S 2 側に第 2 素子が形成された第 2 半導体基板 3 0 とが、互いの主面 S 1 , S 2 側を対向するようにして、図中に破線で示した貼り合わせ面で貼り合わされた半導体装置である。

【 0 0 4 2 】

半導体装置 1 0 0 の第 1 半導体基板 2 0 は、熱処理による半導体基板貼り合わせ技術によって製造された埋め込み酸化膜 2 2 を有する S O I 基板で、埋め込み酸化膜 2 2 を挟んで、主面 S 1 側が S O I 層 2 1 であり、裏面側が支持基板 2 3 である。第 1 半導体基板 2 0 の主面 S 1 側に形成されている第 1 素子は、図 9 で説明した慣性力センサと同様の力学量センサ素子である。より詳細に説明すると、第 1 半導体基板 2 0 に形成されている力学量センサ素子は、埋め込み酸化膜 2 2 の一部を犠牲層エッチングすることにより変位可能に形成された可動電極 E 1 と、可動電極 E 1 と対向する固定電極 E 2 とを有している。そして、可動電極 E 1 と固定電極 E 2 の対向面間における空間 K を誘電体層とする静電容量が形成されている。可動電極 E 1 は、印加される力学量に応じて対向面に対して垂直方向 (紙面の左右方向) に変位し、可動電極 E 1 と固定電極 E 2 の間の距離変化に伴う静電容量の変化を測定して、印加される力学量を検出するようになっている。

【 0 0 4 3 】

半導体装置 1 0 0 の第 2 半導体基板 3 0 も、熱処理による半導体基板貼り合わせ技術によって製造された埋め込み酸化膜 3 2 を有する S O I 基板で、埋め込み酸化膜 3 2 を挟んで、主面 S 2 側が S O I 層 3 1 であり、裏面側が支持基板 3 3 である。第 2 半導体基板 3 0 の主面 S 2 側に形成されている第 2 素子は、第 1 半導体基板 2 0 の主面 S 1 側に形成さ

10

20

30

40

50

れている力学量センサ素子の制御回路を構成する素子である。

【 0 0 4 4 】

図 1 に示す半導体装置 1 0 0 においては、第 1 半導体基板 2 0 の裏面側から、該第 1 半導体基板 2 0 を貫通して、第 2 半導体基板 3 0 の主面 S 2 側に形成された配線層 L 1 , L 2 に達する貫通穴 T 1 ~ T 4 が形成され、側壁絶縁された貫通穴 T 1 ~ T 4 内に導電材 4 0 が埋め込まれた取り出し配線層 V 1 ~ V 4 が形成されている。該取り出し配線層 V 1 ~ V 4 は、第 2 半導体基板 3 0 の主面 S 2 側に形成されている配線層 L 1 , L 2 からの引き出し配線となっている。

【 0 0 4 5 】

また、半導体装置 1 0 0 においては、第 1 半導体基板 2 0 の主面 S 1 側にも、第 2 の配線層 L 3 が形成されている。そして、貫通穴 T 1 ~ T 4 と同様に、第 1 半導体基板 2 0 の裏面側から、該第 1 半導体基板 2 0 を貫通して、第 2 の配線層 L 3 に達する第 2 の貫通穴 T 5 が形成され、側壁絶縁された第 2 の貫通穴 T 5 内に導電材 4 0 が埋め込まれた第 2 の取り出し配線層 V 5 が形成されている。該第 2 の取り出し配線層 V 5 は、第 1 半導体基板 2 0 の主面側に形成された第 2 の配線層 L 3 からの引き出し配線となっている。

【 0 0 4 6 】

尚、貫通穴 T 1 ~ T 5 に埋め込む導電材 4 0 には、例えば、金属や多結晶シリコンを用いることができる。

【 0 0 4 7 】

図 1 に示す半導体装置 1 0 0 は、主面 S 1 側に第 1 素子（力学量センサ素子）が形成されてなる第 1 半導体基板 2 0 と主面 S 2 側に第 2 素子（力学量センサ素子の制御回路を構成する素子）が形成されてなる第 2 半導体基板 3 0 とが互いの主面側 S 1 , S 2 を対向するようにして貼り合わされた、3 次元構成の半導体装置である。このように、半導体装置 1 0 0 においては、第 1 半導体基板 2 0 および第 2 半導体基板 3 0 共に、それぞれ第 1 素子と第 2 素子が形成されており、半導体基板 2 0 , 3 0 が有効利用されている。また、半導体装置 1 0 0 においては、第 1 素子と第 2 素子が形成されたそれぞれの主面 S 1 , S 2 側を対向するようにして第 1 半導体基板 2 0 と第 2 半導体基板 3 0 が貼り合わされているため、第 1 素子と第 2 素子は貼り合わされた半導体基板 2 0 , 3 0 の内部に密封されて保護された構造になっている。

【 0 0 4 8 】

さらに、図 1 に示す半導体装置 1 0 0 においては、密封される上記第 1 素子と第 2 素子に電気接続する手段として、第 1 半導体基板 2 0 の裏面側から該第 1 半導体基板 2 0 を貫通して第 2 半導体基板 3 0 の主面側に形成された配線層 L 1 , L 2 に達する貫通穴 T 1 ~ T 4 が形成され、側壁絶縁された該貫通穴 T 1 ~ T 4 内に導電材が埋め込まれた取り出し配線層 V 1 ~ V 4 が形成されている。これによって、電気的な引き出し線として例えばワイヤボンディング等を利用する方法に較べて、より確実に安定的な電気接続が実現される。また、上記取り出し配線層 V 1 ~ V 4 による電気的な引き出し線構造は、上記第 1 素子と第 2 素子からなる密封された種々の複雑な 3 次元の配線構造に対しても後述する種々の対応が可能であり、配線設計の自由度が高く、配線設計が容易である。

【 0 0 4 9 】

以上のようにして、図 1 に示す半導体装置 1 0 0 は、主面 S 1 側に第 1 素子が形成されてなる第 1 半導体基板 2 0 と、主面 S 2 側に第 2 素子が形成されてなる第 2 半導体基板 3 0 とが、互いの主面 S 1 , S 2 側を対向するようにして、貼り合わされてなる半導体装置であって、前記貼り合わせによって第 1 素子と第 2 素子が密封されると共に、3 次元的に配置される第 1 素子と第 2 素子に対して確実な配線接続がされてなる半導体装置となっている。

【 0 0 5 0 】

次に、半導体装置 1 0 0 における取り出し配線層 V 1 ~ V 4 について、より詳細に説明する。

【 0 0 5 1 】

図 1 の左側に示した取り出し配線層 V 1 , V 2 は、第 2 半導体基板 3 0 の主面 S 2 側に形成されている深さの異なる配線層 L 1 , L 2 に対して、それぞれ、接続されている。この取り出し配線層 V 1 , V 2 のように、第 1 半導体基板 2 0 の裏面側から該第 1 半導体基板 2 0 を貫通して形成する取り出し配線層は、表面保護膜 3 4 に覆われた内部の配線層 L 1 , L 2 からの引き出し配線として利用することができる。尚、該取り出し配線層は、例えば半導体基板 3 0 表面に形成された電極からの引き出し配線としても利用できることは言うまでもない。

【 0 0 5 2 】

また、図 1 の右側に示した取り出し配線層 V 3 は、主面側の浅い配線層 L 2 a に部分的に掛かるようにして、主面側の深い配線層 L 1 a に達する貫通穴 T 3 が形成され、異なる深さの配線層 L 1 a , L 2 a に共通接続するように形成されている。該取り出し配線層 V 3 は、引き出し配線としてだけでなく、異なる深さの配線層 L 1 a , L 2 a 間の接続導体にもなっている。

10

【 0 0 5 3 】

図 2 (a) ~ (c) は、それぞれ、図 1 の取り出し配線層 V 3 によって共通接続される配線層 L 1 a , L 2 a のパターン形状の例を示した模式的な平面図である。図 2 (a) ~ (c) においては、深い配線層 L 1 a のパターン形状を破線で示し、浅い配線層 L 2 a の平面パターン形状を実線で示している。

【 0 0 5 4 】

図 2 (a) の浅い配線層 L 2 a は、円形のリング状パターンである。図 2 (b) の浅い配線層 L 2 a は、四角形のリング状パターンである。図 2 (c) の浅い配線層 L 2 a は、田の字形状のパターンである。図 2 (a) ~ (c) に示す浅い配線層 L 2 a は、いずれも中央に穴 H を有しており、後述するように、浅い配線層 L 2 a に部分的に掛かるようにして該穴 H を貫通する貫通穴を形成して、異なる深さの配線層 L 1 a , L 2 a に共通接続する取り出し配線層 V 3 を形成する。

20

【 0 0 5 5 】

また、図 1 の右側に示した取り出し配線層 V 3 と同様に、その隣にある取り出し配線層 V 4 は、第 1 半導体基板 2 0 に形成されている第 2 の配線層 L 3 a に部分的に掛かるようにして、第 2 半導体基板 3 0 に形成されている配線層 L 2 b に達する貫通穴 T 4 が形成され、第 2 の配線層 L 3 a と配線層 L 2 b に共通接続するように形成されている。該取り出し配線層 V 4 は、引き出し配線としてだけでなく、第 1 半導体基板 2 0 に形成された第 2 の配線層 L 3 a と第 2 半導体基板に形成された配線層 L 2 b 間の接続導体にもなっている。

30

【 0 0 5 6 】

次に、図 1 の半導体装置 1 0 0 の製造方法について、簡単に説明する。

【 0 0 5 7 】

図 3 (a) ~ (c) と図 4 (a) , (b) は、図 1 に示した半導体装置 1 0 0 の製造方法の一例を示す図で、半導体装置 1 0 0 の製造工程別の断面図である。

【 0 0 5 8 】

最初に、図 3 (a) に示す第 1 半導体基板準備工程において、主面 S 1 側に第 1 素子 (力学量センサ素子) が形成されてなる第 1 半導体基板 2 0 を準備する。

40

【 0 0 5 9 】

また、図 3 (b) に示す第 2 半導体基板準備工程において、主面 S 2 側に第 2 素子 (力学量センサ素子の制御回路を構成する素子) が形成されてなる第 2 半導体基板 3 0 を準備する。

【 0 0 6 0 】

次に、第 2 半導体基板 3 0 を反転させ、図 3 (c) に示す基板貼り合わせ工程において、互いの主面 S 1 , S 2 側を対向するようにして、第 1 半導体基板 2 0 と第 2 半導体基板 3 0 を貼り合わせる。該貼り合わせは、例えば熱処理による半導体基板貼り合わせ技術であってもよいし、接着剤による貼り合わせであってもよい。

50

【 0 0 6 1 】

次に、図 3 (c) で貼り合わせた基板全体を反転させて第 1 半導体基板 2 0 の裏面側を上面にして配置する。次に、図 4 (a) に示す貫通穴形成工程において、第 1 半導体基板 2 0 の裏面側から、該第 1 半導体基板 2 0 を貫通して、第 2 半導体基板 3 0 の主面側に形成された配線層 L 1 , L 2 , L 2 a , L 2 b に達する貫通穴 T 1 ~ T 4 、および第 1 半導体基板 2 0 の主面側に形成された第 2 の配線層 L 3 に達する第 2 の貫通穴 T 5 を、エッチングにより形成する。

【 0 0 6 2 】

図 4 (a) に示す貫通穴形成工程においては、異なる深さにある各配線層 L 1 ~ L 3 をそれぞれエッチングストップとして機能させ、貫通穴 T 1 ~ T 5 を、同時形成している。例えば異なる深さの配線層 L 1 , L 2 に達する貫通穴 T 1 , T 2 を別工程で形成しても良いが、上記のように同時形成することで、貫通穴形成工程が簡略化され、製造コストを低減することができる。尚、シリコン (S i) 部分のエッチングには、エッチングガスとして S F ₆ を用い、酸化シリコン (S i O ₂) 部分のエッチングには、エッチングガスとして C F ₄ を用いて、これらエッチングガスを順次切り替えてエッチングする。また、エッチングガスとして、S F ₆ と C F ₄ の混合ガスを用いるようにしてもよい。

【 0 0 6 3 】

次に、図 4 (b) に示す取り出し配線層形成工程において、貫通穴 T 1 ~ T 5 を側壁絶縁した後、基板上に導電材 4 0 を堆積し、貫通穴 T 1 ~ T 5 内に導電材 4 0 を埋め込んで取り出し配線層 V 1 ~ V 5 を形成する。尚、貫通穴 T 1 ~ T 5 の側壁絶縁は、例えば基板を熱酸化してもよいし、貫通穴 T 1 ~ T 5 の側壁に絶縁膜を堆積するようにしてもよい。

【 0 0 6 4 】

最後に、基板上に堆積している導電材 4 0 を研磨によって除去し、基板全体を反転させると、図 1 に示した半導体装置 1 0 0 を得ることができる。

【 0 0 6 5 】

以上示したように、図 1 ~ 図 4 に例示した半導体装置 1 0 0 およびその製造方法は、主面 S 1 側に第 1 素子が形成されてなる第 1 半導体基板 2 0 と、主面 S 2 側に第 2 素子が形成されてなる第 2 半導体基板 3 0 とが、互いの主面 S 1 , S 2 側を対向するようにして、貼り合わされてなる半導体装置およびその製造方法であって、前記貼り合わせによって第 1 素子と第 2 素子が密封されると共に、3 次元的に配置される前記第 1 素子と第 2 素子に対して確実な配線接続がされてなる半導体装置およびその製造方法となっている。

【 0 0 6 6 】

図 5 は、図 1 に示した半導体装置 1 0 0 の変形例で、半導体装置 1 0 0 a の模式的な断面図である。

【 0 0 6 7 】

図 1 の半導体装置 1 0 0 は、主面 S 1 側に第 1 素子である力学量センサ素子が形成された第 1 半導体基板 2 0 と、主面 S 2 側に第 2 素子である力学量センサ素子の制御回路を構成する素子が形成された第 2 半導体基板 3 0 とが、互いの主面 S 1 , S 2 側を対向するようにして貼り合わされた半導体装置であった。そして、第 1 半導体基板 2 0 の裏面側から該第 1 半導体基板 2 0 を貫通して第 2 半導体基板 3 0 の主面側に形成された配線層 L 1 , L 2 に達する貫通穴 T 1 ~ T 4 が形成され、側壁絶縁された該貫通穴 T 1 ~ T 4 内に導電材が埋め込まれた取り出し配線層 V 1 ~ V 4 が形成されていた。

【 0 0 6 8 】

一方、図 1 の半導体装置 1 0 0 とは逆に、図 5 に示す半導体装置 1 0 0 a は、主面 S 1 側に第 1 素子である力学量センサ素子の制御回路を構成する素子が形成された第 1 半導体基板 2 0 a と、主面 S 2 側に第 2 素子である力学量センサ素子が形成された第 2 半導体基板 3 0 a とが、互いの主面 S 1 , S 2 側を対向するようにして貼り合わされた半導体装置である。そして、第 1 半導体基板 2 0 a の裏面側から該第 1 半導体基板 2 0 a を貫通して第 2 半導体基板 3 0 a の主面側に形成された配線層 L 4 に達する貫通穴 T 6 , T 7 が形成され、側壁絶縁された該貫通穴 T 6 , T 7 内に導電材が埋め込まれた取り出し配線層 V 6

、V 7 が形成されている。

【0069】

図6は、図1に示した半導体装置100の別の变形例で、半導体装置100bの模式的な断面図である。

【0070】

図1の半導体装置100において、第1半導体基板20の主面S1側に形成されている力学量センサ素子は、変位可能に形成された可動電極E1と、可動電極E1と対向する固定電極E2とを有していた。そして、可動電極E1と固定電極E2の対向面間における空間Kを誘電体層とする静電容量が形成され、可動電極E1が印加される力学量に応じて対向面に対して垂直方向（紙面の左右方向）に変位し、可動電極E1と固定電極E2の間の距離変化に伴う静電容量の変化を測定して、印加される力学量を検出ようになっていた。

10

【0071】

図6に示す半導体装置100bも、図1に示した半導体装置100と同様に、主面S1側に第1素子である力学量センサ素子が形成された第1半導体基板20bと、主面S2側に第2素子である力学量センサ素子の制御回路を構成する素子が形成された第2半導体基板30bとが、互いの主面S1、S2側を対向するようにして貼り合わされた半導体装置である。また、第1半導体基板20bの主面S1側に形成されている力学量センサ素子は、変位可能に形成された可動電極E1と、可動電極E1と対向する固定電極E2とを有している。一方、図6の半導体装置100bにおいては、可動電極E1を間に挟んで、第1半導体基板20bに大きな電極を構成する配線層L5が形成され、第2半導体基板30bに大きな電極を構成する配線層L6が形成されている。そして、第1半導体基板20bの裏面側から該第1半導体基板20bを貫通して配線層L5、L6に達する貫通穴T8、T9が形成され、側壁絶縁された該貫通穴T8、T9内に導電材が埋め込まれた取り出し配線層V8、V9が形成されている。

20

【0072】

図6に示す半導体装置100bは、図1に示した半導体装置100のように紙面の左右方向に印加される力学量を検出するだけでなく、配線層L5、L6と可動電極E1の組み合わせによって、紙面の上下方向に印加される力学量も検出することができる。

【0073】

図5と図6に示す半導体装置100a、100bについても、図1に示した半導体装置100と同様に、主面S1側に第1素子が形成されてなる第1半導体基板20a、20bと、主面S2側に第2素子が形成されてなる第2半導体基板30a、30bとが、互いの主面S1、S2側を対向するようにして、貼り合わされてなる半導体装置であって、前記貼り合わせによって第1素子と第2素子が密封されると共に、3次元的に配置される第1素子と第2素子に対して確実な配線接続がされてなる半導体装置となっている。

30

【0074】

尚、以上に例示した半導体装置100、100a、100bは、第1半導体基板または第2半導体基板のいずれか一方に力学量センサ素子が形成されており、もう一方に該力学量センサ素子の制御回路を構成する素子が形成されていた。しかしながら、上記した本発明の半導体装置およびその製造方法はこれに限らず、任意のセンサ素子とその制御回路を構成する素子の組み合わせであってよい。例えば、前記半導体装置が、赤外線の発光素子と受光素子とで構成されるセンサ装置であり、前記センサ素子が、前記発光素子と前記受光素子の少なくとも一方である構成としてもよい。さらには、センサ素子とその制御回路を構成する素子の組み合わせに限らず、第1半導体基板に形成される第1素子と第2半導体基板に形成される第2素子の任意の組み合わせであってよい。

40

【0075】

図7は、本発明に係る半導体装置の別の例で、半導体装置100cの模式的な断面図である。

【0076】

50

図 7 に示す半導体装置 100c は、主面 S1 側に第 1 素子であるイメージセンサ素子 IS が形成された第 1 半導体基板 20c と、主面 S2 側に第 2 素子である該イメージセンサ素子 IS の制御回路を構成する素子が形成された第 2 半導体基板 30c とが、互いの主面 S1, S2 側を対向するようにして貼り合わされた半導体装置である。第 1 半導体基板 20c には、イメージセンサ素子 IS に接続する電極を構成する配線層 L7 が形成されている。そして、第 1 半導体基板 20c の裏面側から該第 1 半導体基板 20c を貫通して配線層 L7 に達する貫通穴 T10 と貫通穴 T11 が形成され、側壁絶縁された該貫通穴 T10, T11 内に導電材が埋め込まれた取り出し配線層 V10, V11 が形成されている。尚、第 2 半導体基板 30c において、イメージセンサ素子 IS の上方には貫通穴 HW が形成され、裏面の表面に貼り合わされたガラス基板からなる入射窓 IW を介して、光がイメージセンサ素子 IS に入射される。

10

【0077】

図 7 に示す半導体装置 100c についても、図 1 に示した半導体装置 100 と同様に、主面 S1 側に第 1 素子が形成されてなる第 1 半導体基板 20c と、主面 S2 側に第 2 素子が形成されてなる第 2 半導体基板 30c とが、互いの主面 S1, S2 側を対向するようにして、貼り合わされてなる半導体装置であって、前記貼り合わせによって第 1 素子と第 2 素子が密封されると共に、3 次元的に配置される第 1 素子と第 2 素子に対して確実な配線接続がされてなる半導体装置となっている。

【0078】

以上のように、本発明の半導体装置およびその製造方法は、任意のセンサ素子とその制御回路を構成する素子の組み合わせであってもよい。しかしながら、前述した力学量センサ素子を構成する場合には、特に好適である。力学量センサ素子を構成する場合には、力学量に応じた静電容量の変化を検出する変位可能な可動電極と固定電極を形成するに伴い、可動電極と固定電極の対向面間に空間 K が構成される。本発明の半導体装置およびその製造方法によれば、このように空間 K が必要な力学量センサ素子であっても、該力学量センサ素子とその制御回路を確実に密封して保護し、小型の力学量センサ装置とすることができる。

20

【0079】

次に、上記した取り出し配線層 V1 ~ V11 の細部についての具体例を説明する。

【0080】

図 8 は、上記した取り出し配線層 V1 ~ V11 と同様の取り出し配線層 V12 を示す模式的な断面図である。図 8(a) は、取り出し配線層 V12 にパンプ B を形成しており、図 8(b) は、取り出し配線層 V12 にワイヤ W をボンディングしている。尚、図 8 においては、上述した半導体装置 100, 100a ~ 100c に対して、第 1 半導体基板 20d と第 2 半導体基板 30d を反転して示している。

30

【0081】

図 8 に示す取り出し配線層 V12 では、第 1 半導体基板 20d の裏面側から該第 1 半導体基板 20d を貫通して第 2 半導体基板 30d の主面側に形成された配線層 L8 に達する貫通穴 T12 が形成され、第 1 半導体基板 20d を熱酸化して形成された側壁絶縁膜 24 を介して、該貫通穴 T12 内に導電材 40 が埋め込まれている。尚、図 6 の配線層 L8 は、第 1 半導体基板 20d に形成されていてもよい。

40

【0082】

図 8 の取り出し配線層 V1 において、導電材 40 は、第 1 半導体基板 20d の裏面側の表面に露出するように形成されており、図 8(a) では、該導電材 40 に接続するパンプ B が形成されており、図 8(b) では、該導電材 40 に、ワイヤ W がボンディングされている。このように、取り出し配線層となる導電材を第 1 半導体基板の裏面側の表面に露出するように形成されることで、該導電材に直接にパンプを形成したり、該導電材に直接ワイヤをボンディングしたりすることが可能となる。

【0083】

以上示したように、上記した半導体装置およびその製造方法は、いずれも、主面側に第

50

1 素子が形成されてなる第 1 半導体基板と、主面側に第 2 素子が形成されてなる第 2 半導体基板とが、互いの前記主面側を対向するようにして、貼り合わされてなる半導体装置およびその製造方法であって、前記貼り合わせによって第 1 素子と第 2 素子が密封されると共に、3 次元的に配置される前記第 1 素子と第 2 素子に対して確実な配線接続がされてなる半導体装置およびその製造方法となっている。

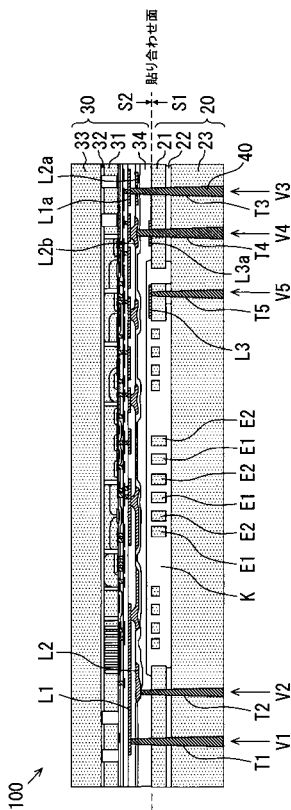
【符号の説明】

【 0 0 8 4 】

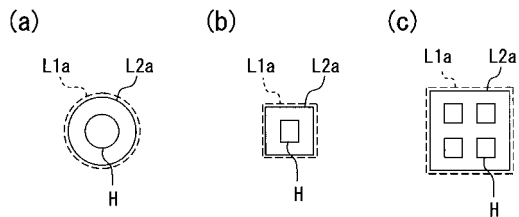
1 0 0 , 1 0 0 a ~ 1 0 0 c 半導体装置
 2 0 , 2 0 a ~ 2 0 d 第 1 半導体基板
 S 1 (第 1 半導体基板の) 主面
 3 0 , 3 0 a ~ 3 0 d 第 2 半導体基板
 S 2 (第 2 半導体基板の) 主面
 L 1 ~ L 8 , L 1 a , L 2 a , L 2 b , L 3 a 配線層
 T 1 ~ T 1 2 貫通穴
 V 1 ~ V 1 2 取り出し配線層

10

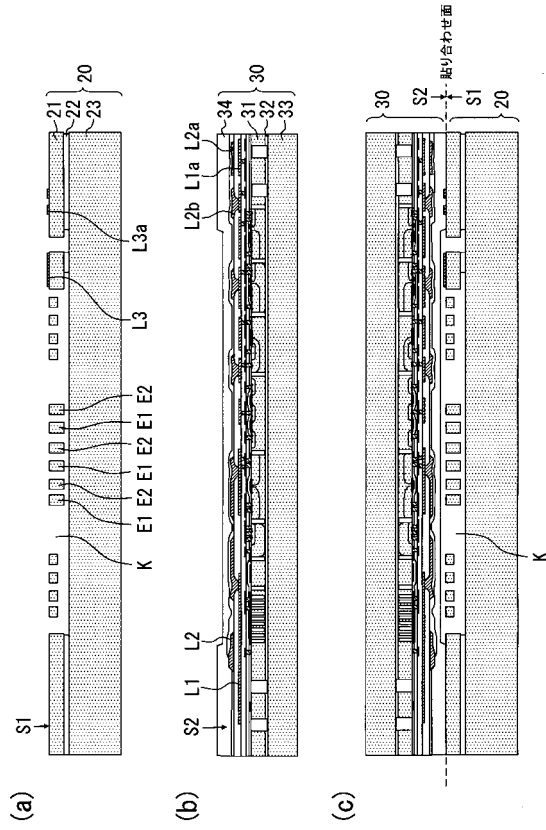
【 図 1 】



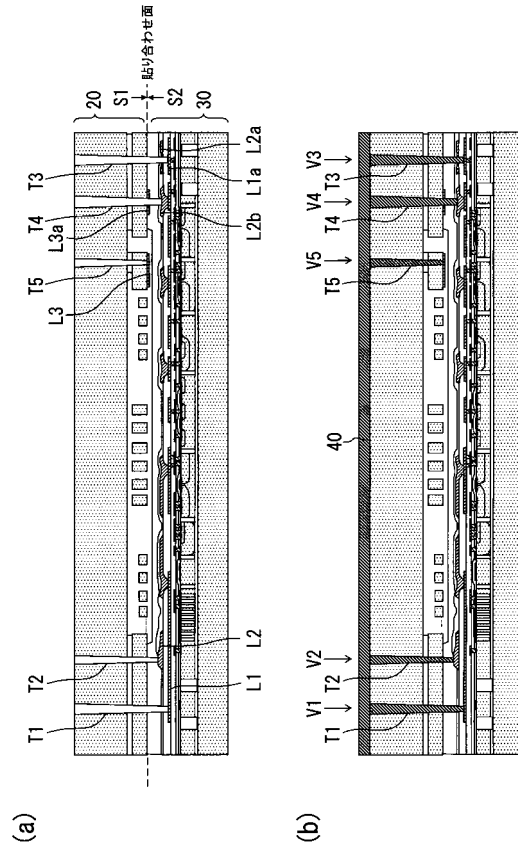
【 図 2 】



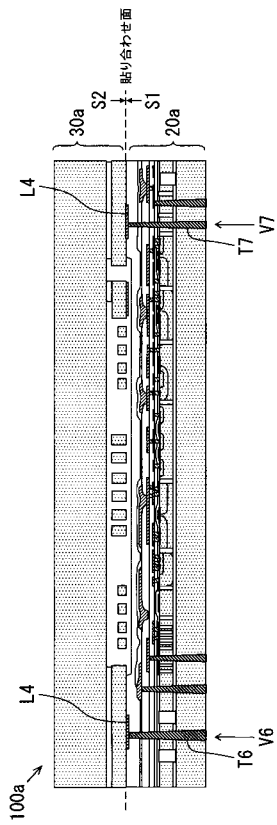
【図 3】



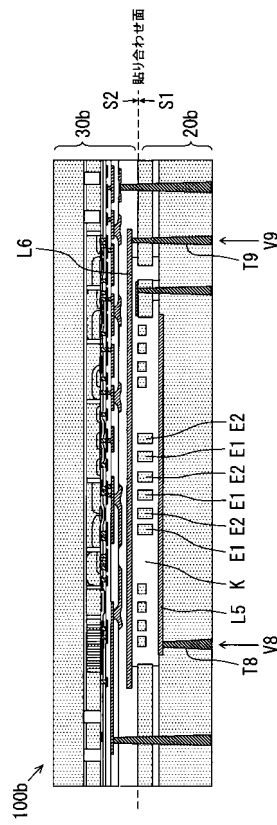
【図 4】



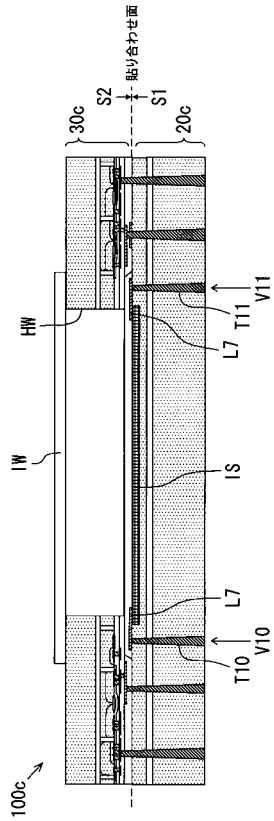
【図 5】



【図 6】

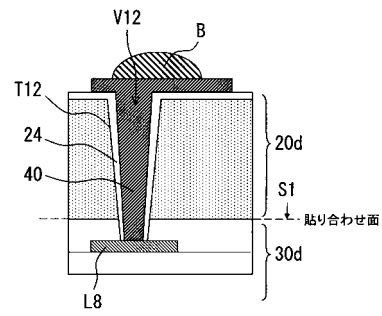


【図 7】

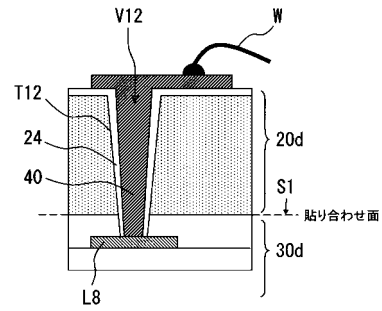


【図 8】

(a)

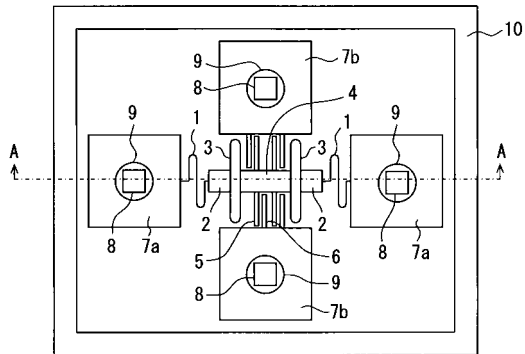


(b)



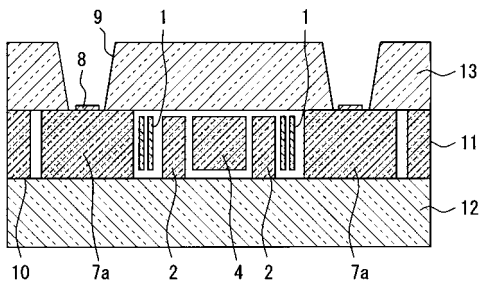
【図 9】

(a)



- | | | |
|--------|--------|---------------|
| 1 パネ | 4 質量体 | 7a、7b アイランド電極 |
| 2 アンカー | 5 可動電極 | 8 金属パッド |
| 3 梁 | 6 固定電極 | 9 上面基板貫通穴 |
| | | 10 枠 |

(b)



- | | | |
|----------|---------|---------|
| 11 デバイス層 | 12 下面基板 | 13 上面基板 |
|----------|---------|---------|

フロントページの続き

(51) Int. Cl.

F I

テーマコード (参考)

H 0 1 L 27/14 (2006.01)