

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4718818号
(P4718818)

(45) 発行日 平成23年7月6日(2011.7.6)

(24) 登録日 平成23年4月8日(2011.4.8)

(51) Int.Cl.

F 1

H01L 21/336	(2006.01)	H01L 29/78	627C
H01L 29/786	(2006.01)	H01L 29/78	617J
G09F 9/00	(2006.01)	H01L 29/78	616K
G09F 9/30	(2006.01)	G09F 9/00	338
H01L 21/3205	(2006.01)	G09F 9/30	338

請求項の数 19 (全 29 頁) 最終頁に続く

(21) 出願番号

特願2004-297094 (P2004-297094)

(22) 出願日

平成16年10月12日 (2004.10.12)

(65) 公開番号

特開2005-136403 (P2005-136403A)

(43) 公開日

平成17年5月26日 (2005.5.26)

審査請求日 平成19年7月12日 (2007.7.12)

(31) 優先権主張番号 特願2003-351974 (P2003-351974)

(32) 優先日 平成15年10月10日 (2003.10.10)

(33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 前川 慎志

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 今井 駿太郎

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

審査官 小出 輝

最終頁に続く

(54) 【発明の名称】薄膜トランジスタの作製方法

(57) 【特許請求の範囲】

【請求項 1】

基板上に第1の導電層を形成し、

前記第1の導電層に接する第1のマスクを液滴吐出法により形成し、

前記第1のマスクを用いて、前記第1の導電層をエッチングして、ゲート電極としての機能を有する第2の導電層を形成し、前記第1のマスク上に、ゲート絶縁膜としての機能を有する絶縁層と、第1の半導体層及び一導電型が付与された第2の半導体層を積層形成し、

前記第2の半導体層に接する第2のマスクを液滴吐出法により形成し、

前記第2のマスクを用いて、前記第1の半導体層及び前記第2の半導体層を同時にエッチングして、活性層としての機能を有する第3の半導体層及び一導電型が付与された第4の半導体層を形成し、

前記第4の半導体層に接する第3の導電層を形成し、

前記第3の導電層に接する第3のマスクを液滴吐出法により形成し、

前記第3のマスクを用いて、前記第4の半導体層及び前記第3の導電層を同時にエッチングして、第5の半導体層及びソース・ドレイン配線としての機能を有する第4の導電層を形成し、

前記第1乃至前記第3のマスクのうち、少なくとも1つは除去しないことを特徴とする薄膜トランジスタの作製方法。

【請求項 2】

10

20

基板上に第1の導電層を形成し、
 前記第1の導電層に接する第1のマスクを液滴吐出法により形成し、
 前記第1のマスクを用いて、前記第1の導電層をエッティングして、ゲート電極としての機能を有する第2の導電層を形成し、
 前記第1のマスク上に、ゲート絶縁膜としての機能を有する第1の絶縁層と、第1の半導体層と、第2の絶縁層とを積層形成し、
 前記第2の絶縁層に接する第2のマスクを液滴吐出法により形成し、
 前記第2のマスクを用いて、前記第2の絶縁層をエッティングして、チャネル保護層としての機能を有する第3の絶縁層を形成し、
 前記第2のマスク上に、一導電型が付与された第2の半導体層を形成し、
 前記第2の半導体層に接する第3のマスクを液滴吐出法により形成し、
 前記第3のマスクを用いて、前記第1の半導体層及び前記第2の半導体層を同時にエッティングして、活性層としての機能を有する第3の半導体層及び一導電型が付与された第4の半導体層を形成し、
 前記第4の半導体層と接する第3の導電層を形成し、
 前記第3の導電層に接する第4のマスクを液滴吐出法により形成し、
 前記第4のマスクを用いて、前記第4の半導体層及び前記第3の導電層を同時にエッティングして、第5の半導体層及びソース・ドレイン配線としての機能を有する第4の導電層を形成し、
 前記第1乃至前記第4のマスクのうち、少なくとも1つは除去しないことを特徴とする薄膜トランジスタの作製方法。 20

【請求項3】

基板上に第1の半導体層を形成し、
 前記第1の半導体層に接する、ゲート絶縁膜としての機能を有する第1のマスクを液滴吐出法により形成し、
 前記第1のマスクを用いて、前記第1の半導体層をエッティングして、活性層としての機能を有する第2の半導体層を形成し、
 前記第1のマスク上に、第1の導電層を形成し、
 前記第1の導電層に接する第2のマスクを液滴吐出法により形成し、
 前記第2のマスクを用いて、前記第1の導電層をエッティングして、ゲート電極としての機能を有する第2の導電層を形成し、
 前記第1のマスクと前記第2のマスクのうち、少なくとも1つは除去しないことを特徴とする薄膜トランジスタの作製方法。 30

【請求項4】

基板上に、ソース・ドレイン配線としての機能を有する第1の導電層と、一導電型が付与された第1の半導体層を積層形成し、
 前記第1の半導体層に接する第1のマスクを液滴吐出法により形成し、
 前記第1のマスクを用いて、前記第1の半導体層をエッティングして、一導電型が付与された第2の半導体層を形成し、
 前記第2の半導体層に接する第3の半導体層を形成し、
 前記第3の半導体層に接する第2のマスクを液滴吐出法により形成し、
 前記第2のマスクを用いて、前記第2の半導体層及び前記第3の半導体層をエッティングして、一導電型が付与された第4の半導体層と、活性層としての機能を有する第5の半導体層を形成し、
 前記第2のマスク上に、ゲート絶縁膜としての機能を有する絶縁層と、第2の導電層を積層形成し、
 前記第2の導電層に接する第3のマスクを液滴吐出法により形成し、
 前記第3のマスクを用いて、前記第2の導電層をエッティングして、ゲート電極としての機能を有する第3の導電層を形成し、
 前記第1乃至前記第3のマスクのうち、少なくとも1つは除去しないことを特徴とする 50

薄膜トランジスタの作製方法。

【請求項 5】

基板上に第1の半導体層を形成し、

前記第1の半導体層に接する第1のマスクを液滴吐出法により形成し、

前記第1のマスクを用いて、前記第1の半導体層をエッティングして、活性層としての機能を有する第2の半導体層を形成し、

前記第2の半導体層上に、一導電型が付与された第3の半導体層と、第1の導電層を積層形成し、

前記第1の導電層に接する第2のマスクを液滴吐出法により形成し、

前記第2のマスクを用いて、前記第3の半導体層及び前記第1の導電層をエッティングして、一導電型が付与された第4の半導体層と、ソース・ドレイン配線としての機能を有する第2の導電層を形成し、

前記第2のマスク上に、ゲート絶縁膜としての機能を有する絶縁層と、第3の導電層を積層形成し、

前記第3の導電層に接する第3のマスクを液滴吐出法により形成し、

前記第3のマスクを用いて、前記第3の導電層をエッティングして、ゲート電極としての機能を有する第4の導電層を形成し、

前記第1乃至前記第3のマスクのうち、少なくとも1つは除去しないことを特徴とする薄膜トランジスタの作製方法。

【請求項 6】

請求項1又は請求項2において、

前記第1の導電層と前記第3の導電層は、液滴吐出法、スパッタリング法又は蒸着法により形成することを特徴とする薄膜トランジスタの作製方法。

【請求項 7】

請求項1又は請求項2において、

前記第1の導電層と前記第3の導電層は、銀、金、銅又はインジウム錫酸化物により形成することを特徴とする薄膜トランジスタの作製方法。

【請求項 8】

請求項3において、

前記第1の導電層は、液滴吐出法、スパッタリング法又は蒸着法により形成することを特徴とする薄膜トランジスタの作製方法。

【請求項 9】

請求項3において、

前記第1の導電層は、銀、金、銅又はインジウム錫酸化物により形成することを特徴とする薄膜トランジスタの作製方法。

【請求項 10】

請求項4において、

前記第1の導電層と前記第2の導電層は、液滴吐出法、スパッタリング法又は蒸着法により形成することを特徴とする薄膜トランジスタの作製方法。

【請求項 11】

請求項4において、

前記第1の導電層と前記第2の導電層は、銀、金、銅又はインジウム錫酸化物により形成することを特徴とする薄膜トランジスタの作製方法。

【請求項 12】

請求項5において、

前記第1の導電層と前記第3の導電層は、液滴吐出法、スパッタリング法又は蒸着法により形成することを特徴とする薄膜トランジスタの作製方法。

【請求項 13】

請求項5において、

前記第1の導電層と前記第3の導電層は、銀、金、銅又はインジウム錫酸化物により形

10

20

30

40

50

成することを特徴とする薄膜トランジスタの作製方法。

【請求項 1 4】

請求項 1、請求項 4 又は請求項 5 のいずれか一項において、

前記第 1 乃至前記第 3 のマスクは、液滴吐出法により形成された絶縁層に、フォトマスクを用いた露光処理及び現像処理を行って形成することを特徴とする薄膜トランジスタの作製方法。

【請求項 1 5】

請求項 1、請求項 4 又は請求項 5 のいずれか一項において、

前記第 1 乃至前記第 3 のマスクは、有機材料又は珪素と酸素との結合で骨格構造が形成された材料で形成することを特徴とする薄膜トランジスタの作製方法。 10

【請求項 1 6】

請求項 2 において、

前記第 1 乃至前記第 4 のマスクは、液滴吐出法により形成された絶縁層に、フォトマスクを用いた露光処理及び現像処理を行って形成することを特徴とする薄膜トランジスタの作製方法。

【請求項 1 7】

請求項 2 において、

前記第 1 乃至前記第 4 のマスクは、有機材料又は珪素と酸素との結合で骨格構造が形成された材料で形成することを特徴とする薄膜トランジスタの作製方法。

【請求項 1 8】

請求項 3 において、

前記第 1 のマスク及び前記第 2 のマスクは、液滴吐出法により形成された絶縁層に、フォトマスクを用いた露光処理及び現像処理を行って形成することを特徴とする薄膜トランジスタの作製方法。 20

【請求項 1 9】

請求項 3 において、

前記第 1 のマスク及び前記第 2 のマスクは、有機材料又は珪素と酸素との結合で骨格構造が形成された材料で形成することを特徴とする薄膜トランジスタの作製方法。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、液滴吐出法を用いた薄膜トランジスタの作製方法に関する。

また、本発明は、液滴吐出法を用いた半導体装置の作製方法に関する。半導体装置とは、基板上に薄膜トランジスタが形成された TFT 基板、基板上に薄膜トランジスタ及び液晶が形成された液晶パネル用基板又は液晶モジュール用基板、基板上に薄膜トランジスタ及び発光素子が形成された E L (エレクトロルミネッセンス) パネル用基板又は E L モジュール用基板、基板上の薄膜トランジスタ及び発光素子が封止材により封止された液晶パネル、基板上の薄膜トランジスタ及び発光素子が封止材により封止された E L パネル、これらパネルに F P C 等が取り付けられたモジュール、F P C 等の先にドライバ I C が接続されたモジュール、パネルに C O G 方式等によりドライバ I C が実装されたモジュールに相当する。 40

【背景技術】

【0002】

近年、半導体を用いた薄膜トランジスタは、液晶や E L などの表示素子を制御する素子や C P U などの高性能な機能回路を構成する素子として用いられている。薄膜トランジスタは、基板上に薄膜を形成し、そこに光でパターンを書き込むフォトリソグラフィ工程が必須の工程となっている。フォトリソグラフィ工程において用いられるマスクは、通常除去されるが、その方法として、剥離液を用いたウエット剥離、酸素ガスを用いたドライ剥離、U V 光を用いた U V 剥離のいずれかの方法が用いられる。

【0003】

50

また、インクジェット法に代表される液滴吐出法は、フラットパネルディスプレイの分野に応用され、活発に開発が進められている。液滴吐出法は、直接描画するためにマスクが不要、大型基板に適用しやすい、材料の利用効率が高い等の多くの利点を有し、カラーフィルタやプラズマディスプレイの電極等の作製に応用されている。（例えば、非特許文献1参照）。

【非特許文献1】T.Shimoda, Ink-jet Technology for Fabrication Processes of Flat Panel Displays, SID 03 DIGEST, p1178-p1181

【発明の開示】

【発明が解決しようとする課題】

【0004】

10

ドライ剥離やUV剥離は、そのタクトタイムが十分でないため、ウェット剥離と併用することが多い。しかしながら、このウェット剥離を用いると、目的とするマスクだけでなく、他の素子が剥離したり、損傷したりすることがあった。また、剥離工程を経ることで、作製時間や作製費用の増大を招いていた。

【0005】

上記の実情を鑑み、本発明は、剥離工程を用いずに、工程を簡略化して、作製時間の短縮及び作製費用の低減を実現した薄膜トランジスタの作製方法、半導体装置の作製方法の提供を課題とする。

【課題を解決するための手段】

【0006】

20

上述した従来技術の課題を解決するために、本発明においては以下の手段を講じる。

本発明は、第1の導電層に接するマスクを形成するステップ、前記マスクを用いて第1の導電層をエッチングして、第2の導電層を形成するステップを有し、前記マスクは液滴吐出法により形成し、さらに除去しないことを特徴とする。なお、第1の導電層は、スパッタリング法、蒸着法又は液滴吐出法等を用いて全面に形成するか、又は液滴吐出法を用いて一部に形成する。

また、本発明の必須の構成要件として、マスクとして用いる絶縁層を液滴吐出法で形成することが挙げられるが、液滴吐出法で形成された絶縁層をそのままマスクとして用いるか、又は液滴吐出法で形成された絶縁層に露光処理と現像処理を行った絶縁層をマスクとして用いるかのどちらかの方法を採用する。上記をふまえると、第2の導電層の作製方法には、以下のように、大別して4通りの方法があり、本発明はいずれの方法を用いてもよい。

【0007】

30

第1の方法は、基板50上にスパッタリング法や蒸着法等の公知の方法により、導電層51を全面に形成し、その後、マスクとなる絶縁層52を液滴吐出手段53により形成する（図1（A）参照）。次に、絶縁層52をマスクとして、導電層51をエッチングして、導電層55を形成する（図1（C）参照）。その後、絶縁層52は除去しない。

第2の方法は、基板50上に液滴吐出手段53により、導電層54を一部の領域に形成し、その後、マスクとなる絶縁層52を液滴吐出手段53により形成する（図1（B）参照）。次に、絶縁層52をマスクとして、導電層54をエッチングして、導電層55を形成する（図1（C）参照）。その後、絶縁層52は除去しない。

【0008】

40

第3の方法は、基板50上にスパッタリング法等の公知の方法により、導電層51を全面に形成し、その後、マスクとなる絶縁層52を液滴吐出手段53により形成する（図2（A）参照）。次に、フォトマスク56を用いて露光し（図2（B）参照）、現像処理を行って、絶縁層57を形成する（図2（C）参照）。最後に、絶縁層57をマスクとして、導電層51をエッチングして、導電層58を形成する（図2（G）参照）。その後、絶縁層57は除去しない。

第4の方法は、基板50上に液滴吐出手段53により、導電層54を一部の領域に形成し、その後、マスクとなる絶縁層52を液滴吐出手段53により形成する（図2（D）参

50

照)。次に、フォトマスク 5 6 を用いて露光し(図 2 (E) 参照)、現像処理を行って、絶縁層 5 7 を形成する(図 2 (F) 参照)。最後に、絶縁層 5 7 をマスクとして、導電層 5 4 をエッティングして、導電層 5 8 を形成する(図 2 (G) 参照)。その後、絶縁層 5 7 は除去しない。

【0009】

なお、上記の第 1 の方法と第 4 の方法において、導電層 5 1 を半導体層に置換してもよい。この場合、除去しなかった絶縁層 5 2、5 7 は、ゲート絶縁膜として活用することができる。

【0010】

また、上記の記載において、導電層を液滴吐出法により形成する場合は、銀、金、銅又はインジウム錫酸化物から形成することを特徴とする。さらに、マスクとなる絶縁層は、有機材料又は珪素と酸素との結合で骨格構造が形成された材料で形成することを特徴とする。

10

【0011】

本発明の薄膜トランジスタの作製方法は、第 1 の導電層に接する第 1 のマスクを液滴吐出法により形成するステップ、前記第 1 のマスクを用いて、前記第 1 の導電層をエッティングして、第 2 の導電層を形成するステップを有する。上記ステップを経て、ゲート電極として機能する第 2 の導電層が完成する。

次に、第 1 のマスク上に、絶縁層、第 1 の半導体層及び一導電型が付与された第 2 の半導体層を積層形成するステップ、前記第 2 の半導体層に接する第 2 のマスクを液滴吐出法により形成するステップ、前記第 2 のマスクを用いて、前記第 1 及び前記第 2 の半導体層を同時にエッティングして、第 3 の半導体層及び一導電型が付与された第 4 の半導体層を形成するステップを有する。上記ステップを経て、ゲート絶縁膜として機能する絶縁層、活性層として機能する第 3 の半導体層が完成する。

20

次に、第 4 の半導体層に接する第 3 の導電層を形成するステップ、前記第 3 の導電層に接する第 3 のマスクを液滴吐出法により形成するステップ、前記第 3 のマスクを用いて、前記第 4 の半導体層及び前記第 3 の導電層を同時にエッティングするステップを有する。上記ステップを経て、第 3 の導電層がエッティングされ、ソース・ドレイン配線が完成する。また、第 4 の半導体層がエッティングされ、ソース・ドレイン配線と活性層(第 3 の半導体層)を電気的に接続し、一導電型が付与された半導体層が完成する。また、上記ステップを経て、チャネルエッチ型の薄膜トランジスタが完成する。

30

なお、本発明では、上記ステップにおいて、第 1 乃至第 3 のマスクから選択された 1 つ又は複数は除去しないことを特徴とする。上記特徴により、作製時間の短縮及び作製費用の低減を実現する。

【0012】

本発明の薄膜トランジスタの作製方法は、第 1 の導電層に接する第 1 のマスクを液滴吐出法により形成するステップ、前記第 1 のマスクを用いて、前記第 1 の導電層をエッティングして、第 2 の導電層を形成するステップを有する。上記ステップを経て、ゲート電極として機能する第 2 の導電層が完成する。

次に、第 1 のマスク上に、第 1 の絶縁層、第 1 の半導体層及び第 2 の絶縁層を積層形成するステップ、前記第 2 の絶縁層に接する第 2 のマスクを液滴吐出法により形成するステップ、前記第 2 のマスクを用いて、前記第 2 の絶縁層をエッティングして、第 3 の絶縁層を形成するステップを有する。上記ステップを経て、ゲート絶縁膜として機能する第 1 の絶縁層が完成する。また、チャネル保護層として機能する第 3 の絶縁層が完成する。

40

次に、第 2 のマスク上に、一導電型が付与された第 2 の半導体層を形成するステップ、前記第 2 の半導体層に接する第 3 のマスクを液滴吐出法により形成するステップ、前記第 3 のマスクを用いて、前記第 1 及び前記第 2 の半導体層を同時にエッティングして、第 3 の半導体層及び一導電型が付与された第 4 の半導体層を形成するステップを有する。上記ステップを経て、活性層として機能する第 3 の半導体層が完成する。

次に、第 4 の半導体層と接する第 3 の導電層を形成するステップ、前記第 3 の導電層に

50

接する第4のマスクを液滴吐出法により形成するステップ、前記第4のマスクを用いて、前記第4の半導体層及び前記第3の導電層を同時にエッチングするステップを有する。上記ステップを経て、第3の導電層がエッチングされ、ソース・ドレイン配線が完成する。また、第4の半導体層がエッチングされ、ソース・ドレイン配線と活性層（第3の半導体層）を電気的に接続し、一導電型が付与された半導体層が完成する。また、上記ステップを経て、チャネル保護型の薄膜トランジスタが完成する。

なお、本発明では、上記ステップにおいて、第1乃至第4のマスクから選択された1つ又は複数は除去しないことを特徴とする。上記特徴により、作製時間の短縮及び作製費用の低減を実現する。

【0013】

10

本発明の薄膜トランジスタの作製方法は、第1の半導体層に接する第1のマスクを液滴吐出法により形成するステップ、前記第1のマスクを用いて、前記第1の半導体層をエッチングして、第2の半導体層を形成するステップを有する。上記ステップを経て、活性層となる第2の半導体層が完成する。

次に、第1のマスク上に、導電層を形成するステップ、前記導電層に接する第2のマスクを液滴吐出法により形成するステップ、前記第2のマスクを用いて、前記導電層をエッチングするステップを有する。上記ステップを経て、前記導電層がエッチングされ、ゲート電極が完成する。また、上記ステップを経て、順スタガ型の薄膜トランジスタが完成する。

なお、本発明では、上記ステップにおいて、第1及び第2のマスクから選択された1つ又は複数は除去しないことを特徴とする。上記特徴により、作製時間の短縮及び作製費用の低減を実現する。

【0014】

20

本発明の薄膜トランジスタの作製方法は、第1の導電層、一導電型が付与された第1の半導体層を積層形成するステップ、前記第1の半導体層に接する第1のマスクを液滴吐出法により形成するステップ、前記第1のマスクを用いて、前記第1の半導体層をエッチングして、一導電型が付与された第2の半導体層を形成するステップを有する。上記ステップを経て、ソース・ドレイン配線となる第1の導電層が完成する。

次に、前記第2の半導体層に接する第3の半導体層を形成するステップ、前記第3の半導体層に接する第2のマスクを液滴吐出法により形成するステップ、前記第2のマスクを用いて、前記第2及び前記第3の半導体層をエッチングして、一導電型が付与された第4の半導体層と、第5の半導体層を形成するステップを有する。上記のステップを経て、活性層となる第5の半導体層が完成する。また、ソース・ドレイン配線と、活性層（第5の半導体層）とを電気的に接続する、一導電型が付与された第4の半導体層が完成する。

次に、前記第2のマスク上に、絶縁層、第2の導電層を積層形成するステップ、前記第2の導電層に接する第3のマスクを液滴吐出法により形成するステップ、前記第3のマスクを用いて、前記第2の導電層をエッチングするステップを有する。上記ステップを経て、ゲート絶縁膜として機能する絶縁層が完成し、また、前記第2の導電層をエッチングして、ゲート電極が完成する。

なお、本発明では、上記ステップにおいて、第1乃至第3のマスクから選択された1つ又は複数は除去しないことを特徴とする。上記特徴により、作製時間の短縮及び作製費用の低減を実現する。

【0015】

40

本発明の薄膜トランジスタの作製方法は、第1の半導体層に接する第1のマスクを液滴吐出法により形成するステップ、前記第1のマスクを用いて、前記第1の半導体層をエッチングして、第2の半導体層を形成するステップを有する。上記ステップを経て、活性層となる第2の半導体層が完成する。

次に、第2の半導体層上に、一導電型が付与された第3の半導体層、第1の導電層を積層形成するステップ、前記第1の導電層に接する第2のマスクを液滴吐出法により形成するステップ、前記第2のマスクを用いて、前記第3の半導体層及び前記第1の導電層を工

50

ツチングして、一導電型が付与された第4の半導体層と第2の導電層を形成するステップを有する。上記ステップを経て、ソース・ドレイン配線となる第2の導電層、ソース・ドレイン配線と活性層（第2の半導体層）を電気的に接続する、一導電型が付与された第4の半導体層が完成する。

次に、前記第2のマスク上に、絶縁層、第3の導電層を積層形成するステップ、前記第3の導電層に接する第3のマスクを液滴吐出法により形成するステップ、前記第3のマスクを用いて、前記第3の導電層をエッチングするステップを有することを特徴とする。上記ステップを経て、ゲート絶縁膜として機能する絶縁層が完成する。また、第3の導電層をエッチングして、ゲート電極が完成する。

なお、本発明では、上記ステップにおいて、第1乃至第3のマスクから選択された1つ又は複数は除去しないことを特徴とする。上記特徴により、作製時間の短縮及び作製費用の低減を実現する。

【0016】

上述した作製方法のうち、導電層は、液滴吐出法、スパッタリング法又は蒸着法により形成することを特徴とする。また、液滴吐出法で形成する場合は、銀、金、銅又はインジウム錫酸化物から形成することを特徴とする。マスクは、液滴吐出法により形成された絶縁層をそのまま用いるか、又は、液滴吐出法により形成された絶縁層に、フォトマスクを用いた露光処理及び現像処理を行って形成する。さらに、それらのマスクは、有機材料又は珪素と酸素との結合で骨格構造が形成された材料で形成することを特徴とする。

【発明の効果】

【0017】

本発明により、剥離工程を用いずに、工程を簡略化して、作製時間の短縮及び作製費用の低減を実現した薄膜トランジスタの作製方法、半導体装置の作製方法を提供することができる。

【発明を実施するための最良の形態】

【0018】

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いる。

（実施の形態1）

【0019】

本発明の薄膜トランジスタの作製方法について、図3を用いて説明する。ここでは、非晶質半導体をチャネル部とした、チャネルエッチ型の薄膜トランジスタの作製方法について説明する。

【0020】

基板100としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス等からなるガラス基板、石英基板、シリコン基板、金属基板、ステンレス基板又は本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板を用いる（図3（A）参照）。そして、基板100上に、第1の導電層101を形成する。第1の導電層101は、液滴吐出法、蒸着法、イオンプレーティング法、スパッタリング法、CVD法、めっき法等の公知の方法により形成する。なお、第1の導電層101は、被処理物の全面に形成してもよいし、液滴吐出法により一部の領域のみに形成してもよい。次に、第1の導電層101に接するように、液滴吐出法により第1のマスク111を形成する。

【0021】

第1のマスク111を用いて、第1の導電層101をエッチングして、第2の導電層102を形成する（図3（B）参照）。第2の導電層102は、ゲート電極として機能する。続いて、第1のマスク111は除去せず、該第1のマスク111上に、絶縁層121、第1の半導体層131、一導電型が付与された第2の半導体層132を積層形成する。絶

10

20

30

40

50

縁層 121 はゲート絶縁膜として機能するものであり、プラズマ CVD 法等の公知の方法を用いて、珪素の酸化膜、窒化膜を単層又は積層構造で形成する。第 1 の半導体層 131 は活性層として機能するものであり、プラズマ CVD 法、スパッタリング法等の公知の方法を用いて形成する。また、第 1 の半導体層 131 は、非晶質半導体又は微結晶半導体で形成する。第 2 の半導体層 132 は、一導電型が付与され、シランガスとフォスフィンガスを用いて形成したり、CVD 法により半導体層を形成後に、ドーピング法により不純物元素を添加して形成したりする。次に、第 2 の半導体層 132 に接する第 2 のマスク 112 を液滴吐出法により形成する。

【 0022 】

続いて、第 2 のマスク 112 を用いて、第 1 の半導体層 131 と、一導電型が付与された第 2 の半導体層 132 を同時にエッチングして、第 3 の半導体層 133 と、一導電型が付与された第 4 の半導体層 134 を形成する（図 3（C）参照）。その後、本プロセスでは、第 2 のマスク 112 を除去するが、除去せずに残してもよい。除去しない場合には、さらなる作製時間の短縮及び作製費用の低減が実現する。次に、第 4 の半導体層 134 に接する第 3 の導電層 103 を形成する。第 3 の導電層 103 は、液滴吐出法、蒸着法等の公知の方法により形成する。なお、第 3 の導電層 103 は、全面に形成してもよいし、液滴吐出法により一部に形成してもよい。なお、第 2 のマスク 112 を除去しない場合、第 3 の半導体層 133 及び第 4 の半導体層 134 と、第 3 の導電層 103 とは、端部 122 でのみ電気的に接続する。次に、第 3 の導電層 103 に接する第 3 のマスク 113a、113b を液滴吐出法により形成する。

10

【 0023 】

次に、第 3 のマスク 113a、113b を用いて、第 3 の導電層 103 と第 4 の半導体層 134 を同時にエッチングして、第 4 の導電層 104a、104b、第 5 の半導体層 135a、135b を形成する（図 3（D）参照）。このエッチング処理を経ると、図示するように、第 3 の半導体層 133 も少しエッチングされる。上記工程を経て、チャネルエッチ型の薄膜トランジスタが完成する。

20

【 0024 】

本発明は、第 1 のマスク 111、第 2 のマスク 112、第 3 のマスク 113a、113b を液滴吐出法により形成することを特徴とする。また、これらのマスクのうち、少なくとも 1 つのマスクは、除去せずに残しておくことを特徴とする。第 1 のマスク 111、第 2 のマスク 112、第 3 のマスク 113a、113b は、液滴吐出法により形成した絶縁層をそのままマスクとして用いるか、又は液滴吐出法で形成された絶縁層に露光・現像・エッチング処理を行った絶縁層をマスクとして用いる。さらに、好ましくは、第 1 の導電層 101 と第 3 の導電層 103 も液滴吐出法により形成することを特徴とする。

30

【 0025 】

なお、ここでは、基板上に薄膜トランジスタが完成した状態を TFT 基板（トランジスタ基板）とよぶ。つまり、上記工程を経ると、TFT 基板が完成した状態となる。

【 0026 】

なお、液滴吐出法において用いるノズルの径は、0.02 ~ 100 μm（好適には 30 μm 以下）に設定し、該ノズルから吐出される組成物の吐出量は 0.001 p1 ~ 100 p1（好適には 10 p1 以下）に設定するとよい。この吐出量は、ノズルの径の大きさに比例して増加する。但し、ノズルの径は、形成するパターンの形状やその大きさに従って適宜変更するとよい。また、被処理物とノズルの吐出口との距離は、所望の箇所に滴下するために、出来る限り近づけておくことが好ましく、好適には 0.1 ~ 3 mm（好適には 1 mm 以下）程度に設定する。ノズルと被処理物は、その相対的な距離を保ちながら、該ノズル又は該被処理物が移動して、所望のパターンを描画する。

40

【 0027 】

液滴吐出法でマスクを形成する際、吐出口から吐出する組成物は、絶縁性材料を溶媒に溶解又は分散させたものを用いる。絶縁性材料とは、エポキシ樹脂、アクリル樹脂、フェノール樹脂、ノボラック樹脂、メラミン樹脂、ウレタン樹脂等の樹脂材料を用いる。なお

50

これらの樹脂材料を用いる場合、その粘度は、溶媒を用いて溶解又は分散することで調整するとよい。また、撥液性の材料として、フッ素原子が含まれた樹脂、あるいは炭化水素のみで構成された樹脂が挙げられる。より詳しくは、分子内にフッ素原子を含有するモノマーを含む樹脂、或いは全て炭素と水素原子のみから構成されるモノマーを含む樹脂が挙げられる。また、アクリル、ベンゾシクロブテン、パリレン、フレア、透過性を有するポリイミドなどの有機材料、シロキサン系ポリマー等の重合によってできた化合物材料、水溶性ホモポリマーと水溶性共重合体を含む組成物等が挙げられる。

【0028】

有機材料を用いると、その平坦性が優れているため、後に導電体を成膜した際にも、段差部で膜厚が極端に薄くなったり、断線が起こったりすることがなく、好適である。但し、有機材料は、脱ガス発生の防止のため、下層と上層に、珪素を含む無機材料で薄膜を形成するとよい。具体的には、プラズマCVD法やスパッタリング法により、窒化酸化珪素膜や窒化珪素膜を形成するとよい。シロキサン系ポリマーは、珪素と酸素との結合で骨格構造が構成され置換基に少なくとも水素を含む材料、又は、置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも1種を有する材料の代表例として挙げたものであり、上記条件の範疇にある様々な材料を用いることができる。このシロキサン系ポリマーは、平坦性に優れており、また透明性や耐熱性をも有し、シロキサンポリマーからなる絶縁体を形成後に300度～600度程度以下の温度で加熱処理を行うことができるという利点を有する。この加熱処理により、例えば水素化と焼成の処理を同時にを行うことができる。

10

【0029】

また、感光剤を含む市販のレジスト材料を用いてもよく、例えば、代表的なポジ型レジストである、ノボラック樹脂と感光剤であるナフトキノンジアジド化合物、ネガ型レジストであるベース樹脂、ジフェニルシランジオール及び酸発生剤などを、溶媒に溶解又は分散させたものを用いてもよい。その粘度は、溶媒を用いて、上記の材料を溶解又は分散することで調節するとよい。

【0030】

一方、液滴吐出法で導電層を形成する際、吐出口から吐出する組成物は、導電性材料を溶媒に溶解又は分散させたものを用いる。導電性材料とは、Ag(銀)、Au(金)、Cu(銅)、Ni(ニッケル)、Pt(白金)、Pd(鉛)、Ir(イリジウム)、Rh(ロジウム)、W(タンクステン)、Al(アルミニウム)等の金属、Cd(カドミウム)、Zn(亜鉛)、Fe(鉄)、Ti(チタン)、Si(珪素)、Ge(ゲルマニウム)、Zr(ジルコニウム)、Ba(バリウム)、ハロゲン化銀の微粒子又は分散性ナノ粒子に相当する。また、透明導電膜として用いられるインジウム錫酸化物(ITO)、インジウム錫酸化物と酸化珪素からなるITO、有機インジウム、有機スズ、酸化亜鉛、窒化チタン等に相当する。但し、吐出口から吐出する組成物は、比抵抗値を考慮して、金、銀、銅のいずれかの材料を溶媒に溶解又は分散させたものを用いることが好適であり、より好適には、低抵抗な銀、銅を用いるとよい。但し、銀、銅を用いる場合には、不純物対策のため、合わせてバリア膜を設けるとよい。

30

【0031】

溶媒は、酢酸ブチル、酢酸エチル等のエステル類、イソプロピルアルコール、エチルアルコール等のアルコール類、メチルエチルケトン、アセトン等の有機溶剤等に相当する。組成物の粘度は50cp以下が好適であり、これは、乾燥が起こることを防止したり、吐出口から組成物を円滑に吐出できるようにしたりするためである。また、組成物の表面張力は、40mN/m以下が好適である。なお、用いる溶媒や、用途に合わせて、組成物の粘度等は適宜調整するとよい。一例として、ITOや、有機インジウム、有機スズ、銀、金を溶媒に溶解又は分散させた組成物の粘度は5～20MPa·Sに設定する。

40

【0032】

また、被処理物の表面にプラズマ処理を施してもよい。これは、プラズマ処理を施すと、被処理物の表面が親水性になったり、疎水性になったりすることを活用するためである

50

。例えば、純水に対しては親水性になり、アルコールを溶媒したペーストに対しては疎液性になる。

【0033】

組成物を吐出する工程は、減圧下で行うと、組成物を吐出して被処理物に着弾するまでの間に、該組成物の溶媒が揮発し、後の乾燥と焼成の工程を省略、又は短くすることができるため、好適である。また、組成物を吐出して絶縁層を形成した後は、乾燥と焼成の一方又は両方の工程を行う。乾燥と焼成の工程は、両工程とも加熱処理の工程であるが、例えば、乾燥は100度で3分間、焼成は200～350度で15分間～120分間で行うもので、その目的、温度と時間が異なるものである。乾燥の工程、焼成の工程は、常圧下又は減圧下で、レーザ光の照射や瞬間熱アニール、加熱炉などにより行う。なお、この加熱処理を行うタイミングは特に限定されない。乾燥と焼成の工程を良好に行うためには、基板を加熱しておいてもよく、そのときの温度は、基板等の材質に依存するが、一般的には100～800度（好ましくは200～350度）とする。本工程により、組成物中の溶媒の揮発、又は化学的に分散剤を除去するとともに、周囲の樹脂が硬化収縮することで、融合と融着を加速する。

【0034】

レーザ光の照射は、連続発振またはパルス発振の気体レーザ又は固体レーザを用いれば良い。前者の気体レーザとしては、エキシマレーザ、YAGレーザ等が挙げられ、後者の固体レーザとしては、Cr、Nd等がドーピングされたYAG、YVO₄等の結晶を使ったレーザ等が挙げられる。なお、レーザ光の吸収率の関係から、連続発振のレーザを用いることが好ましい。また、パルス発振と連続発振を組み合わせたハイブリッドのレーザ照射方法を用いてもよい。但し、基板100の耐熱性に依っては、レーザ光の照射による加熱処理は、該基板100が破壊しないように、数マイクロ秒から数十秒の間で瞬間に行うとよい。瞬間熱アニール（RTA）は、不活性ガスの雰囲気下で、紫外光乃至赤外光を照射する赤外ランプやハロゲンランプなどを用いて、急激に温度を上昇させ、数分～数マイクロ秒の間で瞬間に熱を加えて行う。この処理は瞬間的に行うために、実質的に最表面の薄膜のみを加熱することができ、下層の膜には影響を与えない。つまり、プラスチック基板等の耐熱性が弱い基板にも影響を与えない。

【0035】

なお、液滴吐出法には、オンデマンド型とコンティニュアス型の2つの方式があるが、どちらの方式を用いてもよい。また液滴吐出法において用いるヘッドには大別して、圧電方式、加熱方式があるが、本発明では、どちらの方法を用いてもよい。圧電方式は圧電体の電圧印加により変形する性質を利用したものであり、加熱方式はノズル内に設けられたヒータにより組成物を沸騰させ、該組成物を吐出するものである。

（実施の形態2）

【0036】

本発明の薄膜トランジスタの作製方法について、図4、5を用いて説明する。ここでは、非晶質半導体をチャネル部とした、チャネル保護型の薄膜トランジスタの作製方法について説明する。

【0037】

基板200としては、ガラス基板、石英基板、シリコン基板又は本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板を用いる（図4（A）参照）。そして、基板200上に、第1の導電層201を形成する。第1の導電層201は、液滴吐出法、蒸着法等の公知の方法により形成する。なお、第1の導電層201は、被処理物の全面に形成してもよいし、液滴吐出法により一部の領域のみに形成してもよい。次に、第1の導電層201に接するように、液滴吐出法により第1のマスク211を形成する。

【0038】

第1のマスク211を用いて、第1の導電層201をエッチングして、第2の導電層202を形成する（図4（B）参照）。第2の導電層202は、ゲート電極として機能する。続いて、第1のマスク211は除去せず、該第1のマスク211上に、第1の絶縁層2

10

20

30

40

50

21、第1の半導体層231、第2の絶縁層222を積層形成する。第1の絶縁層221はゲート絶縁膜として機能するものであり、プラズマCVD法等の公知の方法を用いて、珪素の酸化膜、窒化膜を単層又は積層構造で形成する。第1の半導体層231は活性層として機能するものであり、プラズマCVD法、スパッタリング法等の公知の方法を用いて形成する。また、第1の半導体層231は、非晶質半導体又は微結晶半導体で形成する。次に、第2の絶縁層222に接する第2のマスク212を液滴吐出法により形成する。

【0039】

第2のマスク212を用いて、第2の絶縁層222をエッチングして、第3の絶縁層223を形成する(図4(C)参照)。第3の絶縁層223は、チャネル保護層として機能する。続いて、第2のマスク212上に、一導電型が付与された第2の半導体層232を形成する。第2の半導体層232は、シランガスとフォスフィンガスを用いて形成したり、CVD法により半導体層を形成後に、ドーピング法により不純物元素を添加して形成したりする。次に、第2の半導体層232に接する第3のマスク213を液滴吐出法により形成する。

10

【0040】

第3のマスク213を用いて、第1の半導体層231と第2の半導体層232を同時にエッチングして、第3の半導体層233と第4の半導体層234を形成する(図5(A)参照)。その後、本プロセスでは、第3のマスク213を除去するが、除去せずに残してもよい。除去しない場合には、さらなる作製時間の短縮及び作製費用の低減が実現する。次に、第4の半導体層234に接する第3の導電層203を形成する。第3の導電層203は、液滴吐出法、蒸着法等の公知の方法により形成する。なお、第3の導電層203は、全面に形成してもよいし、液滴吐出法により一部に形成してもよい。なお、第3のマスク213を除去しない場合、第3の半導体層233及び第4の半導体層234と、第3の導電層203とは、端部240でのみ電気的に接続する。次に、第3の導電層203に接する第4のマスク214a、214bを液滴吐出法により形成する。

20

【0041】

第4のマスク214a、214bを用いて、第4の半導体層234及び第3の導電層203を同時にエッチングして、第5の半導体層235a、235bと、第4の導電層204a、204bを形成する(図5(B)参照)。このエッチング処理の際、第3の半導体層233は、第3の絶縁層223と第2のマスク212に保護され、エッチングされることはない。上記工程を経て、チャネル保護型の薄膜トランジスタが完成する。

30

【0042】

本発明は、第1のマスク211、第2のマスク212、第3のマスク213、第4のマスク214a、214bを液滴吐出法により形成することを特徴とする。また、これらのマスクのうち、少なくとも1つのマスクは、除去せずに残しておくことを特徴とする。第1のマスク211、第2のマスク212、第3のマスク213、第4のマスク214a、214bは、液滴吐出法により形成した絶縁層をそのままマスクとして用いるか、又は液滴吐出法で形成された絶縁層に露光・現像・エッチング処理を行った絶縁層をマスクとして用いる。さらに、好ましくは、第1の導電層201と第3の導電層203も液滴吐出法により形成することを特徴とする。なお、液滴吐出法によるマスクや導電層の形成に関しては、上記の実施の形態1において上述したので、ここではその説明を省略する。

40

(実施の形態3)

本発明の薄膜トランジスタの作製方法について、図6、7を用いて説明する。ここでは、順スタガ型の薄膜トランジスタの作製方法について説明する。

【0043】

基板300としては、ガラス基板、石英基板、シリコン基板又は本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板を用いる(図6(A)参照)。そして、基板300上に、第1の半導体層331を形成する。第1の半導体層331は、スパッタリング法、LPCVD法、プラズマCVD法等の公知の方法により形成し、非晶質半導体、微

50

結晶半導体のいずれでもよい。次いで、図示しないが、前記半導体膜を公知の結晶化法（レーザ結晶化法、RTA又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法等）を用いて結晶化させる。次に、第1の半導体層331に接するように、液滴吐出法により第1のマスク311を形成する。

【0045】

第1のマスク311を用いて、第1の半導体層331をエッチングして、第2の半導体層332を形成する（図6（B）参照）。第2の半導体層332は、活性層として機能する。続いて、第1のマスク311を除去せず、該第1のマスク311上に、第1の導電層301を形成する。第1の導電層301は、液滴吐出法、蒸着法等の公知の方法により形成する。なお、第1の導電層301は、全面に形成してもよいし、液滴吐出法により一部に形成してもよい。ここで、第1のマスク311は、ゲート絶縁膜として機能する。次に、第1の導電層301に接するように、液滴吐出法により第2のマスク312を形成する。
。

【0046】

第2のマスク312を用いて、第1の導電層301をエッチングして、第2の導電層302を形成する（図6（C）参照）。第2の導電層302は、ゲート電極として機能する。続いて、第2のマスク312及び第2の導電層302をマスクとして、第2の半導体層332に燐やボロンなどの不純物元素をドーピング法等により添加して、不純物領域333とチャネル形成領域334を形成する。上記工程を経て、順スタガ型の薄膜トランジスタが完成する。
。

【0047】

次に、完成した素子の全面に絶縁層321を形成する（図7（A）参照）。絶縁層321は、液滴吐出法、スピントロート法等の公知の方法により形成する。なお、絶縁層321は、液滴吐出法で形成した場合、表面に凸凹が形成される場合があるため、そのような場合には、公知の平坦化手段、例えばCMP法などにより表面を平坦化しておくとよい。その後、不純物領域333を露出させる開口部を形成するために、絶縁層321に接するように、液滴吐出法により第3のマスク313a～313cを形成する。
。

【0048】

第3のマスク313a～313cを用いて、絶縁層321をエッチングして、開口部322、323を形成する（図7（B）参照）。次に、開口部322、323を充填し、なおかつ不純物領域333に接するように、第3の導電層303a、303bを形成する。これらの導電層は、液滴吐出法、スパッタリング等の公知の方法により形成する。なお、第3の導電層303a、303bをスパッタリング法等で全面に形成した場合は、マスクを用いてエッチングする工程が必要となる。一方、液滴吐出法により形成する場合は、選択的に形成することができるため、後のフォトリソグラフィ工程が不必要となる。但し、液滴吐出法で形成した場合であっても、フォトリソグラフィ工程を用いることで、所望の形状にしてもよい。
。

【0049】

本発明は、第1のマスク311、第2のマスク312、第3のマスク313a～313cを液滴吐出法により形成することを特徴とする。また、これらのマスクのうち、少なくとも1つのマスクは、除去せずに残しておくことを特徴とする。第1のマスク311、第2のマスク312、第3のマスク313a～313cは、液滴吐出法により形成した絶縁層をそのままマスクとして用いるか、又は液滴吐出法で形成された絶縁層に露光・現像・エッチング処理を行った絶縁層をマスクとして用いる。さらに、好ましくは、第1の導電層301と第3の導電層303a、303bも液滴吐出法により形成することを特徴とする。なお、液滴吐出法によるマスクや導電層の形成に関しては、上記の実施の形態1において上述したので、ここではその説明を省略する。
。

（実施の形態4）

【0050】

本発明の薄膜トランジスタの作製方法について、図8を用いて説明する。ここでは、順
。

10

20

30

40

50

スタガ型の薄膜トランジスタの作製方法について説明する。

【0051】

基板400としては、ガラス基板、石英基板等を用いる(図8(A)参照)。そして、基板400上に、第1の導電層401a、401bを形成する。第1の導電層401a、401bは、液滴吐出法、蒸着法等の公知の方法により形成する。なお、第1の導電層401a、401bをスパッタリング法等で全面に形成した場合は、マスクを用いてエッチングする工程が必要となる。一方、液滴吐出法により形成する場合は、選択的に形成することができるため、後のフォトリソグラフィ工程が不要となる。但し、液滴吐出法で形成した場合であっても、フォトリソグラフィ工程を用いることで、所望の形状にしてもよい。続いて、第1の導電層401a、401bに接するように、一導電型が付与された第1の半導体層431を形成する。第1の半導体層431は、シランガスとフォスフィンガスを用いて形成したり、CVD法により半導体層を形成後に、ドーピング法により不純物元素を添加して形成したりする。続いて、第1の半導体層431に接するように、第1のマスク411a、411bを液滴吐出法により形成する。10

【0052】

第1のマスク411a、411bを用いて、第1の半導体層431をエッチングして、第2の半導体層432a、432bを形成する(図8(B)参照)。その後、本プロセスでは、第1のマスク411a、411bを除去するが、除去せずに残してもよい。除去しない場合には、さらなる作製時間の短縮及び作製費用の低減が実現する。次に、第2の半導体層432a、432bを覆うように、第3の半導体層433を形成する。なお、第1のマスク411a、411bを除去しない場合、第2の半導体層432a、432bと第3の半導体層433とは、端部422でのみ電気的に接続する。続いて、第3の半導体層433に接するように、第2のマスク412を液滴吐出法により形成する。20

【0053】

第2のマスク412を用いて、第2の半導体層432a、432bと第3の半導体層433を同時にエッチングして、第4の半導体層434a、434b、第5の半導体層435を形成する(図8(C)参照)。その後、第2のマスク412を除去せずに、該第2のマスク412上に、絶縁層421、第2の導電層402を積層形成する。絶縁層421は、ゲート絶縁膜として機能する。次に、第2の導電層402に接するように、第3のマスク413を液滴吐出法により形成する。30

【0054】

第3のマスク413を用いて、第2の導電層402をエッチングして、第3の導電層403を形成する(図8(D)参照)。上記工程を経て、順スタガ型の薄膜トランジスタが完成する。

【0055】

本発明は、第1のマスク411a、411b、第2のマスク412、第3のマスク413を液滴吐出法により形成することを特徴とする。また、これらのマスクのうち、少なくとも1つのマスクは、除去せずに残しておくことを特徴とする。第1のマスク411a、411b、第2のマスク412、第3のマスク413は、液滴吐出法により形成した絶縁層をそのままマスクとして用いるか、又は液滴吐出法で形成された絶縁層に露光・現像・エッチング処理を行った絶縁層をマスクとして用いる。さらに、好ましくは、第1の導電層401a、401bと第2の導電層402も液滴吐出法により形成することを特徴とする。なお、液滴吐出法によるマスクや導電層の形成に関しては、上記の実施の形態1において上述したので、ここではその説明を省略する。40

(実施の形態5)

【0056】

本発明の薄膜トランジスタの作製方法について、図9を用いて説明する。ここでは、順スタガ型の薄膜トランジスタの作製方法について説明する。

【0057】

基板500としては、ガラス基板、石英基板等を用いる(図9(A)参照)。そして、50

基板 500 上に、第 1 の半導体層 531 を形成する。第 1 の半導体層 531 は、スパッタリング法、LPCVD 法、プラズマ CVD 法等の公知の方法により形成する。次に、第 1 の半導体層 531 に接するように、第 1 のマスク 511 を液滴吐出手段により形成する。

【 0058 】

第 1 のマスク 511 を用いて、第 1 の半導体層 531 をエッチングして、第 2 の半導体層 532 を形成する（図 9（B）参照）。その後、本プロセスでは、第 1 のマスク 511 を除去するが、除去せずに残してもよい。除去しない場合には、さらなる作製時間の短縮及び作製費用の低減が実現する。次に、第 2 の半導体層 532 上に、一導電型が付与された第 3 の半導体層 533、第 1 の導電層 501 を積層形成する。第 3 の半導体層 533 は、シランガスとフォスフィンガスを用いて形成したり、CVD 法により半導体層を形成後に、ドーピング法により不純物元素を添加して形成したりする。第 1 の導電層 501 は、液滴吐出法、蒸着法等の公知の方法により形成する。なお、第 1 のマスク 511 を除去しない場合、第 2 の半導体層 532 と第 3 の半導体層 533 とは、端部 522 でのみ電気的に接続する。次に、第 1 の導電層 501 に接するように、第 2 のマスク 512a、512b を液滴吐出法により形成する。

【 0059 】

第 2 のマスク 512a、512b を用いて、第 1 の導電層 501 をエッチングして、第 2 の導電層 502a、502b を形成する（図 9（C）参照）。その後、第 2 のマスク 512a、512b は除去せず、該第 2 のマスク 512a、512b 上に、絶縁層 521 を形成する。絶縁層 521 は、ゲート絶縁膜として機能する。次に、絶縁層 521 上に第 3 の導電層 503 を形成する。第 3 の導電層 503 は、液滴吐出法、蒸着法等の公知の方法により形成する。なお、第 3 の導電層 503 は、全面に形成してもよいし、液滴吐出法により一部に形成してもよい。次に、第 3 の導電層 503 に接するように、第 3 のマスク 513 を液滴吐出法により形成する。

【 0060 】

第 3 のマスク 513 を用いて、第 3 の導電層 503 をエッチングして、第 4 の導電層 504 を形成する（図 9（C）参照）。上記工程を経て、順スタガ型の薄膜トランジスタが完成する。

【 0061 】

本発明は、第 1 のマスク 511、第 2 のマスク 512a、512b、第 3 のマスク 513 を液滴吐出法により形成することを特徴とする。また、これらのマスクのうち、少なくとも 1 つのマスクは、除去せずに残しておくことを特徴とする。第 1 のマスク 511、第 2 のマスク 512a、512b、第 3 のマスク 513 は、液滴吐出法により形成した絶縁層をそのままマスクとして用いるか、又は液滴吐出法で形成された絶縁層に露光・現像・エッチング処理を行った絶縁層をマスクとして用いる。さらに、好ましくは、第 1 の導電層 501 と第 3 の導電層 503 も液滴吐出法により形成することを特徴とする。なお、液滴吐出法によるマスクや導電層の形成に関しては、上記の実施の形態 1 において上述したので、ここではその説明を省略する。

（実施の形態 6 ）

【 0062 】

本発明の表示装置の作製方法について、図 10～12 を用いて説明する。まず、液晶表示装置の作製方法について、図 10 を用いて説明する。基板 1101 上に、チャネルエッチ型の TFT1102 が形成され、該 TFT1102 が含む導電層と接続するように、画素電極 1110 が形成され、該画素電極 1110 上に配向膜 1103 が形成される。そして、カラーフィルタ 1107、対向電極 1106 及び配向膜 1105 が形成された基板 1108 を準備し、基板 1101 と基板 1108 とをシール材（図示せず）により貼り合わせる。その後、液晶 1104 を注入すると、表示機能を具備した表示装置が完成する。基板 1101、1108 には、偏光板 1100、1109 を貼り付ける。なお、さらなる作製時間の短縮及び作製費用の低減を実現するため、配向膜 1103、1105 や液晶 1104 も液滴吐出法で形成するとよい。

【0063】

次に、発光素子（逆積み型、陰極／電界発光層／陽極）を含む表示装置の作製方法について、図11を用いて説明する。まず、下面出射を行う表示装置の作製方法について、図11(A)を用いて説明する。基板1200上に、チャネル保護型のTFT1201が形成され、該TFT1201上に絶縁層1202が形成される。次に、TFT1201が含む導電層と接続する配線が形成され、該配線に接続するように、導電層1203を形成し、該導電層1203と接続するように導電層1204を形成する。導電層1203、1204は、透光性を有する導電性材料により形成する。続いて、土手となる絶縁層1208を形成し、導電層1204に接するように、電界発光層1205、導電層1206、遮蔽体1207を積層形成する。上記構成では、発光素子を駆動するTFT1201がN型TFTであり、導電層1204が陰極、導電層1206が陽極に相当する。そして、発光素子から発せられる光は、遮蔽体1207で反射され、基板1200側に出射する、下面出射を行う表示装置が完成する。
10

【0064】

次に、上面出射を行う表示装置の作製方法について図11(B)を用いて説明する。基板1200上に、TFT1201が形成され、該TFT1201上に絶縁層1202が形成される。次に、TFT1201が含む導電層と接続する配線が形成され、該配線に接続するように、導電層1214を形成する。続いて、土手となる絶縁層1218を形成し、導電層1214と接するように、電界発光層1215、導電層1216を積層形成する。上記構成では、導電層1214が陰極、導電層1216が陽極に相当する。そして、発光素子から発せられる光は、基板1200とは反対側に出射する、上面出射を行う表示装置が完成する。なお、図11(C)は、図11(A)(B)に示す断面構造の等価回路図を示したものであり、より詳しくは、N型TFT1201と発光素子1221の等価回路図を示す。
20

【0065】

次に、発光素子（順積み型、陽極／電界発光層／陰極）を含む表示装置の作製方法について、図12を用いて説明する。まず、下面出射を行う表示装置の作製方法について、図12(A)を用いて説明する。基板1300上に、順スタガ型のTFT1301が形成され、該TFT1301上に絶縁層1302が形成される。次に、TFT1301が含む導電層と接続する配線と接するように、導電層1303が形成される。続いて、土手となる絶縁層1306を形成し、導電層1303と接するように、電界発光層1304、導電層1305を積層形成する。上記構成では、発光素子を駆動するTFT1301がP型TFTであり、導電層1303が陽極、導電層1305が陰極に相当する。そして、発光素子から発せられる光は、基板1300に出射する、上面出射を行う表示装置が完成する。
30

【0066】

次に、上面出射を行う表示装置の作製方法について、図12(B)を用いて説明する。基板1300上に、順スタガ型のTFT1301が形成され、TFT1301上に絶縁層1302が形成される。次に、TFT1301が含む導電層と接続する配線に接するように、光を反射する性質を有する導電層1312が形成され、該導電層1312上に導電層1313が形成される。続いて、土手となる絶縁層1316を形成し、導電層1313と接するように、電界発光層1314、導電層1315を積層形成する。上記構成では、導電層1313が陽極、導電層1315が陰極に相当する。そして、発光素子から発せられる光は、導電層1312で反射され、基板1300とは反対側に出射する、上面出射を行う表示装置が完成する。なお、図12(C)は、図12(A)(B)に示す断面構造の等価回路図を示したものであり、より詳しくは、P型TFT1301と発光素子1321の等価回路図を示す。
40

【0067】

上記構成において、陰極は、仕事関数が小さい材料を用いることが好ましく、例えば、Ca、Al、CaF、MgAg、AlLi等を用いる。電界発光層は、単層型、積層型、また層の界面がない混合型のいずれの型でもよく、またシングレット材料、トリプレット
50

材料、又はそれらを組み合わせた材料や、低分子材料、高分子材料及び中分子材料を含む有機材料、電子注入性に優れる酸化モリブデン等に代表される無機材料、有機材料と無機材料の複合材料のいずれを用いてもよい。陽極は光を透過する透明導電体で形成するか、又は光を透過する厚さで形成することが好ましく、例えばITO、ITSOの他、酸化インジウムに2~20%の酸化亜鉛(ZnO)を混合した透明導電体を用いる。なお、陽極/電界発光層/陰極で形成する、順積み素子を形成する場合には、陽極の形成前に、酸素雰囲気中のプラズマ処理や真空雰囲気下での加熱処理を行うことが好ましく、これは、駆動電圧が低くなったり、寿命が向上したりするためである。土手となる絶縁層は、珪素を含む材料、アクリル等の有機材料、シリコサンポリマー等の化合物材料を用いて形成する。但し、アクリル、ポリイミド等の感光性、非感光性の材料を用いて形成すると、その側面は曲率半径が連続的に変化する形状となり、上層の薄膜が段切れせずに形成されるため好ましい。

【0068】

また、図示しないが、発光素子から発せられる光は、基板側とその反対側に出射する、両面出射を行ってもよい。その場合には、陽極及び陰極の両者を透光性材料で形成するか、又は光を透過することができる厚さで形成する。

【0069】

なお、ここでは、TFT基板が完成し、さらに液晶や発光素子が形成された状態であり、つまり、液晶モジュール用基板、液晶パネル用基板、ELモジュール用基板、ELパネル用基板が完成した状態である。

【実施例1】

【0070】

本発明が適用された表示装置の一形態であるパネルの外観について、図13を用いて説明する。図13(A)はパネルの上面図、図13(B)は図13(A)のA-A'における断面図、図13(C)はB-B'における断面図である。

【0071】

図13(A)(B)に示すように、第1の基板4001上には、画素部4002、走査線駆動回路4004及び保護回路4040が設けられ、これらを囲むようにシール材4005が設けられ、液晶4007と共に第2の基板4006によって封止される。シール材4005によって囲まれる領域とは別の領域に、別途用意された基板上に多結晶半導体で形成された信号線駆動回路4003が実装される。画素部4002と走査線駆動回路4004は、複数のTFTを有し、図13(B)には画素部4002が含むTFT4010と、保護回路4040が含むダイオード及び抵抗素子を含む素子群4041を例示する。TFT4010は、非晶質半導体をチャネル部としたTFTであり、該TFT4010に電気的に接続された画素電極4030、第2の基板4006上に形成された対向電極4031及び液晶4007が重なる部分が液晶素子である。また、画素電極4030と対向電極4031に接するように、配向膜4020、4021が設けられる。スペーサ4035は、画素電極4030と対向電極4031との間の距離を制御するために設けられる。図13(B)には、信号線駆動回路4003に含まれる、多結晶半導体で形成されたTFT4009を例示する。なお、保護回路4040については、いくつかの構成について、図17を用いて後述するので、参考にするとよい。

【0072】

また、図13(C)に示すように、別途形成された信号線駆動回路4003、走査線駆動回路4004及び画素部4002に供給される各種信号は、接続端子4015から供給される。接続端子4015は、異方性導電体4016を介して、FPC4018に接続される。上記パネルは、多結晶半導体を用いたTFTを有する信号線駆動回路4003を、第1の基板4001に貼り合わせる構成であったが、多結晶半導体ではなく、単結晶半導体を用いたTFTで構成される駆動回路を貼り合わせてもよい。また、走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。また、上記パネルは、第1の基板4001上に、画素部

10

20

30

40

50

4002 及び走査線駆動回路 4004 を一体形成した場合を示しており、これらを構成する素子は、多結晶半導体又は非晶質半導体の中に結晶粒が分散するように存在しているセミアモルファス半導体（以下 S A S と表記）を用いてもよい。S A S を用いたトランジスタは、その移動度が $2 \sim 10 \text{ cm}^2 / \text{V} \cdot \text{sec}$ と、非晶質半導体を用いたトランジスタの $2 \sim 20$ 倍の電界効果移動度を有する。従って、駆動回路の一部または全体を、画素部と同じ基板上に一体形成することができる。つまり、システムオンパネル化を実現する。

【0073】

S A S は、非晶質と結晶構造（単結晶、多結晶を含む）の中間的な構造の半導体である。この半導体は、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質なものであり、その粒径を $0.5 \sim 20 \text{ nm}$ として非单結晶半導体中に分散させて存在せしめることが可能である。また、未結合手（ダングリングボンド）の中和剤として水素またはハロゲンを少なくとも 1 原子% またはそれ以上含まれている。さらに、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで安定性が増し良好な S A S が得られる。

【0074】

また、S A S は、価電子制御を目的とした不純物元素を意図的に添加しないときに弱い N型の電気伝導性を示す。これは、S A S 中に含まれる不純物によるもので、代表的には酸素が N型の伝導性を付与するものとして考えられている。S A S に含まれる酸素は、成膜時の高周波電力密度に応じても変化する。本発明においては、S A S の酸素濃度は $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下とすることが望ましい。勿論、この酸素の全てがドナーとして機能する訳ではないので、導電型を制御するには、それに応じた量の不純物元素を添加することとなる。

【0075】

ここで、トランジスタのチャネル形成領域を設ける S A S に対しては、P型を付与する不純物元素を、この成膜と同時に、或いは成膜後に添加することで、しきい値制御することが可能となる。P型を付与する不純物元素としては、代表的には硼素であり、 B_2H_6 、 BF_3 などの不純物気体を $1 \text{ ppm} \sim 1000 \text{ ppm}$ の割合で珪化物気体に混入させると良い。そしてボロンの濃度を $1 \times 10^{14} \sim 6 \times 10^{16} \text{ atoms/cm}^3$ とすると良い。

【0076】

上記の S A S は、多結晶半導体と異なり、S A S として直接基板上に成膜することができる。具体的には、 SiH_4 を H_2 で流量比 $2 \sim 1000$ 倍、好ましくは $10 \sim 100$ 倍に希釈して、プラズマ C V D 法を用いて成膜することができる。又は、 SiF_4 を Ar と H_2 で希釈して、プラズマ C V D 法を用いて成膜することができる。上記方法を用いて作製された S A S は、 $0.5 \text{ nm} \sim 20 \text{ nm}$ の結晶粒を非晶質半導体中に含む微結晶半導体も含んでいる。よって、多結晶半導体を用いる場合と異なり、半導体の成膜後に結晶化の工程を設ける必要がない。そして、レーザ光を用いた結晶化のように、レーザビームの長軸の長さに限界があるために、基板の寸法に制限が生じるようなことがない。つまり、第5世代以降の一辺がメータ角の基板上にも簡単に作製することができる。また、トランジスタの作製における工程数を削減することができ、その分、表示装置の歩留まりを高め、コストを抑えることができる。なお図示していないが、上記パネルに偏光板、カラーフィルタや遮蔽膜を有していてもよい。

【0077】

次に、表示素子として発光素子を用いたパネルについて、図 20 を用いて説明する。図 20 (A) はパネルの上面図、図 20 (B) は図 20 (A) の A - A' における断面図である。

【0078】

図 20 (A) (B) に示すように、第1の基板 3001 上に、駆動回路 3021、3022 及び画素部 3023 が設けられ、これらの回路を囲むようにして、シール材 3012 が設けられる。そして、第1の基板 3001 上の回路は、シール材 3012 を用いて、第

10

20

30

40

50

2の基板3002により封止される。第1の基板3001上に形成された各回路に供給される各種信号は、FPC3013から供給される。図20(B)には、画素部3023が含むTFT3006～3008を例示し、該TFT3006～3008に電気的に接続するように、発光素子3009～3011が設けられる。発光素子3009～3011の各々から発せられる光は、カラーフィルタ3003～3005を介して外部に出射される。上記構成では、まず、第1の基板3001上に、カラーフィルタ3003～3005に相当する樹脂膜を形成し、続いて、該樹脂膜上に、平坦化を目的とした層間膜を形成する。次に、層間膜上にTFT及び発光素子を形成する。

【0079】

本パネルでは、発光素子3009～3011から発せられる光がカラーフィルタ3003～3005を介して外部に出射するため、色純度が良好なパネルを得ることができる。なお、上記パネルでは、R(赤)、G(緑)、B(青)のカラーフィルタ3003～3005を設けた場合を示したが、色変換層を設けてもよい。また、発光素子3009～3011の各々から発せられる光は、白色でもよいし、また、RGBの各色でもよいし、それ以外の色を呈してもよい。RGBの各色を発する場合には、カラーフィルタ3003～3005を介することによって、さらに色純度の良好なパネルを得ることができる。

【0080】

上記パネルでは、カラーフィルタ3003～3005を形成後、TFT及び発光素子を形成した場合のパネルの断面図を示すが、TFTを形成後、カラーフィルタ3003～3005を形成し、その後発光素子を形成してもよい。その場合のパネルの断面図を図21(A)に示す。この場合も、発光素子3009～3011から発せられる光はカラーフィルタ3033～3035を介して出射するため、色純度が良好なパネルを得ることができる。なお、図20(B)と図21(A)に示すTFT及び発光素子の構造は、図11(A)に示す通りであるので、ここでは、詳しい説明を省略する。

【0081】

続いて、上面出射を行うパネルについて、図21(B)を用いて説明する。図21(B)に示すように、第1の基板3101上に、TFT3103～3105が設けられ、該TFT3103～3105に接続するように発光素子3106～3108が設けられる。第1の基板3101と第2の基板3102との空間は、樹脂3114により密閉されている。発光素子3106～3108から発せられる光は、カラーフィルタ3109～3111を介して、外部に出射される。各カラーフィルタ3109～3111の間には、ブラックマトリクス3115が設けられる。第1の基板3101上の回路は、シール材3112を用いて、第2の基板3102により封止される。第1の基板3101上に形成された各回路に供給される各種信号は、FPC3113から供給される。本パネルでは、発光素子3106～3108から発せられる光がカラーフィルタ3109～3111を介して外部に出射することで、色純度の良好なパネルを得ることができる。なお、図21(B)に示すTFTの構造は、図10に示す通りであり、発光素子の構造は図11(B)に示す通りであるので、ここでは、詳しい説明を省略する。

【0082】

なお、上記パネルでは、発光素子をガラス基板により封止した場合を示すが、封止の処理は、発光素子を水分から保護するための処理であり、カバー材で機械的に封入する方法、熱硬化性樹脂又は紫外光硬化性樹脂で封入する方法、金属酸化物や窒化物等のバリア能力が高い薄膜により封止する方法のいずれかを用いる。カバー材としては、ガラス、セラミック、プラスチックもしくは金属を用いることができるが、カバー材側に光を放射させる場合は透光性でなければならない。また、カバー材と上記発光素子が形成された基板とは熱硬化性樹脂又は紫外光硬化性樹脂等のシール材を用いて貼り合わせられ、熱処理又は紫外光照射処理によって樹脂を硬化させて密閉空間を形成する。この密閉空間の中に酸化バリウムに代表される吸湿材を設けることも有効である。さらに、カバー材と発光素子の形成された基板との空間を熱硬化性樹脂若しくは紫外光硬化性樹脂で充填することも可能である。この場合、熱硬化性樹脂若しくは紫外光硬化性樹脂の中に酸化バリウムに代表

される吸湿材を添加しておくことは有効である。なお、ここでは、液晶や発光素子を封止した状態であり、パネルが完成した状態である。

【実施例 2】

【0083】

本発明が適用された表示装置の構成について、図14を用いて説明する。図14は、表示装置の概略を説明する上面図であり、基板6120上に、画素部(表示部)6102、保護回路6103、6104が設けられ、引き回し配線を介して、信号線側のドライバIC6107、走査線側のドライバIC6108と接続される。画素部6102を構成する素子として、非晶質半導体又は微結晶半導体を用いる場合、図示するように、COG方式やTAB方式等の公知の方式によりドライバIC6107、6108を実装し、これらのドライバICを駆動回路として用いるとよい。なお、画素部6102を構成する素子として、微結晶半導体を用いる場合、走査線側の駆動回路を微結晶半導体で構成し、信号線側にドライバIC6107を実装してもよい。上記とは別の構成として、走査側及び信号線側の駆動回路の一部を同一基板上に作り込み、一部をドライバICで代用した構成でもよい。つまり、ドライバICを実装するにあたり、その構成は様々であり、本発明はいずれの構成を用いてもよい。

【0084】

次に、表示装置の画素回路について、図15を用いて説明する。図15(A)は、画素6101の等価回路図を示したものであり、該画素6101は、信号線6114、電源線6115、6117、走査線6116の各配線で囲まれた領域に、画素6101に対するビデオ信号の入力を制御するTFT6110、発光素子6113の両電極間に流れる電流値を制御するTFT6111、該TFT6111のゲート・ソース間電圧を保持する容量素子6112を有する。なお、図15(A)では、容量素子6112を図示したが、TFT6111のゲート容量や他の寄生容量で賄うことが可能な場合には、設けなくてもよい。

【0085】

図15(B)は、図15(A)に示した画素6101に、TFT6118と走査線6119を新たに設けた構成の画素回路である。TFT6118の配置により、強制的に発光素子6113に電流が流れない状態を作ることができるために、全ての画素に対する信号の書き込みを待つことなく、書き込み期間の開始と同時に直後に点灯期間を開始することができる。従って、デューティ比が向上して、動画の表示は特に良好に行うことができる。

【0086】

図15(C)は、図15(B)に示した画素6101のTFT6111を削除して、新たに、TFT6125、6126と、配線6127を設けた画素回路である。本構成では、TFT6125のゲート電極を一定の電位に保持した配線6127に接続することにより、このゲート電極の電位を固定にし、なおかつ飽和領域で動作させる。また、TFT6125と直列に接続させ、線形領域で動作するTFT6126のゲート電極には、TFT6110を介して、画素の点灯又は非点灯の情報を伝えるビデオ信号を入力する。線形領域で動作するTFT6126のソース・ドレイン間電圧の値は小さいため、TFT6126のゲート・ソース間電圧の僅かな変動は、発光素子6113に流れる電流値には影響を及ぼさない。従って、発光素子6113に流れる電流値は、飽和領域で動作するTFT6125により決定される。上記構成を有する本発明は、TFT6125の特性バラツキに起因した発光素子6113の輝度ムラを改善して画質を高めることができる。なお、TFT6125のチャネル長L₁、チャネル幅W₁、TFT6126のチャネル長L₂、チャネル幅W₂は、L₁/W₁: L₂/W₂ = 5~6000:1を満たすように設定するとよい。また、両TFTは同じ導電型を有していると作製工程上好ましい。さらに、TFT6125には、エンハンスマント型だけでなく、ディブリーション型のTFTを用いてもよい。

【0087】

図16は、上記構成の画素回路の上面図を示したものであり、図16(A)(B)にお

10

20

30

40

50

いて、信号線 6703、電源線 6704、走査線 6705、電源線 6706で囲まれた領域に、TFT 6700、6701、6702、容量素子 6708 を有し、TFT 6701 のソース又はドレインに画素電極 6707 が接続される。

【0088】

なお、本発明が適用された表示装置には、アナログのビデオ信号、ディジタルのビデオ信号のどちらを用いてもよい。但し、ディジタルのビデオ信号を用いる場合、そのビデオ信号が電圧を用いているのか、電流を用いているのかで異なる。つまり、発光素子の発光時において、画素に入力されるビデオ信号は、定電圧のものと、定電流のものがある。ビデオ信号が定電圧のものには、発光素子に印加される電圧が一定のものと、発光素子に流れる電流が一定のものとがある。またビデオ信号が定電流のものには、発光素子に印加される電圧が一定のものと、発光素子に流れる電流が一定のものとがある。この発光素子に印加される電圧が一定のものは定電圧駆動であり、発光素子に流れる電流が一定のものは定電流駆動である。定電流駆動は、発光素子の抵抗変化によらず、一定の電流が流れる。本発明の表示装置及びその駆動方法には、電圧のビデオ信号、電流のビデオ信号のどちらを用いてもよく、また定電圧駆動、定電流駆動のどちらを用いてもよい。本実施例は、上記の実施の形態、実施例と自由に組み合わせることができる。10

【実施例3】

【0089】

本発明の表示装置に具備される保護回路の一例について説明する。保護回路は、TFT、ダイオード、抵抗素子及び容量素子等から選択された1つ又は複数の素子によって構成されるものであり、以下にはいくつかの保護回路の構成とその動作について説明する。まず、外部回路と内部回路の間に配置される保護回路であって、1つの入力端子に対応した保護回路の等価回路図の構成について、図17を用いて説明する。図17(A)に示す保護回路は、P型 TFT 7220、7230、容量素子 7210、7240、抵抗素子 7250 を有する。抵抗素子 7250 は2端子の抵抗であり、一端には入力電圧 V_{in} (以下、 V_{in} と表記) が、他端には低電位電圧 V_{SS} (以下、 V_{SS} と表記) が与えられる。抵抗素子 7250 は、入力端子に V_{in} が与えられなくなったときに、配線の電位を V_{SS} におとすために設けられており、その抵抗値は配線の配線抵抗よりも十分に大きく設定する。20

【0090】

V_{in} が高電位電圧 V_{DD} (以下、 V_{DD} と称する) よりも高い場合、そのゲート・ソース間電圧の関係から、TFT 7220 はオン、TFT 7230 はオフとなる。そうすると、 V_{DD} が TFT 7220 を介して、配線に与えられる。従って、雑音等により、 V_{in} が V_{DD} よりも高くなても、配線に与えられる電圧は、 V_{DD} よりも高くなることはない。一方、 V_{in} が V_{SS} よりも低い場合、そのゲート・ソース間電圧の関係から、TFT 7220 はオフ、TFT 7230 はオンとなる。そうすると、 V_{SS} が配線に与えられる。従って、雑音等により、 V_{in} が V_{SS} よりも低くなても、配線に与えられる電圧は、 V_{DD} よりも高くなることはない。さらに、容量素子 7210、7240 により、入力端子からの電圧にパルス状の雑音を鈍らせることが可能、雑音による電圧の急峻な変化をある程度小さくすることができる。30

【0091】

上記構成の保護回路の配置により、配線の電圧は、 V_{SS} から V_{DD} 間の範囲に保たれ、この範囲外の異常に高いまたは低い電圧の印加から保護される。さらに、信号が入力される入力端子に保護回路を設けることで、信号が入力されていないときに、信号が与えられる全ての配線の電圧を、一定(ここでは V_{SS}) の高さに保つことができる。つまり信号が入力されていないときは、配線同士をショートした状態にすることができるショートリングとしての機能も有する。そのため、配線間での電圧差に起因する静電破壊を防ぐことができる。また、信号を入力しているときは、抵抗素子 7250 の抵抗値が十分に大きいので、配線に与えられる信号が V_{SS} に引っ張られることがない。40

【0092】

図17(B)に示す保護回路は、P型TFT7220、7230を、整流性を有するダイオード7260、7270で代用した等価回路図である。図17(C)に示す保護回路は、P型TFT7220、7230を、TFT7350、7360、7370、7380で代用した等価回路図である。また、上記とは別の構成の保護回路として、図17(D)に示す保護回路は、抵抗素子7280、7290と、TFT7300を有する。図17(E)に示す保護回路は、抵抗素子7280、7290、P型TFT7310及びN型TFT7320を有する。図17(D)(E)の両構成とも、端子7330には配線などが接続され、この配線などの電位が急激に変化した場合に、N型TFT7300、又はP型TFT7310及びN型TFT7320がオンすることで、電流を端子7330から端子7340の方向に流す。そうすると、端子7330に接続された電位の急激な変動を緩和し、素子の損傷又は破壊を防止することができる。なお、上記保護回路を構成する素子は、耐圧に優れた非晶質半導体により構成することが好ましい。本実施例は、上記の実施の形態と自由に組み合わせることが可能である。
10

【実施例4】

【0093】

本発明を適用して作製される電子機器の一例として、デジタルカメラ、カーオーディオなどの音響再生装置、ノート型パソコンコンピュータ、ゲーム機器、携帯情報端末（携帯電話、携帯型ゲーム機等）、家庭用ゲーム機などの記録媒体を備えた画像再生装置などが挙げられる。それら電子機器の具体例を図18、19に示す。

【0094】

図18(A)はテレビ受像機（テレビ、テレビジョン装置、テレビジョン受像機とも呼ぶ）であり、筐体9501、表示部9502等を含む。図18(B)はパソコン用のモニタであり、筐体9601、表示部9602等を含む。図18(C)はノート型パソコンコンピュータであり、筐体9801、表示部9802等を含む。本発明は、上記電子機器の表示部の作製に適用される。上記の電子機器の表示部は、携帯端末と比較すると大型であるため、必然的に、第4世代、第5世代以降の大型のガラス基板を用いることになる。従って、材料の利用効率が高く、またフォトリソグラフィ工程を用いる場合と比較して工程数を削減することが可能な液滴吐出法用いる本発明を適用すれば、低価格化が実現される。また、作製工程や費用の面から、非晶質半導体や微結晶半導体をチャネル部としたトランジスタにより構成することが好ましい。
20
30

【0095】

図19(A)は携帯端末のうちの携帯電話であり、筐体9101、表示部9102等を含む。図19(B)は携帯端末のうちのPDA（personal digital assistant）であり、筐体9201、表示部9202等を含む。図19(C)はビデオカメラであり、表示部9701、9702等を含む。本発明は、上記電子機器の表示部の作製に適用される。上記電子機器は、携帯端末であるため、その画面が比較的小型である。従って、表示部と同一の基板上に、多結晶半導体をチャネルとした薄膜トランジスタを用いた駆動回路やCPU（Central Processing Unit、中央処理ユニット）等の機能回路、多層配線を搭載して、小型化を図ることが好ましい。この際、工程数を削減することができる液滴吐出法で配線を形成する本発明を用いると、低価格化が実現される。さらに、上記電子機器は携帯端末であるため、薄型、軽量、小型の点で付加価値を図るために、発光素子を用いた表示部とするとい。本実施例は、上記の実施の形態、実施例と自由に組み合わせることができる。
40

【図面の簡単な説明】

【0096】

【図1】液滴吐出法を用いた導電層の作製方法を説明する図。

【図2】液滴吐出法を用いた導電層の作製方法を説明する図。

【図3】チャネルエッチ型のTFTの作製方法を説明する図（実施の形態1）。

【図4】チャネル保護型のTFTの作製方法を説明する図（実施の形態2）。

【図5】チャネル保護型のTFTの作製方法を説明する図（実施の形態2）。
50

- 【図6】順スタガ型のTFTの作製方法を説明する図(実施の形態3)。
 【図7】順スタガ型のTFTの作製方法を説明する図(実施の形態3)。
 【図8】順スタガ型のTFTの作製方法を説明する図(実施の形態4)。
 【図9】順スタガ型のTFTの作製方法を説明する図(実施の形態5)。
 【図10】液晶表示装置の作製方法を説明する図(実施の形態6)。
 【図11】発光素子を含む表示装置の作製方法を説明する図(実施の形態6)。
 【図12】発光素子を含む表示装置の作製方法を説明する図(実施の形態6)。
 【図13】パネルの上面図と断面図(実施例1)。
 【図14】パネルの上面図(実施例2)。
 【図15】表示装置の画素回路を示す図(実施例2)。
 【図16】表示装置の画素回路の上面図(実施例2)。
 【図17】表示装置に搭載される保護回路を示す図(実施例3)。
 【図18】本発明が適用される電子機器を示す図(実施例4)。
 【図19】本発明が適用される電子機器を示す図(実施例4)。
 【図20】パネルの上面図と断面図(実施例1)。
 【図21】パネルの断面図(実施例1)。

【符号の説明】

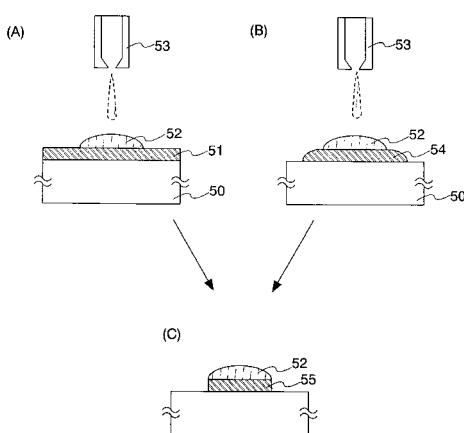
【0097】

- 50・・・基板、51・・・導電層、52・・・絶縁層
 53・・・液滴吐出手段、54・・・導電層、55・・・導電層
 56・・・フォトマスク、57・・・絶縁層、58・・・導電層

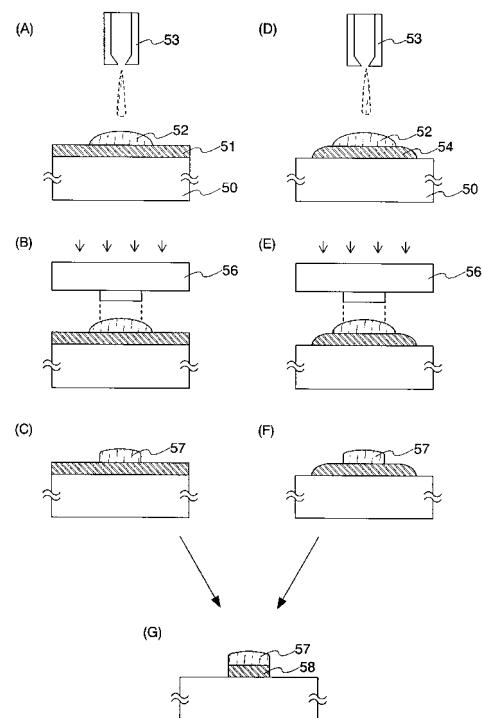
10

20

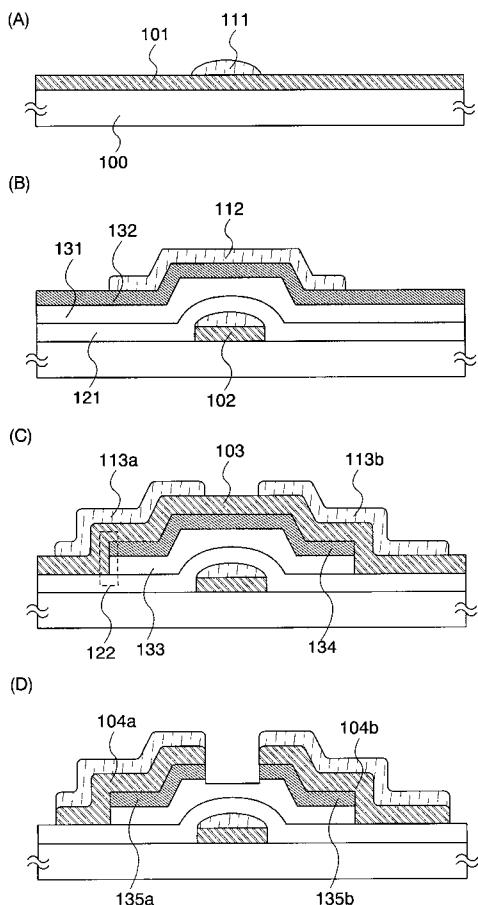
【図1】



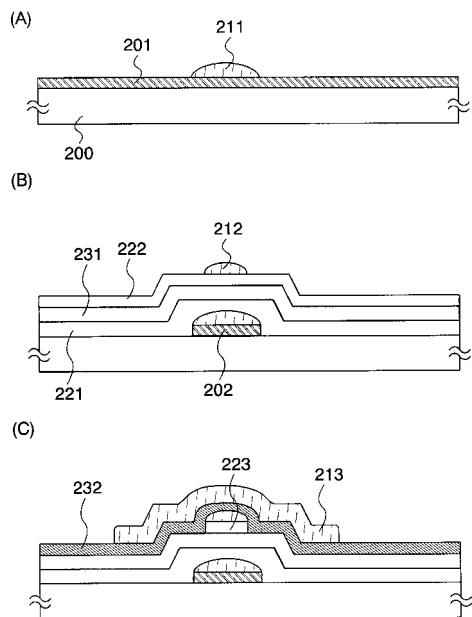
【図2】



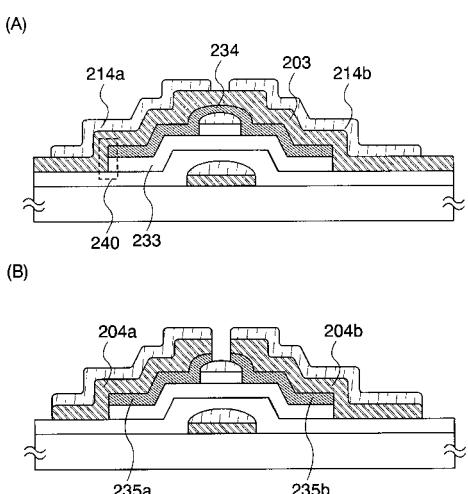
【図3】



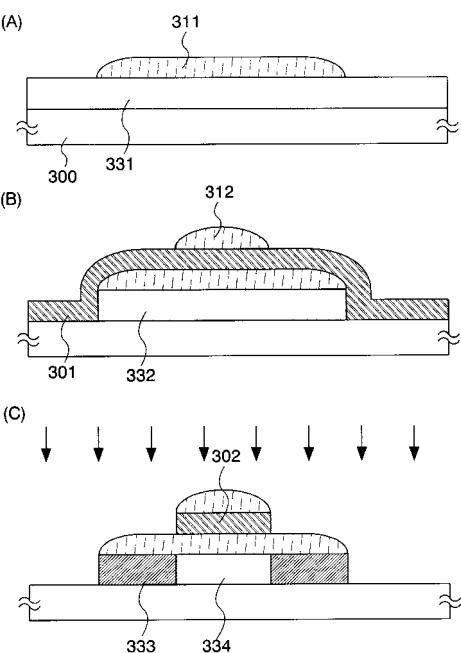
【図4】



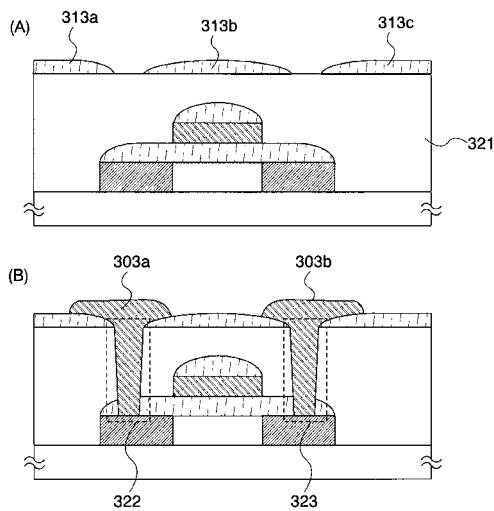
【図5】



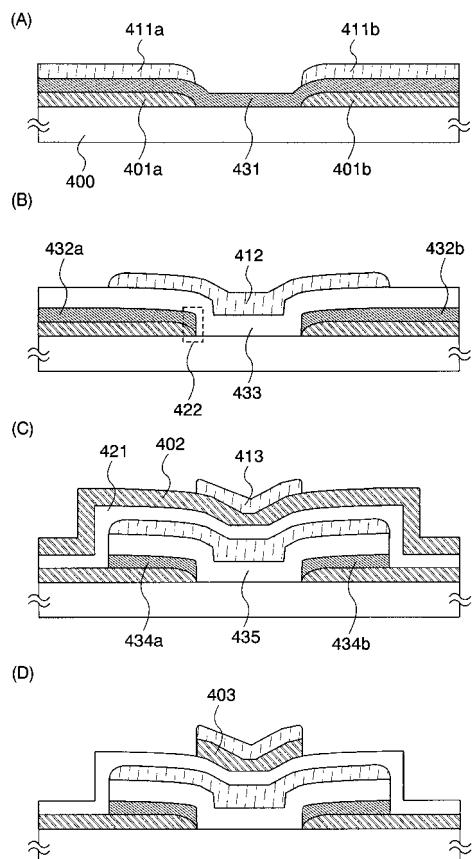
【図6】



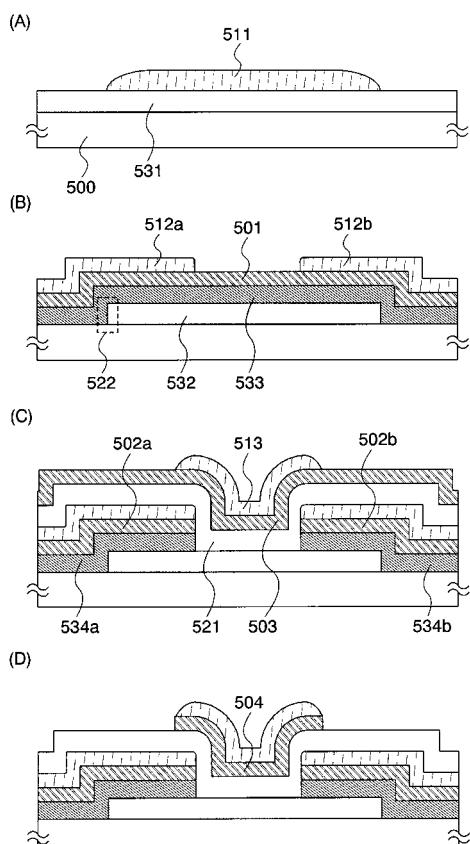
【図7】



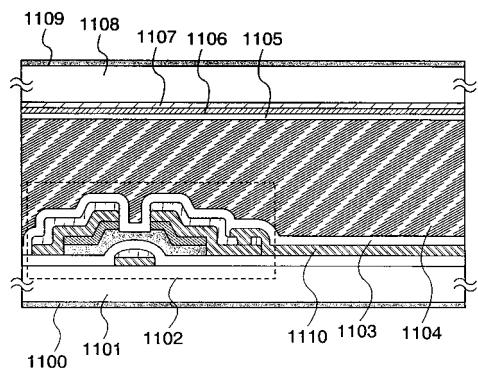
【図8】



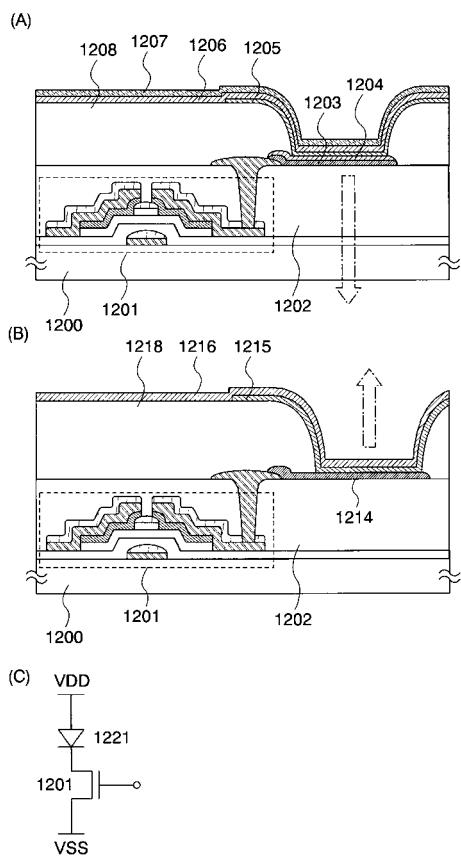
【図9】



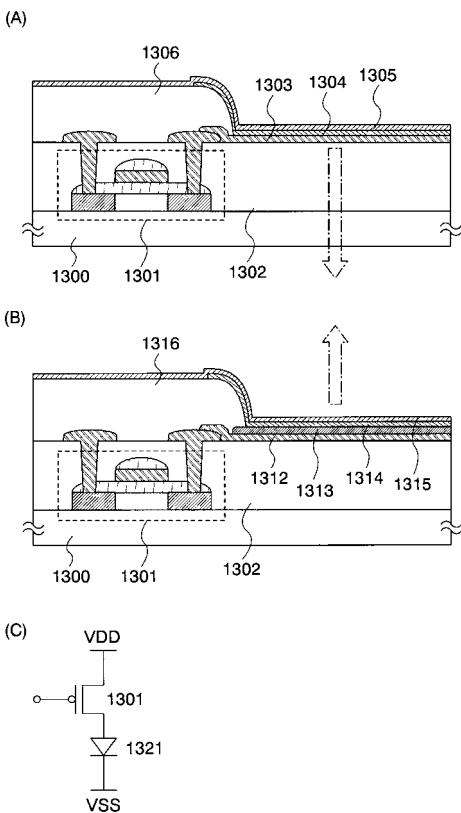
【図10】



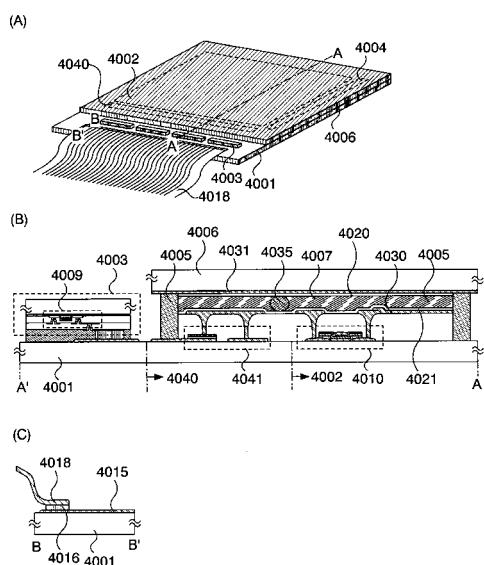
【図11】



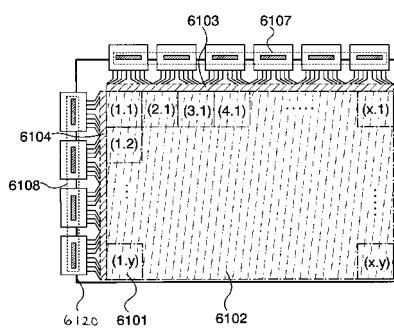
【図12】



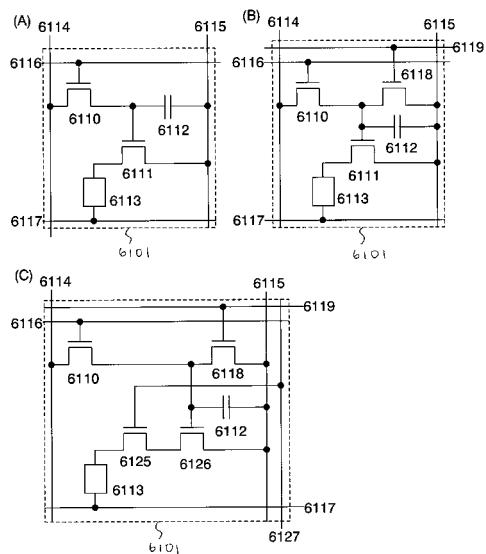
【図13】



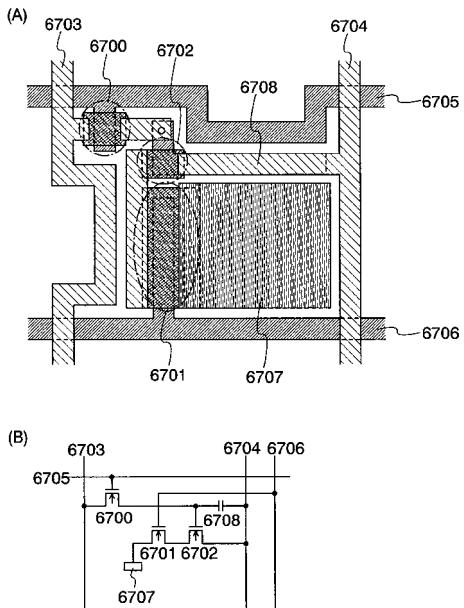
【図14】



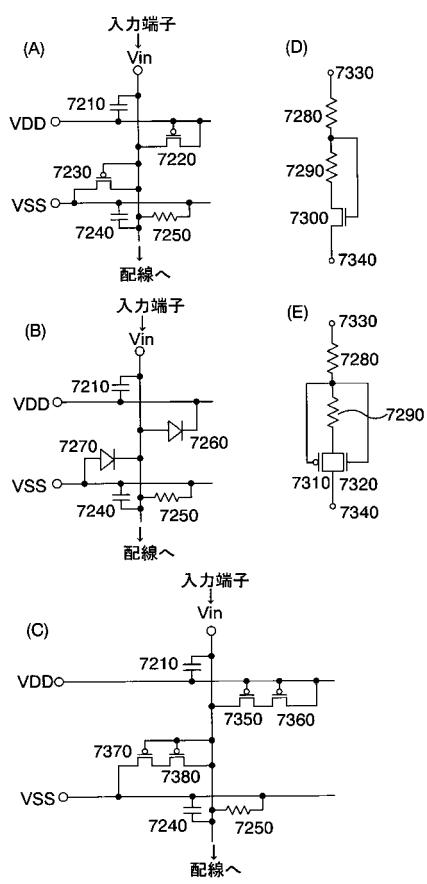
【図15】



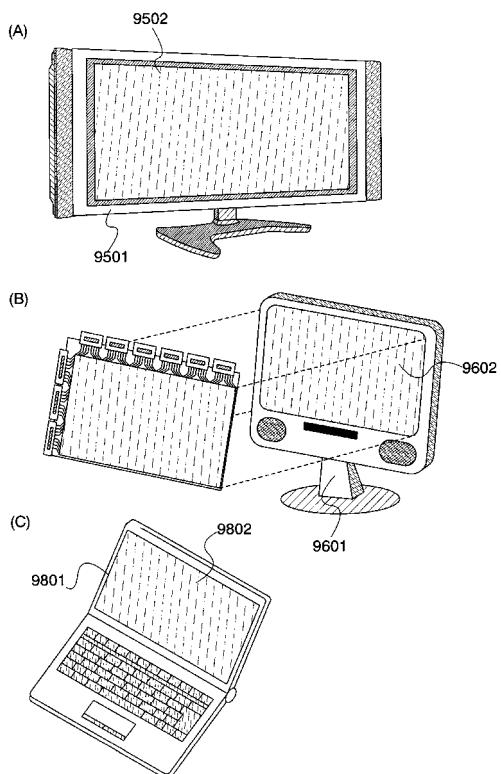
【図16】



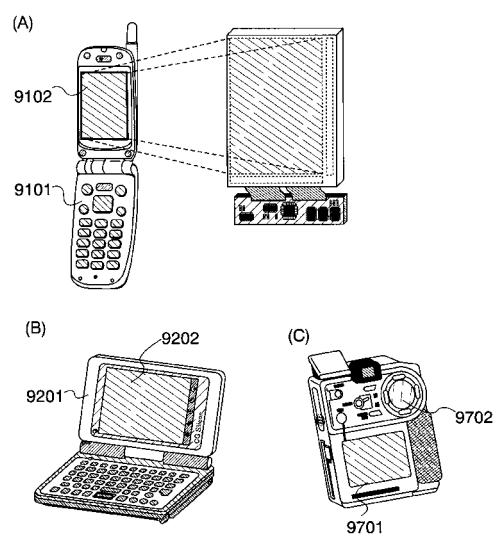
【図17】



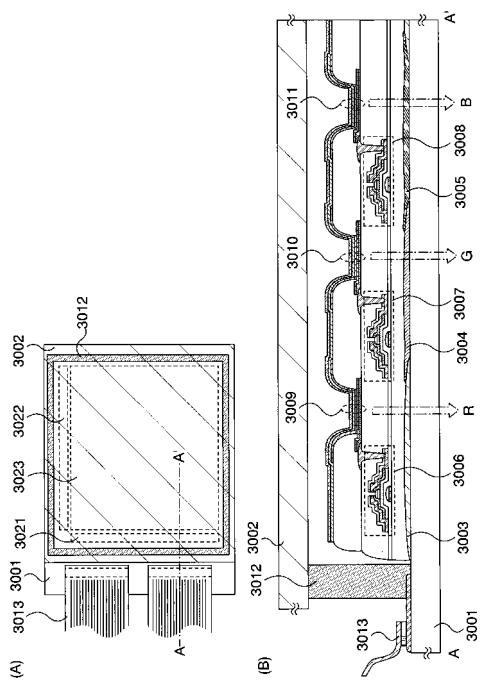
【 図 1 8 】



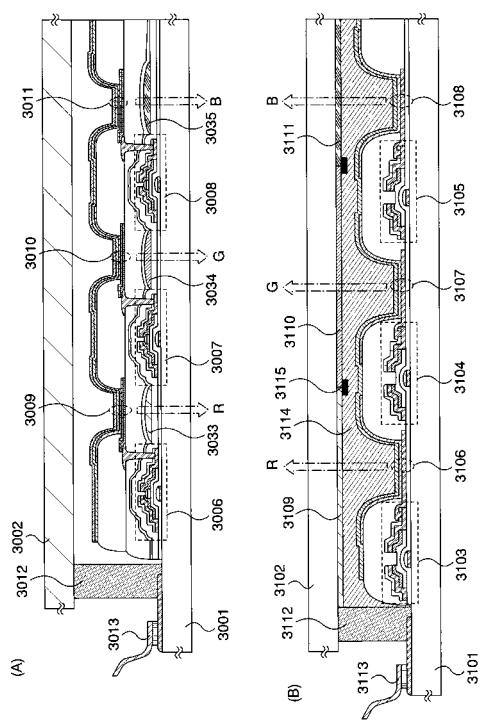
【図19】



【図20】



【図21】



フロントページの続き

(51)Int.Cl.

F I

H 0 1 L 21/88

B

(56)参考文献 特開平11-340129 (JP, A)

特開2003-179234 (JP, A)

特開昭62-140466 (JP, A)

特開昭62-263676 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 21 / 3 3 6

G 0 9 F 9 / 0 0

G 0 9 F 9 / 3 0

H 0 1 L 21 / 3 2 0 5

H 0 1 L 29 / 7 8 6