

(43) 国際公開日
2010 年 6 月 3 日(03.06.2010)

- と、第1電荷が供給した後、電荷供給線から発光素子に対して第2電荷を供給し、更に該第2電荷を容量素子に供給して該容量素子に第1電荷及び第2電荷を蓄積し、ドライバ素子の制御端子に閾値電圧以上の大きさの電圧を与える駆動制御部と、を備える。

明 細 書

発明の名称： 画像表示装置

技術分野

[0001] 本発明は、有機ＥＬディスプレイ（electro luminescence）装置等の画像表示装置に関するものである。

背景技術

[0002] 従来から、発光層に注入された正孔と電子とが再結合することにより発光する有機ＥＬ（Electro Luminescence）素子を用いた画像表示装置が提案されている。

[0003] この種の画像表示装置では、例えばアモルファスシリコン又は多結晶シリコン等で形成された薄膜トランジスタ（Thin Film Transistor：以下「ＴＦＴ」という）と、有機ＥＬ素子の一つである有機発光ダイオード（Organic Light Emitting Diode：以下「ＯＬＥＤ」という）などが各画素を構成している。そして、各画素に適切な電流値が設定されることにより、各画素の輝度が制御されるアクティブマトリックス方式のものが知られている（例えば、特開２００５－９９７１５号公報参照）。なお、ＴＦＴに電流が流れ始める閾値電圧は、ＴＦＴごとに異なる。

[0004] ところで、アクティブマトリックス方式の各ＴＦＴの閾値電圧 V_{th} のばらつきを補正するための閾値電圧 V_{th} の検出は、対象となるＴＦＴのゲートとドレインとを導通させることで徐々にゲートに溜まった電荷を放電し、ゲート電位を閾値電圧 V_{th} に収束させることで行うようにしている。

[0005] しかしながら、閾値電圧 V_{th} の検出を行うためには、まず対象となるＴＦＴのゲートとドレインとの電位が閾値電圧 V_{th} よりも高い電位となるように初期電位（ V_{th} 検出開始電位）を与える必要があり、初期電位が閾値電圧 V_{th} より低い場合には、閾値電圧 V_{th} を正しく検出することができず、動作エラーを引き起こす原因となる。

発明の概要

- [0006] 本発明は、ドライバ素子に閾値電圧 V_{th} 以上の大きさの電圧を長期にわたって安定して与えることができる画像表示装置を提供することを目的とする。
- [0007] 上記の目的を達成するために、本発明の実施形態に係る画像表示装置は、順方向に電圧が印加されると発光し、逆方向に電圧が印加されると電荷が蓄積される発光素子と、閾値電圧以上の電圧が加えられることで前記発光素子を発光させるドライバ素子と、前記ドライバ素子に流れる電流量を調節するための電荷が蓄積される容量素子と、を有する画素回路を備えた表示パネルを備える。更に、画像表示装置は、前記画素回路の前記発光素子に対して電荷を供給する電荷供給線と、前記発光素子が発光してから次に発光するまでの一フレーム中において、前記容量素子に前記発光素子に蓄積される第1電荷を供給した後、前記電荷供給線から前記発光素子に対して第2電荷を供給し、更に該第2電荷を前記容量素子に供給して該容量素子に前記第1電荷及び前記第2電荷を蓄積し、前記ドライバ素子の制御端子に前記閾値電圧以上の大きさの電圧を与える駆動制御部と、を備える。
- [0008] 本発明の実施形態にかかる画像表示装置は、ドライバ素子に閾値電圧 V_{th} 以上の大きさの電圧を長期にわたって安定して与えることができる、という効果を奏する。

図面の簡単な説明

- [0009] [図1]図1は、本発明の第1の実施形態に係る画像表示装置の構成を模式的に示した図である。
- [図2]図2は、画素回路（1画素）の構成の一例を示した図である。
- [図3]図3は、画素回路の駆動方法を説明するためのタイミングチャートである。
- [図4]図4は、図2に示す点Bの電位の時間変化の様子を示すグラフである。
- [図5]図5は、画素回路の駆動方法を説明するためのタイミングチャートである。

[図6] 図6は、図2に示す点Bの電位の時間変化の様子を示すグラフである。

[図7] 図7は、本発明の第2の実施形態に係る画素回路（1画素）の構成の一例を示した図である。

[図8] 図8は、画素回路の駆動方法を説明するためのタイミングチャートである。

[図9] 図9は、本発明の第3の実施形態に係る画素回路（1画素）の構成の一例を示した図である。

[図10] 図10は、画素回路の駆動方法を説明するためのタイミングチャートである。

発明を実施するための形態

[0010] 以下、本発明の一実施形態に係る画像表示装置を図面に基づいて詳細に説明する。

[0011] まず、以下の各実施形態で用いる用語等について説明する。

[0012] 「電氣的に接続される」という文言は、一方の部材と他方の部材とが配線等を介して常に導電可能に接続されている態様、及び一方の部材と他方の部材とが、導電性を有する配線等だけでなく、その他の部材によって間接的に接続されている態様の双方を含む意味で用いる。つまり、「電氣的に接続される」という文言は、他の部材の状態（例えば、トランジスタのソースとドレインとの間で電流が流れ得る導電状態）に応じて、一方の部材と他方の部材とが配線及びその他の部材によって導電可能に接続される態様を含む意味で用いる。

[0013] また、「閾値電圧」とは、トランジスタがオフ状態（所謂ドレイン電流が流れない状態）からオン状態（ドレイン電流が流れる状態）に移り変わるときの、境界となるゲート・ソース間電圧のことを意味する。

[0014] まず、第1の実施形態について説明する。図1は、第1の実施形態に係る画像表示装置100の構成を模式的に示した図である。同図に示したように、画像表示装置100は、後述する画素回路10がマトリックス状（二次元平面的）に配列された表示パネル20と、制御回路31と、電源制御回路3

2と、制御線駆動回路33と、画像信号線駆動回路34とを備えている。なお、図1では、 m 列 n 行分の画素回路10がマトリクス状に配列された例を示している。

[0015] 表示パネル20には、画面水平方向（図中行方向）に電荷供給線である V_{ss} 線21、 T_{th} 制御線23、マージ線24、走査線25が配設されている。また、画面垂直方向（図中列方向）には、画像信号線26が配設されている。ここで、 V_{ss} 線21は、電源制御回路32と電氣的に接続されており、 T_{th} 制御線23、マージ線24及び走査線25は、制御線駆動回路33と電氣的に接続されている。また、画像信号線26は、画像信号線駆動回路34と電氣的に接続されている。なお、表示パネル20のグランドとなるGND線22（図2参照）が、画素回路10の夫々に接続されているものとする。

[0016] 制御回路31は、例えば演算回路、論理回路などを内部に含む駆動用ICやカウンタなどの制御機器を用いて構成することができる、そして、制御回路31は、電源制御回路32、制御線駆動回路33及び画像信号線駆動回路34を制御する。

[0017] 電源制御回路32は、例えばスイッチング素子などを内部に含むICなどを用いて構成することができる。電源制御回路32は、制御回路31から入力されるクロック信号に基づき、自己の内部で生成した電力（電位）を V_{ss} 線21に印加するタイミングを制御する。

[0018] 制御線駆動回路33は、例えばスイッチング素子などを内部に含むICなどを用いて構成することができる。制御線駆動回路33は、制御回路31から入力されるクロック信号に基づき、自己の内部で生成した各種制御信号を T_{th} 制御線23、マージ線24、走査線25に印加するタイミングを制御する。

[0019] 画像信号線駆動回路34は、例えば演算回路などを内部に含むICなどを用いて構成することができる。画像信号線駆動回路34は、制御回路31から入力される画像信号に基づき、当該画像信号に対応する電圧（以下、画像信号電圧と言う）を生成するとともに、制御回路31から入力されるクロッ

ク信号に基づき、生成した画像信号電圧を画像信号線 26 に供給するタイミングを制御する。

[0020] なお、図 1 の構成において、 V_{ss} 線 21、 T_{th} 制御線 23、マージ線 24、走査線 25 及び画像信号線 26、ならびに制御回路 31、電源制御回路 32、制御線駆動回路 33 及び画像信号線駆動回路 34 に関するレイアウトは、その一例を示すものであり、これらのレイアウトに限られるものではない。例えば、図 1 では、制御回路 31、電源制御回路 32、制御線駆動回路 33 及び画像信号線駆動回路 34 を表示パネル 20 の外部に配置しているが、これらの回路の何れか又は全てを表示パネル 20 の内部に配置する形態としてもよい。

[0021] ここでは、画素回路の構成について説明する。図 2 は、図 1 に示した画素回路 10（1 画素）の構成の一例を示した図である。同図に示したように、画素回路 10 は、発光素子である有機 EL 素子 OLED と、有機 EL 素子 OLED を駆動するためのドライバ素子である駆動トランジスタ T_d と、駆動トランジスタ T_d の閾値電圧を検出する際に用いられる閾値電圧検出素子である閾値電圧検出用トランジスタ T_{th} と、閾値電圧を保持する容量素子である第 1 容量素子 C_{th} と、画像信号電圧を保持する第 2 容量素子 C_{data} と、スイッチングトランジスタ T_1 と、スイッチングトランジスタ T_2 とを備える。なお、有機 EL 素子 OLED は、逆電圧印加時にコンデンサとして機能するため、図 2 ではこれを有機 EL 素子容量 C_{oled} として等価的に表している。

[0022] 駆動トランジスタ T_d 、閾値電圧検出用トランジスタ T_{th} 、スイッチングトランジスタ T_1 およびスイッチングトランジスタ T_2 は、例えば、薄膜トランジスタ（Thin Film Transistor：以下「TFT」という）である。なお、以下で参照される各図面においては、各薄膜トランジスタにかかるチャネルについて、特にそのタイプ（n 型または p 型）を明示していないが、n 型または p 型のいずれかであり、本実施形態では、n 型の TFT を用いるものとする。

[0023] 駆動トランジスタ T_d は、制御端子 t_{11} 、第 1 端子 t_{12} 及び第 2 端子 t

13を有している。制御端子 t_{11} は、第1容量素子 C_{th} の電極と電氣的に接続されている。また、第1端子 t_{12} は、有機EL素子OLEDのアノード電極と電氣的に接続されており、第2端子 t_{13} は V_{ss} 線21と電氣的に接続されている。ここで、制御端子 t_{11} はゲート電極（ゲート）に対応し、第1端子 t_{12} 及び第2端子 t_{13} のうち何れか一方がドレイン電極（ドレイン）に、他方がソース電極（ソース）に対応する。なお、第1端子 t_{12} と第2端子 t_{13} との相対的な電位関係は、後述する各制御期間に応じて変動する。また、「ドレイン」及び「ソース」は、トランジスタの導電型及び相対的な電位関係によって定義される。

[0024] 本実施形態で使用する n 型のトランジスタにおいては、チャネル領域を挟んで配置された2つの端子（すなわち、第1端子 t_{12} と第2端子 t_{13} ）のうち、高電位側の端子が「ドレイン」となり、低電位側の端子が「ソース」となる。また、 p 型のトランジスタにおいては、チャネル領域を挟んで配置された2つの端子のうち、低電位側の端子が「ドレイン」となり、高電位側の端子が「ソース」となる。

[0025] 駆動トランジスタ T_d では、制御端子 t_{11} に印加される電位、より詳細にはソースに対してゲートに印加される電圧値（ゲート・ソース間電圧）が調整されることで、ドレインとソースとの間に流れる電流量が調整される。そして、この制御端子 t_{11} に印加される電位により、ドレインとソースとの間において電流が流れ得る状態（オン状態）と、電流が流れ得ない状態（オフ状態）とが選択的に設定される。

[0026] 閾値電圧検出用トランジスタ T_{th} は、自身がオン状態となったときに、駆動トランジスタ T_d のゲート電極（ゲート）とドレイン電極（ドレイン）とを電氣的に接続する機能を有する。閾値電圧検出用トランジスタ T_{th} がオン状態となると、駆動トランジスタ T_d のゲート電極からドレイン電極に向かって電流が流れ、該電流が実質的に流れなくなったときに駆動トランジスタ T_d のゲート電極・ソース電極間の電位差が実質的に閾値電圧 V_{th} となる。

[0027] 有機EL素子OLEDは、一端としてのアノード電極と他端としてのカソ

ード電極との間に有機EL素子OLEDの導通電圧以上の電位差が生じることにより、アノード電極とカソード電極との間の発光層に電流が流れ、該発光層が発光する。具体的に、アノード電極としては、アルミニウム、銀、銅又は金等の金属或いはこれらの合金等を用いることができる。また、カソード電極としては、インジウム錫酸化膜（ITO）等の光透過性を有する導電材料、マグネシウム、銀、アルミニウム又はカルシウム等の材料等を用いることができる。なお、発光層は、該発光層に注入された正孔と電子とが再結合することによって光を生じる。

[0028] 本実施形態においては、画素回路上に、アノード電極、発光層さらにカソード電極を順に形成した構造である。

[0029] 発光層としては、例えば、Alq₃（トリス（8-キノリノラト）アルミニウム錯体）等の発光性の材料で構成される。発光効率を高めるために、トリス〔ピリジニル-kN-フェニル-kC〕イリジウム等の有機金属化合物又クマリン等の色素をドーパント材料として、正孔輸送性又は電子輸送性を有するホスト材料にドーピングして発光層を構成してもよい。発光層を構成するドーパント材料の濃度は、例えば、0.5質量%以上20質量%以下とする。正孔輸送性を有するホスト材料の例としては、 α -NPD、TPD等がある。電子輸送性を有するホスト材料の例としては、ビス（2-メチル-8-キノリノラト）-4-（フェニルフェノラト）アルミニウム、1,4-フェニレンビス（トリフェニルシラン）、1,3-ビス（トリフェニルシリル）ベンゼン、1,3,5-トリ（9H-カルバゾール-9-イル）ベンゼン、CBP、Alq₃又はSDPVBi等がある。なお、発光層の各層を構成する材料は、発する光の色に応じて、適当な材料が選択される。赤色の光を発するドーパント材料の例としては、トリス（1-フェニルイソキノリナト-C₂,N）イリジウム又はDCJTb等がある。緑色の光を発するドーパント材料の例としては、トリス〔ピリジニル-kN-フェニル-kC〕イリジウム又はビス〔2-（2-ベンゾオキサゾリル）フェノラト〕亜鉛（II）等がある。青色の光を発するドーパント材料の例としては、ジスチルアリ

ーレン誘導体、ペリレン誘導体又はアゾメチン亜鉛錯体等がある。発光層は、1層構造に限られることはなく、複数層構造であっても構わない。

[0030] 有機EL素子OLEDのアノード電極は、駆動トランジスタ T_d の第1端子 t_{12} と電氣的に接続され、カソード電極はGND線22と電氣的に接続されている。なお、本実施形態で用いる画素回路10では、有機EL素子OLEDのアノード電極が、画像表示装置を構成する全ての画素で共通となるコモンアノード型となっている。

[0031] 閾値電圧検出用トランジスタ T_{th} は、第1端子 t_{21} 、第2端子 t_{22} 及び第3端子 t_{23} を有している。第1端子 t_{21} は、 T_{th} 制御線23と電氣的に接続されている。第2端子 t_{22} は、駆動トランジスタ T_d の制御端子 t_{11} と第1容量素子 C_{th} の電極とを電氣的に接続する配線に対して導電可能に接続されている。また、第3端子 t_{23} は、駆動トランジスタ T_d の第1端子 t_{12} と有機EL素子OLEDのカソード電極とを電氣的に接続する配線に対して導電可能に接続されている。ここで、第1端子 t_{21} がゲート電極に対応し、第2端子 t_{22} 及び第3端子 t_{23} の何れか一方がソース電極に、他方がドレイン電極に夫々対応する。なお、第2端子 t_{22} と第3端子 t_{23} との相対的な電位関係は、駆動トランジスタ T_d と同様、後述する各制御期間に応じて変動する。

[0032] 閾値電圧検出用トランジスタ T_{th} では、第1端子 t_{21} に印加される電位、より詳細にはソースに対してゲートに印加される電圧値（ゲート・ソース間電圧）が調整されることで、ドレインとソースとの間に流れる電流量が調整される。そして、この第1端子 t_{21} に印加される電位により、ドレインとソースとの間において電流が流れ得る状態（オン状態）と、電流が流れ得ない状態（オフ状態）とが選択的に設定される。

[0033] また、閾値電圧検出用トランジスタ T_{th} は、自身がオン状態となったときに、駆動トランジスタ T_d のゲートとドレインとを電氣的に接続することができる。そして、駆動トランジスタ T_d のゲート・ソース間電圧が駆動トランジスタ T_d の閾値電圧 V_{th} となるまで、駆動トランジスタ T_d のゲートからドレ

インに向かって電流が流れる。その結果、駆動トランジスタ T_d の閾値電圧 V_{th} が検出される。

[0034] つまり、閾値電圧検出用トランジスタ T_{th} は、有機EL素子OLEDの発光前において画素毎に駆動トランジスタ T_d のゲート・ソース間電圧を閾値電圧 V_{th} に基づいて設定することで、駆動トランジスタ T_d における閾値電圧 V_{th} のばらつきを補償する V_{th} 補償機能を実現するために設けられている。なお、駆動トランジスタ T_d のゲート・ソース間電圧が閾値電圧 V_{th} となったとき、駆動トランジスタ T_d には電流が流れなくなるので、このときのゲート・ソース間電圧、即ち V_{th} が第1容量素子 C_{th} に印加される。

[0035] スイッチングトランジスタ T_1 は、第1端子 t_{31} 、第2端子 t_{32} 及び第3端子 t_{33} を有している。第1端子 t_{31} は、走査線25と電氣的に接続されており、第2端子 t_{32} は、画像信号線26と電氣的に接続されている。また、第3端子 t_{33} は、第1容量素子 C_{th} の電極と電氣的に接続されている。なお、第1端子 t_{31} はゲート電極に対応し、第2端子 t_{32} はドレイン電極に対応し、第3端子 t_{33} はソース電極に対応する。

[0036] スイッチングトランジスタ T_1 では、第1端子 t_{31} に印加される電位、より詳細には第1端子 t_{31} と第3端子 t_{33} との間に印加される電圧値（ゲート・ソース間電圧）が調整されることで、ドレインとソースとの間に流れる電流量が調整される。そして、この第1端子 t_{31} に印加される電位により、ドレインとソースとの間において電流が流れ得る状態（オン状態）と、電流が流れ得ない状態（オフ状態）とが選択的に設定される。

[0037] また、スイッチングトランジスタ T_1 は、自身がオン状態となるとともに画像信号線26に画像信号電圧が供給されたときに、第2容量素子 C_{data} に画像信号電圧が印加される。

[0038] スイッチングトランジスタ T_2 は、第1端子 t_{41} 、第2端子 t_{42} 及び第3端子 t_{43} を有している。第1端子 t_{41} は、マージ線24と電氣的に接続されており、第2端子 t_{42} は、 V_{ss} 線21と電氣的に接続されている。また、第3端子 t_{43} は、スイッチングトランジスタ T_1 の第3端子 t_{33} と

、第1容量素子 C_{th} の電極とを電氣的に接続する配線に対して導電可能に接続されている。なお、第1端子 t_{41} はゲート電極に対応し、第2端子 t_{42} はドレイン電極に対応し、第3端子 t_{43} はソース電極に対応する。

[0039] スイッチングトランジスタ T_2 では、第1端子 t_{41} に印加される電位、より詳細には第1端子 t_{41} と第3端子 t_{43} との間に印加される電圧値（ゲート・ソース間電圧）が調整されることで、ドレインとソースとの間に流れる電流量が調整される。そして、この第1端子 t_{41} に印加される電位により、ドレインとソースとの間において電流が流れ得る状態（オン状態）と、電流が流れ得ない状態（オフ状態）とが選択的に設定される。

[0040] また、スイッチングトランジスタ T_2 は、後述の V_{th} 検出時にオン状態にして、第1容量素子 C_{th} の電極1aに所定の電位を印加する。

[0041] 第1容量素子 C_{th} は、後述する V_{th} 検出期間時に駆動トランジスタ T_d の閾値電圧 V_{th} に対応する電荷量を保持する機能を有する。なお、第1容量素子 C_{th} の一方の電極は、スイッチングトランジスタ T_1 の第3端子 t_{33} と電氣的に接続されている。また、他方の電極は、駆動トランジスタ T_d の制御端子 t_{11} （ゲート）と電氣的に接続されている。

[0042] 第2容量素子 C_{data} は、後述する書き込み期間時に画像信号電圧に応じた電荷量を保持する機能を有する。なお、第2容量素子 C_{data} の一方の電極は、スイッチングトランジスタ T_1 の第3端子 t_{33} と、第1容量素子 C_{th} の電極とを電氣的に接続する配線に対して導電可能に接続されている。また、第2容量素子 C_{data} の他方の電極は、 V_{SS} 線21と電氣的に接続されている。

[0043] V_{SS} 線21は、駆動トランジスタ T_d およびスイッチングトランジスタ T_2 に電源を供給する。 T_{th} 制御線23は、閾値電圧検出用トランジスタ T_{th} を制御するための信号を供給する。マージ線24は、スイッチングトランジスタ T_2 を制御するための信号を供給する。走査線25は、スイッチングトランジスタ T_1 を制御するための信号を供給する。画像信号線26は、画像信号を供給する。

[0044] 上記構成において、画素回路は、準備期間、閾値電圧検出期間、書き込み

期間および発光期間という4つの期間を経て動作する。図3は、画素回路10の駆動方法を説明するためのタイミングチャートであって、有機EL素子OLEDを順次発光方式で発光させる際の信号波形（駆動波形）を示している。ここで、順次発光方式とは、各画素回路に対するフレーム毎の画像信号電圧の書き込み制御及び各画素回路の発光制御を、同一の制御線又は電源線に共通に接続された画素回路のグループ毎（例えば一行毎、一列毎等）に順次行う方式である。なお、本実施形態では、図1に示した表示パネル20の一行毎に書き込み制御、発光制御が行われるものとする。なお、全画素回路に共通のGND線22は常にゼロ電位（0V）であるため説明を適宜省略する。また、以下に説明する画素回路10の動作は、図1に示した駆動制御部（制御回路31、電源制御回路32、制御線駆動回路33及び画像信号線駆動回路34）の制御により実現されるものである。

[0045] 準備期間では、マージ線24の電位を V_{gH} として、前のフレームにおいて第2容量素子 C_{data} に蓄積した電荷をリセットする。 V_{ss} 線21には所定の正電位 V_p （ $V_{ss}=V_p=12V$ ）が印加される。これにより、閾値電圧検出用トランジスタ T_{th} がオフ、スイッチングトランジスタ T_1 がオフ、駆動トランジスタ T_d がオン、スイッチングトランジスタ T_2 がオンとなるように制御される。その結果、 V_{ss} 線21→駆動トランジスタ T_d →有機EL素子容量 C_{oled} という経路で電流が流れ、有機EL素子容量 C_{oled} に電荷が蓄積される。なお、有機EL素子容量 C_{oled} に蓄積される電荷の量は、駆動トランジスタ T_d のソース・ドレイン間に流れる電流 I_d に応じて決まる。 I_d が大きければより多くの電荷を蓄積することができるので、補償範囲を広げるためには I_d を大きくすればよい。

[0046] つぎの閾値電圧検出期間では、まず、 T_{th} 制御線23の電位を V_{gH} として、有機EL素子容量 C_{oled} に蓄積された電荷と第1容量素子 C_{th} に蓄積された電荷とを足し合わせる。次いで、 $V_{ss}=0$ 、すなわち V_{ss} 線21にゼロ電位を印加し、閾値電圧検出用トランジスタ T_{th} がオンとなるように制御することにより、駆動トランジスタ T_d のゲート電極とドレイン電極とをダイオー

ド接続する。これにより、第1容量素子 C_{th} および有機EL素子容量 C_{oled} に蓄積された電荷が放電され、駆動トランジスタ $T_d \rightarrow V_{SS}$ 線21という経路で電流が流れる。そして、駆動トランジスタ T_d のソース電極に対するゲート電極の電圧が、駆動トランジスタ T_d の駆動閾値に対応する閾値電圧 V_{th} に達すると、駆動トランジスタ T_d がオフとされる。この場合、第1容量素子 C_{th} には、駆動トランジスタ T_d の閾値電圧 V_{th} 分の電荷が蓄積されている。閾値電圧 V_{th} の検出が終了すると、 T_{th} 制御線23の電位を V_{gL} として、第1容量素子 C_{th} に蓄積した駆動トランジスタ T_d の閾値電圧 V_{th} を保存する。

[0047] つぎのOLED初期化期間では、 V_{SS} 線21を正電位 V_p にしてから0Vに戻し、有機EL素子OLEDを初期化する。

[0048] つぎの書き込み期間では、まず、マージ線24の電位を V_{gL} 、画像信号線26の電位を V_{data} として、データ書き込み準備を行う。その後、走査線25の電位を V_{gH} として V_{data} を第2容量素子 C_{data} に蓄積し、走査線25の電位を V_{gL} としてデータ書き込みを終了する。この場合、 V_{SS} 線21の電位はゼロ電位を維持する。これにより、スイッチングトランジスタ T_1 がオン、スイッチングトランジスタ T_2 がオフとなり、有機EL素子容量 C_{oled} に蓄積された電荷が放電される。その結果、有機EL素子容量 $C_{oled} \rightarrow$ 閾値電圧検出用トランジスタ $T_{th} \rightarrow$ 第1容量素子 C_{th} という経路で電流が流れ、第1容量素子 C_{th} に電荷が蓄積される。すなわち、有機EL素子容量 C_{oled} に蓄積された電荷は、第1容量素子 C_{th} に移動する。

[0049] つぎの発光期間では、 V_{SS} 線21には所定の負電位（ $-12V$ ）が印加される。これにより、駆動トランジスタ T_d がオン、閾値電圧検出用トランジスタ T_{th} がオフ、スイッチングトランジスタ T_1 がオフとなるように制御される。その結果、有機EL素子OLED $\rightarrow$ 駆動トランジスタ $T_d \rightarrow V_{SS}$ 線21という経路で電流が流れ、有機EL素子OLEDが発光する。 $V_{SS} = -12V$ 、 $GND = 0V$ で有機EL素子OLEDに順方向に電位が生じるので、第1容量素子 C_{th} に蓄積された電荷に応じて駆動トランジスタ T_d のゲートに電位が生じ、駆動トランジスタ T_d のソース・ドレイン間に流れる電流 I_d に応じた

輝度で有機EL素子OLEDが発光する。このとき第2容量素子 C_{data} には V_{data} 、第1容量素子 C_{th} には V_{th} 分の電荷が蓄積されている。なお、 $V_{ss} = 0V$ とすることにより、有機EL素子OLEDの順方向の電位を無くすことで消光する。

[0050] 閾値電圧 V_{th} 検出に際して、 V_{ss} 線21→駆動トランジスタ T_d →図2に示す点Bという経路で電流が流れ、有機EL素子容量 C_{oled} に電荷を蓄積するという動作において、駆動トランジスタ T_d の閾値電圧 V_{th} が表示パネル20の使用とともに大きくなる。それにしただがって、有機EL素子容量 C_{oled} に蓄積される電荷蓄積量が少なくなってしまう。

[0051] ここで、図4は図2に示す点Bの電位の時間変化の様子を示すグラフである。図4におけるX軸は経過時間 $[\mu sec]$ を示し、Y軸は電位 $[V]$ を示している。図4に示すグラフは、系列が5つあり、それぞれ駆動トランジスタ T_d の閾値電圧 V_{th} が2.49V、3.49V、4.49V、5.49V、6.49Vの場合である。図4のグラフは、それぞれの閾値電圧 V_{th} について、点Bノードの電位変化の様子を表したものである。

[0052] 駆動トランジスタ T_d の閾値電圧 V_{th} がシフトしていない初期段階を、駆動トランジスタ T_d の閾値電圧 V_{th} が2.49Vの場合に仮定する。初期電位（2.49V）では、 $V_{ss} = V_p = 12V$ 、マージ線24の電位を V_{gH} とすると、図2に示す点Cの電位 V_c は、12Vとなる。すると、図2に示す点Aの電位 V_a も $V_a \div 12V$ となる。このとき駆動トランジスタ T_d の閾値電圧 V_{th} が2.49Vならば、

$$I_d = \alpha \cdot (V_a - V_b - 2.49)^2$$

となり、凡そ $V_b = V_a - 2.49V$ となるまで、 I_d は流れ続ける。つまり、図2に示す点Bの電位 V_b は、 $V_b \div 9.51V$ となる。すなわち、初期電位（ V_{th} 検出開始電位） V_{ini} は、9.51Vとなる。

[0053] 駆動トランジスタ T_d の閾値電圧 V_{th} が4.49Vならば、

$$I_d = \alpha \cdot (V_a - V_b - 4.49)^2$$

となり、凡そ $V_b = V_a - 4.49V$ となるまで、 I_d は流れ続ける。つまり

、図2に示す点Bの電位 V_b は、 $V_b \cong 7.51\text{ V}$ となる。すなわち、初期電位（ V_{th} 検出開始電位） V_{ini} は、 7.51 V となる。ここでは、 $V_{ini} = 7.51\text{ V} > V_{th} = 4.49\text{ V}$ なので、初期電位（ V_{th} 検出開始電位） V_{ini} が閾値電圧 V_{th} よりも高いことから、閾値電圧 V_{th} を正しく検出することができる。

[0054] すなわち、点灯時のストレスにより閾値電圧 V_{th} がシフトすると、駆動トランジスタ T_d の閾値電圧 V_{th} に応じて有機EL素子容量 C_{od} に対するチャージ量が変化することになる。

[0055] そして、点灯時のストレスにより閾値電圧 V_{th} がシフトし、駆動トランジスタ T_d の閾値電圧 V_{th} が 6.1 V になった場合には、

$$I_d = \alpha \cdot (V_a - V_b - 6.1)^2$$

となり、凡そ $V_b = V_a - 6.1\text{ V}$ となるまで、 I_d は流れ続ける。つまり、図2に示す点Bの電位 V_b は、 $V_b \cong 5.9\text{ V}$ となる。すなわち、初期電位（ V_{th} 検出開始電位） V_{ini} は、 5.9 V となる。この場合、 $V_{ini} = 5.9\text{ V} < V_{th} = 6.1\text{ V}$ なので、初期電位（ V_{th} 検出開始電位） V_{ini} が閾値電圧 V_{th} よりも低いことから、閾値電圧 V_{th} を正しく検出することができなくなる可能性がある。

[0056] ここで、本実施の形態の特徴的な画素回路の動作について説明する。図5は、画素回路10の駆動方法を説明するためのタイミングチャートである。図5に示す画素回路10の特徴的な動作は、準備期間と閾値電圧検出期間とを2回繰り返す点で、図3に示した動作とは異なっている。より詳細には、閾値電圧検出用トランジスタ T_{th} を制御して有機EL素子容量 C_{od} に対して第1電荷をチャージする。そして、閾値電圧 V_{th} を検出して第1容量素子 C_{th} に第1電荷を蓄積する。さらに、閾値電圧検出用トランジスタ T_{th} を制御して有機EL素子容量 C_{od} に対して第2電荷を再度チャージする。そして、閾値電圧 V_{th} を検出して第1容量素子 C_{th} に第1電荷を加えて更に第2電荷を蓄積する。

[0057] 図5に示す1回目の閾値電圧検出期間、すなわち1回目の有機EL素子容

量 $C_{o.i.d}$ に対する第 1 電荷のチャージは、マージ線 24 の電位を V_{gH} として第 2 容量素子 C_{data} に蓄積した電荷をリセットするとともに、 V_{ss} 線 21 には所定の正電位 V_p ($V_{ss} = V_p = 1.2V$) を印加することにより実行する。なお、閾値電圧 V_{th} の検出は、前述したとおりである。

[0058] 続く 2 回目の閾値電圧検出期間も、マージ線 24 の電位を V_{gH} として第 2 容量素子 C_{data} に蓄積した電荷をリセットするとともに、 V_{ss} 線 21 には所定の正電位 V_p ($V_{ss} = V_p = 1.2V$) を印加することにより実行する。ここで、既に第 1 容量素子 C_{th} には駆動トランジスタ T_d の閾値電圧 V_{th} 分の第 1 電荷が蓄積されているので、図 2 に示す点 A の電位 V_a は、第 1 電荷と第 2 電荷を合わせた電位となり、

$$V_a \doteq V_p + V_{th} = 1.2 + V_{th}$$

となる。したがって、

$$I_d = \alpha \cdot (V_a - V_b - V_{th})^2 = \alpha \cdot (V_p - V_b)^2$$

となり、 V_b は V_{th} に関わらず $V_p = V_b$ となるまで充電される。

[0059] ここで、図 6 は図 2 に示す点 B の電位の時間変化の様子を示すグラフである。図 6 に示すように、閾値電圧 V_{th} のシフト量によらず $V_p \doteq 1.1V$ を確保することができる。

[0060] このような本実施形態によれば、第 1 電荷を第 1 容量素子 C_{th} に蓄積し、駆動トランジスタ T_d の制御端子 t_{11} の電位を大きくし、 V_{ss} 線 21 から駆動トランジスタ T_d を介して有機 EL 素子容量 $C_{o.i.d}$ に向かって電流を流れやすくすることができる。その結果、ひいては短い時間で有機 EL 素子容量 $C_{o.i.d}$ に第 2 電荷を蓄積することができる。

[0061] つまり、第 1 電荷が V_{ss} 線 21 から駆動トランジスタ T_d を介して有機 EL 素子容量 $C_{o.i.d}$ に到達する時間に比べて、第 2 電荷が V_{ss} 線 21 から駆動トランジスタ T_d を介して有機 EL 素子容量 $C_{o.i.d}$ に到達する時間は短い。これは、第 2 電荷が有機 EL 素子容量 $C_{o.i.d}$ に到達する際は、第 1 電荷は第 1 容量素子 C_{th} に蓄積されているため、駆動トランジスタ T_d の制御端子 t_{11} の電位が大きくなっており、駆動トランジスタ T_d に電流が流れやすい状態に設

定されているためである。そのため、短い時間で有機EL素子容量 C_{oled} に第2電荷を蓄積することができる。

[0062] また、第1電荷は、第2電荷に比べて小さく設定されている。これは、第1電荷の量を第2電荷の量よりも大きくして、第1容量素子 C_{th} に駆動トランジスタ T_d の閾値電圧以上の電荷を蓄積する場合に対して、第2電荷の量を第1電荷の量よりも大きくして、第1容量素子 C_{th} に駆動トランジスタ T_d の閾値電圧以上の電荷を蓄積する場合の方が、短い時間で駆動トランジスタ T_d の閾値電圧以上の電荷を蓄積することができる。つまり、第1容量素子 C_{th} に少しでも電荷が蓄積されていれば、駆動トランジスタ T_d の制御端子 t_{11} の電位を大きくすることができ、駆動トランジスタ T_d に電流が流れやすくなることができる。そのため、まずは駆動トランジスタ T_d の電流が流れにくい状態では、少量の電荷である第1電荷を第1容量素子 C_{th} に蓄積し、その後、閾値電圧以上の電荷が蓄積されるように第1電荷よりも大量の電荷である第2電荷を供給する。

[0063] このように本実施の形態によれば、駆動制御部が、閾値電圧検出用トランジスタ T_{th} を制御して V_{ss} 線21から有機EL素子容量 C_{oled} に対して電荷を供給することによって駆動トランジスタ T_d の閾値電圧 V_{th} を検出して第1容量素子 C_{th} に保持する動作を複数回（例えば2回）繰り返すことにより、第1容量素子 C_{th} には複数回分の駆動トランジスタ T_d の閾値電圧 V_{th} の電荷が蓄積されるので、閾値電圧 V_{th} の補償に必要な初期電位（ V_{th} 検出開始電位）を短い時間で十分に与えることができ、ドライバ素子に閾値電圧 V_{th} 以上の大きさの電圧を長期にわたって安定して与えることができる。

[0064] 次に、本発明の第2の実施の形態を図7ないし図8に基づいて説明する。なお、前述した第1の実施の形態と同じ部分は同じ符号で示し説明も省略する。

[0065] 図7は、第2の実施形態に係る画素回路（1画素）30の構成の一例を示した図である。同図に示したように、画素回路30は、発光素子である有機EL素子OLED、発光素子容量である有機EL素子容量 C_{oled} 、ドライバ

素子である駆動トランジスタ T_d 、閾値電圧検出素子である閾値電圧検出用トランジスタ T_{th} 、容量素子 C_s 、スイッチングトランジスタ T_1 およびスイッチングトランジスタ T_2 を備えるように構成されている。

[0066] 電荷供給線である電源線 40 は、駆動トランジスタ T_d およびスイッチングトランジスタ T_2 に電源を供給する。 T_{th} 制御線 41 は、閾値電圧検出用トランジスタ T_{th} を制御するための信号を供給する。マージ線 42 は、スイッチングトランジスタ T_2 を制御するための信号を供給する。走査線 43 は、スイッチングトランジスタ T_1 を制御するための信号を供給する。画像信号線 44 は、画像信号を供給する。

[0067] 図 8 は、画素回路 30 の駆動方法を説明するためのタイミングチャートである。図 8 に示すように、画素回路 30 は、第 1 準備期間、第 1 閾値電圧検出期間、第 2 準備期間、第 2 閾値電圧検出期間、書き込み期間および発光期間という 6 つの期間を経て動作する。すなわち、第 1 準備期間では、電源線 40 には所定の正電位 (V_p , $V_p > 0$) が印加され、閾値電圧検出用トランジスタ T_{th} がオフ、スイッチングトランジスタ T_1 がオフ、駆動トランジスタ T_d がオン、スイッチングトランジスタ T_2 がオンとなるように制御される。その結果、電源線 40 → 駆動トランジスタ T_d → 有機 EL 素子容量 C_{oled} という経路で電流が流れ、有機 EL 素子容量 C_{oled} に第 1 電荷が蓄積される。

[0068] つぎの第 1 閾値電圧検出期間では、電源線 40 にはゼロ電位が印加され、閾値電圧検出用トランジスタ T_{th} がオンとなるように制御 (T_{th} 制御線 41 = V_{gH}) され、駆動トランジスタ T_d のゲート電極とドレイン電極とが接続される。これにより、容量素子 C_s および有機 EL 素子容量 C_{oled} に蓄積された電荷が放電され、駆動トランジスタ T_d → 電源線 40 という経路で電流が流れる。そして、駆動トランジスタ T_d のソース電極に対するゲート電極の電圧が、駆動トランジスタ T_d の駆動閾値に対応する閾値電圧 V_{th} に達すると、駆動トランジスタ T_d がオフとされる。この場合、容量素子 C_s には、駆動トランジスタ T_d の閾値電圧 V_{th} 分の第 1 電荷が蓄積されている。

[0069] 続く第 2 準備期間でも、電源線 40 には所定の正電位 (V_p , $V_p > 0$)

が印加され、閾値電圧検出用トランジスタ T_{th} がオフ、スイッチングトランジスタ T_1 がオフ、駆動トランジスタ T_d がオン、スイッチングトランジスタ T_2 がオンとなるように制御される。その結果、電源線 40 → 駆動トランジスタ T_d → 有機 EL 素子容量 C_{oled} という経路で電流が流れ、有機 EL 素子容量 C_{oled} に第 2 電荷が蓄積される。このとき、容量素子 C_s には駆動トランジスタ T_d の閾値電圧 V_{th} 分の第 1 電荷が蓄積されているので、駆動トランジスタ T_d に電流が流れやすくなってより深く ON し、有機 EL 素子容量 C_{oled} が十分に充電される。

[0070] つぎの第 2 閾値電圧検出期間でも、電源線 40 にはゼロ電位が印加され、閾値電圧検出用トランジスタ T_{th} がオンとなるように制御され、駆動トランジスタ T_d のゲート電極とドレイン電極とが接続される。この場合、駆動トランジスタ T_d の閾値電圧 V_{th} より十分高い電位から閾値電圧 V_{th} の検出が開始されるので、補償範囲が広がる。

[0071] つぎの書き込み期間では、電源線 40 の電位はゼロ電位を維持し、スイッチングトランジスタ T_1 がオン、スイッチングトランジスタ T_2 がオフとなり、有機 EL 素子容量 C_{oled} に蓄積された第 2 電荷が放電される。その結果、有機 EL 素子容量 C_{oled} → 閾値電圧検出用トランジスタ T_{th} → 容量素子 C_s という経路で電流が流れ、容量素子 C_s に第 1 電荷に加えて第 2 電荷が蓄積される。すなわち、有機 EL 素子容量 C_{oled} に蓄積された第 1 電荷は、容量素子 C_s に移動する。なお、図 8 において、画像信号線 44 の電位は、書き込み時間以外では、0V としているが、0V 以外の任意の電位であっても構わない。

[0072] つぎの発光期間では、電源線 40 には所定の負電位 ($-V_{DD}$, $V_{DD} > 0$) が印加され、駆動トランジスタ T_d がオン、閾値電圧検出用トランジスタ T_{th} がオフ、スイッチングトランジスタ T_1 がオフとなるように制御される。その結果、有機 EL 素子 OLED → 駆動トランジスタ T_d → 電源線 40 という経路で電流が流れ、有機 EL 素子 OLED が発光する。

[0073] 次に、本発明の第 3 の実施の形態を図 9 ないし図 10 に基づいて説明する

。なお、前述した第1の実施の形態と同じ部分は同じ符号で示し説明も省略する。

[0074] 図9は、第3の実施形態に係る画素回路（1画素）50の構成の一例を示した図である。同図に示したように、画素回路50は、発光素子である有機EL素子OLED、発光素子容量である有機EL素子容量 C_{oled} 、ドライバ素子である駆動トランジスタ T_d 、閾値電圧検出素子である閾値電圧検出用トランジスタ T_{th} 、容量素子 C_{th} 、リセット用トランジスタ T_{rst} 、スイッチングトランジスタ T_s 、メモリトランジスタ T_m 、第1データ容量素子 C_{data1} 、第2データ容量素子 C_{data2} を備えるように構成されている。

[0075] 電荷供給線である電源線60は、駆動トランジスタ T_d およびリセット用トランジスタ T_{rst} に電源を供給する。 T_{th} 制御線61は、閾値電圧検出用トランジスタ T_{th} を制御するための信号を供給する。マージ線62は、メモリトランジスタ T_m を制御するための信号を供給する。走査線63は、スイッチングトランジスタ T_s を制御するための信号を供給する。画像信号線64は、画像信号を供給する。 T_{rst} 制御線65は、リセット用トランジスタ T_{rst} を制御するための信号を供給する。

[0076] 図10は、画素回路50の駆動方法を説明するためのタイミングチャートである。図10に示すように、画素回路50は、第1準備期間、第1閾値電圧検出期間、第2準備期間、第2閾値電圧検出期間、書き込み期間および発光期間という6つの期間を経て動作する。すなわち、第1準備期間では、電源線60には所定の正電位（ V_{DD} ）が印加されるとともに、マージ線62が V_{gL} とされ、閾値電圧検出用トランジスタ T_{th} がオフ、リセット用トランジスタ T_{rst} がオフ、駆動トランジスタ T_d がオンとなるように制御される。その結果、電源線60→駆動トランジスタ T_d →点Bという経路で電流が流れ、第1データ容量素子 C_{data1} 、第2データ容量素子 C_{data2} に電荷が蓄積される。

[0077] つぎの第1閾値電圧検出期間では、電源線60にはゼロ電位が印加され、閾値電圧検出用トランジスタ T_{th} およびリセット用トランジスタ T_{rst} がオン

となるように制御 (T_{th} 制御線 61 = $V_g H$ 、 T_{rst} 制御線 65 = $V_g H$) され、駆動トランジスタ T_d のゲート電極とドレイン電極とが接続される。これにより、容量素子 C_{th} 、第 1 データ容量素子 C_{data1} 、第 2 データ容量素子 C_{data2} に蓄積された電荷が放電され、駆動トランジスタ T_d → 電源線 60 という経路で電流が流れる。そして、駆動トランジスタ T_d のソース電極に対するゲート電極の電圧が、駆動トランジスタ T_d の駆動閾値に対応する閾値電圧 V_{th} に達すると、駆動トランジスタ T_d がオフとされる。この場合、容量素子 C_{th} には、駆動トランジスタ T_d の閾値電圧 V_{th} 分の第 1 電荷が蓄積されている。

[0078] 続く第 2 準備期間でも、電源線 60 には所定の正電位 (V_{DD}) が印加され、閾値電圧検出用トランジスタ T_{th} がオフ、リセット用トランジスタ T_{rst} がオフ、駆動トランジスタ T_d がオンとなるように制御される。その結果、電源線 60 → 駆動トランジスタ T_d → 点 B という経路で電流が流れ、第 1 データ容量素子 C_{data1} 、第 2 データ容量素子 C_{data2} に電荷が蓄積される。このとき、容量素子 C_{th} には駆動トランジスタ T_d の閾値電圧 V_{th} 分の第 1 電荷が蓄積されているので、駆動トランジスタ T_d に電流が流れやすくなってより深く ON し、第 1 データ容量素子 C_{data1} 、第 2 データ容量素子 C_{data2} が十分に充電される。

[0079] つぎの第 2 閾値電圧検出期間でも、電源線 60 にはゼロ電位が印加され、閾値電圧検出用トランジスタ T_{th} およびリセット用トランジスタ T_{rst} がオンとなるように制御され、駆動トランジスタ T_d のゲート電極とドレイン電極とが接続される。この場合、 T_{th} 制御線 61 = $V_g H$ より高い電位から駆動トランジスタ T_d の閾値電圧 V_{th} の検出が開始されるので、補償範囲が広がる。

[0080] つぎの書き込み期間では、電源線 60 の電位はゼロ電位を維持し、スイッチングトランジスタ T_s がオンとなり、第 1 データ容量素子 C_{data1} 、第 2 データ容量素子 C_{data2} に蓄積された電荷が放電される。その結果、第 1 データ容量素子 C_{data1} 、第 2 データ容量素子 C_{data2} → 閾値電圧検出用トランジスタ T_{th} → 容量素子 C_{th} という経路で電流が流れ、容量素子 C_{th} に第 1 電荷に

加えて第2電荷が蓄積される。すなわち、第1データ容量素子 C_{data1} 、第2データ容量素子 C_{data2} に蓄積された電荷は、容量素子 C_{th} に移動する。なお、図10において、画像信号線44の電位は、書き込み期間以外では、0Vとしているが、0V以外の任意の電位であっても構わない。

[0081] つぎの発光期間では、電源線60には所定の正電位(V_{DD})が印加され、駆動トランジスタ T_d がオン、閾値電圧検出用トランジスタ T_{th} およびリセット用トランジスタ T_{rst} がオフとなるように制御される。その結果、電源線60→駆動トランジスタ T_d →メモリトランジスタ T_m →有機EL素子OLEDという経路で電流が流れ、有機EL素子OLEDが発光する。

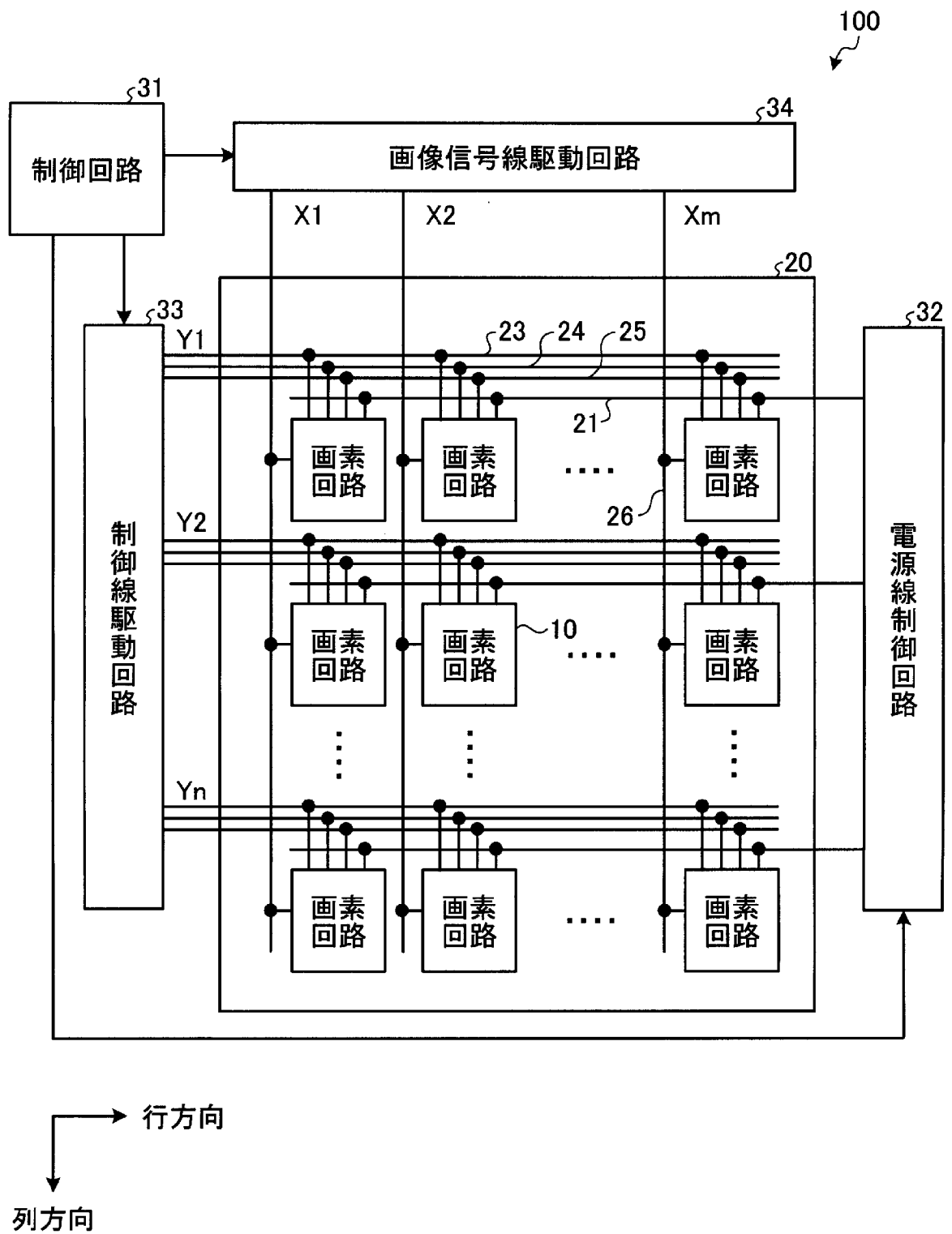
[0082] 以上、本発明に係る実施形態について説明したが、本発明はこれに限定されるものではなく、本発明の主旨を逸脱しない範囲での種々の変更、置換、追加等が可能である。

請求の範囲

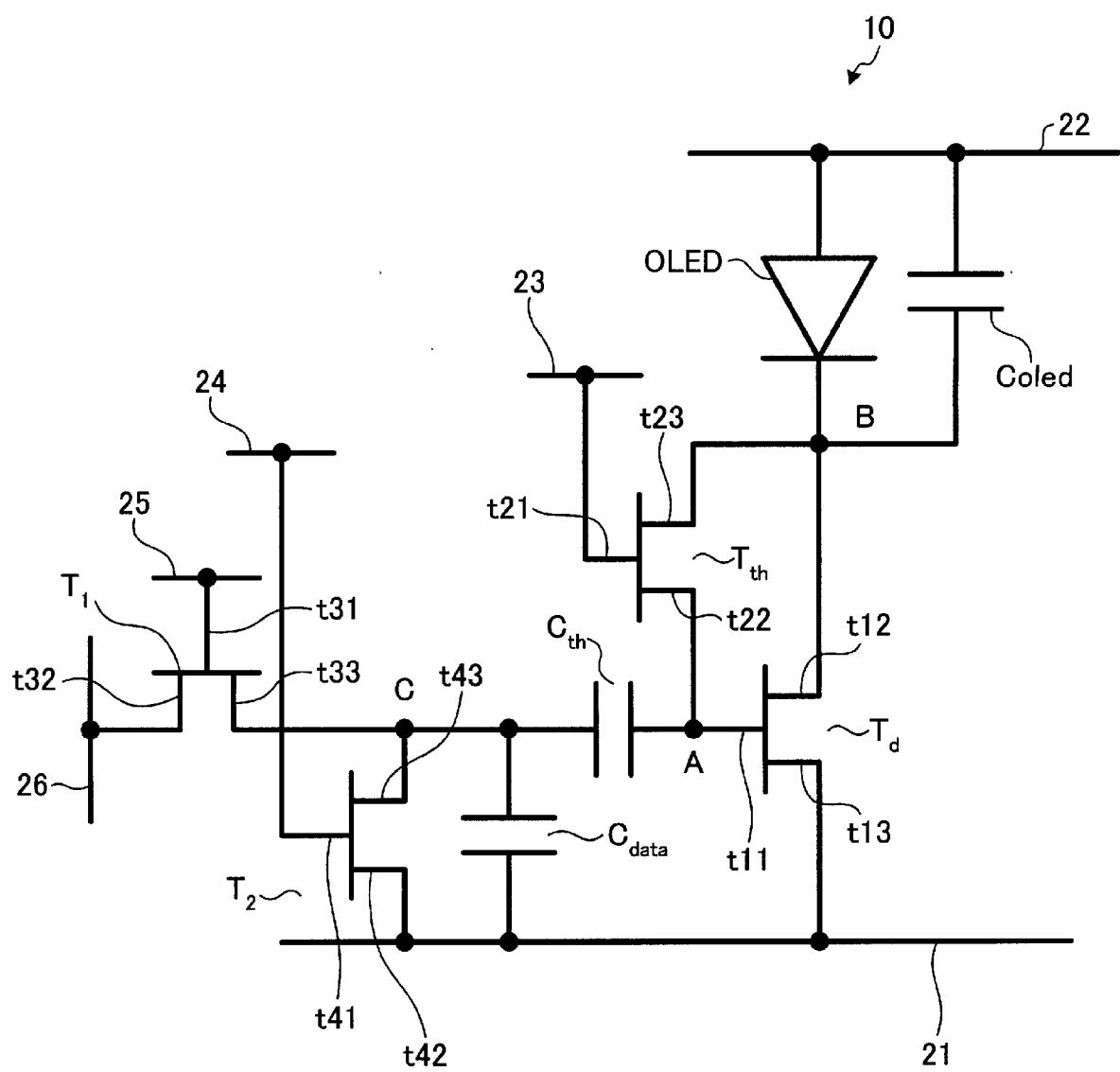
- [請求項1] 順方向に電圧が印加されると発光し、逆方向に電圧が印加されると電荷が蓄積される発光素子と、閾値電圧以上の電圧が加えられることで前記発光素子を発光させるドライバ素子と、前記ドライバ素子に流れる電流量を調節するための電荷が蓄積される容量素子と、を有する画素回路を備えた表示パネルと、
- 前記画素回路の前記発光素子に対して電荷を供給する電荷供給線と、
- 前記発光素子が発光してから次に発光するまでの一フレーム中において、前記容量素子に前記発光素子に蓄積される第1電荷を供給した後、前記電荷供給線から前記発光素子に対して第2電荷を供給し、更に該第2電荷を前記容量素子に供給して該容量素子に前記第1電荷及び前記第2電荷を蓄積し、前記ドライバ素子の制御端子に前記閾値電圧以上の大きさの電圧を与える駆動制御部と、
- を備えることを特徴とする画像表示装置。
- [請求項2] 請求項1に記載の画像表示装置において、
- 前記第2電荷は、前記ドライバ素子を介して前記発光素子に供給される、
- ことを特徴とする画像表示装置。
- [請求項3] 請求項1に記載の画像表示装置において、
- 前記第2電荷の量は、前記第1電荷の量に比べて大きい、
- ことを特徴とする画像表示装置。
- [請求項4] 請求項1に記載の画像表示装置において、
- 前記第1電荷が蓄積された前記容量素子が、前記ドライバ素子のゲート電位を大きくし、該ドライバ素子に電流が流れやすくした状態で、前記第2電荷が前記ドライバ素子を介して前記発光素子に供給される、
- ことを特徴とする画像表示装置。

- [請求項5] 請求項 1 に記載の画像表示装置において、
- 前記発光素子と前記容量素子との間に、閾値電圧検出素子が接続されており、該閾値電圧検出素子を介して前記発光素子から前記容量素子に前記第 1 電荷又は前記第 2 電荷が供給される、
- ことを特徴とする画像表示装置。
- [請求項6] 請求項 1 に記載の画像表示装置において、
- 前記一フレームは、第 1 準備期間、第 1 閾値電圧検出期間、第 2 準備期間、第 2 閾値電圧検出期間、書き込み期間および発光期間を備えている、
- ことを特徴とする画像表示装置。

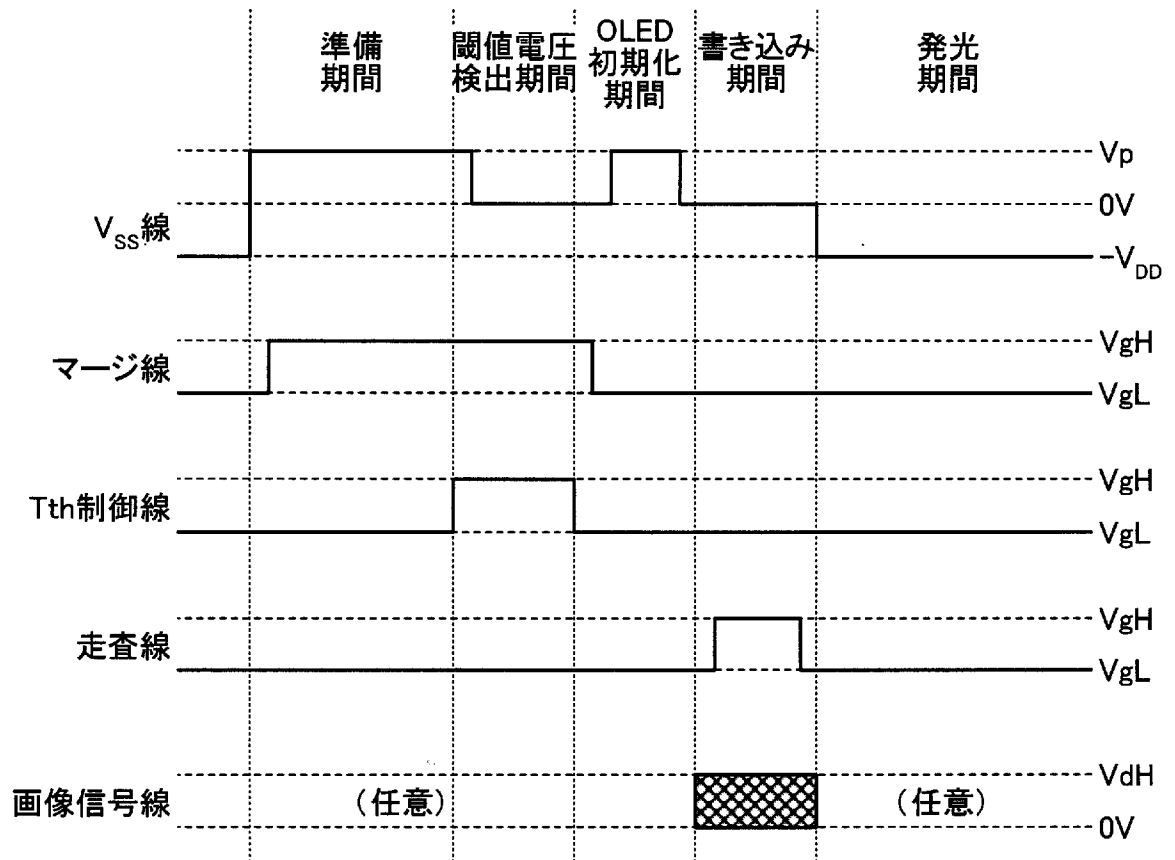
[図1]



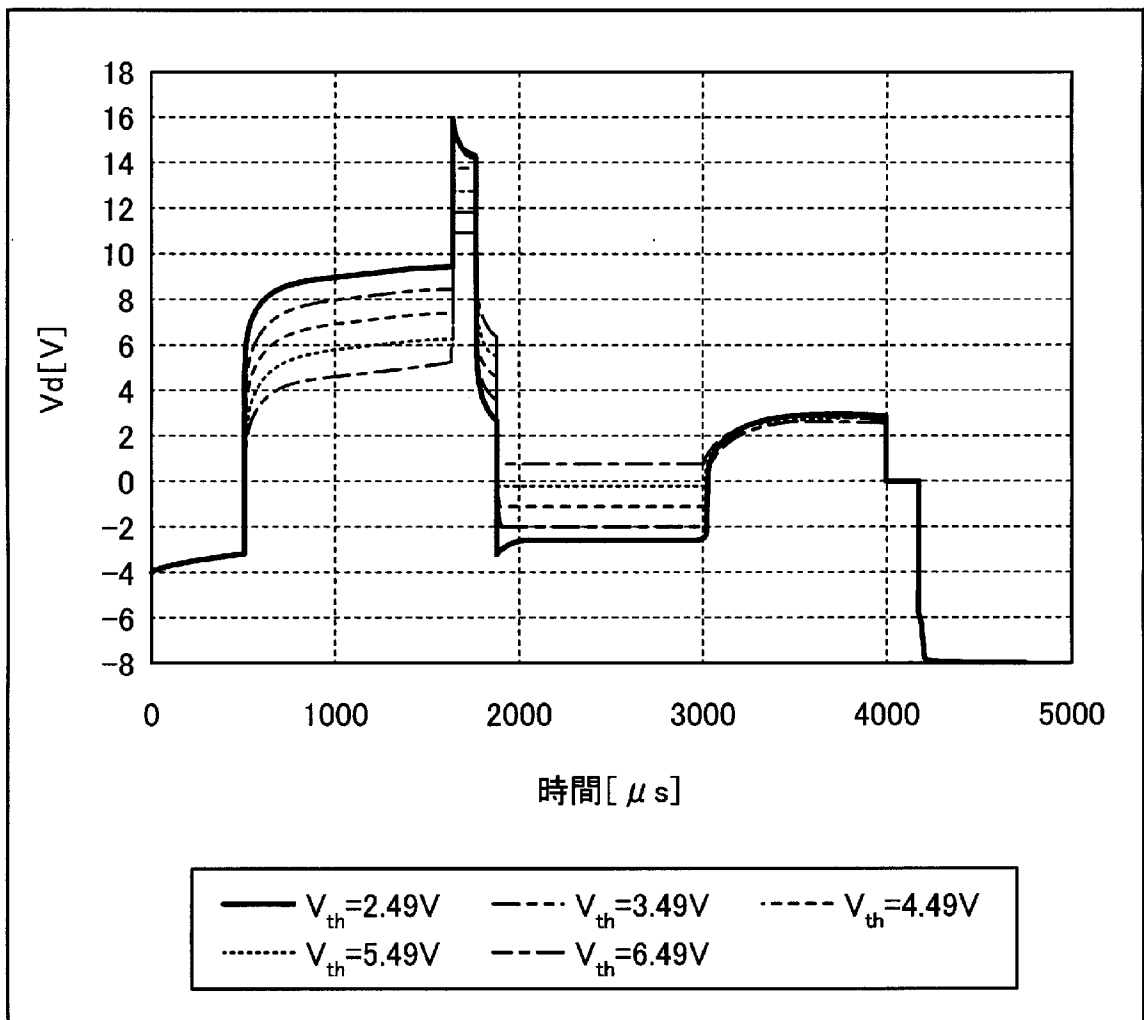
[図2]



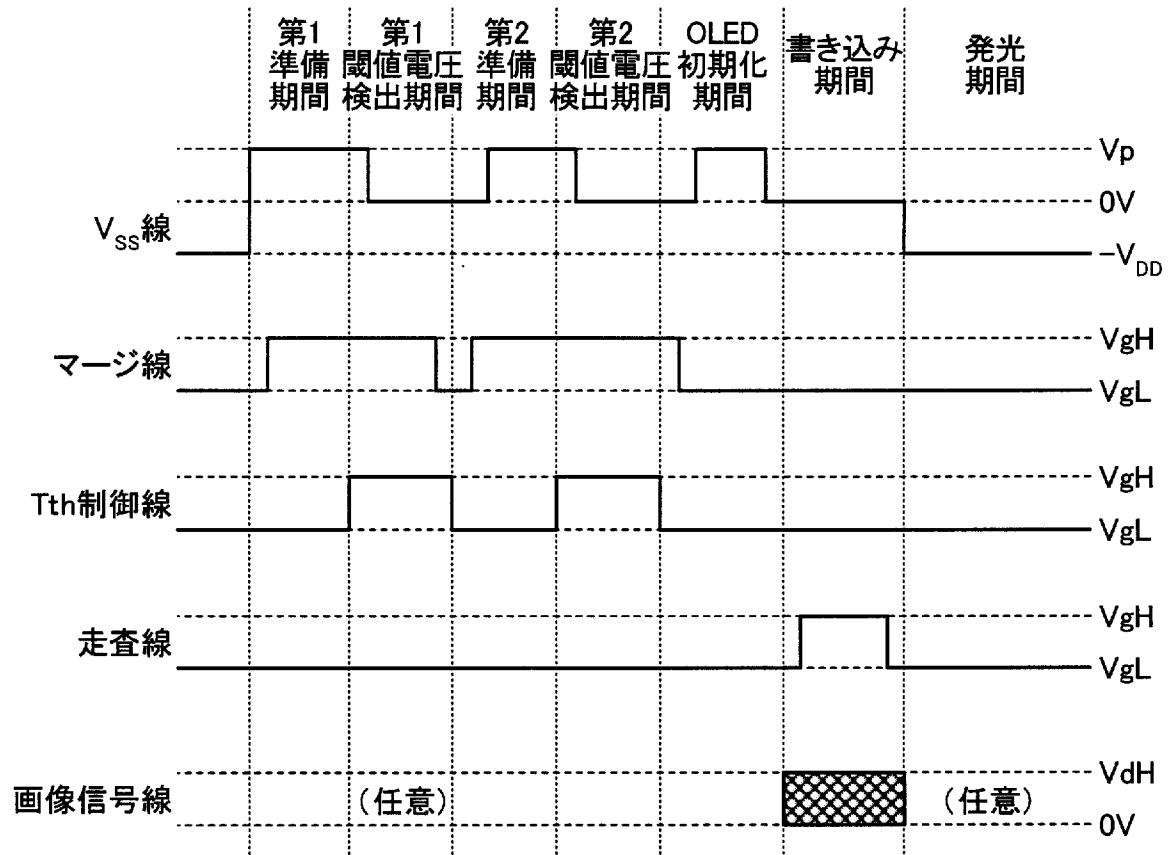
[図3]



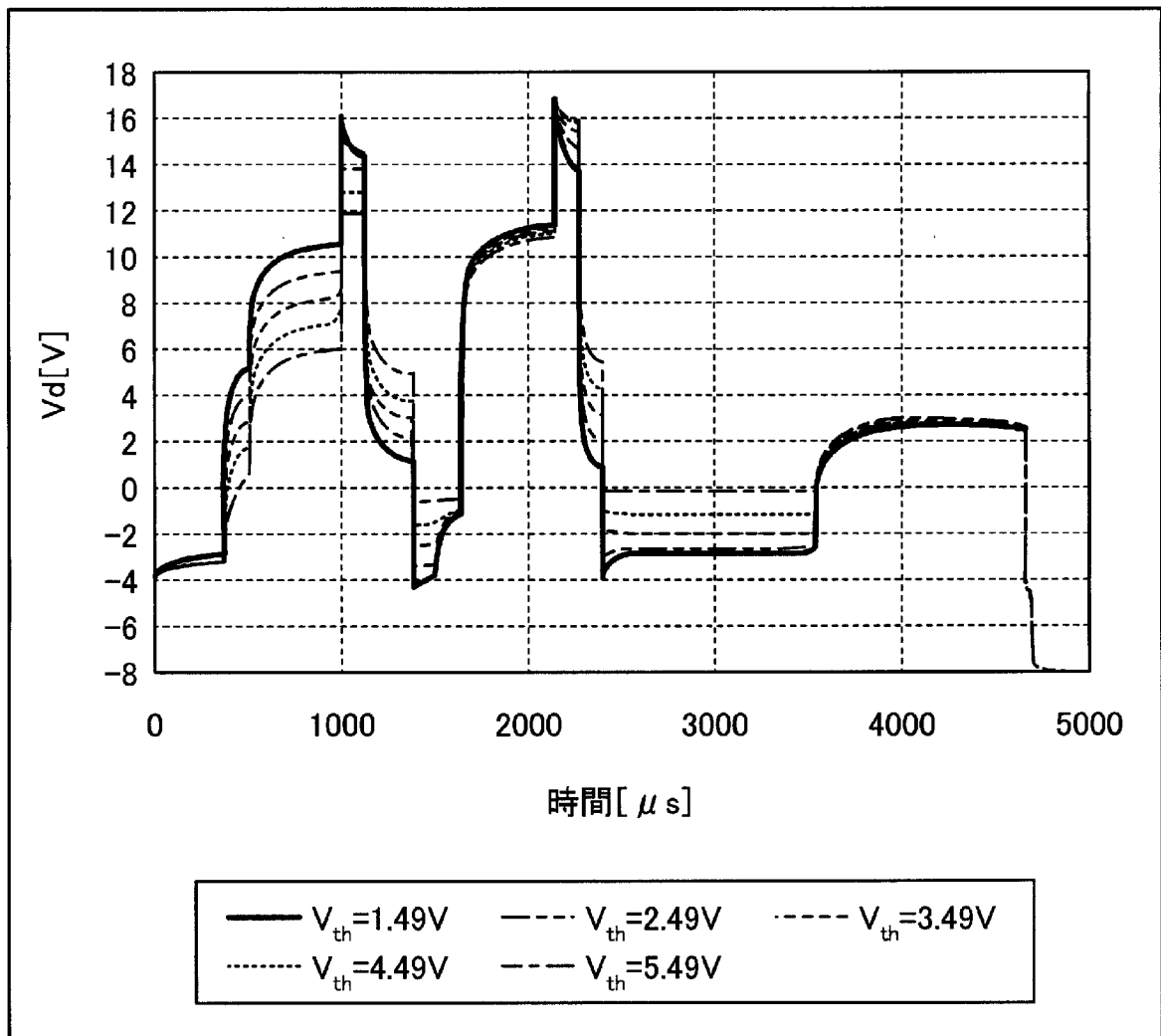
[図4]



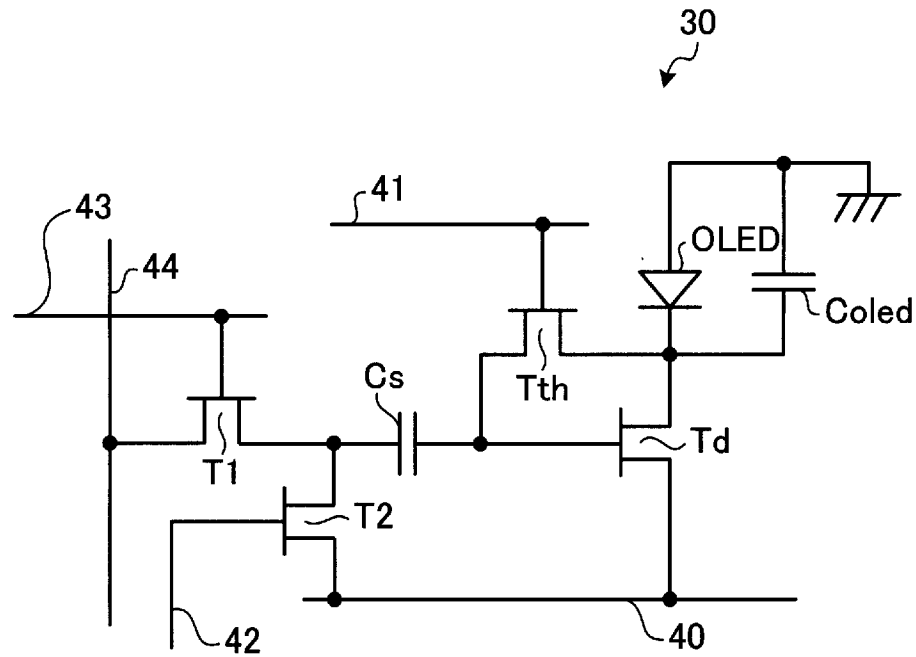
[図5]



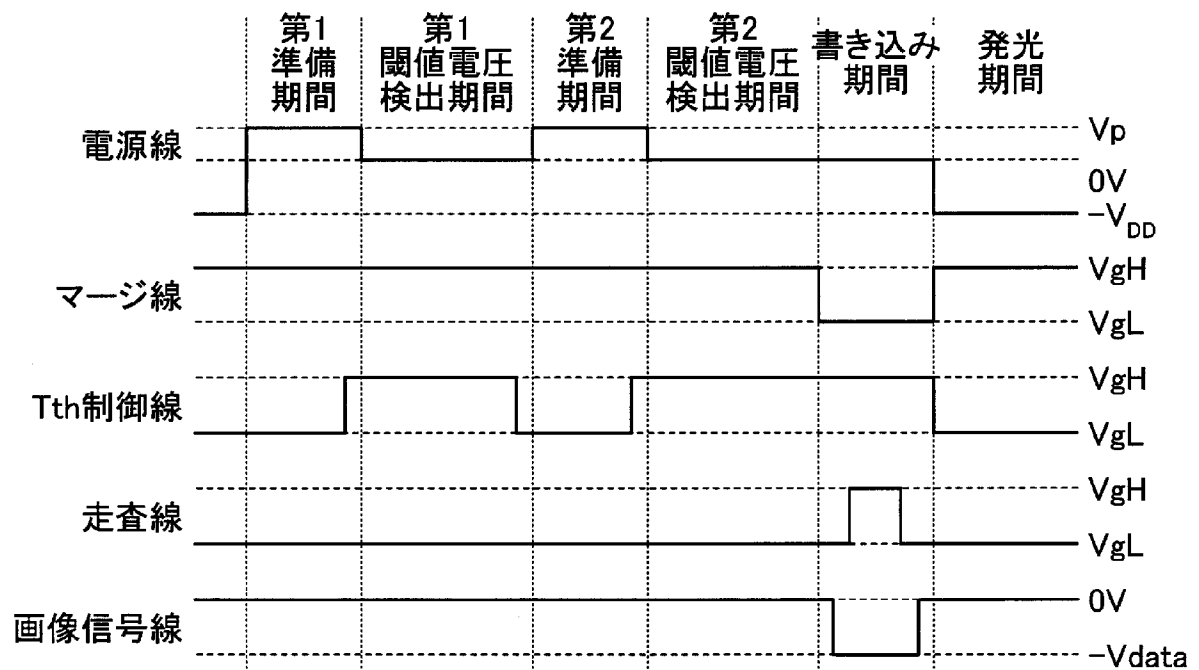
[図6]



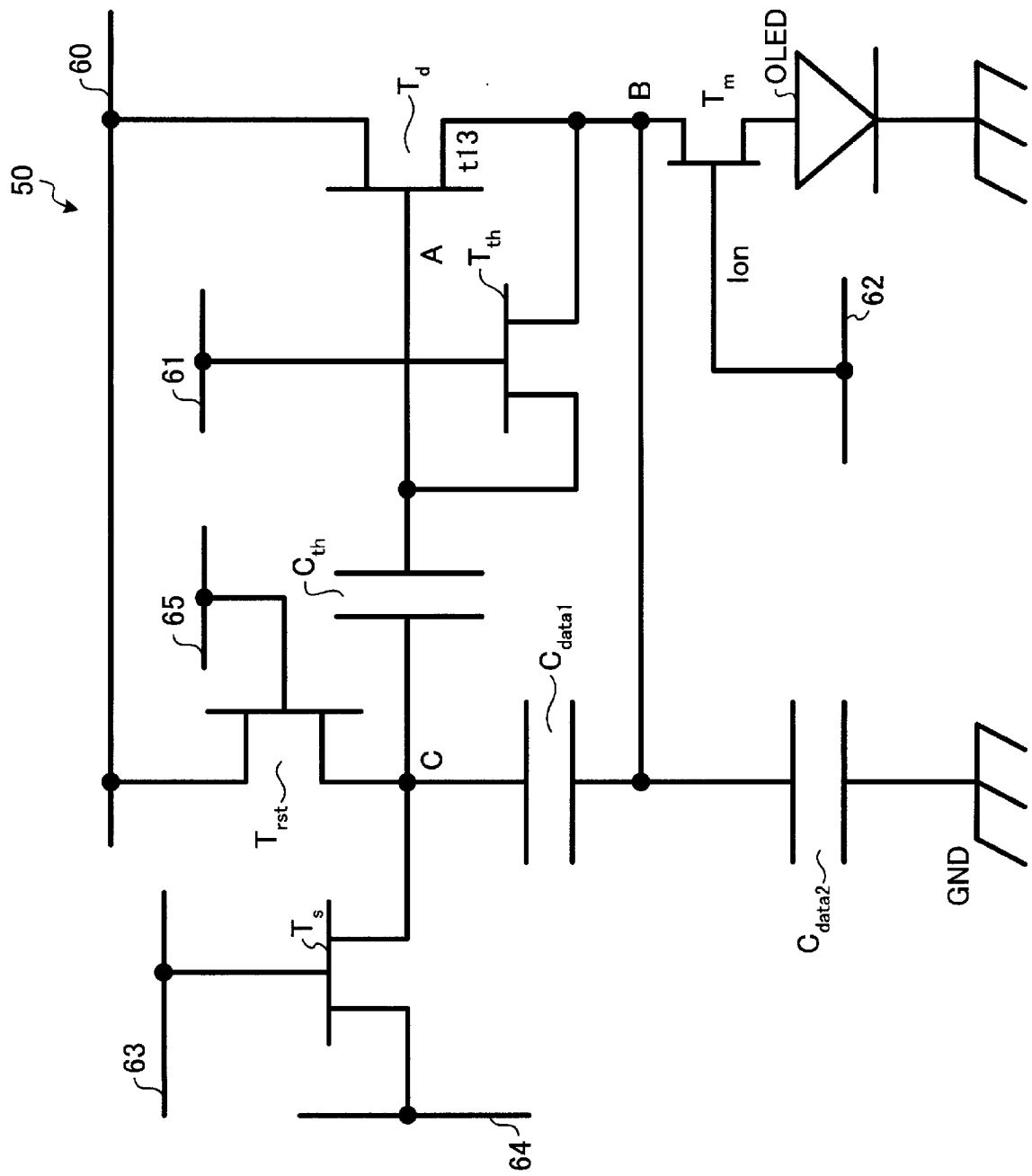
[図7]



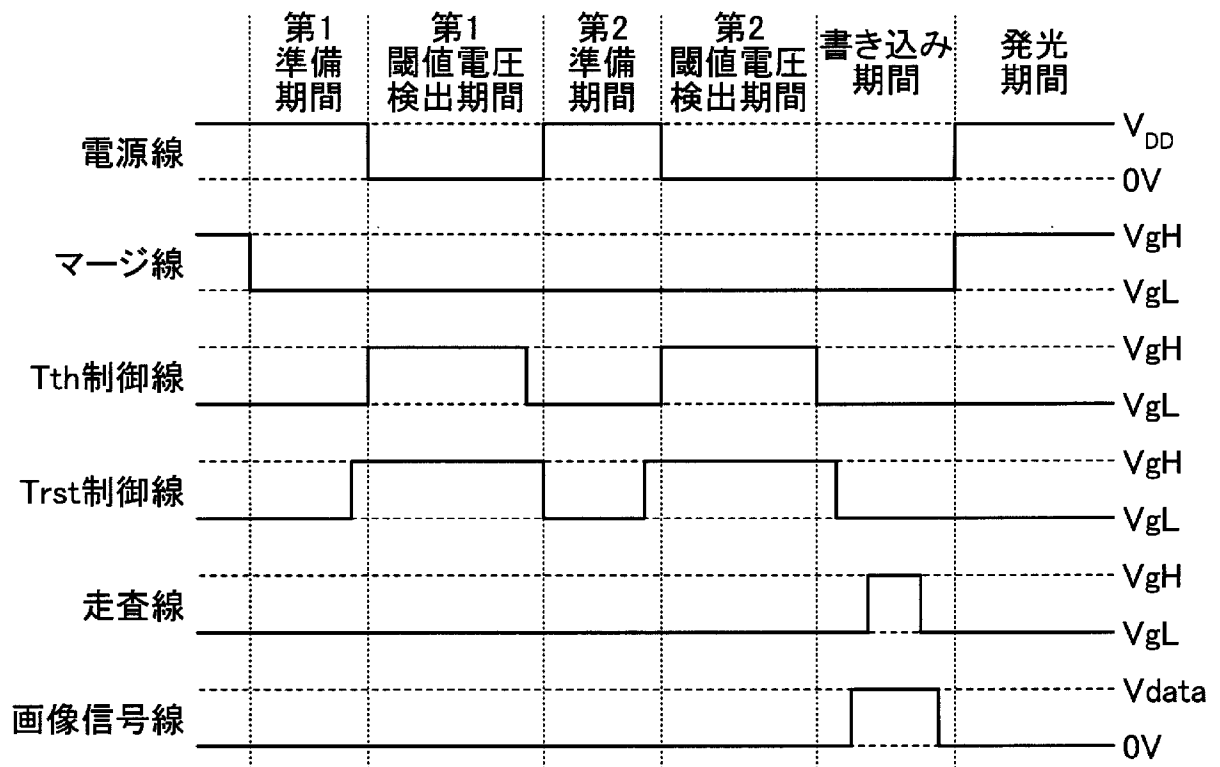
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/070123

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/30(2006.01)i, G09F9/30(2006.01)i, G09G3/20(2006.01)i, H01L27/32(2006.01)i, H01L51/50(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/30, G09F9/30, G09G3/20, H01L27/32, H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2007/040088 A1 (Kyocera Corp.), 12 April 2007 (12.04.2007), paragraphs [0018] to [0041]; fig. 1 to 7 & US 2008/0180422 A1	1-6
A	JP 2008-257085 A (Sony Corp.), 23 October 2008 (23.10.2008), paragraphs [0048] to [0073]; fig. 4 to 7 & US 2008/0246747 A1 & KR 10-2008-0091711 A & CN 101286296 A	1-6
A	JP 2008-185874 A (Sony Corp.), 14 August 2008 (14.08.2008), paragraphs [0112] to [0208]; fig. 2, 4 (Family: none)	1-6

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 December, 2009 (14.12.09)

Date of mailing of the international search report
22 December, 2009 (22.12.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/070123

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-258326 A (Toshiba Matsushita Display Technology Co., Ltd.), 22 September 2005 (22.09.2005), paragraphs [0018] to [0073]; fig. 1 to 8 (Family: none)	1-6
A	JP 2006-330223 A (Seiko Epson Corp.), 07 December 2006 (07.12.2006), entire text; all drawings & US 2006/0267884 A1 & KR 10-2006-0121717 A & CN 1870111 A	1-6
A	JP 2004-341359 A (Kibi Denshi Kofun Yugen Koshi), 02 December 2004 (02.12.2004), entire text; all drawings & US 2004/0252089 A1 & TW 239501 B & CN 1551084 A	1-6

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/30(2006.01)i, G09F9/30(2006.01)i, G09G3/20(2006.01)i, H01L27/32(2006.01)i, H01L51/50(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/30, G09F9/30, G09G3/20, H01L27/32, H01L51/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2007/040088 A1（京セラ株式会社）2007.04.12, 段落 [0018]-[0041], 図 1-7 & US 2008/0180422 A1	1-6
A	JP 2008-257085 A（ソニー株式会社）2008.10.23, 段落【0048】 -【0073】, 図 4 - 7 & US 2008/0246747 A1 & KR 10-2008-0091711 A & CN 101286296 A	1-6
A	JP 2008-185874 A（ソニー株式会社）2008.08.14, 段落【0112】 -【0208】, 図 2, 4（ファミリーなし）	1-6

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 4 . 1 2 . 2 0 0 9

国際調査報告の発送日

2 2 . 1 2 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

長井 真一

2 G

3 8 0 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2005-258326 A (東芝松下ディスプレイテクノロジー株式会社) 2005.09.22, 段落【0018】－【0073】, 図1－8 (ファミリーなし)	1-6
A	JP 2006-330223 A (セイコーエプソン株式会社) 2006.12.07, 全文全図 & US 2006/0267884 A1 & KR 10-2006-0121717 A & CN 1870111 A	1-6
A	JP 2004-341359 A (奇美電子股▲ふん▼有限公司) 2004.12.02, 全文全図 & US 2004/0252089 A1 & TW 239501 B & CN 1551084 A	1-6