

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4267818号
(P4267818)

(45) 発行日 平成21年5月27日(2009.5.27)

(24) 登録日 平成21年2月27日(2009.2.27)

(51) Int.Cl.	F I
G06F 13/42 (2006.01)	G06F 13/42 340A
G06F 13/10 (2006.01)	G06F 13/42 350A
G06F 13/38 (2006.01)	G06F 13/10 310E
	G06F 13/38 310D

請求項の数 33 (全 21 頁)

(21) 出願番号	特願2000-519526 (P2000-519526)	(73) 特許権者	591205190
(86) (22) 出願日	平成10年10月30日 (1998.10.30)		アナログ デバイセス インコーポレーテッド
(65) 公表番号	特表2001-522116 (P2001-522116A)		ANALOG DEVICES, INCORPORATED
(43) 公表日	平成13年11月13日 (2001.11.13)		アメリカ合衆国 02062 マサチューセッツ州 ノーウッド ワン テクノロジー ウェイ (番地の表示なし)
(86) 国際出願番号	PCT/US1998/023100		
(87) 国際公開番号	W01999/023787	(74) 代理人	100089705
(87) 国際公開日	平成11年5月14日 (1999.5.14)		弁理士 社本 一夫
審査請求日	平成17年10月28日 (2005.10.28)	(74) 代理人	100071124
(31) 優先権主張番号	08/962, 741		弁理士 今井 庄亮
(32) 優先日	平成9年11月3日 (1997.11.3)	(74) 代理人	100076691
(33) 優先権主張国	米国 (US)		弁理士 増井 忠武

最終頁に続く

(54) 【発明の名称】 デジタル信号プロセッサ用双方向通信ポート

(57) 【特許請求の範囲】

【請求項 1】

デジタル信号プロセッサにより外部デバイスと通信するための双方向通信ポートであって、

送信モードにおいて第1制御ライン上で第1クロックを前記外部デバイスに送信し、かつ前記第1クロックと同期して複数のデータ・ライン上でデータ・ワードを前記外部デバイスに送信する第1送信手段と、

前記送信モードにおいて、前記外部デバイスからの第1承認信号を第2制御ライン上で受信する第1受信手段と、

受信モードにおいて、前記第2制御ライン上で第2クロックを受信し、かつ前記第2クロックと同期して、前記外部デバイスからのデータ・ワードを前記複数のデータ・ライン上で受信する第2受信手段と、

前記受信モードにおいて、前記第1制御ライン上に第2承認信号を送信する第2送信手段と、

前記送信モードおよび前記受信モード間で切り替えを行なう切り替え手段と、を備えることを特徴とする双方向通信ポート。

【請求項 2】

請求項1記載の双方向通信ポートにおいて、前記第1送信手段が、各々mビットのデータ・ワードを送信する手段を含み、前記データ・ワードの各々を、nビットの一連のm/nニブルとして、n本のデータ・ライン上で送信し、ここでnは少なくとも4であり、前

10

20

記第 2 受信手段が、各々 n ビットの一連の m/n ニブルとして、前記 n 本のデータ・ライン上で各々 m ビットのデータ・ワードを受信する手段を含むことを特徴とする双方向通信ポート。

【請求項 3】

請求項 2 記載の双方向通信ポートにおいて、前記データ・ワードを 8 本のデータ・ライン上で受信することを特徴とする双方向通信ポート。

【請求項 4】

請求項 1 記載の双方向通信ポートにおいて、前記第 1 送信手段が、各々 m ビットのデータ・ワードを送信する手段を含み、前記データ・ワードの各々を、一連の $m/8$ バイトとして前記データ・ライン上で送信し、前記第 2 受信手段が、各々 m ビットのデータ・ワードを受信する手段を含み、前記データ・ワードの各々を一連の $m/8$ バイトとして、前記データ・ライン上で受信することを特徴とする双方向通信ポート。

10

【請求項 5】

請求項 4 記載の双方向通信ポートにおいて、前記第 1 送信手段が、前記外部デバイスに送信するデータ・ワードの一時的格納のために送信バッファを含み、前記第 2 受信手段が、前記外部デバイスから受信したデータ・ワードの一時的格納のために受信バッファを含むことを特徴とする双方向通信ポート。

【請求項 6】

請求項 5 記載の双方向通信ポートにおいて、
前記送信するデータ・ワードが、複数のパックされたバイトを含み、
前記送信バッファが、前記送信モードにおいて、前記データ・ライン上での複数のバイトの送信のために、前記データ・ワードを前記複数のバイトにアンパックする手段を含むことを特徴とする双方向通信ポート。

20

【請求項 7】

請求項 5 記載の双方向通信ポートにおいて、前記受信バッファが、前記受信モードにおいて、前記データ・ライン上で受信した複数のバイトをパックする手段を含むことを特徴とする双方向通信ポート。

【請求項 8】

請求項 1 記載の双方向通信ポートにおいて、前記双方向通信ポートが、前記第 1 および第 2 制御ライン、ならびに前記データ・ラインの前記外部デバイスへの二点間接続を利用することを特徴とする双方向通信ポート。

30

【請求項 9】

請求項 1 記載の双方向通信ポートにおいて、前記第 1 および第 2 制御ラインおよび前記データ・ラインが、複数のデバイスの接続のためにバスを構成することを特徴とする双方向通信ポート。

【請求項 10】

請求項 1 記載の双方向通信ポートにおいて、前記第 1 受信手段が、所定数の前記データ・ワードの送信終了付近において前記第 1 承認信号をサンプリングし、前記第 1 承認信号がアサートされたときに、次のデータ・ワードを送信する手段を含むことを特徴とする双方向通信ポート。

40

【請求項 11】

請求項 1 記載の双方向通信ポートにおいて、前記切り替え手段が、前記受信モードにおいて前記第 1 クロックをアサートすることによって送信要求を発生し、前記受信モードから前記送信モードに切り替える手段を含むことを特徴とする双方向通信ポート。

【請求項 12】

請求項 1 記載の双方向通信ポートにおいて、前記切り替え手段が、更に、前記受信モードにおいて受信したデータ・ワードをカウントする手段を含み、前記第 1 クロックをアサートする手段が、所定数のデータ・ワードを受信し終えたときに前記送信要求を発生することを特徴とする双方向通信ポート。

【請求項 13】

50

請求項 1 記載の双方向通信ポートにおいて、前記切り替え手段が、前記送信モードにおいて、前記第 2 クロックのアサートに応答して、前記送信モードから前記受信モードに切り替える手段を含むことを特徴とする双方向通信ポート。

【請求項 1 4】

請求項 1 記載の双方向通信ポートにおいて、前記第 1 受信手段が、データ・ワードの送信中に、前記第 1 承認信号における遷移に응答し、前記通信ポートの前記外部デバイスへの接続を確認する手段を含むことを特徴とする双方向通信ポート。

【請求項 1 5】

請求項 1 記載の双方向通信ポートにおいて、前記第 1 承認信号がタイムアウト期間にわたってアサートされなかった場合に、前記第 1 受信手段がエラー状態を示す手段を含むことを特徴とする双方向通信ポート。

10

【請求項 1 6】

請求項 1 記載の双方向通信ポートにおいて、前記第 2 受信手段が、所定時間にわたる前記第 2 クロックの状態不変に응答して、エラー状態を示す手段を含むことを特徴とする双方向通信ポート。

【請求項 1 7】

請求項 1 記載の双方向通信ポートであって、更に、送信方向を示す第 3 制御ラインをアサートする手段を備えることを特徴とする双方向通信ポート。

【請求項 1 8】

請求項 1 記載の双方向通信ポートであって、更に、第 3 制御ライン上でフレーム同期信号をアサートする手段を備えることを特徴とする双方向通信ポート。

20

【請求項 1 9】

ディジタル信号プロセッサであって、
ディジタル信号計算を実行するコア・プロセッサと、
前記ディジタル信号計算のために命令およびデータ値を格納するメモリと、
前記コア・プロセッサおよび前記メモリを相互接続するメモリ・バスと、
前記メモリ・バスに結合され、外部デバイスと通信する双方向通信ポートであって、
送信モードにおいて第 1 制御ライン上で第 1 クロックを前記外部デバイスに送信し、かつ前記第 1 クロックと同期して複数のデータ・ライン上でデータ・ワードを前記外部デバイスに送信する第 1 送信手段と、

30

前記送信モードにおいて、前記外部デバイスからの第 1 承認信号を第 2 制御ライン上で受信する第 1 受信手段と、

受信モードにおいて、前記第 2 制御ライン上で第 2 クロックを受信し、かつ前記第 2 クロックと同期して、前記外部デバイスからのデータ・ワードを前記複数のデータ・ライン上で受信する第 2 受信手段と、

前記受信モードにおいて、前記第 1 制御ライン上に第 2 承認信号を送信する第 2 送信手段と、

前記送信モードおよび前記受信モード間で切り替えを行なう切り替え手段と、から成る、該双方向通信ポートと、

を備えることを特徴とするディジタル信号プロセッサ。

40

【請求項 2 0】

請求項 1 9 記載のディジタル信号プロセッサにおいて、前記第 1 送信手段が、m ビットのデータ・ワードを送信する手段を含み、前記データ・ワードの各々を、一連の $m/8$ バイトとして前記データ・ライン上で送信し、前記第 2 受信手段が、各々 m ビットのデータ・ワードを受信する手段を含み、前記データ・ワードの各々を、一連の $m/8$ バイトとして前記データ・ライン上で受信することを特徴とするディジタル信号プロセッサ。

【請求項 2 1】

請求項 2 0 記載のディジタル信号プロセッサにおいて、前記第 1 送信手段が、前記外部デバイスに送信する前記データ・ワードの一時的格納のために送信バッファを含み、前記第 2 受信手段が、前記外部デバイスから受信した前記データ・ワードの一時的格納のため

50

に受信バッファを含むことを特徴とするデジタル信号プロセッサ。

【請求項 2 2】

請求項 2 1 記載のデジタル信号プロセッサにおいて、
前記送信するデータ・ワードが、複数のパックされたバイトを含み、

前記送信バッファが、前記送信モードにおいて、前記データ・ライン上における複数のバイトの送信のために、前記データ・ワードを前記複数のバイトにアンパックする手段を含み、前記受信バッファが、前記受信モードにおいて、前記データ・ライン上で受信した複数のバイトをパックする手段を含むことを特徴とするデジタル信号プロセッサ。

【請求項 2 3】

請求項 1 9 記載のデジタル信号プロセッサにおいて、前記第 1 受信手段が、所定数の前記データ・ワードの送信終了付近において、前記第 1 承認信号をサンプリングし、前記第 1 承認信号がアサートされたときに、次のデータ・ワードを送信する手段を含むことを特徴とするデジタル信号プロセッサ。

10

【請求項 2 4】

請求項 1 9 記載のデジタル信号プロセッサにおいて、前記切り替え手段が、前記受信モードにおいて前記第 1 クロックをアサートすることにより、送信要求を発生し、前記受信モードから前記送信モードに切り替える手段を含むことを特徴とするデジタル信号プロセッサ。

【請求項 2 5】

請求項 1 9 記載のデジタル信号プロセッサにおいて、前記切り替え手段が、前記送信モードにおいて、前記第 2 クロックのアサートに応答し、前記送信モードから前記受信モードに切り替える手段を含むことを特徴とするデジタル信号プロセッサ。

20

【請求項 2 6】

請求項 1 9 記載のデジタル信号プロセッサにおいて、前記第 1 受信手段が、データ・ワードの送信中前記第 1 承認信号における遷移に응答して、前記通信ポートの前記外部デバイスへの接続を確認する手段を含むことを特徴とするデジタル信号プロセッサ。

【請求項 2 7】

請求項 1 9 記載のデジタル信号プロセッサにおいて、前記第 1 承認信号がタイムアウト期間にわたってアサートされなかった場合には、前記第 1 受信手段がエラー状態を示す手段を含むことを特徴とするデジタル信号プロセッサ。

30

【請求項 2 8】

請求項 1 9 記載のデジタル信号プロセッサにおいて、前記第 2 受信手段が、所定時間にわたる前記第 2 クロックの状態不変に응答して、エラー状態を示す手段を含むことを特徴とするデジタル信号プロセッサ。

【請求項 2 9】

請求項 2 0 記載のデジタル信号プロセッサにおいて、前記第 1 送信手段が、前記第 2 受信手段においてタイミング・スキューを補正するために使用される一連のトレーニング・バイトを送信する手段を含むことを特徴とするデジタル信号プロセッサ。

【請求項 3 0】

請求項 2 0 記載のデジタル信号プロセッサにおいて、前記第 2 受信手段が、前記外部デバイスから一連のトレーニング・バイトを受信する手段と、前記トレーニング・バイトに関してタイミング遅延を変化させる手段と、前記データ・ワードの受信において使用する最適なタイミング遅延を選択する手段とを含むことを特徴とするデジタル信号プロセッサ。

40

【請求項 3 1】

請求項 1 9 記載のデジタル信号プロセッサにおいて、前記双方向通信ポートが、更に、送信方向を示す第 3 制御ラインをアサートする手段を備えることを特徴とするデジタル信号プロセッサ。

【請求項 3 2】

請求項 1 9 記載のデジタル信号プロセッサにおいて、前記双方向通信ポートが、更に

50

、第3制御ライン上でフレーム同期信号を送信する手段を含むことを特徴とするデジタル信号プロセッサ。

【請求項33】

デジタル信号プロセッサおよび外部デバイス間における双方向通信方法であって、

(a) 前記デジタル信号プロセッサが、送信モードにおいて、第1制御ライン上で第1クロックを前記外部デバイスに送信し、前記第1クロックに同期して複数のデータ・ライン上でデータ・ワードを前記外部デバイスに送信するステップと、

(b) 前記デジタル信号プロセッサが、前記送信モードにおいて、第2制御ライン上で前記外部デバイスからの第1承認信号を受信するステップと、

(c) 前記デジタル信号プロセッサが、受信モードにおいて、前記第2制御ライン上で第2クロックを受信し、前記第2クロックと同期して、前記複数のデータ・ライン上で前記外部デバイスからのデータ・ワードを受信するステップと、

(d) 前記デジタル信号プロセッサが、前記受信モードにおいて、前記第1制御ライン上で第2承認信号を送信するステップと、
から成ることを特徴とする方法。

【発明の詳細な説明】

【0001】

(発明の分野)

本発明は、デジタル信号プロセッサに関し、更に特定すれば、デジタル信号プロセッサ間、ならびにデジタル信号プロセッサおよび外部デバイス間の高速二点間通信用双方向通信ポート(high speed, point-to-point communication)に関するものである。

(発明の背景)

デジタル信号コンピュータ即ちデジタル信号プロセッサ(DSP)は、例えば、高速フーリエ変換、デジタル・フィルタ、画像処理および音声認識のような、デジタル信号処理用途の処理能力を最適化するために設計された特殊目的コンピュータである。デジタル信号プロセッサの用途は、通常、リアル・タイム動作、高割込率、および集中的数値計算によって特徴付けられる。加えて、デジタル信号プロセッサの用途では、メモリ・アクセス動作を集中的に行い、大量のデータ入力および出力を必要とする場合が多い。したがって、デジタル信号プロセッサの設計は、汎用コンピュータとは全く異なる場合もある。

【0002】

デジタル信号プロセッサのアーキテクチャにおいて、高速数値計算を行なうために用いられてきた手法の1つにハーバード・アーキテクチャ(Harvard architecture)がある。これは、別個の独立したプログラムおよびデータ・メモリを利用し、2つのメモリに同時アクセスを可能としたものである。このアーキテクチャは、命令およびオペランドを単一クロック・サイクルにおいてメモリから取り込むことを可能にする。現在のアーキテクチャは、計算ユニットおよびメモリを単一の集積回路、即ち、チップ上に集積し、自蔵式の高性能デジタル信号プロセッサを実現している。

【0003】

DSPチップの重要な一面に、外部通信がある。DSPは大量のデータを処理するので、DSPチップの内部メモリおよび計算ユニットへのデータ転送ならびに内部メモリおよび計算ユニットからのデータ転送を効率的かつ高速に行なう必要がある。DSPチップは通常並列外部バスを含み、ホスト・コンピュータ、外部メモリ、および、例えば、アナログ／デジタル変換器のようなその他の外部デバイスとの通信を行なう。また、外部バスは、マルチプロセッサ構成またはクラスタにおける2つ以上のDSPチップを相互接続し、計算能力を高めるためにも用いることができる。このバス・アーキテクチャは、デバイス間において情報を高速で転送する機能をもたらす。

【0004】

外部バスによって得られる能力にも関わらず、マルチプロセッサ構成におけるデジタル信号プロセッサ間、またはデジタル信号プロセッサとアナログ／デジタル変換器のよ

うな外部デバイスとの間において、高速二点間通信が頻繁に求められている。二点間通信リンクを用いれば、別の動作に必要となり得る外部バスを用いずに、通常DSPの計算に伴う大量のデータ転送が可能となる。

【0005】

二点間データ伝送の公知手法の1つに、シリアル通信があり、この場合データは単一データ・ライン上で直列に伝送される。この技法は、ケーブル敷設およびDSPチップへの接続に関しては効率的であるが、データを転送可能な速度に限界がある。

【0006】

パラレル・データ転送技法は、最高の速度が得られる。しかしながら、多数の通信ポートが必要となる場合、DSPチップへの接続数が過度に多くなるので、各ポート毎に必要な導体数を極力抑えなければならない。

10

【0007】

ディジタル信号プロセッサ用二点間通信システムが、1997年4月8日にDouglas Gardet al. (ダグラス・ガードその他) に付与された米国特許第5,619,720号に開示されている。開示された通信ポートは、双方向であり、4本のデータ・ライン上で一度に4ビットのニブルを転送する。この手法は非常に満足できる処理能力をもたらすが、伝送の方向を変更するためには、ディジタル信号プロセッサの外部バス上において外部デバイスとの通信が必要となる。この手法は、遅延を生ずる場合もあり、比較的複雑である。

20

【0008】

したがって、高速二点間通信装置の改良が求められている。その通信装置は、必要な導体数が少なくなければならず、最少のオーバーヘッドで大量のデータを高速転送でき、しかも伝送方向を簡単に変更可能でなければならない。

(発明の概要)

本発明をより良く理解するために、図面を参照する。図面はこの言及により本願にも含まれるものとする。

【0009】

本発明の第1の態様によれば、外部デバイスとの通信のための双方向通信ポートを、ディジタル信号プロセッサ内に設ける。双方向通信ポートは、送信モードにおいて第1制御ライン上で第1クロックを外部デバイスに送信し、かつ第1クロックと同期して複数のデータ・ライン上でデータ・ワードを外部デバイスに送信する第1送信手段と、送信モードにおいて、外部デバイスからの第1承認信号(acknowledge signal)を第2制御ライン上で受信する第1受信手段とを含む。更に、通信ポートは、受信モードにおいて、第2制御ライン上で第2クロックを受信し、かつ第2クロックと同期して、外部デバイスからのデータ・ワードを複数のデータ・ライン上で受信する第2受信手段と、受信モードにおいて、第1制御ライン上に第2承認信号を送信する第2送信手段とを含む。更に、通信ポートは、送信モードおよび受信モード間で切り替えを行なう切り替え手段を含む。通信ポートは、ディジタル信号プロセッサ間的高速通信、またはディジタル信号プロセッサおよび外部デバイス間の通信に用いることができる。

30

【0010】

一実施形態では、第1送信手段は、各々mビットのデータ・ワードを送信する手段を含み、データ・ワードの各々を、一連のm/8バイトとして8本のデータ・ライン上に送信する。第2受信手段は、各々mビットのデータ・ワードを受信する手段を含み、データ・ワードの各々を、一連のm/8バイトとして8本のデータ・ライン上で受信する。

40

【0011】

切り替え手段は、受信モードにおいて第1クロックをアサート(assert)することにより、送信要求を発生し、受信モードから送信モードに切り替える手段を含む。更に、切り替え手段は、送信モードにおいて、第2クロックのアサートに応答し、送信モードから受信モードに切り替える手段を含む。

【0012】

50

第1送信手段は、所定数のデータ・ワードの送信に続いて、検証バイト (verification byte) を送信する手段を含む。検証バイトは、チェックサム・バイトで構成することができる。第2受信手段は、所定数のデータ・バイトの受信に続いて、検証バイトを受信する手段と、検証バイトに応答して受信したデータ・バイトにおけるエラーを識別する手段とを含む。

【0013】

第1受信手段は、データ・ワードの送信中第1承認信号における遷移に応答して、通信ポートの外部デバイスへの接続を確認する手段を含む。更に、第1受信手段は、タイムアウト期間に対する第1承認信号のディアサートに応答し、不良状態を示す手段を含む。更に、第2受信手段は、所定時間にわたる第2クロックの状態不変に応答して、不良状態を示す手段を含む。

10

【0014】

双方向通信ポートは、第3制御ラインを含むこともできる。一構成では、第3制御ラインは、通信ポートの送信方向を示す。別の構成では、第3制御ラインは、フレーム同期に用いられる。

【0015】

本発明の別の態様によれば、デジタル信号プロセッサおよび外部デバイス間における双方向通信方法を提供する。デジタル信号プロセッサは、送信モードにおいて、第1制御ライン上で第1クロックを外部デバイスに送信し、第1クロックに同期して複数のデータ・ライン上でデータ・ワードを外部デバイスに送信する。デジタル信号プロセッサは、送信モードにおいて、第2制御ライン上で外部デバイスからの第1承認信号を受信する。デジタル信号プロセッサは、受信モードにおいて、第2制御ライン上で第2クロックを受信し、第2クロックと同期して、複数のデータ・ライン上で外部デバイスからのデータ・ワードを受信する。デジタル信号プロセッサは、受信モードにおいて、第1制御ライン上で第2承認信号を送信する。

20

(詳細な説明)

本発明によるデジタル信号プロセッサ (DSP) 10のブロック図を図1に示す。DSP 10の主要な構成要素は、計算ブロック12および14、メモリ16、制御ブロック24、リンク・ポート26、外部ポート28、DRAMコントローラ30、命令整合バッファ (IAB: instruction alignment buffer) 32、ならびに一次命令デコーダ34である。計算ブロック12および14、命令整合バッファ32、一次命令デコーダ34、ならびに制御ブロック24は、コア・プロセッサを構成し、DSP 10の主な計算およびデータ処理機能を実行する。外部ポート28は、外部アドレス・バス58および外部データ・バス68を通じた外部通信を制御する。リンク・ポート26は、通信ポート36を介した外部通信を制御する。DSPは、単一のモノリシック集積回路として構成することが好ましく、0.35ミクロン・ゲート、四金属、SRAM CMOSプロセスを用いて製造することが好ましい。好適な実施形態では、周波数41.5 MHzの外部クロック (図示せず) を内部で4倍し、166 MHzの内部クロックを供給する。

30

【0016】

メモリ16は、3つの独立した大容量メモリ・バンク40、42および44を含む。好適な実施形態では、メモリ・バンク40、42および44は、各々32ビット・ワード64 K分の容量を有する。以下で論ずるが、メモリ・バンク40、42および44の各々は、128ビット・データ・バスを有することが好ましい。単一のクロック・サイクルにおいて、各々32ビットの連続整合データ・ワードを4つまで各メモリ・バンクに、または各メモリ・バンクから転送することができる。

40

【0017】

DSP 10のエレメントは、効率的な高速動作のために、バスによって相互接続されている。バスの各々は、二進情報の並列転送のために多数のラインを含む。第1アドレス・バス50 (MA0) は、メモリ・バンク40 (M0) および制御ブロック24を相互接続す

50

る。第2アドレス・バス52(MA1)は、メモリ・バンク42(M1)および制御ブロック24を相互接続する。第3アドレス・バス54(MA2)は、メモリ・バンク44(M2)および制御ブロック24を相互接続する。アドレス・バス50、52および54の各々は、好ましくは、16ビット幅とする。外部アドレス・バス56(MAE)は、外部ポート28および制御ブロック24を相互接続する。外部アドレス・バス56は、外部ポート28を介して、外部アドレス・バス58に相互接続されている。外部アドレス・バス56および58の各々は、好ましくは、32ビット幅とする。第1データ・バス60(MD0)は、メモリ・バンク40、計算ブロック12および14、制御ブロック24、リンク・ポート26、IAB32ならびに外部ポート28を相互接続する。第2データ・バス62(MD1)は、メモリ・バンク42、計算ブロック12および14、制御ブロック24、リンク・ポート26、IAB32、および外部ポート28を相互接続する。第3データ・バス64(MD2)は、メモリ・バンク44、計算ブロック12および14、制御ブロック24、リンク・ポート26、IAB32、および外部ポート28を相互接続する。データ・バス60、62および64は、外部ポート28を介して外部データ・バス68に接続されている。データ・バス60、62および64の各々は、好ましくは、128ビット幅とし、外部データ・バス68は、好ましくは、64ビット幅とする。

【0018】

第1アドレス・バス50および第1データ・バス60は、データのメモリ・バンク40への転送およびメモリ・バンク40からの転送のためのバスを構成する。第2アドレス・バス52および第2データ・バス62は、データのメモリ・バンク42への転送およびメモリ・バンク42からの転送のための第2バスを構成する。第3アドレス・バス54および第3データ・バス64は、データのメモリ・バンク44への転送およびメモリ・バンク44からの転送のための第3バスを構成する。メモリ・バンク40、42および44の各々は、別個のバスを有するので、メモリ・バンク40、42および44には同時にアクセスすることができる。ここで用いる場合、「データ」とは、二進ワードのことを言い、DSP10の動作に関連する命令またはオペランドのいずれかを表わすことができる。代表的な動作モードでは、プログラム命令がメモリ・バンクの1つに格納され、オペランドがその他の2つのメモリ・バンクに格納される。このように、少なくとも1つの命令および2つのオペランドを、単一のクロック・サイクルにおいて、計算ブロック12および14に供給することができる。以下で説明するが、メモリ・ブロック40、42および44の各々は、単一のクロック・サイクルにおいて、多数のデータ・ワードの読み取りおよび書き込みが可能となるように構成されている。単一のクロック・サイクルにおける各メモリ・バンクからの多数のデータ・ワードの同時転送は、命令キャッシュやデータ・キャッシュを必要とせずに行われる。

【0019】

制御ブロック24は、プログラム・シーケンサ70、第1整数ALU72(JALU)、第2整数ALU74(KALU)、第1DMAアドレス発生器76(DMAG A)、第2DMAアドレス発生器78(DMAG B)、およびブランチ・ターゲット・バッファ80を含む。整数ALU72および74は、異なる時点において、整数ALU命令を実行し、データ・アドレスを発生する。プログラムの実行中、プログラム・シーケンサ70は、命令シーケンスのメモリ位置に応じて、アドレス・バス50、52、54および56の1つの上で一連の命令アドレスを供給する。通常、メモリ・バンク40、42または44の1つが、命令シーケンスの格納のために用いられる。整数ALU72および74の各々は、命令によって要求されるオペランドの位置に応じて、アドレス・バス50、52、54および56の1つの上にデータ・アドレスを供給する。例えば、命令シーケンスがメモリ・バンク40に格納されており、必要なオペランドがメモリ・バンク42および44に格納されていると仮定する。この場合、プログラム・シーケンサは、命令アドレスをアドレス・バス50上に供給し、アクセスされた命令を命令整合バッファ32に供給する。これについては以下で説明する。整数ALU72および74は、例えば、アドレス・バス52および54上にそれぞれ、オペランドのアドレスを出力することができる。整数AL

U72および74が発生したアドレスにตอบสนองして、メモリ・バンク42および44は、データ・バス62および64上に、それぞれ、計算ブロック12および14のいずれかまたは双方に向けてオペランドを供給する。メモリ・バンク40、42および44は、命令およびオペランドの格納に関しては、相互交換可能である。

【0020】

プログラム・シーケンサ70および整数ALU72および74は、外部ポート28を介して、外部メモリ（図示せず）にアクセスすることができる。所望の外部メモリ・アドレスをアドレス・バス56上に置く。外部アドレスは、外部ポート28を介して、外部アドレス・バス58に結合される。外部メモリは、要求されたデータ・ワードまたは複数のデータ・ワードを外部データ・バス68上に供給する。外部データは、外部ポート28ならびにデータ・バス60、62および64の1つを通じて、計算ブロック12および14の一方または双方に供給される。DRAMコントローラ30は、外部メモリを制御する。

10

【0021】

先に示したように、メモリ・バンク40、42および44は各々、好ましくは、各々32ビット・ワード64k分の容量を有する。各メモリ・バンクは、128ビット幅のデータ・バスに接続することができる。代替実施形態では、各データ・バスは64ビット幅としてもよく、クロック・フェーズ1およびクロック・フェーズ2の各々において64ビットを転送することにより、事実上128ビットのバス幅が得られる。単一のクロック・サイクルにおいて、各メモリ・バンク内で多数のデータ・ワードにアクセスすることができる。即ち、データは、各々32ビットの単一ワード、二重ワード、または四重ワード（quad word）としてアクセスすることができる。二重および四重アクセスでは、メモリにおいてデータを整合しなければならない。四重データ・アクセスの代表的な用途は、高速フーリエ変換（FFT）および複素FIRフィルタである。また、四重アクセスは、倍精度演算にも役立つ。好ましくは、命令を四重ワードとしてアクセスする。しかしながら、以下で論ずるように、命令をメモリ内で整合する必要はない。

20

【0022】

四重ワード転送を用いると、各々32ビットの4つの命令および8つのオペランドを、単一クロック・サイクルにおいて計算ブロック12および14に供給することができる。転送されるデータ・ワード数、およびデータ・ワードを転送する計算ブロックまたは複数のブロックは、命令内の制御ビットによって選択される。単一、二重、または四重データ・ワードは、計算ブロック12、または計算ブロック14、あるいは双方に転送することができる。二重および四重データ・ワード・アクセスは、単一クロック・サイクルにおいて数個のオペランドを計算ブロック12および14に転送可能にすることにより、多くの用途において、DSP10の処理能力向上をもたらす。各クロック・サイクル毎に多数の命令にアクセスすることができるので、各サイクル毎に多数の演算を実行することができ、これによって処理能力が向上する。計算ブロック12および14が必要とするよりも速くオペランドを供給することができれば、メモリ・サイクルが残り、コア・プロセッサからサイクルを盗むことなく、DMAアドレス発生器76および78がこれら未使用サイクルを使用し、その間に新たなデータをメモリ・バンク40、42および44に供給することが可能となる。最後に、多数のデータ・ワードにアクセスすることができるので、2つ以上の計算ブロックを利用し、これらにオペランドを供給し続けることが可能となる。単一または二重データ・ワードにアクセスすることができるので、四重データ・ワードのみがアクセスされる構成と比較すると、電力消費が低減する。

30

40

【0023】

リンク・ポート26のブロック図を図2に示す。図2の例では、ディジタル信号プロセッサは、4つの双方向リンク・ポート、即ち、通信ポート132、134、136および138を含む。尚、ディジタル信号プロセッサは、本発明の範囲内において、あらゆる数の双方向通信ポートでも含み得ることは理解されよう。バス90、92および94が、バス・バッファ110に結合されている。バス90は、データ・バス60（図1）およびアドレス・バス50を含む。バス92は、データ・バス62およびアドレス・バス52を含む

50

。そしてバス94は、データ・バス64およびアドレス・バス54を含む。バス・バッファ110は、データ・バス60、62および64を、それぞれ、リンク・ポート・データ・バス120、122および124に結合する。また、バス・バッファ110は、アドレス・バス50、52および54を、それぞれ、リンク・ポート・アドレス・バス112、114および116にも結合する。アドレス・バス112、114および116は、中央制御ロジック130に入力される。

【0024】

データ・バス120、122および124は、リンク・ポート132、134、136および138に接続されている。更に具体的には、データ・バス120は、出力バス120aおよび入力バス120bに別れ、データ・バス122は出力バス122aおよび入力バス122bに別れ、データ・バス124は出力バス124aおよび入力バス124bに別れる。出力バス120a、122aおよび124aは、それぞれ、リンク・ポート132、134、136および138内の出力バッファ142、144、146および148に接続されている。入力バス120b、122bおよび124bは、それぞれ、リンク・ポート132、134、136および138内の入力バッファ152、154、156および158に接続されている。出力バッファ142および入力バッファ152は、リンク・ポート132のデータ経路162に接続されている。同様に、出力バッファ144および入力バッファ154は、リンク・ポート34のデータ経路164に接続され、出力バッファ146および入力バッファ156はリンク・ポート136のデータ経路166に接続され、出力バッファ148および入力バッファ158はリンク・ポート138のデータ経路168に接続されている。図2の例では、各データ経路162、164、166および168のポートは、8本のデータ・ラインを有する。尚、本発明の範囲内において、異なる数のデータ・ライン、通常では、4本以上も利用可能であることは理解されよう。データ経路162、164、166および168は双方向である。送信するデータは、それぞれの出力バッファ142、144、146および148に保持され、受信データはそれぞれの入力バッファ152、154、156および158に保持される。

【0025】

本発明による双方向通信ポートを用いた2つのデジタル信号プロセッサ間における相互接続のブロック図を図3に示す。デジタル信号プロセッサ180は、リンク・ポート182を介して、デジタル信号プロセッサ188のリンク・ポート186に相互接続されている。リンク・ポート相互接続部は、データ・ラインLxDATおよび2本の制御ラインを含む。以下で論ずるが、場合によっては、任意に第3の制御ラインを用いる場合もあり得る。図3の例では、リンク・ポートは8本のデータ・ラインを有するので、1バイトが並列に転送される。制御ラインは、第1制御ラインLxCLK Aおよび第2制御ラインLxCLK Bを含む。

【0026】

双方向データ伝送に好適なプロトコルについて、図3および図4のタイミング図を参照しながら説明する。制御ラインLxCLK AおよびLxCLK Bは、ハンドシェイク対を形成し、非同期データ転送を可能とする。この場合、送信機は、一方のクロック・ライン上にクロックまたはストロブ(strobe)を供給し、受信機は他方のクロック・ライン上に承認信号を供給する。1本の制御ラインが各デジタル信号プロセッサに割り当てられている。デジタル信号プロセッサは、一方の制御ラインを駆動し、他方の制御ライン上で受信を行なう。DSPが送信しているとき、制御ラインはストロブとして駆動される。DSPが受信しているとき、同じ制御ラインが、承認信号として駆動される。

【0027】

図3および図4の例では、リンク・ポートが送信する32ビット・ワードは、4バイトを含み、四重ワードは16バイトを含む。図4に示すように、各クロック・サイクル毎に、2バイトが送信される。クロックの立ち上がりエッジおよび立ち下がりエッジ双方が、データを送信するために用いられる。クロックの立ち上がりエッジ上で、第1バイトが8データ・ライン上で送信され、クロックの立ち下がりエッジ上で第2バイトが送信される。

受信機は、その受信バッファ内に別のワードを受け入れる用意ができたときに、承認信号をアサートする。送信機は、各四重ワード送信の終了時近くに、即ち、各16バイトの後に、承認信号をサンプリングする。その時点で承認信号をディアサートすると、送信機は新たなワードを送信しない。最終的に承認信号を再度アサートすると、送信機は、以下で述べるように、4サイクル待ち、受信機が送信方向を変更していないことを確認する。次いで、送信機は、次の四重ワードの送信を開始する。送信バッファが空の場合、クロック信号は、バッファが再度満たされるまで、承認信号の状態には無関係に高に留まる。

【0028】

リンク・ポートは双方向通信を可能とし、データ転送方向を変更することができる。プログラマは、受信機が送信方向の変更を要求する前に、送信するデータの packetsize を制御する。一例では、256ワードの packetsize または無限サイズの packetsize を選択することも可能である。256ワードの packetsize を選択した場合、256ワードを送信した後、送信方向が変化する場合がある。無限サイズの packetsize を選択した場合、送信機は、それが終了するまで、送信し続ける。

10

【0029】

リンク・ポートが現在受信中であり、送信するデータを有する場合、即ち、方向を変更したい場合、受信ワード・カウンタが示す、選択した packetsize の packetsize を受信した後に、その承認信号をディアサートする。送信機が四重ワードの終端において送信を停止すると、受信機は送信モードに切り替え、その L x C L K ラインを用い、承認信号の代わりにストロブを送ることによって、データを送信し始める。送信方向を切り替えた後、以前の送信機が承認信号を駆動し、新たな送信機がチェックする。次いで、新たな送信機がデータを送信する。

20

【0030】

図4に示すように、デバイスAは L x C L K A ラインを駆動し、デバイスBは L x C L K B ラインを駆動する。デバイスAは、四重データ・ワード a0 ~ a15 を送信し、L x C L K A ラインは、デバイスAによって駆動されるストロブ信号を搬送し、L x C L K B ラインは、デバイスBによって駆動される承認信号を搬送する。以下で論ずるが、デバイスAは、検証バイトおよび未使用バイト、または検証バイトおよびトレーニング・バイト（図示せず）を送信することも可能である。デバイスBは、四重データ・ワードの送信中、L x C L K B ライン上の承認信号をディアサートする。四重データ・ワード a0 ~ a15（および四重データ・ワードに関連するあらゆる付加バイト）の送信完了後、デバイスBは L x C L K B ラインをストロブとしてトグル (toggle) することにより、送信を開始することができる。四重データ・ワード a0 ~ a15 で 256ワード・packetsize またはその他の選択した packetsize が完成し、送信方向を変更できると仮定する。デバイスBは四重データ・ワード b0 ~ b15 およびあらゆる関連バイトを送信し、デバイスAは L x C L K A ライン上の四重データ・ワード b0 ~ b15 を承認する。あるいは、四重データ・ワード a0 ~ a15 の送信完了後、デバイスBは、L x C L K B ライン上の承認信号をアサートし、デバイスAは送信を継続することができる。

30

【0031】

送信方向は、現在受信中のデバイスによって制御される。現在受信中のデバイスは、その L x C L K ライン上の承認信号をアサートし、追加のデータを受信する準備ができていることを示すことができる。あるいは、現在受信中のデバイスは、その L x C L K ラインをストロブとしてトグルし始め、送信方向を変更しようとしていることを示すことができる。現在送信中のデバイスは、現在受信中のデバイスからの L x C L K ラインを検査することによって、送信し続けるかまたは方向を変更するかについて判定を行なう。現在受信中のデバイスからの L x C L K ラインが、4サイクルというような、所定の待ち時間にわたってアサートされたままである場合、現在送信中のデバイスは承認信号を認識し、送信し続ける。現在受信中のデバイスからの L x C L K ラインがトグルされた場合、現在送信中のデバイスは送信方向の変更を認識し、送信モードから受信モードに変更する。所定の待ち時間は、ライン L x C L K 上において現在受信中のデバイスからの承認信号およびス

40

50

トローブ間で区別を行なうのに十分であれば、いずれの時間とすることも可能である。

【0032】

本発明の双方向リンク・ポートは、任意の制御ライン $L \times D I R$ を含むこともでき、2つの異なる機能を（異なる時点で）行なうことができる。第1構成では、 $L \times D I R$ ラインは、リンク・ポートの送信方向を示す。DSPチップ外部で駆動回路を用いる場合、方向制御信号を利用し、例えば、比較的長い距離にわたる送信、または光ファイバ上での送信を行なうことも可能である。方向制御信号の状態は、送信の方向を示す。

【0033】

第2の構成では、 $L \times D I R$ ラインは、多元チャネル送信におけるフレーム同期に用いられる。受信モードでは、フレーム同期信号をアサートして低とし、フレーム／バッファの終了を意味することができる。フレーム同期信号は、四重ワードの終端において、ライン・クロックの立ち上がりエッジ上でサンプリングする。論理「1」から論理「0」への遷移は、バッファの終了を意味する。これは、最後の1つを含む、これまでに受信されたバイトが完全なバッファであることを意味するものとして解釈される。送信モードでは、フレーム同期信号はバッファの終了を意味し、リンク・ポート上で駆動されている現DMAの最後のバイトの直前で、アサートされ低となる。送信フレーム同期信号は、新たなDMAブロックが送信を開始するとき、ディアサートされる。

10

【0034】

リンク・ポート132の出力バッファ142および入力バッファ152のブロック図を図5に示す。出力バス120a、122aおよび124aから選択した1つが、出力バス・マルチプレクサ220によって、内部レジスタ222に接続される。内部レジスタ222の出力は、外部レジスタ224の入力に接続されている。外部レジスタ224の出力は、送信制御ロジック230を介して、データ経路162に接続されている。 $L \times C L K A$ および $L \times C L K B$ 制御ラインは、送信制御ロジック230に接続されている。出力マルチプレクサ234が、適切なバスのために制御ラインを選択し、選択した制御ラインを送信制御ロジック230に供給する。

20

【0035】

入力バッファ152において、データ経路162は受信制御ロジック250を介して外部レジスタ252に結合されている。外部レジスタ252の出力は、内部レジスタ254の入力に結合され、内部レジスタ254の出力は入力バス・マルチプレクサ256に結合されている。入力バス・マルチプレクサ256は、内部レジスタ254の出力を、入力バス120b、122bおよび124bから選択した1つに結合する。入力マルチプレクサ260は、制御信号を選択し、選択した制御信号を受信制御ロジック250に供給する。 $L \times C L K A$ および $L \times C L K B$ 制御ラインは、受信制御ロジック250に接続されている。制御レジスタ262は、入力および出力バッファの動作を制御するための制御情報を収容する。

30

【0036】

リンク・ポートが送信している場合、内部レジスタ222は内部メモリ・データまたはDMAデータを受け入れる。外部レジスタ224は、最上位バイトを先頭として、四重データ・ワードのバイトへのアンパック（unpacking）を行う。レジスタ222および224は、二段階先入れ先出し（FIFO）を形成する。満杯状態が通知されるまでは、内部メモリまたはDMAコントローラによって、2回の書き込みがバッファに対して行われる。各データ・ワードをアンパックし送信する毎に、FIFO内の次の位置が使用可能となり、新たな要求を行なうことができる。レジスタが空になると、クロックはディアサート（deassert）される。

40

【0037】

リンク・ポートが受信している場合、外部レジスタ252を用い、最上位バイトを先頭として、受信データをパックする。データは、外部レジスタ252から内部レジスタ254に渡され、その後内部メモリまたはDMAコントローラに転送される。レジスタ252および254によって形成されるバッファは、リンク・ポート入力には、深さ8ワードのF

50

I F Oであるかのように見える。全ての位置が満たされるまでは、D M Aコントローラがバッファにサービスしない場合、承認信号をディアサートする。内部レジスタ2 5 4がD M Aコントローラまたは内部メモリによってアクセスされると、深さ2ワードのF I F Oのように見える。受信ハンドシェイクが、受信制御ロジック2 5 0によって確立される。これについては以下で説明する。

【0038】

中央制御ロジック1 3 0のブロック図を図6に示す。中央制御ロジックは、バス選択およびアドレッシングを制御する。各リンク・ポートは3つのレジスタを有し、これらはグローバル・メモリ・マップにマッピングされる。即ち、入力バッファ内部レジスタ2 5 4（読み取りのみ）、出力バッファ内部レジスタ2 2 2（書き込みのみ）、および制御レジスタ2 6 2（読み取りおよび書き込み）にマッピングされる。リンク・ポート・アドレス・バス1 1 2、1 1 4および1 1 6上のアドレスは、アドレス・レジスタ3 1 0、3 1 2および3 1 4にそれぞれラッチされる。アドレス・レジスタ3 1 0、3 1 2および3 1 4の出力は、それぞれ、デコーディング・ユニット3 2 0、3 2 2および3 2 4に結合されている。デコーディング・ユニットは、受け取ったアドレスに応じて4つのリンク・ポートの各々において、出力バッファ内部レジスタ2 2 2、入力バッファ内部レジスタ2 5 4および制御レジスタ2 6 2にイネーブル信号を発生する。デコーディング・ユニット3 2 0、3 2 2および3 2 4の追加出力が、優先度ロジック・ユニット3 4 0、3 4 2、3 4 4および3 4 6に供給され、1つが各リンク・ポートに対応する。優先度ロジック・ユニットの出力は、リンク・ポートの各々における出力バス・マルチプレクサ2 2 0および入力バス・マルチプレクサ2 5 6に、選択信号を供給する。

【0039】

送信制御ロジック2 3 0（図5）のブロック図を図7に示す。リンク・ポート・データ経路1 6 2は、送信制御ロジック2 3 0を通過し、送信エラーを検出するエラー・ユニット4 1 0に結合されている。L x C L K AおよびL x C L K B制御ラインは、制御ユニット4 2 0に結合されている。バイト・カウンタ4 2 4は、送信バイトをカウントし、カウントを制御ユニット4 2 0に供給する。エラー・ユニット4 1 0は、検証バイトを発生する。これについては以下で説明する。

【0040】

受信制御ロジック2 5 0（図5）のブロック図を図8に示す。リンク・ポート・データ経路1 6 2は、受信制御ロジック2 5 0を通過し、受信エラーを検出するエラー・ユニット4 5 0に結合されている。制御ラインL x C L K AおよびL x C L K Bは制御ユニット4 6 0に結合されている。バイト・カウンタ4 6 4は、受信バイトをカウントし、カウントを制御ユニット4 6 0に供給する。エラー・ユニット4 5 0は、受信データ・バイトからローカル検証バイトを発生し、このローカル検証バイトを受信した検証バイトと比較し、エラー状態を判定する。これについては、以下で説明する。

【0041】

以上、1つのデバイスを通信チャネルの各終端に接続する二点間通信に関連付けて、本発明の双方向リンク・ポートについて説明した。本発明の更に別の特徴によれば、3つ以上のデバイスのリンク・ポートをバス構成で接続することも可能である。この双方向リンク・ポートのバス構成は、二点間モードで動作することができる。この場合、バスに接続した1つのデジタル信号プロセッサが送信を行い、別のデバイスが受信を行ない、他のデバイスは全て、三状態のバスに接続されている。同報通信モードでは、1つのデジタル信号プロセッサが、リンク・ポート・バスに接続されている他のデバイスにデータを同報通信する。同報通信モードでは、承認信号は、ワイヤ・オアされているので、バスに接続されているいずれのデバイスでも承認信号をディアサートすることができる。リンク・ポートをバス構成で用いる場合、リンク・ポート・バス上のどのデバイスが送信し、どのデバイスまたはデバイス群が受信しているのかを確定するためには、外部バス5 8、6 8（図1）を通じたデバイス間の通信が必要となる。

【0042】

10

20

30

40

50

本発明の別の特徴によれば、リンク・ポートは、フロー・スルー構成で動作することができる。再度図2を参照すると、データは、例えば、1つの外部デバイスからリンク・ポート132によって受信され、リンク・ポート134に受け渡されて、第2の外部デバイスに送信することができる。即ち、データ経路162上で受信したデータを、リンク・ポート132の入力バッファ152からリンク・ポート134の出力バッファ144に転送し、データ経路164上に伝送する。

【0043】

本発明の別の特徴によれば、リンク・ポートは、DSPの内部メモリ16（図1）へおよび内部メモリ16からのDMA転送、または外部バス56、68を通じた外部メモリへのおよび外部メモリからのDMA転送にも用いることができる。本発明の双方向リンク・ポートは、1つ以上のエラー検出機構を含むことができる。第1のエラー検出機構では、所定数のデータ・バイトに続いて、検証バイトを送信することができる。例えば、検証バイトは、16バイトの各四重ワードの後に送信することができる。検証バイトは、従来のチェックサム計算を用いて、送信されたデータ・バイトに基づいて計算すればよい。受信機は、受信したデータ・バイトについて同じ計算を行い、ローカル検証バイトを発生する。ローカル検証バイトを、受信した検証バイトと比較する。ローカル検証バイトが受信した検証バイトと一致しない場合、エラー状態が示される。受信機は、例外割込（*exception interrupt*）を発生し、および／またはその承認信号をディアサートすることができる。

【0044】

別のエラー検出機構によれば、受信機は、各四重ワード送信の間、一次的に承認信号をディアサートする。送信機が送信中に承認信号において遷移を検出しない場合、受信機の不良が指示され、例外割込を発生する。この機構は、承認信号の永続的にアサートされている状態をチェックする。別のエラー検出機構では、送信機はタイムアウトを利用して、承認信号が永続的にディアサートされているエラー状態を検出することができる。受信機からの承認信号が、プログラム可能なタイムアウト期間にわたってディアサートされたままとなっている場合、受信機エラーが指示され、例外割込を発生する。同様に、受信機は、送信機から受信するクロック信号に対して、タイムアウトを利用することも可能である。受信機において、プログラム可能なタイムアウト期間にわたってクロック状態が変化しない場合、送信機エラーが指示され、例外割込を発生する。これらの機構は、送信機および受信機間の接続性（*connectivity*）をチェックする。接続性のソフトウェアによるチェックも実現可能である。また、タイマが割込ルーチンを周期的に起動し、メッセージを受信機に送ることも可能である。このメッセージは、宛先のデバイスに割込、送信機にメッセージを返送させることによって、接続を検証する。

【0045】

本発明の双方向リンク・ポートは、高データ転送速度を対象に設計されている。一例では、リンク・ポートは100MHzクロックを用い、その結果200MHzのデータ速度となる。何故なら、各クロック・サイクル毎に2バイトが転送されるからである。リンク・ポートを相互接続するためには、リボン同軸ケーブルを用いることができる。これらのクロック周波数では、データ・ラインに対するクロック・スキュー、およびデータ・ライン間のスキューが、データ送信においてエラーを生ずる可能性がある。本発明の双方向リンク・ポートの更に別の特徴によれば、トレーニング・シーケンスをデータと共に送信し、タイミング・スキューの補正を可能とすることができる。即ち、各四重ワードに続いて、トレーニング・バイトを送信することができる。したがって、16バイトの各四重ワードの後に、検証バイトおよびトレーニング・バイトが続く場合もある。トレーニング・バイトは、受信機にはわかっている所定パターンに応じて、適宜変更することができる。受信機には、各受信データ信号のタイミング遅延を $\pm p\Delta$ の量だけ変化させる回路が備えられており、 Δ は、例えば、bc200ピコ秒とし、 p は0、1、2、3等とすることができる。 $p\Delta$ のタイミング遅延は、トレーニング・バイトを受信するときに導入する。タイミング遅延は、エラーが発生するまで、トレーニング・バイトの連続に応じて延長していく

。トレーニング・バイトの内容は受信機にはわかっているので、エラーを検出することができる。こうして、エラーが発生するまで、逆極性のタイミング遅延が、連続するトレーニング・バイトに導入される。正しいタイミングは、エラーを生ずる正および負タイミング遅延にわたる範囲の中心として確定すればよい。データ・バイトの受信には、正しい遅延が用いられる。トレーニング・シーケンスは、必要なだけ繰り返すことができる。

【0046】

受信制御ロジック250の制御ユニット460（図8）の動作について、図9Aおよび図9Bのフロー・チャートを参照しながら説明する。以下では、リンク・ポートは、送信機および受信機を有し、その一方がリンク・ポートの制御を行なうものとして説明する。ステップ510において受信機がイネーブル（enable）状態にあると判定された場合、ステップ512においてプログラムされている転送速度をチェックし、ステップ514または516において、必要であれば変更する。送信機が支配側（リンク・ポートの制御を行なう）であるとステップ520で判定された場合、受信機は待機する。それ以外の場合、ステップ522において、受信機のバッファをセットし、ステップ524において、制御レジスタ262または入力バッファの内部レジスタ254が他の資源（resource）によってアクセスされたか否かについて判定を行なう。制御レジスタまたは入力バッファの内部レジスタがアクセスされた場合、ステップ526において適切な選択信号を制御ロジックに送る。ステップ530において受信機に問題が検出された場合、ステップ532において承認信号をディアサートし、それ以上の動作を中止する。受信機に問題が検出されない場合、ステップ534において承認信号をアサートする。次に、ステップ536において、受信機はアクティブなクロック入力を探す。アクティブなクロック入力が見つかった場合、ステップ540においてデータ経路162上のバイトを外部レジスタ252（図5）にラッチする。ステップ542において、16バイトを受信し終えたか否かについて判定を行なう。未だ16バイトを受信していない場合、プロセスはステップ524に戻り、追加のバイトを受信する。16バイトを受信し終えた後、プロセスはステップ550（図9B）に進み、検証バイトの処理を行なう。ステップ536においてアクティブなクロック入力が見つからない場合、ステップ546において、既定のタイムアウト期間が経過したか否かについて判定を行なう。タイムアウト期間が経過していない場合、プロセスはステップ536に戻り、アクティブなクロック入力を探す。タイムアウト期間が経過した後、ステップ548において接続性エラー割込を発生する。

【0047】

次に図9Bを参照すると、ステップ550において、ローカル検証バイトを、受信した検証バイトと比較し、ステップ552において内部レジスタを駆動する（clock）。ステップ554において、DMAまたは割込をイネーブルするか否かについて判定を行なう。DMAをイネーブルする場合、ステップ556においてDMA要求信号DMARをDMAコントローラに送る。割込をイネーブルする場合、ステップ558において割込要求信号を発生する。ステップ560において、受信ステータスを制御レジスタ262に送る。ステップ562において、所定のタイム・スロットにおいて承認信号をディアサートし、接続性チェックを行なう。

【0048】

ステップ564において、プログラムされている受信パケットのサイズをチェックする。図9Bの例では、パケット・サイズは256ワード、または無限のワード数であると仮定する。パケット・サイズを256ワードに選択した場合、ステップ566において、完全なパケットが受信されたか否かについて判定を行なう。完全なパケットが受信されていた場合、ステップ572において、現在受信中のリンク・ポート内の送信機が、送信するデータを有するか否かについて判定を行なう。現在受信中のリンク・ポート内の送信機が、送信するデータを有する場合、ステップ574において承認信号をディアサートし、プロセスはステップ568に進み、送信モードに変更する。ステップ570において4サイクル遅延を開始し、次いでプロセスはステップ520に戻り、受信機が再度アクティブになるまで待つ。完全なパケットが未だ受信されていないとステップ566において判定され

た場合、または現在受信中のリンク・ポートが送信するデータを有していないとステップ 572 において判定された場合、プロセスはステップ 524（図 9A）に戻り、別の四重データ・ワードを受信する。受信機が無限サイズの packets を受信するようにプログラムされているとステップ 564 において判定された場合、ステップ 576 において、クロック遷移が送信機から受信されているか否かについて判定を行なう。クロック遷移が受信されている場合、プロセスはステップ 524 に戻り、別の四重データ・ワードを受信する。クロック遷移が受信されていないとステップ 576 において判定された場合、ステップ 572 において、現在受信中のリンク・ポート内の送信機が、送信するデータを有するか否かについて判定を行なう。ステップ 572 から、プロセスは前述のように進んでいく。

【0049】

送信制御ロジック 230 内の制御ユニット 420（図 7）の動作について、図 10A および図 10B のフロー・チャートを参照しながら説明する。ステップ 610 において、送信機をイネーブルするか否かについて判定を行なう。送信機をイネーブルする場合、ステップ 612 において、プログラムされている転送速度を判定し、ステップ 614 またはステップ 616 において、必要に応じてクロックを変更する。ステップ 620 において、送信機または受信機のどちらが支配側かについて判定を行なう。受信機が支配側である場合、送信機は待機状態に留まる。送信機が支配側である場合、ステップ 622 において送信機のバッファをセットし、DMA をイネーブルする場合、ステップ 624 において、DMA 要求信号 DMA R をアサートする。

【0050】

ステップ 626 において、制御レジスタ 262 または出力バッファの内部レジスタ 222 がアサートされているか否かについて判定を行なう。制御レジスタまたは内部レジスタがアサートされている場合、ステップ 628 において、適切なクロック信号を制御ロジックに送る。それ以外の場合、プロセスはステップ 630 に進み、送信機に問題があるか否かについて判定を行なう。ステップ 630 において問題が識別された場合、ステップ 632 においてクロック信号をディアサートする。それ以外の場合、送信機は、ステップ 634 において、承認信号がアサートされているか否かについて判定を行なう。

【0051】

承認信号がアサートされている場合、ステップ 640 において、いずれかのデータを送信することができるか否かについて判定を行なう。データを送信することができない場合、ステップ 642 においてクロック信号を高レベルに保持する。ステップ 644 において、4 クロック・サイクルに等しい時間が経過したか否かについて判定を行なう。4 クロック・サイクルが経過していない場合、プロセスはステップ 634 に戻る。4 クロック・サイクルが経過した後、プロセスはステップ 626 に進む。ステップ 640 においてデータを送信することができる場合、ステップ 652 においてクロック信号をアサートすることにより、データ・ラインに 1 バイト送信する。次いで、ステップ 654 において、16 バイトを送信し終えたか否かについて判定を行なう。16 バイトを送信し終えていない場合、プロセスはステップ 626 に戻り、四重ワードにおける次のバイトを送信する。16 バイトの四重ワードを送信し終えたなら、プロセスはステップ 660（図 10B）に進む。

【0052】

承認信号がアサートされていないとステップ 634 において判定された場合、ステップ 636 においてデータ・ラインを現状態にしておく。次いで、ステップ 646 において、承認ライン上に遷移があるか否かについて判定を行なう。承認ライン上に遷移がある場合、プロセスはステップ 650 に進み、受信モードに変更する。承認ラインに遷移がないとステップ 646 において判定された場合、ステップ 648 において、所定のタイムアウト期間が経過したか否かについて判定を行なう。タイムアウト期間が経過していない場合、プロセスはステップ 634 に戻る。タイムアウト期間が経過したとステップ 648 で判定された場合、エラー割込を発生する。

【0053】

次に図 10B を参照すると、ステップ 660 において検証バイトを送信し、ステップ 66

10

20

30

40

50

2において、受信機からの承認信号が四重データ・ワードの送信中にディアサートされたか否かについて判定を行なうことにより、接続性をチェックする。ステップ664において、新たなデータ・ワードが内部レジスタ222において送信のために得られるか否かについて判定を行なう。新たなデータ・ワードが内部レジスタ222内にある場合、ステップ666においてこの新たなワードを外部レジスタ224に移動し、DMAをイネーブルする場合、ステップ668においてDMA要求信号DMARをDMAコントローラに送る。次に、ステップ670において、送信ステータスを制御レジスタ262に送る。ステップ672において、承認ライン上に遷移があるか否かについて判定を行なう。承認ライン上に遷移がある場合、ステップ650において支配側ライン(dominator line)を変更して受信モードを示し、ステップ676において4クロック・サイクル遅延を開始する。4クロック・サイクル遅延に続いて、プロセスはステップ620に戻り、送信機が再びアクティブになるまで待つ。承認ライン上に遷移があるとステップ672において判定された場合、ステップ680において、承認信号がアサートされているか否かについて判定を行なう。承認信号がアサートされている場合、プロセスはステップ626(図10A)に戻る。承認信号がアサートされていない場合、ステップ682において、タイムアウト期間が経過したか否かについて判定を行なう。タイムアウト期間が経過していない場合、プロセスはステップ672に戻る。タイムアウト期間が経過したとステップ682において判定された場合、エラー割込を発生する。

10

【0054】

以上、現時点において本発明の好適な実施形態であると考えられるものについて示しかつ説明したが、添付した特許請求の範囲に規定する本発明の範囲から逸脱することなく、種々の変更や修正も可能であることは当業者には明白であろう。

20

【図面の簡単な説明】

【図1】 本発明によるデジタル信号プロセッサのブロック図である。

【図2】 図1に示すリンク・ポートのブロック図である。

【図3】 本発明による双方向通信ポートを用いた、2つのデジタル信号プロセッサ間の相互接続を示すブロック図である。

【図4】 本発明の双方向通信ポートの動作を示すタイミング図である。

【図5】 リンク・ポートの入力バッファおよび出力バッファのブロック図である。

【図6】 図2に示す中央制御ロジックのブロック図である。

30

【図7】 図5に示す送信制御ロジックのブロック図である。

【図8】 図5に示す受信制御ロジックのブロック図である。

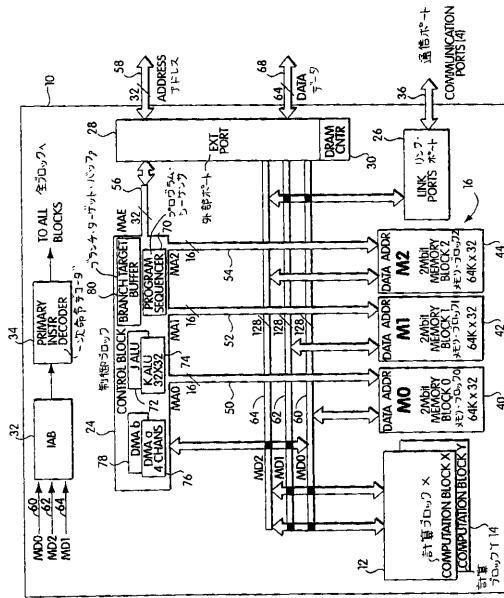
【図9A】 図8の受信制御ロジックの動作のフロー・チャートを示す。

【図9B】 図8の受信制御ロジックの動作のフロー・チャートを示す。

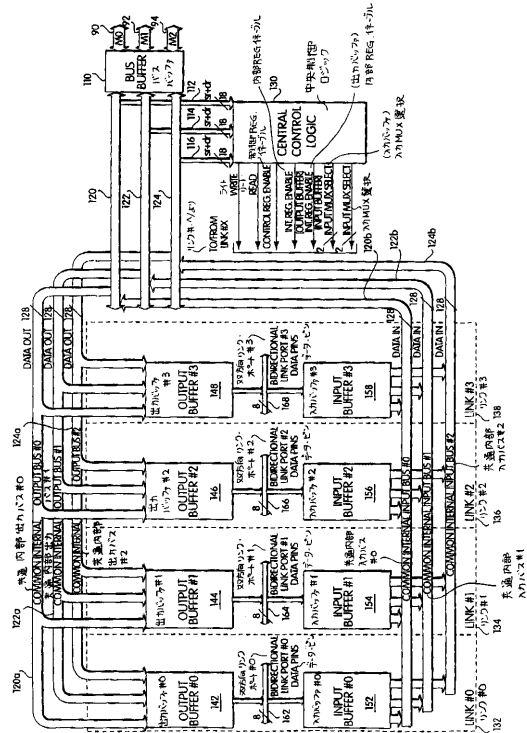
【図10A】 図7の送信制御ロジックの動作のフロー・チャートを示す。

【図10B】 図7の送信制御ロジックの動作のフロー・チャートを示す。

【図 1】



【図 2】



【図 3】

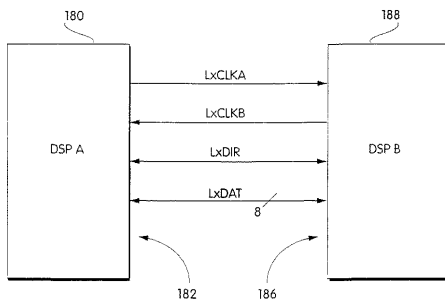
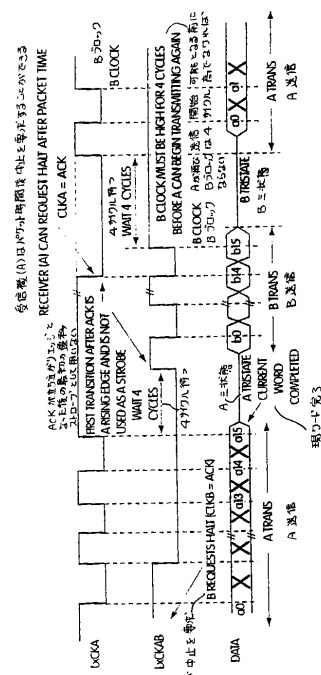
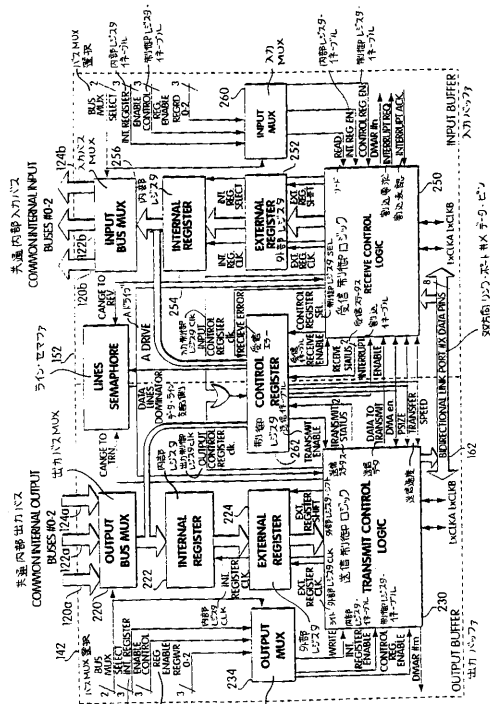


Fig. 3

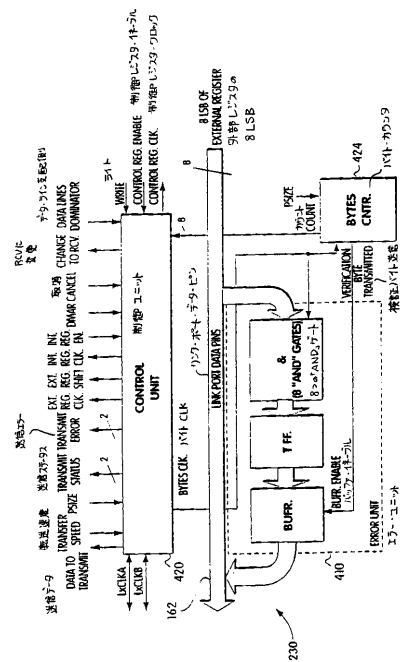
【図 4】



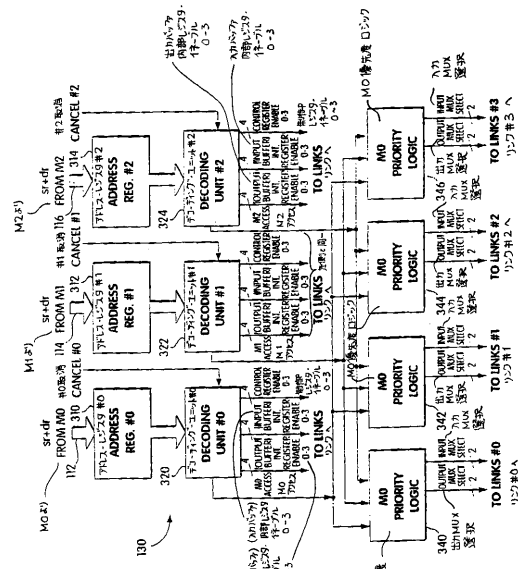
【図 5】



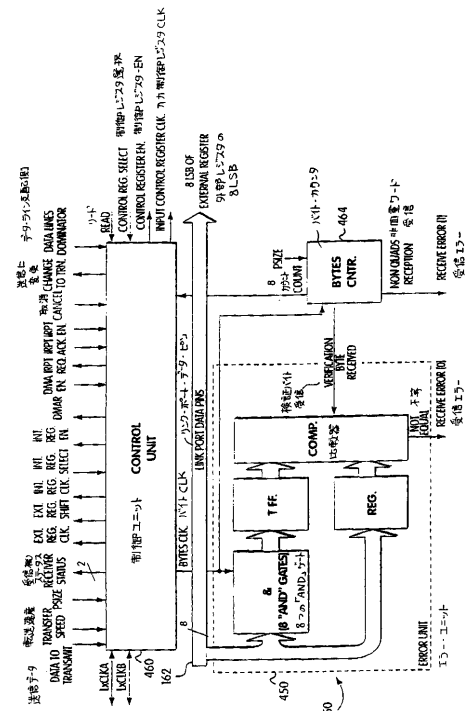
【図 7】



【図 6】



【図 8】



【图 9】

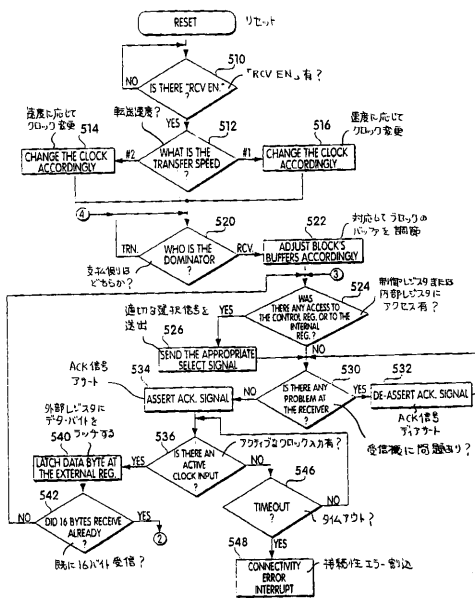


Fig. 9A

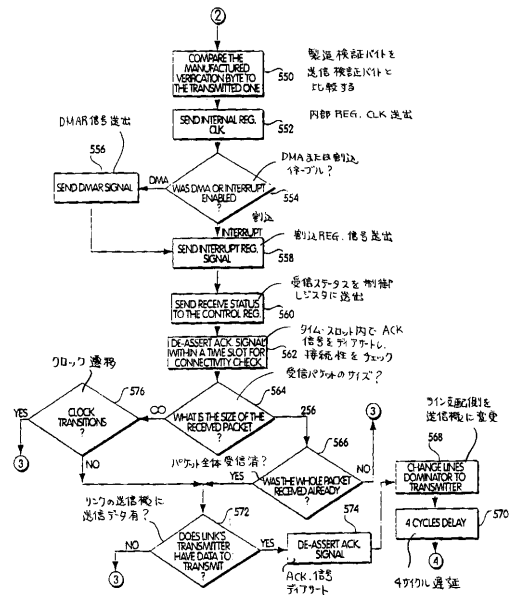


Fig. 9B

【図 10】

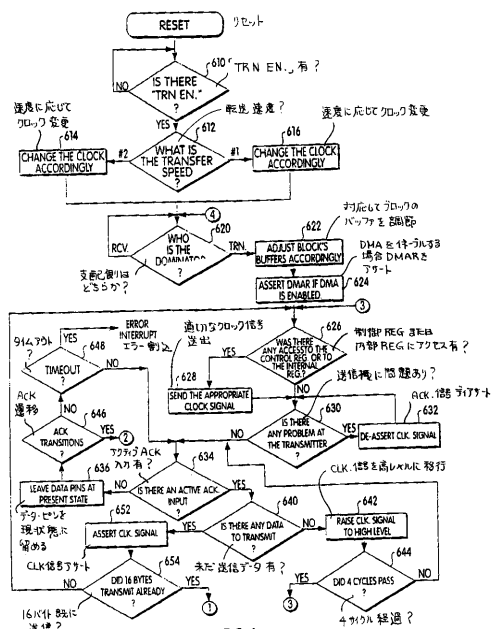


Fig. 10A

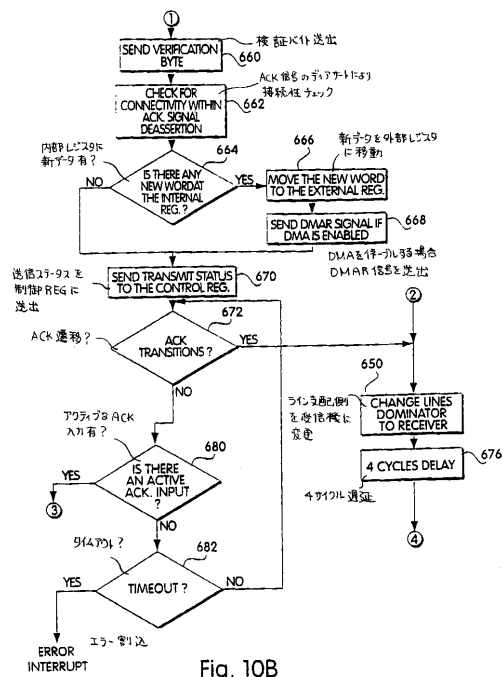


Fig. 10B

フロントページの続き

(74)代理人 100075236

弁理士 栗田 忠彦

(74)代理人 100075270

弁理士 小林 泰

(74)代理人 100084283

弁理士 秋元 芳雄

(72)発明者 ガード, ダグラス

アメリカ合衆国マサチューセッツ州02030, ドーバー, ハートフォード・ストリート 35エ
イ

審査官 梅景 篤

(56)参考文献 特開平02-132514 (JP, A)

特開平06-209348 (JP, A)

特開平06-053951 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G06F 13/38-13/42

G06F 13/10-13/14

G06F 13/20-13/378